HZ BOOKS

电子与电气工程丛书

tyw藏书

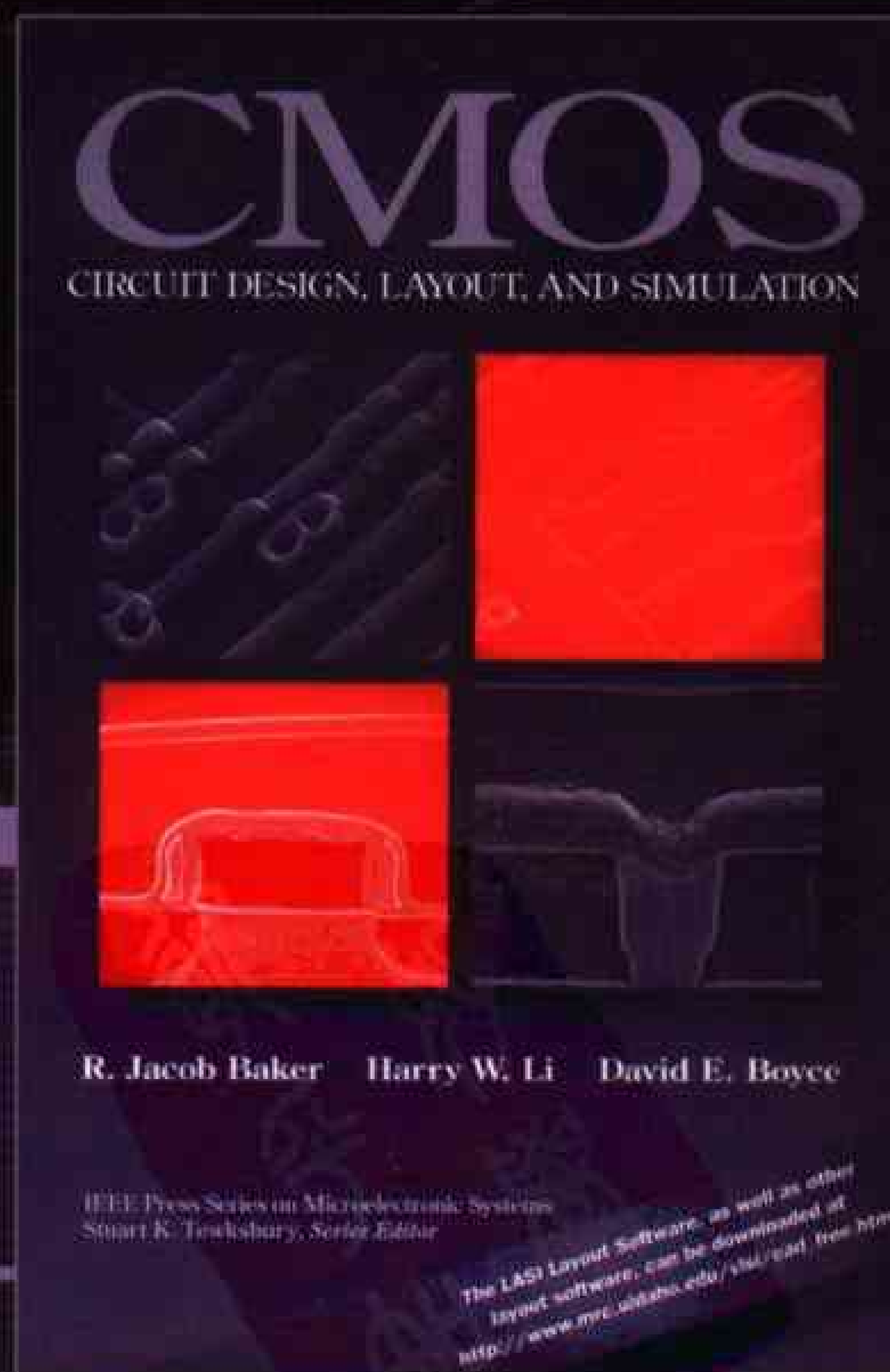
CMOS 电路设计·布局与仿真

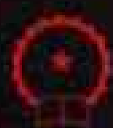
CMOS Circuit Design, Layout, and Simulation

(美) R. Jacob Baker, Harry W. Li, David E. Boyce 著

陈中建 主译

吉利久 审校





机械工业出版社
China Machine Press

电子与电气工程丛书

CMOS 电路设计·布局与仿真

CMOS Circuit Design, Layout, and Simulation

（美） R. Jacob Baker
Harry W. Li
David E. Boyce 著

陈中建 主译
吉利久 审校



机械工业出版社
China Machine Press

本书全面阐述了CMOS集成电路设计的理论与相关技术，内容覆盖集成电路设计、仿真和物理实现的全过程。书中以现代观点对大量模拟和数字电路模块、BSIM模型、数据转换器的体系结构等内容进行了深入讨论。本书内容翔实，理论联系实际，包含大量习题，方便教学。本书可以作为集成电路设计师、版图设计师、集成电路项目管理人员以及相关专业的教授和科研工作者的高层次教科书或参考书。

R. Jacob Baker, Harry W. Li, and David E. Boyce: CMOS: Circuit Design, Layout, and Simulation (ISBN: 0-7803-3416-7).

Authorized translation from the English language edition published by John Wiley & Sons, Inc.

本书版权登记号：图字：01-2003-7043

图书在版编目（CIP）数据

CMOS电路设计、布局与仿真 /（美）贝克（Baker, R. J.）等著；陈中建主译. －北京：机械工业出版社，2006.1

（电子与电气工程丛书）

书名原文：CMOS: Circuit Design, Layout, and Simulation

ISBN 7-111-16504-7

Ⅰ. C…　Ⅱ. ① 贝…　② 陈…　Ⅲ. 互补MOS集成电路－电路设计　Ⅳ. TN432.02

中国版本图书馆CIP数据核字（2005）第042687号

机械工业出版社（北京市西城区百万庄大街22号　邮政编码　100037）

责任编辑：许　萍　　吴　怡

北京诚信伟业印刷有限公司印刷 · 新华书店北京发行所发行

2006年1月第1版第1次印刷

787mm × 1092mm 1/16 · 44.5印张

印数：0 001 - 4 000册

定价：79.00元

凡购本书，如有倒页、脱页、缺页，由本社发行部调换

本社购书热线：（010）68326294

译者序

CMOS发明至今已近半个世纪，引领潮流也有20多年。对于这样一个集成电路（Integrated Circuits，IC）家族的最主要成员，当然会有众多学者为之撰文、著书，相关的书籍就数以百计，其中大部分是特色鲜明的好书。译者很赞赏Weste等人的《Principles of CMOS VLSI Design》，作者对CMOS数字电路的设计做了全面、系统的讨论；译者还赞赏Razavi的《Design of Analog CMOS Integrated Circuits》，作者对CMOS模拟电路的设计做了细致、深入的分析。然而，译者更赞赏Baker等人撰写的这本书《CMOS Circuit Design, Layout, and Simulation》，赞赏作者对数字、模拟两种电路设计的有机融合，对CMOS设计过程的独到见解，以及对多年教学经验的深入总结。

CMOS的互补性有两层含义：一是极性互补，电路包含N、P两种极性的MOSFET（这在数字和模拟电路中都有体现）；二是结构互补，NMOS、PMOS对应的串联、并联互补（这只是数字电路的属性）。因为互补结构有很好的数字特性，所以CMOS也首先用于数字电路。

在20世纪80年代初期，为了扩大CMOS IC的应用，IC设计师把当时的中、小规模集成电路规整为标准单元，并对CMOS设计过程做了简化。系统设计师使用这些标准单元，通过EDA工具，可以很容易地把门级网表映射到版图，完成芯片设计，不再需要那么多半导体专业知识，于是调动了他们的积极性。系统设计师不再需要买组件、搭电路板，而是直接参与专用集成电路芯片（Application Specific Integrated Circuits, ASIC）的设计。由于他们了解市场需求，懂得系统设计，又有标准单元、EDA工具的支持，因此很快便成了ASIC设计的主力。许多系统设计师还成立了不进行集成电路制造的设计公司，即“Fabless”，独立经营自己的品牌产品；同时，也出现了专营集成电路制造的工艺线——“Foundry”，译作“代工线”，它们不再从事IC设计工作。这就是发生在20世纪80年代的集成电路产业的第一次分工：设计与制造的分工。这次分工极大地推动了CMOS集成电路产业的发展。

在以系统设计师为主力的数字CMOS IC设计中，传统的IC设计师成了配角，只能做单元优化等辅助性的工作。一个单元电路充其量能有多大的优化空间呢？因此，当时确有“数字中没有电路设计”这一情况。与此相反，模拟电路一直都是IC设计师的领地。由于系统设计师与IC设计师的专业背景不同，工作重点各异，因此在标准单元阶段，有关CMOS的书籍多数把数字电路设计与模拟电路设计分开讲述。

时至今日，集成电路已经进入系统集成芯片（System-on-Chip，SoC）阶段。SoC的集成规模如此之大，已经不可能再以标准单元为设计起点，起码要基于模块电路，甚至以子系统电路为起点。SoC的优化设计，势必要求对子系统做更高水平的优化设计，这就给了IC设计师重展才华的机会。对模拟电路模块的优化设计一直是IC设计师的分内工作；对数字子系统的优化设计，IC设计师也开始深入参与。他们不再拘泥于标准单元的限制，而是凭借深厚的电路功底，以子系统的整体功能为优化目标，从晶体管级出发，设计出几近完美的数字电路模块。这样的设计已不再是原来意义的数字设计，而是饱含了IC设计师的睿智与辛劳，其优化程度也是标准单元加EDA自动布局布线所绝对不可比拟的。这样的设计已经可以作为商用的设计产品——IP（Intellectual Property）来流通。这些IP构成了SoC的主要技术支撑，并形成了独立于系统设计之

外的IP设计业。这就是20世纪90年代的集成电路产业的第二次分工。这次分工发生在设计业内：系统设计与IP设计的分工。

Baker的书正是适应了SoC阶段IP设计的需要，把数字CMOS电路设计与模拟CMOS电路设计做了有机融合，加强了CMOS电路的原理分析，为读者从事IP设计和使用IP从事SoC设计做了充足的知识准备。

所谓数字与模拟CMOS电路设计的有机融合，就是：回溯到它们的共同起点——NMOSFET和PMOSFET两种极性的四端器件，分析影响设计过程的共同因素——器件尺寸、工艺参数、物理参数等。在Baker的书中，无论是讨论数字电路还是模拟电路，都是从晶体管级开始，重视工艺和版图在设计过程中的作用。这一点很重要，IC设计师只有充分挖掘工艺的潜能，深入了解版图的影响，才能把工艺提供的可用资源全部体现到所设计的CMOS IC之中。

除了重视工艺和版图之外，译者还赞赏Baker等对"手算"的独到见解。这里所说的"手算"是指要对提出的设计方案，或者修改方案，先用"手算"预估一下性能走向。这一点也很重要。对于一个IC设计师来说，具有"手算"能力不仅有助于提出创新设计，而且有利于提高使用EDA工具的效率和目的性。在EDA工具如此方便的今天，只有设计师做到"心里有数"，才不致发生"机器很忙却无功而返"的情况。

作为一本教材，译者很赞赏Baker对教学进度做出的建议性安排，特别赞赏书中给出的200多个实例、500多道习题。这是作者多年教学经验的积累。教过书的人都知道，出题比讲课还难。那些切中要点的习题，无论是对理解概念，还是对掌握方法，都是十分有益的。

"CMOS IC设计"是一门工程性很强的课程，除习题外，设计实践是必不可少的，特别是付诸工艺流片的实践更为重要。学生看到探针扎芯片测出波形时的感觉，绝对与看仿真波形不同。Baker的书对工艺流片非常重视。书中给出了工艺厂家的数据，介绍了MPW（Multi-Project Wafer，多项目晶圆）的运行过程，提供了IC设计软件的微机版本。这些都是付诸工艺流片所必需的条件。

Baker的书是一本好书，更是一本好教材。从设计理念、教学内容、讲述方式等几个方面看，Baker的书都与SoC阶段对IC设计的要求相合拍，因此很值得译成中文，作为近几年国内CMOS IC设计的教材。这是译者欣然承译的主要原因。还有一个原因就是译者均从事CMOS IC的设计研究，包括模拟的和数字的，也正要认真研读Baker的这本书，而翻译是最好的研读方式。

整个翻译工作由译书小组共同完成，陈中建副教授组织了整个翻译过程。他除承译了第20章、第21章、第26章、第27章等章节外，还完成了全书的统稿和初审校工作。翻译小组成员根据各自的设计经验，分别承担了相应章节的翻译工作，具体如下：高峻翻译了第23章、第24章、第25章，鲁文高翻译了第1章、第2章、第3章、第4章、第22章、附录A、附录B、附录C，王芳翻译了第11章、第12章、第13章、第14章、第17章、第18章，卢振庭翻译了第28章、第29章，刘丹翻译了第5章、第6章、第9章、第10章，刘菁翻译了第7章、第8章、第15章、第16章，葛岩翻译了第19章。最后，由我审校了全部译稿。

译者感谢机械工业出版社华章分社，他们为原著版权和译著出版等项事宜做了大量工作。

翻译是最好的研读，但其工作量要比研读大得多。在完成校阅、译毕交稿的时候，译者很感疲劳，但更感担心。疲劳是因为翻译了一本900多页的英文专业书花费了大量精力，担心的是唯恐译稿中仍有不妥，甚至错误存在，一旦付诸印刷，便是永久遗憾。译者全部为青年人，还要做几十年的IC设计，因此，敬祈前辈和同辈读者不吝赐教。

吉利久
2004年10月于北京大学

前 言

在过去十多年中，电子产业发展迅猛。半导体行业协会（Semiconductor Industry Association，SIA）的最新报告[1]指出：仅在1995年，世界集成电路产业的年销售额增加了41.7%，而且，在过去的5年中一直以指数级速度增长。该报告还预测：世界集成电路芯片销售额在1996年为1540亿美元，到1999年会超过2345亿美元。世界集成电路销售中的最大份额来自MOS集成电路的销售。MOS集成电路市场的主要销售额来自存储器、微处理器和其他逻辑电路，其总的年销售额占世界总销售额的75%左右（即1142亿美元），显示出CMOS工艺的强劲活力。该报告预计：MOS集成电路销售额在所有芯片年销售额中的百分比会保持到1999年，那时MOS集成电路的销售额将达到1780亿美元。

CMOS工艺仍在继续发展，最小特征尺寸现在已经小到0.1μm。德州仪器公司最近发布了其0.18μm的CMOS工艺[2]，在这样的工艺中，相当于20个高性能微处理器规模的电路系统可共存于同一个衬底上，晶体管的密度为1.25亿个晶体管。这么高的器件密度使得在一个芯片上实现真正的系统集成成为可能，即能够在一个管芯上集成数字信号处理器、微处理器或微控制器、存储器、模拟或混合信号功能等。

作为教育工作者，学生经常问我们："模拟电路是否正在退出历史舞台？你看一切都在转向用数字电路来实现！"这是多么错误的观点！早在20世纪70年代中期，就有人预测模拟电子学行将灭亡。实际并非如此。SIA的报告[1]指出：模拟集成电路的年销售额接近MOS数字电路的年销售额，在1995年增长了22.5%；到1996年，预计模拟集成电路市场的销售额将达到182亿美元，会增长9.5%；在未来3年中，模拟集成电路市场将以两位数字的速度增长；在1999年，模拟集成电路的年销售额预计可达266亿美元，占集成电路产品总销售额的11.3%。尽管集成电路产业仍需要大量的模拟电路设计人员，但他们的角色无疑正在发生转变。正如Paul Gray[3]指出的那样：纯模拟电路设计的时代已经结束了，只有极少数的电路系统会是纯模拟的，越来越多的电路系统会是数模混合的系统；用数字电路来完成的功能会越来越多。他进一步指出：模拟电路设计师除了应当具备晶体管级的模拟设计能力这一核心技能外，还应当具备广阔的知识面。这意味着模拟电路设计师应该：对数字VLSI有很好的理解并能熟练使用最新的计算机辅助设计工具；知道如何把数字信号处理（Digital Signal Processing，DSP）、模拟信号处理（Analog Signal Processing，ASP）和滤波器等用于系统级设计；能够洞悉组件对系统性能的影响。例如，过采样电路（如基于Σ-Δ调制的数据转换器、滤波器和一大批相对比较新的电路）的设计需要具备DSP和晶体管级的模拟设计能力。一个优秀的集成电路设计师既应具备模拟电路设计能力，又应具备数字电路设计能力，并能够对数字域和模拟域之间的相互作用关系有很好的理解；无疑，这对集成电路设计师的素质和能力提出了更为苛刻的要求，而且这一要求很难达到。现在，对模拟电路设计师的需求比以往任何时候都要大，其原因非常简单：若要使数字电路达到性能极限，就必须从"模拟"的角度来考察、分析数字电路深层次的工作机理。正是基于上述考虑，本书才把数字和模拟集成电路设计融会在一起讲述。

集成电路的版图设计就是设计集成电路的各个物理层中的图形的过程。通常，版图设计是利用计算机辅助设计（Computer-Aided Design，CAD）软件来完成的。Mentor Graphics、Synopsys、Cadence等CAD公司为集成电路的整个设计流程提供了功能极强大的辅助设计工具，它们在一个框架内集成了设计工具、综合工具、仿真工具和版图设计工具等。这些基于工作站的软件工具虽价值上百万美元，但使用方便，功能强大，是集成电路设计师必不可少的助手。当然，也有一些基于PC机的CAD工具，如Tanner Tools的L-Edit就提供了一套完整的IC设计CAD工具。本书讨论的LAyout System for Individuals（LASI，发音与英文单词“LAZY”相同）软件也是基于PC机的IC设计工具，学生可以借助它进行版图设计、设计规则检查以及设计验证。它是共享软件，对教育界免费。

特征尺寸的减小使得集成电路设计的复杂度增大，而器件之间的匹配程度和电路中的寄生效应已经成为影响许多高精度或高速电路性能的关键因素，因此，需要给予版图设计以更多关注。集成电路工艺和电路的版图设计、器件建模等密切相关，设计师对工艺了解得越多，设计的电路就越能接近该工艺的性能极限。不过，性能并不是重视版图设计的唯一原因。集成电路的版图设计从经济上来讲会影响到芯片的市场盈利。有时，芯片面积增加20%就会使芯片的利润减少几十万美元，因此，芯片的面积可以看成是一种高级的房地产。正是基于上述考虑，本书前10章的大部分章节主要讨论与版图设计相关的内容（也根据需要讨论了其他一些相关问题）。

器件建模也是一个很重要的问题。仿真结果的精确程度只可能与器件模型的精度一样。尽管Berkeley的短沟道IGFET模型（即BSIM模型）目前已经成为工业标准，但它的模型参数不够直观，不适于手算。对很多学生（和工程师）而言，BSIM参数只是他们SPICE文件中的一组数字而已。但是，设计师可以从BSIM模型中提取出一些很有用的数据，这些数据将有助于使手算结果更接近实际的仿真结果。本书第6章就讲述了BSIM模型参数和一阶手算方程之间的关系。

一个成功的CMOS集成电路设计师应该具备器件物理、电路设计、版图设计、电路仿真等知识。学习CMOS集成电路设计的学生应该从这些基础知识学起。过去的CMOS集成电路课程主要讲授集成电路的设计或分析，很少涉及版图设计。目前，这种状况已经得到了适当纠正。另外，设计好一个芯片的全部版图后，如果能进行流片加工和测试，那将对学生的培养十分有益。借助MOSIS项目，学生们可以提交他们设计的芯片数据，由MOSIS的合同商进行流片加工。约十个星期后，芯片就可以加工好，并交由设计者进行测试评估。MOSIS项目是一种非常好的把学生引入集成电路设计领域的方式。

尽管已有许多书籍讲述了CMOS模拟或数字电路的设计，但目前还没有一本书把数字电路和模拟电路设计（包括版图设计和版图设计软件）融合在一起讲述。本书做到了这一点。本书的重点在于定制CMOS集成电路的设计基础。我们的目标是：通过学习并掌握本书内容，学生能够具备设计高性能模拟和数字电路的基本技能；当需要提高一个集成电路的性能时，或者需要分析一个集成电路为什么不能像仿真的那样正常工作时，学生具备所必需的分析问题、解决问题的能力。

本书的使用

本书可作为两门课程的教材。这些课程设在本科高年级或研究生一年级。第一门课程集中讲授CMOS数字集成电路的物理设计，先修课程是“电子学I”和“数字逻辑设计”。可以参照下

面的进度来安排一个学期的课程:

第1周 第1章和第2章: 概述，课程要求，版图，SPICE演示，n阱，方块电阻。

第2周 第2章和第3章: n阱，PN结，电容，电阻，阱延迟，金属层简介。

第3周 第3章和第4章: 金属层，寄生，电迁移，压点版图，有源层和多晶硅层，MOS管版图和标准单元框。

第4周 第5章: MOSFET的工作原理。

第5周 第5章和第6章: 完整的MOSFET的工作原理，讨论用BSIM模型建模。

第6周 第6章和第7章: 完整的BSIM模型，电容版图，MOS管的温度效应。

第7周 第10章和第11章: 数字模型，反相器。

第8周 第11章: 反相器，转换点电压和开关时间，版图，闩锁效应，设计。

第9周 第12章: 静态逻辑门，转换点电压，速度，版图。

第10周 第13章和第14章: 传输门，触发器，动态逻辑门。

第11周 第15章和第16章: VLSI版图，BiCMOS逻辑。

第12周 第17章: 存储器电路，基本存储器单元，体系结构。

第13周 第18章: 专用数字电路。

第14周 第19章: 数字锁相环简介，鉴相器，VCO。

第15周 第19章: 数字PLL设计。

第二门课程集中讲授CMOS模拟电路设计。可参照下面的进度来安排一个学期的课程:

第1~2周 回顾第1~6章。

第3周 第7章: CMOS无源元件，噪声特性。

第4周 第9章: 模拟MOSFET模型。

第5周 第20章: 电流源和电流沉。

第6周 第21章: 基准源。

第7周 第22章: 放大器。

第8周 第23章: 选讲反馈放大器设计中的部分专题。

第9周 第24章: 差分放大器。

第10~12周 第25章: 运算放大器。

第13周 第26章: 非线性模拟电路。

第14周 第27章: 动态模拟电路。

第15周 第28、29章: 选讲数据转换器设计的部分专题。

本书也可以作为“VLSI系统”课程的参考书（该课程的重点是集成电路的系统级设计而不是电路级设计）；使用LASI版图设计软件也有益于该课程的教学。

参考文献

[1] *Revised Forecast for World Chip Market Shows Growth of 6.7% in 1996, 19% by 1999*, Semiconductor Forcast Summary 1995-1998, Semiconductor Industry Association.

[2] "New TI Technology Doubles Transistor Density," *Texas Instruments Integration Newsletter*, Vol. 13, No. 5, July 1995.

[3] P. Gray, "Possible Analog IC Scenarios for the 90's," http://kabuki.eecs.berkeley.edu/slides.html

数字电路与VLSI系统设计方面:

[4] C. Mead and L. Conway, *Introduction to VLSI Systems*, Addison-Wesley, 1980.

[5] Glasser and Dopperpuhl, *The Design and Analysis of VLSI Circuits*, Addison Wesley, 1985.

[6] M. Annaratone, *Digital CMOS Circuit Design*, Kluwer, 1986.

[7] A. Mukherjee, *Introduction to NMOS and CMOS VLSI Systems Design*, Prentice-Hall Publishers, 1986. ISBN 0-13-490947-X

[8] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, McGraw-Hill , 2nd ed., 1988. ISBN 0 - 07 - 029158 - 6.

[9] M. Shoji, *CMOS Digital Circuit Technology*, Prentice-Hall, 1988. ISBN 0-13-138850-9.

[10] J. P. Uyemura, *Fundamentals of MOS Digital Integrated Circuits*, Addison-Wesley, 1988. ISBN 0-201-13318-0.

[11] N. Wang, *Digital Mos Integrated Circuits : Design and Applications* Prentice-Hall, 1989. ISBN 0-132-13109-9.

[12] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits*, McGraw-Hill, 1990. ISBN 0-07-023253-9.

[13] J. Y. Chen, *CMOS Devices and Technology for VLSI*, Prentice-Hall, 1990. ISBN 0-13-138082-6.

[14] E. Fabricius, *Introduction to VLSI Design*, McGraw-Hill, 1990. ISBN 0-07019-948-5

[15] M. I. Elmasry, *Digital MOS Integrated Circuits II*, IEEE Press, 1992. ISBN 0-87942-275-0.

[16] N.H.E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison Wesley, 2nd ed., 1993. ISBN 0-201-53376-6.

[17] J. P. Uyemura, *Circuit Design for Digital CMOS VLSI*, Kluwer, 1992.

[18] D. A. Pucknell and K. Eshraghian, *Basic VLSI Design*, 3rd ed., Prentice Hall Publishers, 1994. ISBN 0-13-079153-9

[19] W. Wolf, *Modern VLSI Design: A Systems Approach*, Prentice Hall, 1994. ISBN: 0-13-588377-6

[20] S. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits - Analysis and Design*, McGraw-Hill, 1996. ISBN 0-07-038046-5.

[21] K. Gopalan, *Introduction to Digital Microelectronic Circuits*, Irwin, 1996. ISBN 0-256-12089-7.

[22] J. M. Rabaey, *Digital Integrated Circuits - A Design Perspective*, Prentice Hall, 1996, ISBN 0-13-178609-1.

模拟电路设计方面:

[23] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, John-Wiley, 1984. ISBN 0-471-08529-4

[24] R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley, 1986. ISBN 0-471-09797-7.

[25] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[26] P. R. Gray, B. A. Wooley and R. W. Broderson, *Analog MOS Integrated Circuits II*, IEEE Press. ISBN 0-87942-246-7.

[27] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits*, McGraw-Hill, 1990. ISBN 0-07-023253-9.

[28] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed., John Wiley, Inc., 1993. ISBN 0-471-57495-3.

[29] M. Ismail and T. Fiez, *Analog VLSI - Signal and Information Processing*, McGraw-Hill, Inc. 1994. ISBN 0-07-032386-0.

[30] K. R. Laker and W. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, 1994. ISBN 0-07-036060-X.

[31] G.A.S. Machado, *Low-Power HF Microelectronics a unified approach*, IEE, 1996. ISBN 0-85296-874-4.

[32] D. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley, 1997. ISBN 0-471-14448-7.

致谢

我们诚挚感谢为本书的出版而付出了辛勤劳动的审阅者、帮助者以及我们的同事。他们分别是: Phil Allen博士、Savoula Amanatidis、Ben Ba、Jan Bissey、William Black博士、Jeff Bruce、Alan Buchholz、Joseph Cavallaro博士、Brian P. Lum Shue Chan、Irfan Chaudhry、Lisa Dayne、Ian Galton博士、Randall Geiger博士、John Griffin、Wes Hansford、Aaron Huntsinger、Bruce Johnson博士、David Kao、Joe Karniewicz博士、Brent Keeth、William Kuhn博士、Wen Li、H. Alan Mantooth博士、Richard Marks博士、Dean Moriarty、Ken Noren博士、Adrian Ong博士、James Rochelle博士、Terry Sculley博士、Joseph P. Skudlarek、Stuart Tewksbury博士、Don Thelen博士、Axel Thomsen博士、Vance Tyree博士、Scott Ward、Veronica Wilson、Jeff Wu博士和Kwang S. Yoon博士。

同时感谢Orbit Semiconductor、MOSIS和HP公司允许在本书中使用其工艺数据和设计规则。

R. Jacob Baker
Harry W. Li
David E. Boyce

目　录

第二部分 CMOS数字电路

第三部分 CMOS模拟电路

第四部分 混合信号电路

附 录

第一部分 CMOS基础

第1章 概 述

本章将讨论互补型金属-氧化物-半导体（Complementary Metal Oxide Semiconductor，CMOS）集成电路（Integrated Circuit，IC）的设计流程、LASI（LAyout System for Individuals）版图设计软件的安装以及通过MOSIS（MOS Implementation Service）来制作CMOS集成电路芯片的相关知识。

1.1 CMOS集成电路的设计流程

CMOS集成电路的设计流程（图1-1）包括：确定电路的输入输出、手工估算、电路仿真、版图设计、带寄生参数的仿真、再评估电路的输入输出、芯片制作、芯片测试等。在确定电路设计要求时，一般并不将电路的性能指标定得非常具体，而是随着项目的进展，对性能指标进行适当调整。当芯片的市场前景或用户需求发生变化时，或者在成本和性能之间权衡考虑时，都可能调整原定的性能指标。而一旦芯片进入量产阶段，一般就不能再对电路的性能指标进行较大的调整。

本书重点讨论定制集成电路的设计。定制设计的电路通常也被称为专用集成电路（Application-Specific Integrated Circuit，ASIC）。当电路的需求量较小且允许的设计周期很短时，一般采用非定制的设计方法进行电路设计，如采用现场可编程门阵列（Field-Programmable-Gate-Arrays，FPGA），或采用标准单元库进行设计。而微处理器、存储器等大多数芯片需要大规模量产，这些电路都采用定制设计方法进行设计。

集成电路的版图设计通常由版图设计工程师完成。而对电路设计工程师而言，能够设计芯片版图（并能够指导版图设计工程师如何做好版图设计）、能够理解与版图相关的寄生效应是非常重要的。而集成电路中的寄生效应主要是由芯片中的寄生电容、寄生电感、寄生PN结、寄生双极晶体管等寄生器件引起，会引起电路击穿、电荷存储和闩锁效应等问题。在高速、高精度的电路设计中，对这些由寄生效应引起的问题有一个基本的了解非常重要。

CMOS集成电路的制作

CMOS集成电路制作在一个圆形的硅薄片上（简称为硅片）。每个硅片上含有多个独立芯片或称为管芯（图1-2）。量产时，一个硅片上的管芯通常相同。硅片上除管芯外，一般还有测试图形和工艺监测图形，用来监测工艺参数。

使用LASI软件设计的IC可以通过MOSIS进行加工制作。用MOSIS加工硅片时，一个硅片上通常包括多个不同尺寸、不同来源（如教育界、私人、政府等）的管芯，这种硅片常被称为多项目硅片（Multi-project Wafer，MPW）。MOSIS首先把多个不同的管芯整合在同一个硅片上，几个设计分摊制作成本，从而将成本降低。然后把芯片的制作业务转包给Orbit、HP等芯片加工厂。

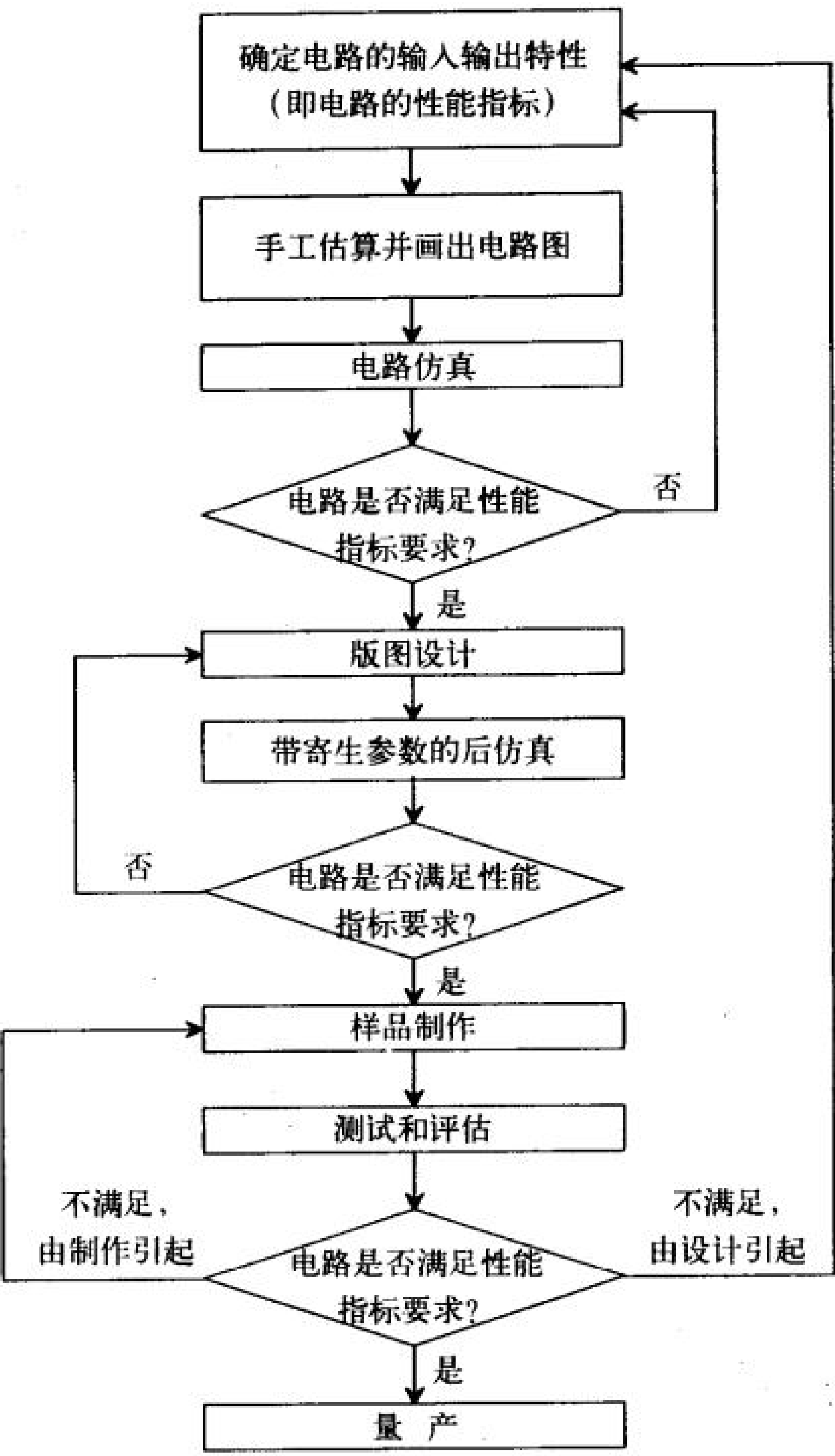


图1-1　CMOS集成电路的设计流程

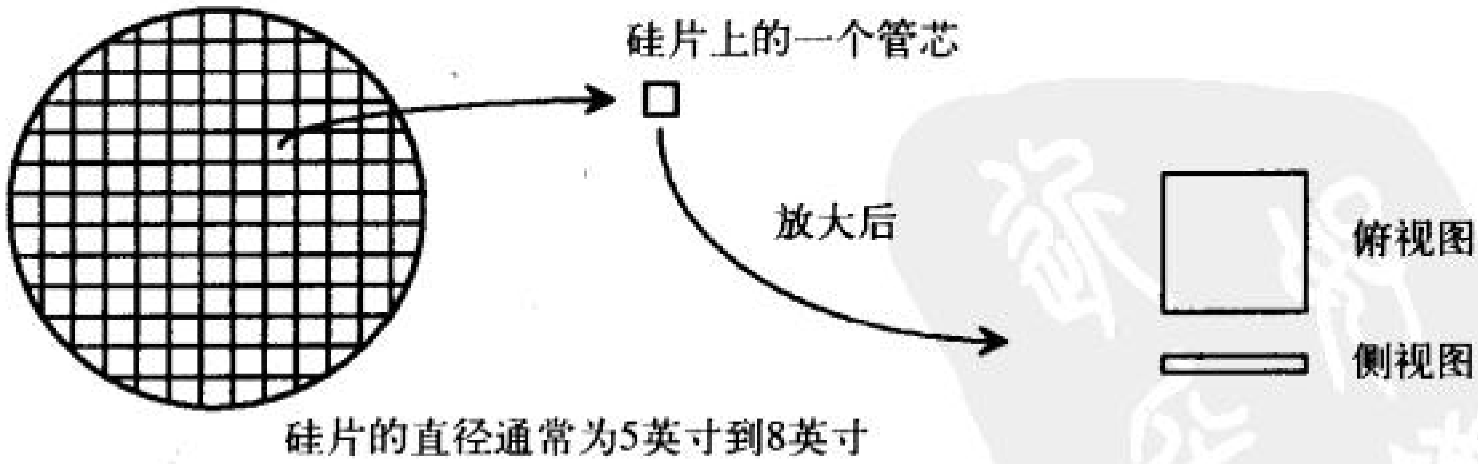


图1-2　在同一个硅片上制作的CMOS集成电路

设计集成电路的版图时，我们看到的视图通常被称为芯片的俯视图。设计芯片版图就是在不同层上画出矩形或多边形，用来表示电路的实现过程。例如，我们可以在layer1层（n-well层）上，从坐标（0, 0）到坐标（10, 10）画一个矩形，该矩形的坐标和其他图形的坐标一起就定义了所设计的电路的版图。一般将这些图形的坐标值按Calma Stream Format格式（Calma Stream Format，CSF）写成一个二进制文件，通常简称该二进制文件为CSF（或GDSII、GDS）文件。

该文件就是整个芯片的版图数据。在用LASI软件进行设计时，先是用可移植的LASI单元（Transportable LASI Cell，TLC）文件来存储设计信息；设计完成后，再将TLC文件转换成GDS文件，并通过因特网将该文件传送到MOSIS进行芯片制作。

1.2 在Windows环境下使用LASI软件

本书介绍的LASI软件是一个用于集成电路设计的计算机辅助设计（Computer-Aided Design，CAD）软件，它功能强大。本节将介绍LASI在Windows环境下的安装和使用。

4~5

LASI的安装

要下载、安装Windows LASI，请访问如下网址，并按照网页上的指示完成安装：

http://www.mrc.uidaho.edu/vlsi/cad_free.html

假设已将LASI安装在C盘上，该盘上会有如下目录：C:\Lasi6（该目录下有LASI系统的所有可执行文件及子目录）、C:\Lasi6\Wcn20、C:\Lasi6\Wmosis、C:\Lasi6\W2uchip以及C:\Lasi6\Wclib；在这些子目录中分别存有与CN20工艺、MOSIS、MOSIS 2μm工艺以及一个单元库有关的信息（该单元库遵循MOSIS的设计规则）。

工作目录

在C:\Lasi6目录下有一个子目录\Tutor，里面包含有一个由LASI提供的双极型运算放大器的例子。C:\Lasi6目录只用于存放LASI的可执行文件，*芯片的设计数据应存放在C:\Lasi6之外的目录下*，例如，可以是C:\Lasi6目录下的一个子目录（类似前面提到的Tutor目录），也可以是硬盘中其他位置的任何一个目录。

本书将使用Orbit公司的CN20 CMOS工艺，因此，请使用Windows浏览器确认相关文件是否已成功复制到C:\Lasi6\Wcn20目录下（应该存在该目录且该目录不应为空）。按照Windows LASI下载网页上给出的指示，为本目录设置一个图标，双击这个图标后会出现如图1-3所示的屏幕。

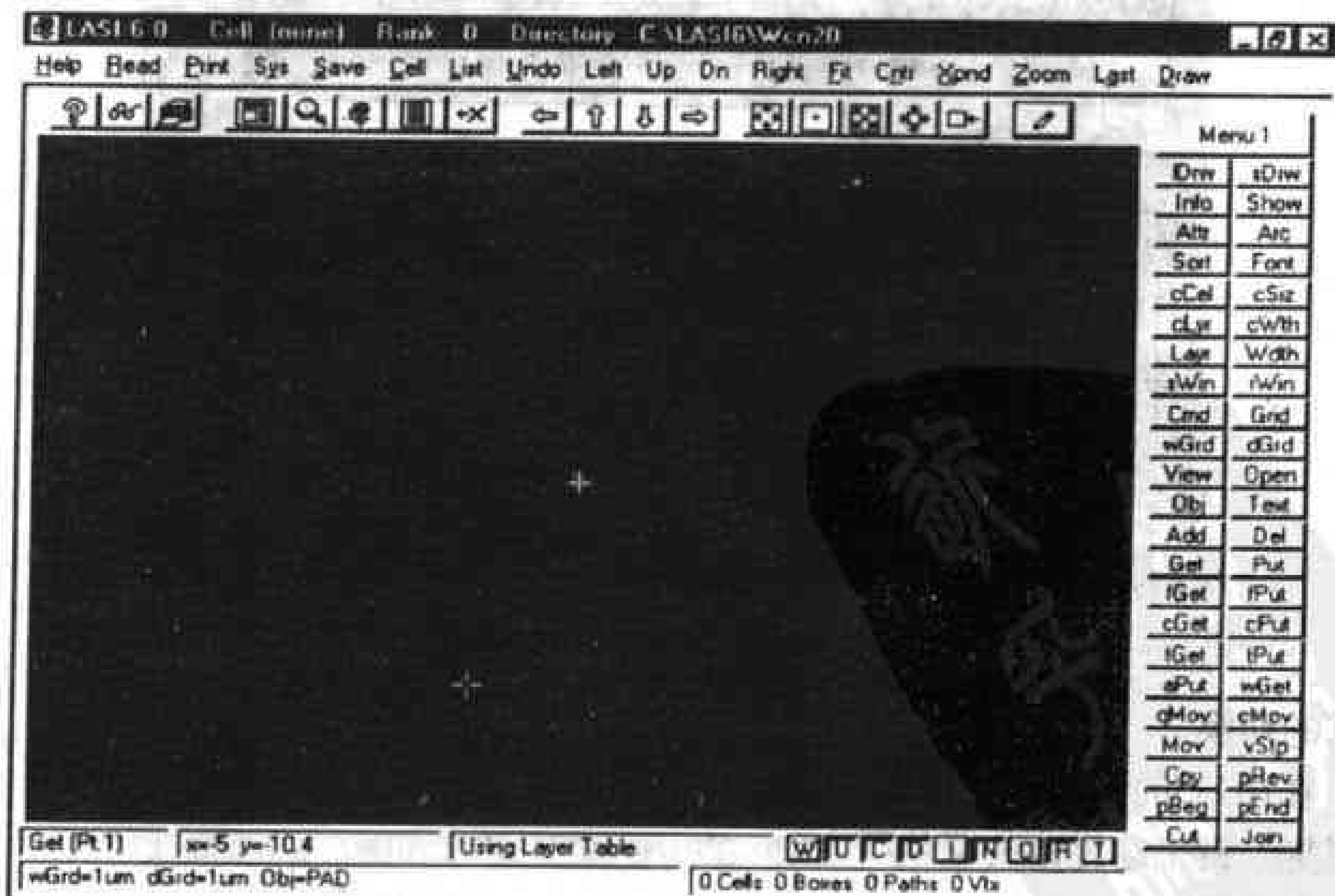


图1-3 启动LASI后的屏幕显示

系统菜单

点击图1-3中LASI窗口顶部的Sys菜单，即可进入LASI的系统菜单。可通过这个菜单将用

LASI设计好的单元移植到其他设计平台，这一点将在下面给予详细讨论。现在请点击Return按钮，返回LASI的画图窗口。

1.2.1 LASI中的单元

复杂的集成电路是由较简单的电路构成，这种较简单的电路被称为单元电路，简称为单元。单元可能是一个逻辑门，也可能是一个运算放大器。点击LASI窗口顶部的List菜单（或按Alt+l键），可显示当前目录下的单元清单。此时，可看到：名为“Cell Collection”的子窗口是空的。点击Cancel按钮，可返回LASI的画图窗口。

TLC文件

LASI中的单元是通过可移植的LASI单元文件（简称TLC文件）进行存储。在安装LASI的过程中，复制到\Wcn20目录的文件中包括一些TLC文件。在Sys菜单（从C:\Lasi6\Wcn20目录启动LASI）中选择TLCin命令，可将这些TLC文件转成二进制格式文件（这些文件以*.BP6和*.CL6为扩展名），供LASI使用。

点击Sys菜单上的TLCin按钮后开始这个过程（现在请跟着做）。保持Source Path项和Destination Path项空白，表示选取当前工作目录。若指定Cellname项为“*”，则表示将该目录下所有的TLC文件都转成*.BP6和*.CL6格式。在图1-4的TLCin窗口中，先点击OK，然后点击Yes，即可将多个单元载入到LASI系统中。点击Yes，意味着将替换当前工作目录下已存在的单元或较小的单元，现在该目录下应该不存在任何单元。LASI工作目录下的单元可通过TLCout命令进行备份。关闭LASI的Sys菜单窗口后，使用LASI画图窗口中的List菜单，并点击名为“rule1”的单元，屏幕上就会显示“rule1”单元的内容。使用Fit菜单可将该单元的内容显示在窗口的中心位置，显示结果如图1-5所示。

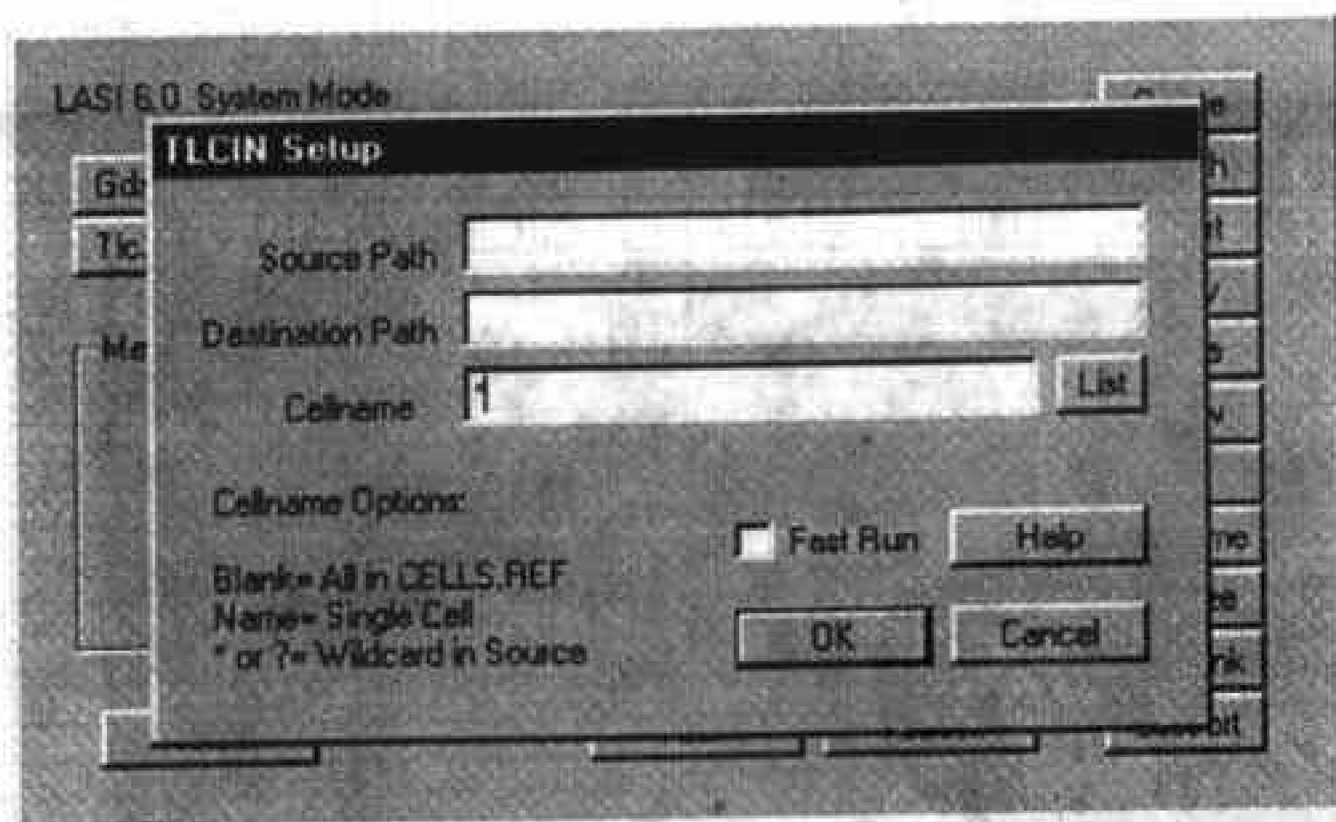


图1-4 使用TLCin命令

菜单间的切换

注意：在图1-5的画图区点击鼠标右键，会使窗口右侧的一些菜单项在不同的命令间切换。你可以用鼠标左键来选择这些菜单项。

创建一个单元

要开始画一个新单元的版图，首先需用Cell命令给该单元指定名字（如“AND”）和层级。由于AND门是最基本的单元，因此，指定其层级为1（即最低层级）。如果创建另一个单元时，调用了AND门，则该单元的层级数会设为2或者更大。换句话说，层级为2的单元可以调用层级

为1的单元。如果一个单元的层级为5，它可以调用层级小于或等于4的任何单元。这种分级原则可以用芯片、印刷电路板、计算机三者之间的关系做类比：芯片可以放到印刷电路板上，印刷电路板可以放到计算机里。使用层级类比的话：芯片的层级为1，印刷电路板的层级为2，计算机的层级为3。层级为3的计算机不能放到层级为1的芯片中去。

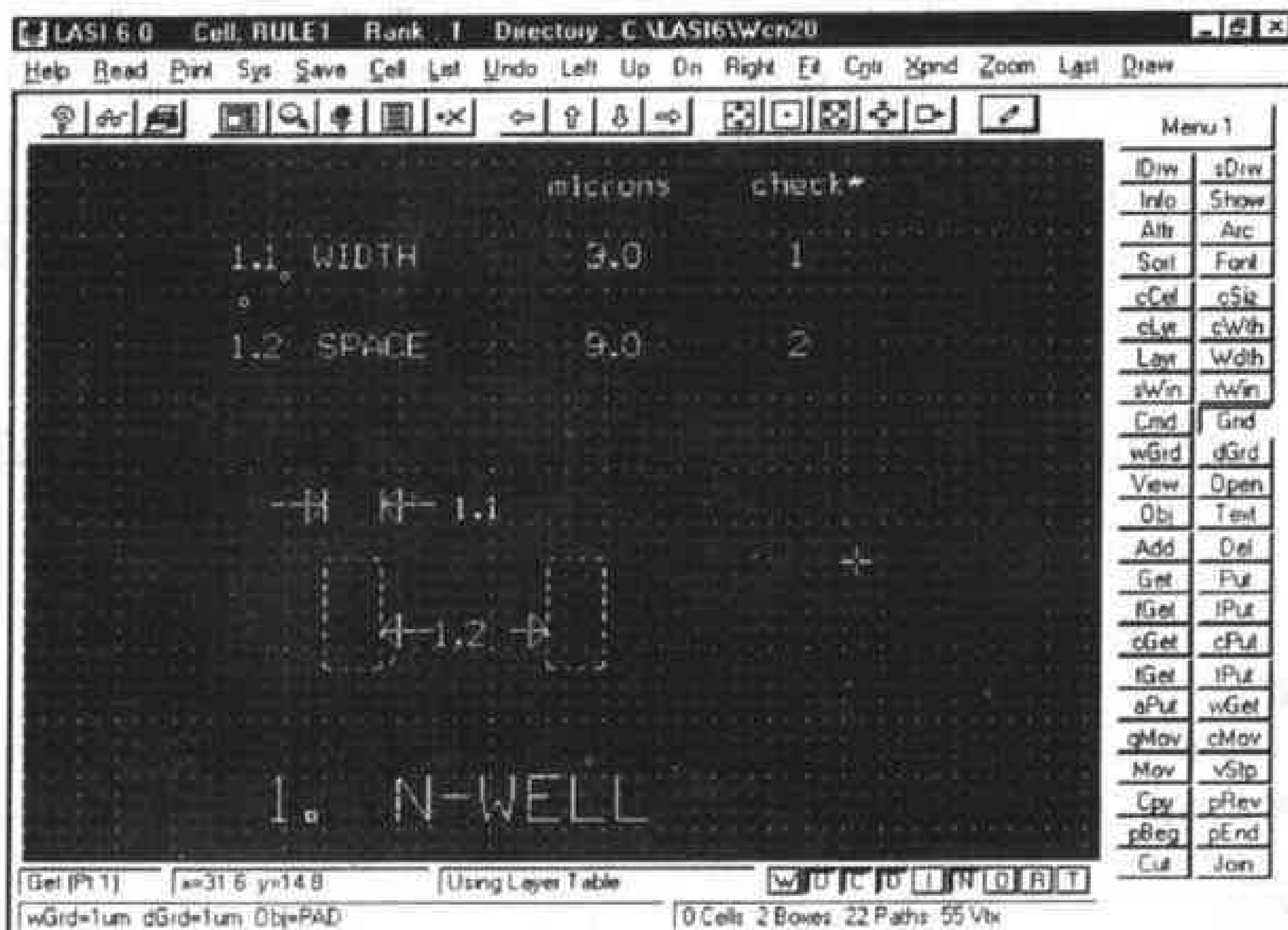


图1-5 打开名为“rule 1”的单元后的LASI窗口

作为试验，可利用Cell命令，创建一个名为“test”、层级为1的单元。创建后的“test”单元如图1-6所示，该窗口的顶端显示了单元名字和层级。

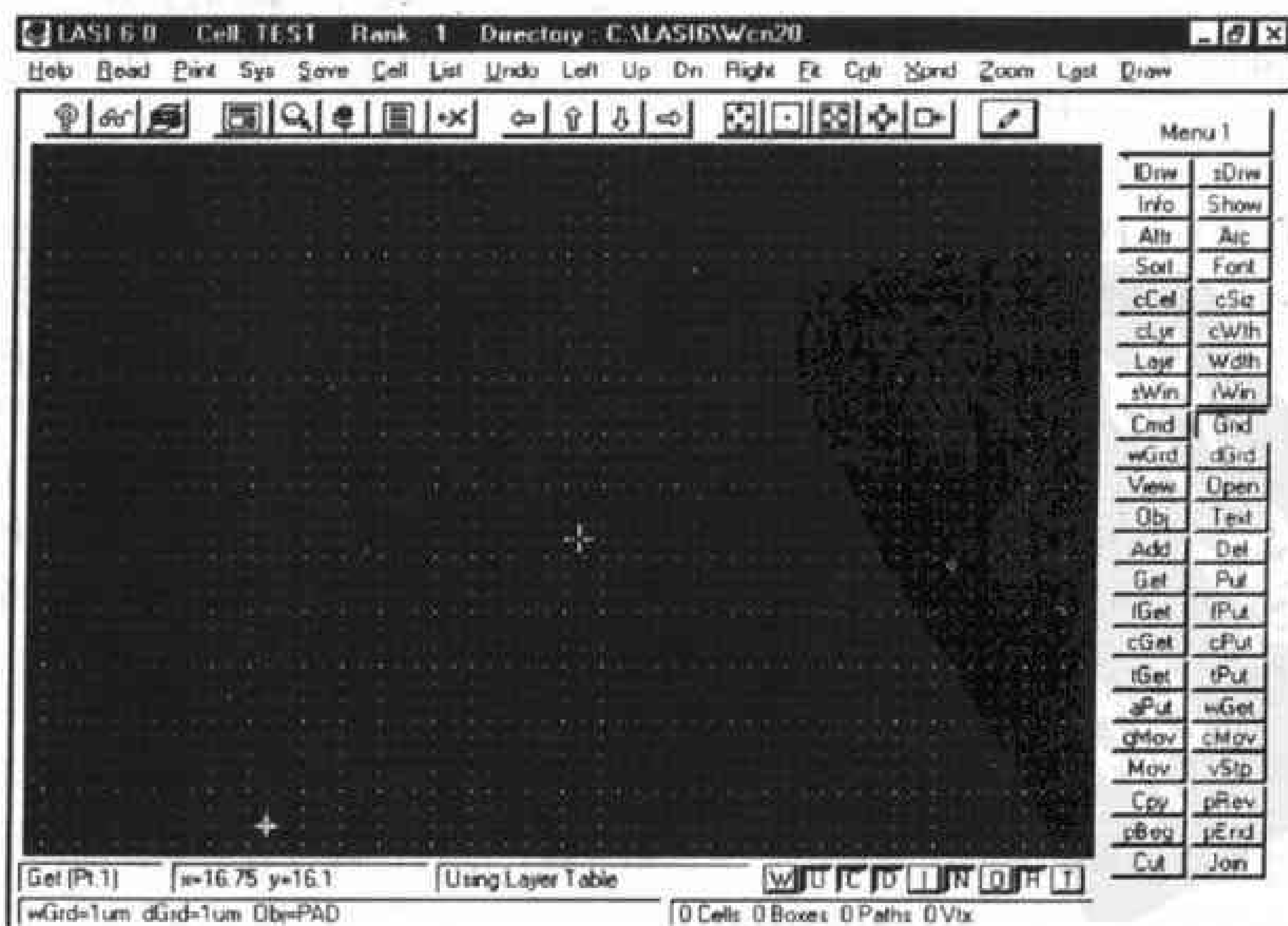


图1-6 在LASI窗口中显示Test单元

1.2.2 浏览LASI的画图窗口

图1-6中的十字为坐标原点的位置。点击窗口右下角的R按钮（或者在键盘上输入r），可开启或关闭坐标原点的显示。点击Draw命令（或者Alt+d），可刷新屏幕。现在键入r，然后点击Draw命令，会显示出坐标原点。把鼠标光标放在坐标原点上，可使得窗口底部的距离指示器显示为（0, 0）。距离指示器显示了光标和原点之间的距离。如果指示器显示的距离为10^6或者更大（$10^6\mu m = 1m$），则表示整个的画图区域都已显示出来。在没有画任何图形时，选择Fit命令，就会出现这种情况。为了使显示区的尺寸是几十微米量级，只需选择Zoom命令（或者Alt+z）并在坐标原点上双击鼠标左键即可。如果你找不到坐标原点，按下窗口右下角的R按钮并执行Fit命令。另外一个比较有用的命令是Orig（在窗口右边的命令按钮里），该命令允许用户将坐标原点设置到画图区域的任一位置。

6~9

格点

点击窗口右边的Grid按钮，可以开启或关闭格点显示。当放大到一定程度后，格点就会消失。

光标

在键盘上按Tab键可使光标在小十字形和全屏十字形之间切换。

尺寸测量

在键盘上按z键，可建立一个与坐标原点无关的零参考点。按空格键（Spacebar），显示鼠标光标与零参考点的距离。按w可使鼠标光标与工作格点对齐。

1.2.3 添加对象

点击窗口右边的Layr命令[⊖]，可显示当前工艺的版图层表。先在版图层表中用鼠标左键选择layer 1（NWEL 1），即n-well层。然后注意观察窗口的底部，会发现被选择的层的名字显示在窗口的底部。现在点击Obj按钮或选择对象命令，选择要画的对象，对象可以是矩形、多边形、路径或其他低层级的单元。在Obj窗口里双击Box来选择矩形。此时，画图窗口的底部会显示：工作格点之间的间距和显示格点之间的间距均为1μm，被添加的对象为矩形，版图层为“NWEL”。这样设置好以后，就可以开始画版图了。

首先点击Add命令，其Obj=BOX, Layr=NWEL。在画图区域的坐标原点上点一下鼠标左键，然后把鼠标往右上方移动直到可以得到如图1-7所示的矩形，再点一下鼠标左键。使用键盘上的方向键或者利用Cmd按钮，可以改变显示的视图。按Fit（或Alt+f）按钮，可以使图形显示在视图的中央。按Xpnd（或Alt+x）按钮可以扩大视图，请注意观察视图区的面积是如何扩大的。使用Zoom命令（或Alt+z），用鼠标在n-well矩形的一个角上拉一虚框，可将n-well矩形的这个角放大显示。在画版图时，把格点显示出来通常还是很有用的。wGrd和dGrd命令用于工作格点（光标可以点到的格点）与显示格点（实际看到的格点）之间的切换。本书中，这两种格点间距初始均设为1μm，用户可以通过Set命令来设置工作格点和显示格点的个数、间距。除非用户已经对LASI非常熟悉了，否则最好不要改动LASI的初始设置。

10

1.2.4 编辑对象

把一个矩形添加到单元的版图后，能对该矩形执行的操作就只有一个，即移动。可以移动

⊖ 再次提醒：如果窗口右侧没有显示出该命令按钮，可在画图区域按鼠标右键（或点“Menu”按钮）来切换菜单。

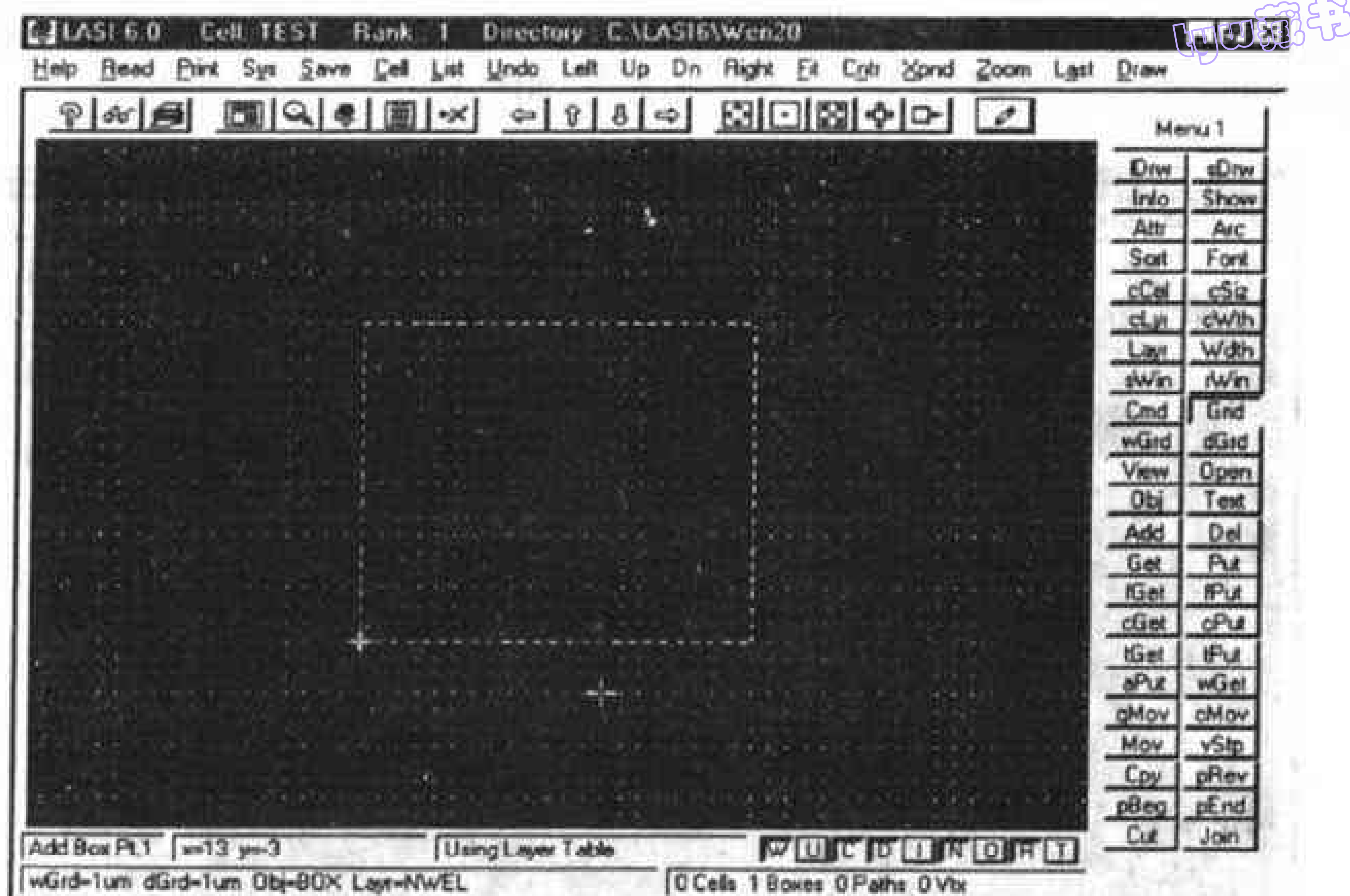


图1-7 在LASI中画一个矩形

整个矩形，也可以移动四条边中的任何一条边。这个操作包括选定要移动的对象或者边、执行移动操作、释放被选定的对象（即取消对对象的选定）。

以前面产生的n-well版图为例，先点击Get按钮并用鼠标选择n-well矩形的右边。先在边的左侧点一下鼠标左键，然后在边的右侧再点一下鼠标左键，确保鼠标拉成的框与要选择的边界相交，这时被Get命令选定的对象会被高亮度显示。接着点击Mov按钮，用鼠标左键在显示区域上点击一下，然后将鼠标往左移动一小段距离后再点击一下；这时，被高亮显示的边向左移动的距离跟鼠标移动的距离相等。点击Put按钮，取消对高亮显示的边的选定。另外，可以用aPut按钮取消对所有选定对象的选定，这是一种更简单的取消选定的方法。

11

有的时候，我们希望选定整个矩形。fGet（full get）按钮允许鼠标在对象的某个部位上拖曳以选定整个对象。尝试一下用fGet选定整个框，用aPut取消选定。

LASI还允许用户只按一个键就能执行一串命令。这通过在form.dbd文件中加入一行语句来实现。当用户想快速执行一个或一串命令时，这个功能就非常有用。如果想使用该功能，请阅读在线帮助以获取更多信息。

显示并编辑特定的版图层

假设用户只希望看到复杂版图中的部分层，可通过View命令来选择希望显示的层。需要提醒用户的是，如果不把未显示的层改回到显示状态，对这些层的编辑操作将是无效的。

Open命令决定了哪些层可以被Get命令选定，用户可利用这一特征将某些层设置为不可编辑。在当前的画图窗口中，选择Open命令，并将n-well层取消选定，然后点击“OK”，返回到画图窗口。接着用Get命令尝试去选择n-well的任何部位，就会发现没有一条边能被高亮显示，也不能被编辑成其他形状。在Open命令窗口中再点一下n-well层，就又可以对该层执行各种编辑操作了。如果某一层已被设为不可编辑状态，那么，对该层执行的任何编辑操作都将是无效的。

1.2.5 放置单元

点击Cell菜单创建一个新单元，把它命名为test2，指定其层级为2。接着，使用Obj命令，选

择先前画好的单元test作为对象，然后点击Add按钮，在画图区域按一下鼠标左键，就会把test单元添加到test2单元中。重复执行多次，直到版图如图1-8所示。

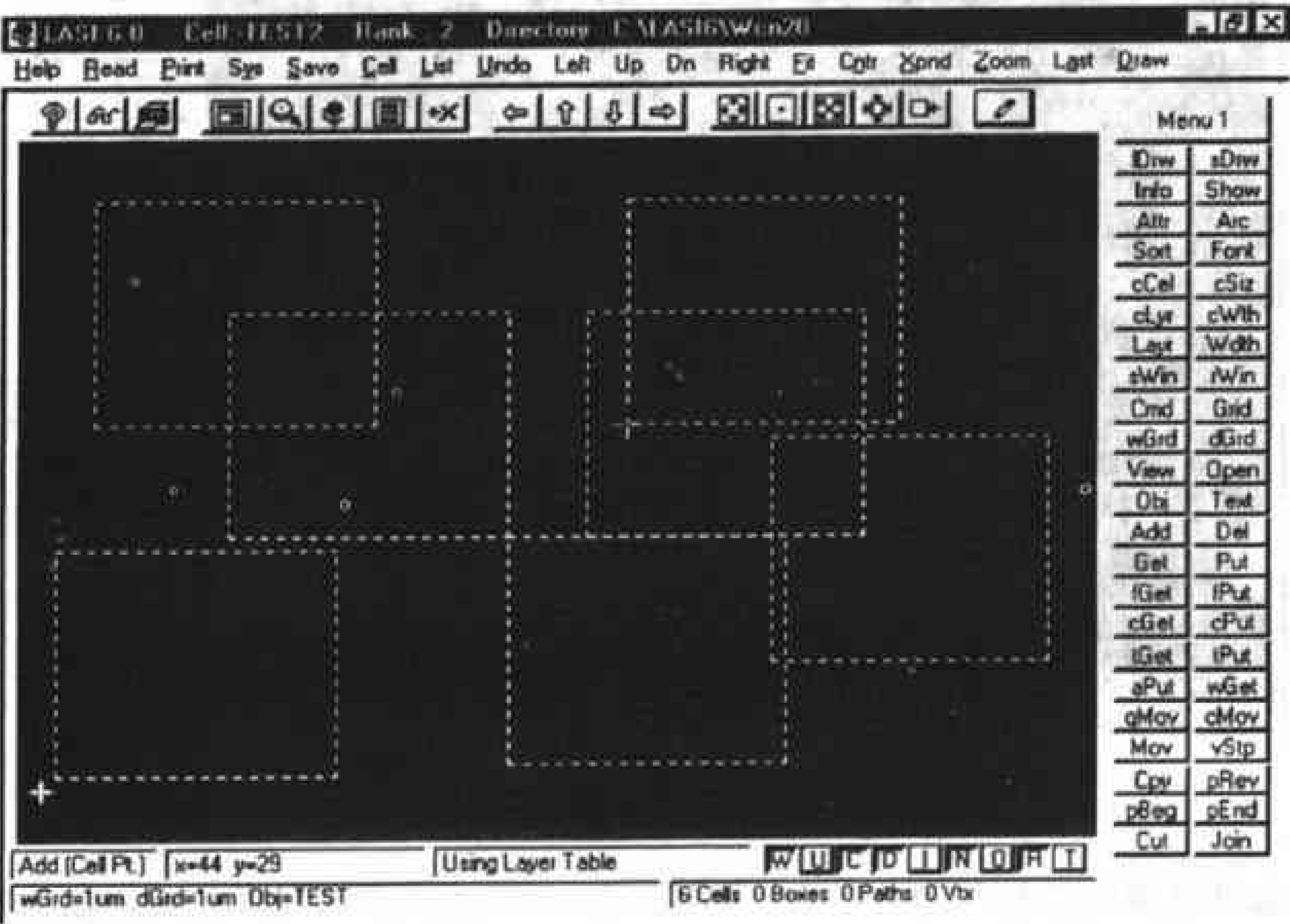


图1-8　用Add命令插入名为“test”单元

复杂版图的显示

使用Outl命令可将单元显示成轮廓图（如图1-9所示）。先用鼠标把想显示成轮廓图的单元圈选起来，然后点击Outl命令，被调用的单元就会显示为轮廓图。而Full命令则是让显示为轮廓图的单元重新显示为完整的版图。当单元很多且屏幕刷新很慢时，Outl命令非常有用。如果在

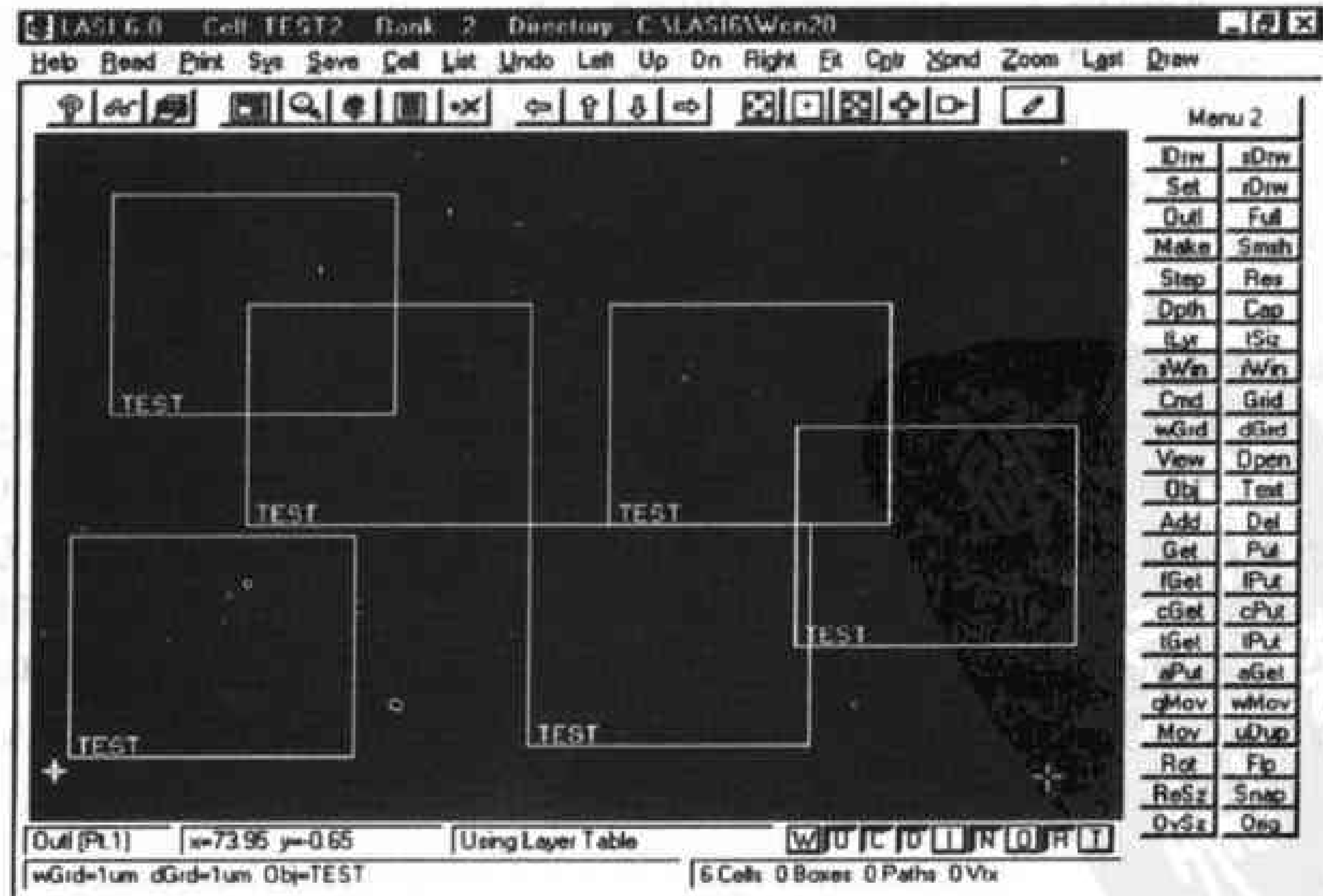


图1-9　使用Outl命令

LASI刷新屏幕的过程中按下ESC键，可使单元显示成轮廓图；利用LASI的这一功能，按下ESC键可中止一个很慢的刷新或命令。此外，如果某一单元所处的深度大于Dpth命令所设置的深度，该单元将被显示成轮廓图。

移动单元

移动一个单元的过程包括：使用cGet命令（cell get）选定要被移动的单元；使用Mov命令移动单元；使用aPut（all put）或者cPut命令（cell put）取消对被移动单元的选定。

显示单元

使用Outl命令可将单元显示成轮廓图，可通过在键盘上按n键（或者用鼠标按窗口右下角的N按钮）来决定轮廓图上的名字是否显示。单元不显示成轮廓图时，在键盘上按i键，可使单元周围显示出虚线。这样可提醒我们哪些是单元，哪些是矩形或多边形。按了n（或i）键后，必须用Draw命令重新刷新窗口来改变显示效果。

编辑时应注意的事项

只有画在当前单元中的对象（如矩形、多边形等）才能被编辑，当前单元所调用的子单元中的对象不能被编辑。在图1-8的test2单元（当前单元）中，无法改变n-well的尺寸。要改变这些n-well矩形的尺寸，首先必须打开test单元。

保存你的工作

若通过Set命令设置“TLCout when Saving Cell”复选框有效，则在每次进入或者退出单元模式时，LASI都会在当前工作目录下自动生成一个TLC文件。建议用户使用系统模式下的TLCout命令按钮，定期对设计数据进行软盘备份。

1.2.6 常见问题

添加一个对象后，看不到该对象

检查View的层级，保证该层没有处于隐藏模式。Draw命令必须在View命令之后使用。

不能Get对象

（1）用Open命令，检查该层能否被打开（或移动）；

（2）确认该对象是不是其他单元的一部分；

（3）当选择一个由路径或者多边形构成的对象时，确认光标已包围一个顶点。

点击Layr按钮时菜单不可访问

版图层表没打开。按Ctrl+Enter，窗口底部的中间显示“Using Layer Table.”。

单元显示成轮廓图，或者单元周围有一圈虚线

（1）用Full命令显示单元的全部；

（2）用Dpth命令限置了单元的显示深度。增大显示深度，使底层单元也可显示出全部图形；

（3）在键盘上按了i键（或用鼠标按了窗口右下角的I按钮），使单元被强制显示成轮廓图了。

Fit命令导致窗口的显示远大于当前单元

单元中某处存在着未知的对象。使用fGet命令选定单元主显示区域以外的所有对象，然后用Del命令删除这些未知对象。

命令按钮或版图不能合适地显示

检查Windows是否使用了小字体。减少显示时硬件加速的数目（在Windows控制面板中改变）。

光标的移动不平滑

光标可能处于八角形模式，可在键盘上按o键（或用鼠标点击窗口右下角的O按钮），开启或者关闭该模式。

12~14

1.3 MOSIS

MOSIS[1]的集成电路制作服务对具备如下条件的大学开放：能访问因特网，有电路仿真和版图设计软件，能对芯片进行测试。任课教师必须先与MOSIS联系，提交一份关于芯片制作资金的说明。如果有资金支持，可根据选课人数、课程级别（基础课或提高课），确定需制作的芯片数目和使用的工艺，MOSIS会为该大学建立一个帐号。目前，基础课的每两个学生有一次2μm工艺的流片机会，流片费用由NSF[2]基金资助，芯片面积为2.2mm × 2.2mm，加工得到的芯片数目不少于4个。商业公司或者非美国的大学也可以通过MOSIS制作集成电路，但不能获得美国政府的资助。

在MOSIS建立了帐号的大学可以用UUEncoded GDS（UUGDS[3]）格式或者CIF（CalTech Intermediate Form）格式递交设计的版图数据。本书将针对GDS格式来描述制作过程，如果需要了解CIF格式的相关信息，请与MOSIS联系。在LASI的Sys菜单中选择Tlc2Gds命令，可将TLC文件转换成GDS格式的文件。选择Setup命令，使屏幕如图1-10所示。这里，要制作的单元是层级最高的单元，对应的TLC文件是QCELL.TLC。QCELL.TLC中使用的单元都将转换成GDS格式，并存于二进制文件QCELL.GDS中。在调用Tlc2Gds命令之前，应先执行TlCout命令。在Tlc2Gds命令窗口中，选择Go就开始了转换过程，更多与TLC转换成GDS有关的信息，请在Tlc2Gds命令窗口点击Help按钮获取。

15

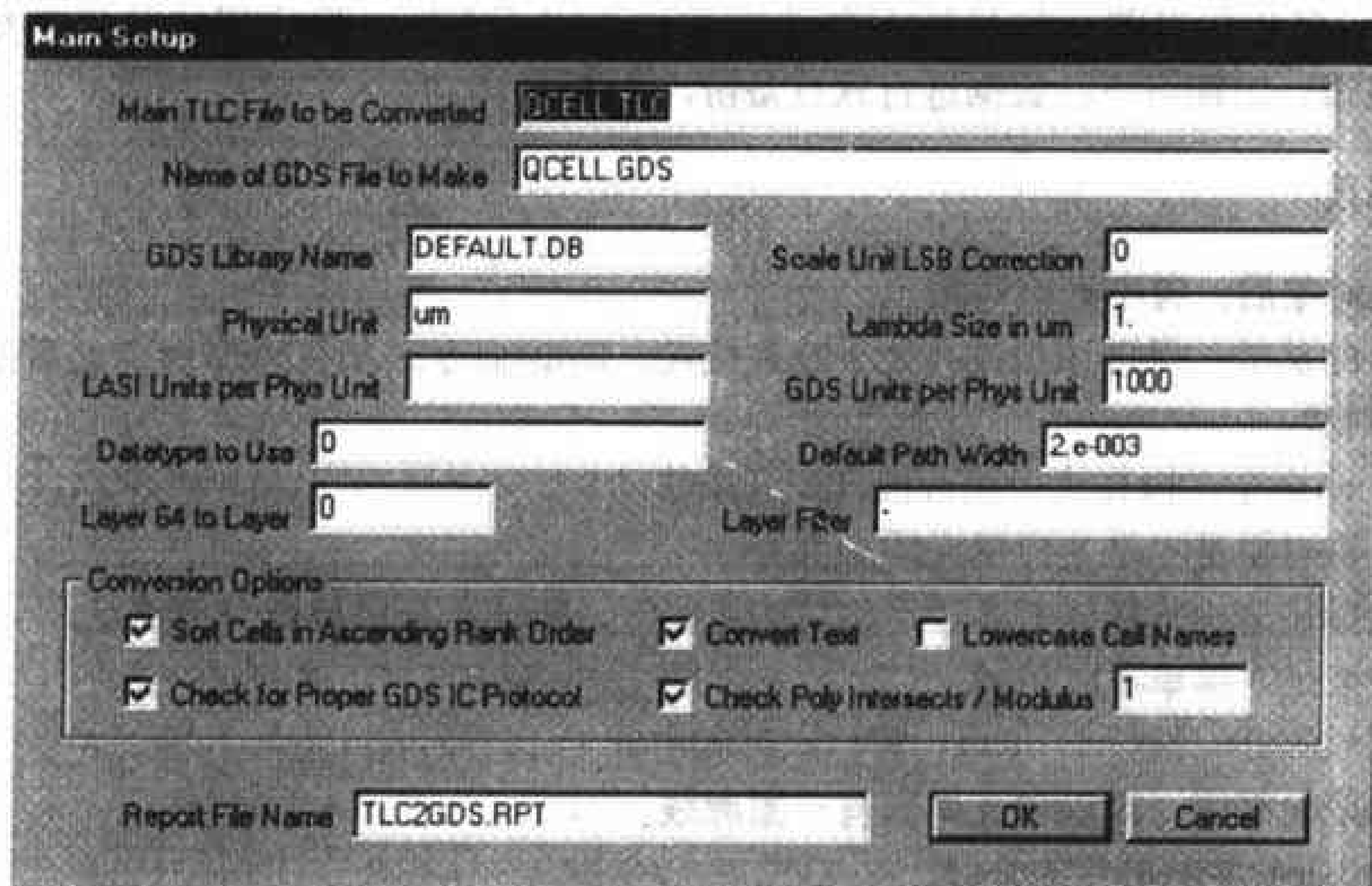


图1-10　将TLC文件转换成GDS格式

重要提示

TLC文件转换成GDS（Graphical Design System，由Calma Stream Format派生出来）格式时，应注意多边形。多边形可以画成不闭合的形式，例如，三角形可以只有两条边，这种形状被称

---

[1] MOSIS是MOS Implementation Service的缩写，它是一个通过美国南加州大学（University of Southern California）信息科学研究所提供MOS制作服务的机构。http://www.mosis.org

[2] NSF是National Science Foundation的缩写。

[3] UUEncoding用来将二进制文件（如“Tlc2Gds”命令生成的GDS格式文件）转成ASCII文件，方便在因特网传输。这里UUGDS是UUEncoded GDS文件。

为“开环多边形”。如果TLC文件中包含“开环多边形”，LASI会提示用户是选择取消转换并返回版图程序修改多边形，还是选择将多边形转成闭环。如果选择“close”，Tlc2Gds转换器会添加多边形的最后一边并进行版图转换。大多数情况下，用户应该手工修改开环多边形，并对修改后的单元再进行一次设计规则检查。如果TLC文件是转成CIF格式而不是GDS格式的话，默认操作是将多边形闭环。MOSIS不接受含有开环多边形的GDS格式文件，但接受含有开环多边形的CIF格式文件。MOSIS接受到含有开环多边形的CIF格式文件后，会对其进行处理，使开环多边形闭合。

16

为将二进制的GDS文件（Qcell.gds）转成可传送给MOSIS的ASCII文件（Qcell.uue或者一个UUGDS文件），请在Windows的运行栏（或者DOS命令行）输入以下命令：

C:\Lasi6\uuen -j C:\Lasi6\Mydesign\qcell.gds C:\Lasi\Mydesign\qcell.uue

可执行文件Uuen.exe位于C:\Lasi6目录；需要进行格式转换的文件位于C:\Lasi6\Mydesign目录下；选项“j”是为了创建一个与UNIX兼容的ASCII文件，以便于递交给MOSIS。

将文件递交给MOSIS之前的最后一步是运行C:\Lasi6目录下的Checksum程序（Cksum.exe），对Qcell.uue进行检查：

C:\Lasi6\cksum C:\Lasi\Mydesign\qcell.uue

检查的结果会给出两个数字，分别对应checksum和byte count（字节数）。下面会讨论向MOSIS递交数据时如何使用这两个数字。

向MOSIS递交芯片

向MOSIS递交芯片的过程包括：为新项目申请一个ID；递交需检查、制作的项目的数据。在MOSIS把芯片送出去制作之前，用户可检查芯片的状态，修改或取消项目的一些参数。

通过发email给mosis@mosis.org，可以为每个需要检查、制作的芯片申请一个项目ID。与MOSIS沟通时，请使用MOSIS命令语言的语法。申请时，必须填好如下几项（如下面例子中所示）。MOSIS对接收的数据进行再检查，是为了保证芯片的UUGDS格式的ASCII文件在因特网传输过程中未被损坏。在接收到GDS文件后，MOSIS会通知用户：项目已在制作序列中。

例1.1

向MOSIS递交一个芯片的数据，该芯片使用Orbit公司2.0微米n阱工艺（CN20）制作。CN20工艺的相关信息已由附录A给出，本书都用这个工艺。

第一步：为新项目申请ID

假设MOSIS给的帐号是123-ABC，密码是WINFECT，教师姓名是SMITH。要递交一个需要制作的芯片的数据，第一步是发信给MOSIS（email：mosis@mosis.org），申请新项目的ID（email内容如下所示）。

```
REQUEST:        NEW-PROJECT
ACCOUNT:        123-ABC
D-NAME:         SMITH
D-PASSWORD:     WINFECT
P-NAME:         CHIP1
P-PASSWORD:     UNIVER
PHONE:          (123) 456-7890
TECHNOLOGY:     FORESIGHT-CN20
SIZE:           2160 X 2160
```

17

PADS:	40
PACKAGE:	DIP40
DESCRIPTION:	HIGH SPEED OP-AMP
REQUEST:	END

名字项（P-NAME）和密码项（P-PASSWORD）由用户设定，PADS项填写芯片的压点个数，DESCRIPTION项由用户自己定义。假设学生设计的压点单元的大小为180μm × 180μm，即压点单元的轮廓边长是180μm，实际的压点钝化层开孔是每边100μm。可计算得到这种情形时的压点框尺寸为2160μm × 2160μm（具体计算过程请见第3章的例3.1）。对于上面的请求，MOSIS会返回一个诸如876543的ID号。如果你正确使用了MOSIS要求的语法格式，MOSIS系统会自动处理你的申请。

本例中，我们假设芯片是使用附录A中的Foresight设计规则（Orbit提供）设计版图。如果使用附录B中的MOSIS按比例设计规则来设计版图的话，需要使用“SCNA”（Scalable CMOS N-well Analog，SCNA）的工艺规范，并在email中添加一行语句来定义比例参数Lambda如下：

LAMBDA:	1.0

值得说明得是，无论是Foresight设计规则还是MOSIS设计规则，使用的都是同一个工艺（即Orbit 2.0μm的n阱工艺）。

第二步：递交GDS文件

请给MOSIS发送如下email信息，以递交一个需要检查、制作的芯片的数据。TOP-STRUCTURE项填写最高层单元的名字（这个单元是将要制作的芯片）。

18

```
REQUEST:            FABRICATE
ID:                 876543
P-PASSWORD:         UNIVER
LAYOUT-CHECKSUM:    123456 1234
LAYOUT-FORMAT:      UUGDS
TOP-STRUCTURE:      QCELL
LAYOUT:
Insert UUGDS file here (qcell.uue).  Do not add characters.
REQUEST:            END
```

如果文件被无损坏地接收到，MOSIS会通过email给用户返回一条信息，表示项目已经在制作的序列中。

对于某些设计，ASCII码的UUGDS文件比较大。这种情况下，MOSIS可通过FTP，访问用户指定的FTP地址，获得用户的设计数据。这时，用户递交的email中的LAYOUT项应修改一下，通常的LAYOUT语句格式是：

```
LAYOUT-FTP-PATH: !hostname!username!password!filename
```

其中，“!”用做分隔符，hostname是存放设计数据的计算机在因特网中的名字。如下例所示：

```
LAYOUT-FTP-PATH: !mycom.univ.edu!anonymous!guest!pub/chips/qcell.uue
```

这里整个语句必须放在同一行中。

当然，对UUGDS文件很大的情形，仍可以用前面第二步中给出的方法，把命令和版图文件（作为一个文本附件）以email信息的方式提交给MOSIS（这样就可以由字处理程序自动生成一条信息返回给用户）。

当芯片数据最终送到制作厂后，MOSIS会给用户一个通知。制作过程中的芯片状态信息可通过匿名FTP或者WWW网站（http://www.mosis.org）获取。关于芯片数据递交及制作进度的更多信息，请参考MOSIS用户手册和在线帮助。 ■

下面总结一下向MOSIS递交芯片数据的过程：从一个LASI生成的TLC文件开始：

1. 在LASI的Sys菜单中使用Tlc2Gds命令，生成一个Calma Stream Format（GDS）的二进制文件。
2. 对该GDS文件运行uuen.exe，生成ASCII码的UUGDS文件。
3. 对UUGDS文件运行checksum程序，产生两个数字：checksum和byte count（字节数）。
4. 向MOSIS申请新项目的ID（假设已经有MOSIS帐号）。
5. 向MOSIS递交需要语法检查（不是设计规则检查）和制作的UUGDS文件。
6. 若MOSIS返回的信息表示递交的文件没有语法错误，则项目被排入等待制作的序列。

19

参考文献

[1] W. Tanner, *MOSIS User Manual,* Release 4.0, August 1994. Also located at http://www.mosis.org/manual.html.

[2] D. E. Boyce, *LASI Users Manual,* available as on-line help or as a printable manual by pressing Help while LASI is running.

习题

对于如下习题，LASI的设置都使用C:\Lasi6\Wcn20目录下CN20工艺（附录A）的相关设置。

1.1 使用LASI创建一个名字为test3、层级为1的单元。在这个单元中，用pol1层画一个10μm × 10μm的矩形，把矩形的左下角放在原点位置。使用“z”键（用来设置零点）和空格键量该矩形的对角距离。

1.2 说明如何使用qMov命令来编辑习题1.1中的框，使其大小变为5μm × 8μm。若用Get、Mov、Put命令，如何实现上述编辑要求？

1.3 sWin和rWin命令能完成什么功能？

1.4 cGet和cPut命令能完成什么功能？

1.5 LASI允许用户使用Text命令来添加标记。tLayr用来选择要写入文本的层，而tSiz用来以1.5μm为增幅设定文本的大小。在习题1.1的test3单元的met1层上，分别添加大小为3μm、9μm、24μm的文字“test”。在不显示坐标原点（按键盘上的t或者鼠标点击窗口右下角的T，可使坐标原点不显示，记住需执行Draw命令来刷新窗口）的情况下，版图中的标记就显得非常重要。

1.6 创建一个名为test4、层级为1的单元。单元的版图如图P1-6a所示。文本层及被写入文本的矩形都使用met1。接着创建名字为test5，层级为2的单元。在test5中添加5次test4单元，如图P1-6b所示。这时使用cGet和Mov命令可以方便地实现如图所示的版图。注意：也可以用Cpy命令将Test4单元中的版图复制五次，从而避免在test5中添加5次test4。这种做法的问题在于版图都在同一层级上，变得很复杂，使得内存的使用量急剧增加。层次化版图则使用嵌套的单元，使得内存的使用量尽可能小。所以，应尽可能少用Cpy命令。

20

1.7 LASI中通过设置Obj为“p”（“b”对应矩形）来画多边形或者路径。画多边形时，Wdth设置为0，而画通路时Wdth设置为大于0的值。画完一个通道或多边形后，使用aPut命令。使用LASI的多边形对象，画如图P1-6a所示的图形。

1.8 为了Get一个由多边形或者路径所构成的对象，必须圈定对象的哪个位置？

1.9 使用pol1层，画一个每边边长均为10μm的三角形。该对象有几个顶点？

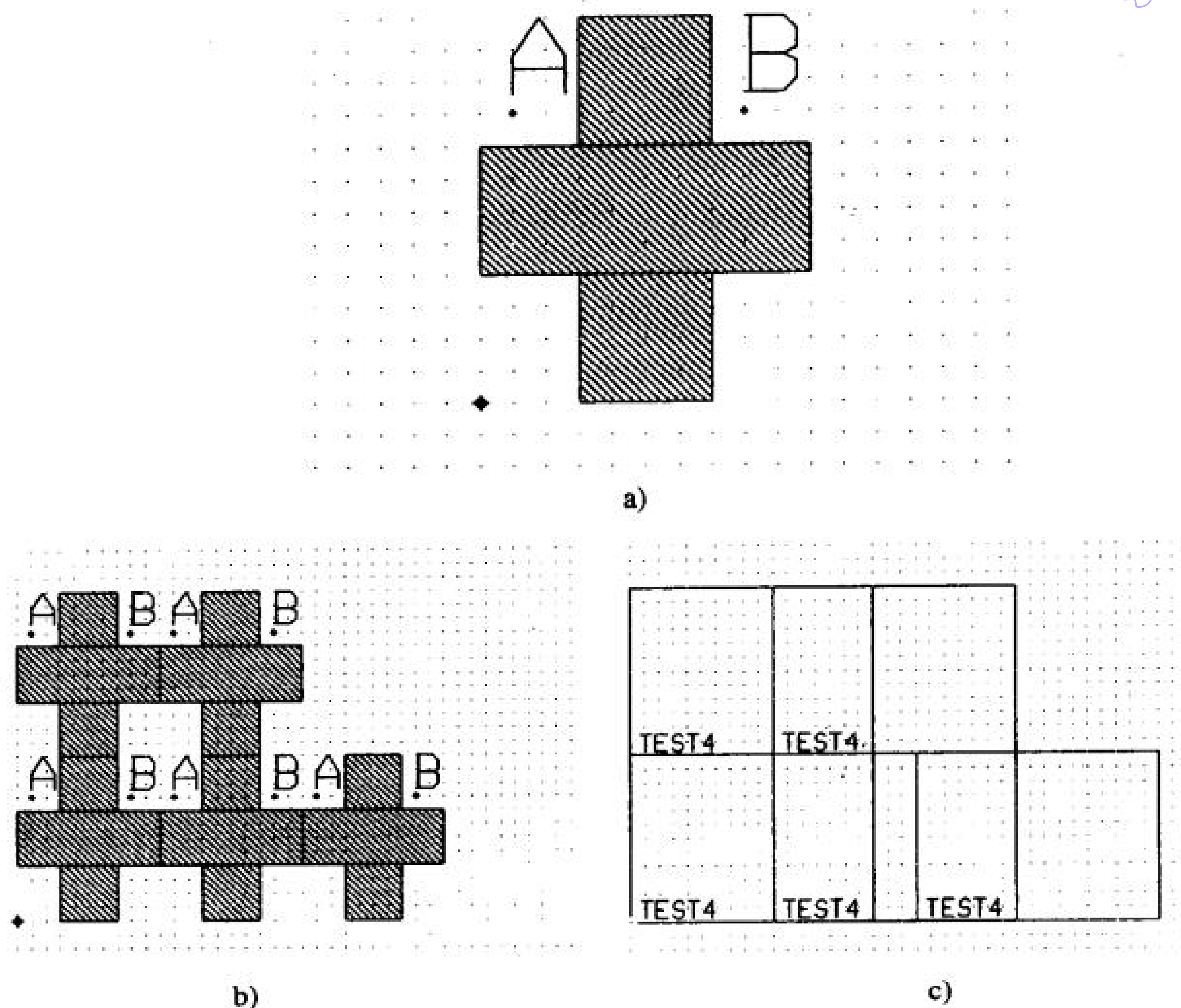


图 P1-6

1.10 可使用多边形（宽度为0的路径）和Arc命令来画圆。用LASI画出如图P1-10所示的版图。要在LASI中临摹这个版图，首先需使用Add命令添加起点A，接着选择Arc命令，把鼠标移到希望的圆心位置并点击，然后再将鼠标返回A点并点击。对话框显示询问需要多少边，选择沿哪个方向画（顺时针或逆时针）。输入这两个设定后按回车键，LASI就会画出图中所示的圆。

21

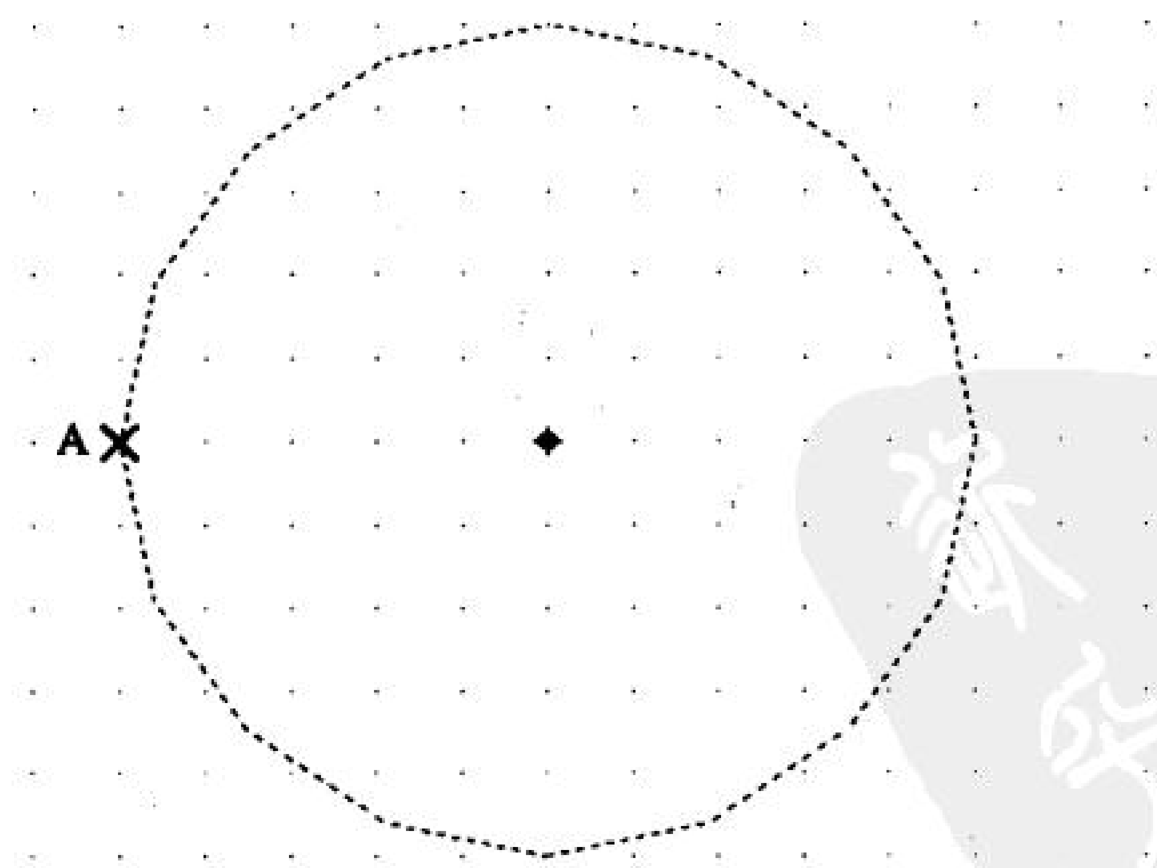


图 P1-10

1.11 在LSAI中按F1键可调用LASI的帮助。在工作目录下的form.dbd文件的结尾添加什么可以使得按F2执行Fit命令而按F3执行aPut命令？使用功能键来执行常用的一些命令，可提高画版图时的效率。

1.12 使用Dpth命令，看图P1-6b中的单元如何显示成轮廓图。深度的含义是什么？通过按i键（或用鼠标点击窗口右下角的I按钮），也可使单元显示成轮廓图。

1.13 LASI中键盘上的w、u、a、z及空格键分别起什么作用？

1.14 说明如何在LASI中添加文本？如何设置文本的大小和层次？

1.15 LASI中，以poly1为例，说明路径对象和多边形对象的区别。如何Get一个多边形或者路径对象？

22



第2章　阱

为了对CMOS集成电路的版图和设计有一个比较深刻的理解，我们的学习从n阱（n-well）开始，这会为读者理解CMOS工艺的性能限制和寄生效应（由CMOS电路中的寄生PN结、寄生电容、寄生电阻等引起）奠定一个比较坚实的基础。

2.1　衬底

由第1章的讨论知道，CMOS集成电路被制作在硅片上。如果制作集成电路的硅片掺杂了磷等施主原子，则这种类型的硅片被称为n型硅片；如果掺杂了硼等受主原子，则称为p型硅片。我们下面的讨论将主要围绕p型硅片。使用p型硅片制作CMOS集成电路时，N沟道MOSFET（以下简称为NMOS管）将直接制作在p型硅片上，而P沟道MOSFET（以下简称为PMOS管）将制作在n阱中。衬底或阱有时也被称为MOSFET的“体”（bulk或body）。在“体”上制作MOSFET的CMOS工艺通常被称为“体CMOS工艺”。图2-1给出了阱和衬底的示意图。

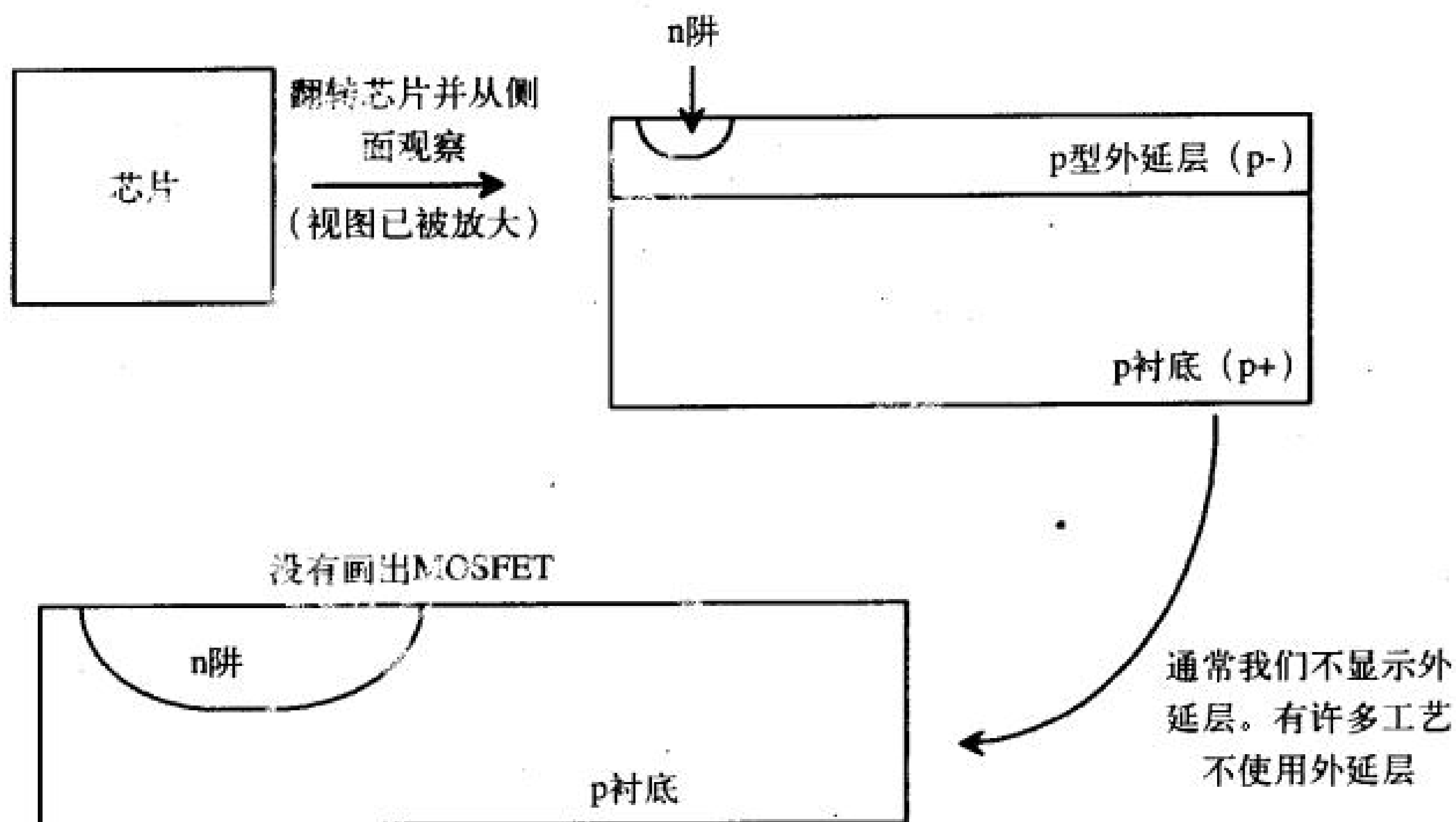


图2-1　芯片的俯视图与侧视图

实际上，在硅片上制作集成电路前，有些CMOS工艺需要先在硅片上生长一层外延层；在下面的讨论中，我们将把该外延层和原来的衬底层都当作衬底。使用p衬底、n阱的工艺被称为n阱工艺。附录A中给出的CN20工艺就是n阱工艺，n阱在这里用做PMOS管的衬底或体。也有一些工艺使用p阱，或者同时使用n阱和p阱（被称为双阱工艺）。

n阱和p衬底构成的二极管（如图2-2所示）也需要给予重点考虑。在CMOS电路中，衬底通常接最低电平，以确保该二极管处于反偏状态。在理想情况下，从衬底引出的电流为零。

n阱除用于制作PMOS管外，还可以用来做电阻；这时，加在电阻两端的电压都必须足够大，以保证衬底与阱构成的二极管处于反偏状态。

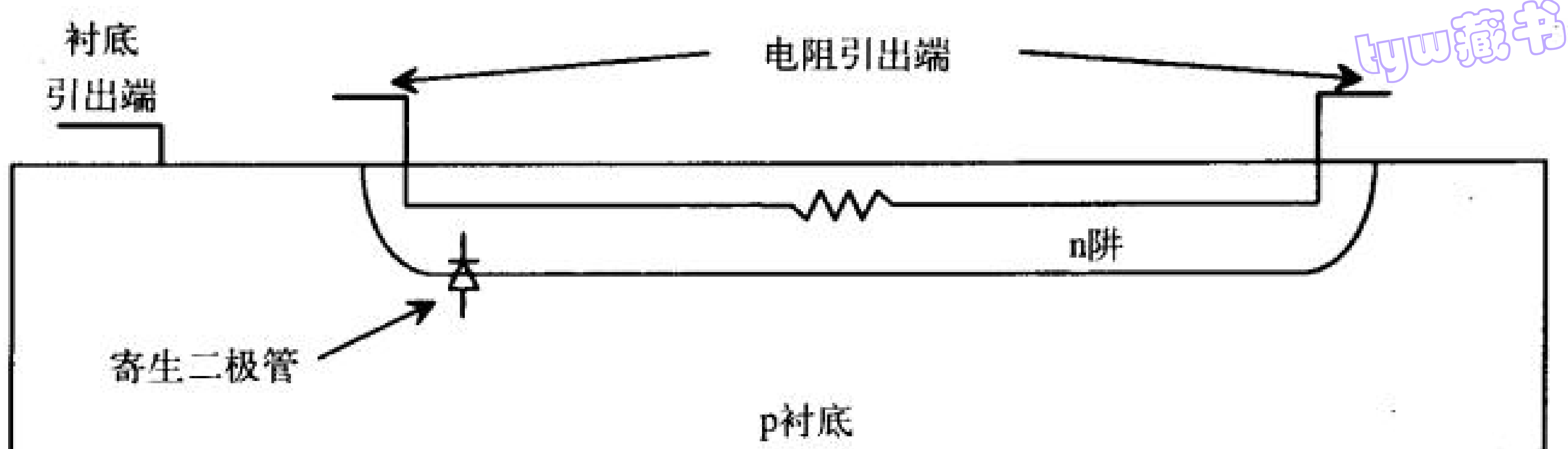


图2-2 用n阱做电阻

2.1.1 图形转移

CMOS集成电路是通过把电路版图不同层的图形转移到CMOS硅片上来实现的。需要转移到硅片上的图形层，一般需要经过下面描述的加工步骤来完成图形转移。现在从一个空白裸硅片（图2-3a）开始，讲述图形转移过程。将图2-3a中A点到B点的连线长度作为图2-3b到图2-3j的长度参照。图2-3b到图2-3j是沿图2-3a中的虚线切下后看到的剖面图。

通常，图形转移的第一步是在硅片上生长绝缘效果很好的氧化层（玻璃或SiO_2）。虽然把硅片简单地暴露在空气中，氧气就会和硅发生如下的化学反应：$Si+O_2 \rightarrow SiO_2$，但是，半导体工艺需要能够精确地控制氧化层的厚度与纯度。因此，氧化层的生长是通过硅与水汽或干氧反应来生成。硅跟水汽反应生成的氧化层被称作湿氧化层，跟O_2反应生成的氧化层被称作干氧化层。这两种氧化层的生长都是在高温下进行的，因此，都称作热氧化层。氧化层的生长速度会随着温度的升高而加快。湿氧化层的主要好处是生长速度快，主要缺点是在生长过程中会产生氢这一副产品。通常情况下，湿氧化层的纯度不如干氧化层好，但干氧化层的生长需要比较长的时间。目前，这两种氧化层的生长方法都已被用于CMOS工艺中。

看图2-3c我们会有一个重大发现，即：生长氧化层会消耗硅。图2-4示意了这种现象。氧化层的总厚度与被消耗的硅的厚度存在如下关系：

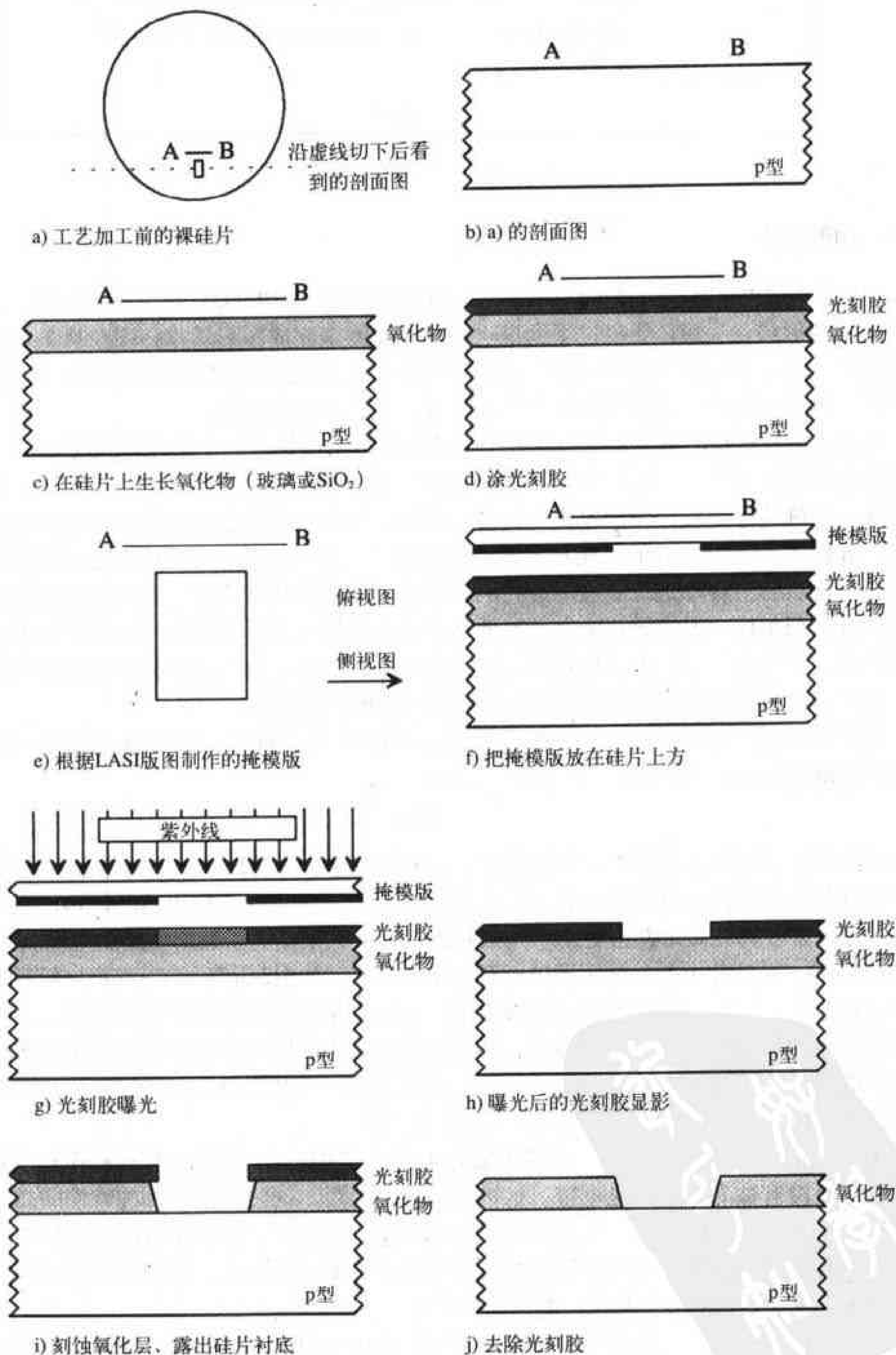
$$t_{Si} = 0.45 \cdot t_{ox} \tag{2-1}$$

CMOS图形转移过程的下一步是在硅片上涂光刻胶（见图2-3d）。注意在图中，氧化层、光刻胶和硅片等各层的厚度并没有按实际比例显示。硅片厚度的典型值是500μm，而氧化层和光刻胶的厚度都仅为几微米甚至更小。光刻胶烘干后，利用由版图数据生成的掩模版（如图2-3e、图2-3f所示），对硅片上的某些区域进行有选择地光照（如图2-3g所示），就把掩模版上的图形投影到了硅片上，因此，掩模版用来转移图形。实际在用掩模版进行图形转移时，会使用一种叫步进机的机器使掩模版在硅片上步进，从而把掩模版上的图形在硅片上复制了很多份。掩模版上开孔的尺寸比硅片上实际光照区域的尺寸大好几倍。通过掩模版开孔的光线会被下面的光学系统聚集，使得硅片上光照区域的尺寸为设计期望值。

光刻胶显影后（如图2-3h），光照区域的光刻胶被去掉了，这个过程被称作正胶处理。如果被去掉的是没有被光照射的光刻胶，则被称作负胶处理。同时使用这两种特性的光刻胶，可使工艺设计者减少一个CMOS工艺过程所需要的掩模版的数目。由于掩模版的制作费用昂贵，因此，对芯片设计者而言，减少掩模版的数目就等于降低工艺成本。而较少的工艺步骤意味着较低的成本，因此，这对芯片加工厂而言同样重要。

图形转移过程的下一步是去除暴露出来的氧化层（如图2-3i所示）。注意：刻蚀剂会在光刻胶下刻蚀，使氧化层开孔的实际尺寸大于掩模版所定义的氧化层开孔尺寸。为了解决这一问题，

一些芯片加工厂会有意识地先对版图设计的图形进行适当的涨缩，然后再转移到掩模版上。图2-3j给出了去除光刻胶后的开孔剖面图。



a) 工艺加工前的裸硅片
b) a) 的剖面图
c) 在硅片上生长氧化物（玻璃或SiO_2）
d) 涂光刻胶
e) 根据LASI版图制作的掩模版
f) 把掩模版放在硅片上方
g) 光刻胶曝光
h) 曝光后的光刻胶显影
i) 刻蚀氧化层、露出硅片衬底
j) 去除光刻胶

图2-3 图形转移的步骤

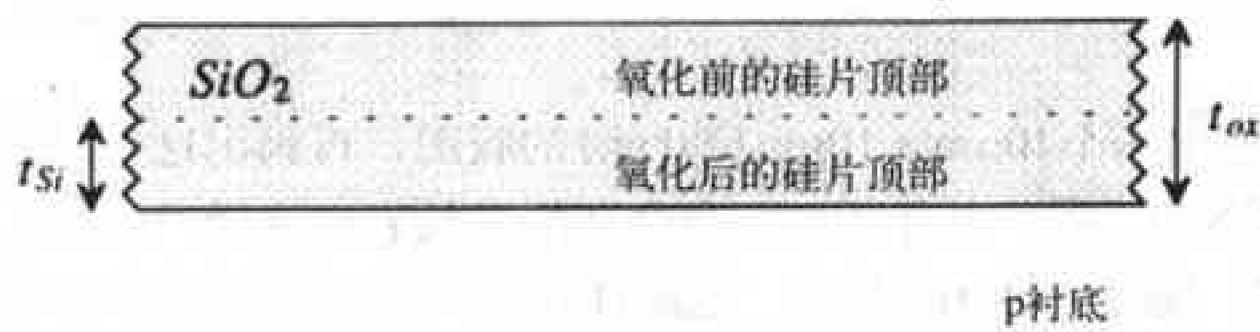


图2-4 氧化层的生长如何消耗硅

2.1.2 n阱图形的转移

现在我们可以把5价的施主原子（与4价的硅原子相比）扩散到硅片中，形成n阱。与图2-3给出的一般的图形转移过程不同，我们直接从在硅片上涂光刻胶开始，如图2-3d所示。然后，通过由LASI程序生成的掩模板，将光刻胶暴露在光线下（图2-3f和g），并进一步通过显影去掉被光照射的光刻胶（图2-3h）。接着，将硅片暴露在施主原子下，如图2-5a所示。光刻胶本身有阻挡施主原子扩散的特性，但施主原子能通过光刻胶上的开孔扩散到开孔区域的硅片中，（如图2-5a所示）。等扩散一定时间后，n阱的深度达到工艺期望值，这时，就撤掉扩散源（如图2-5b所示）。值得注意的是：施主原子不仅会沿垂直硅片的方向扩散（即纵向扩散），还会在硅片中向四周扩散（即横向扩散），导致n阱的尺寸比掩模版上开孔的尺寸大。因此，芯片加工厂会先对版图设计的图形进行涨缩处理，再将涨缩后的图形制作到掩模版上，这样就可以消除横向扩散对n阱尺寸的影响了。形成n阱的最后一步是去除光刻胶（如图2-5c所示）。

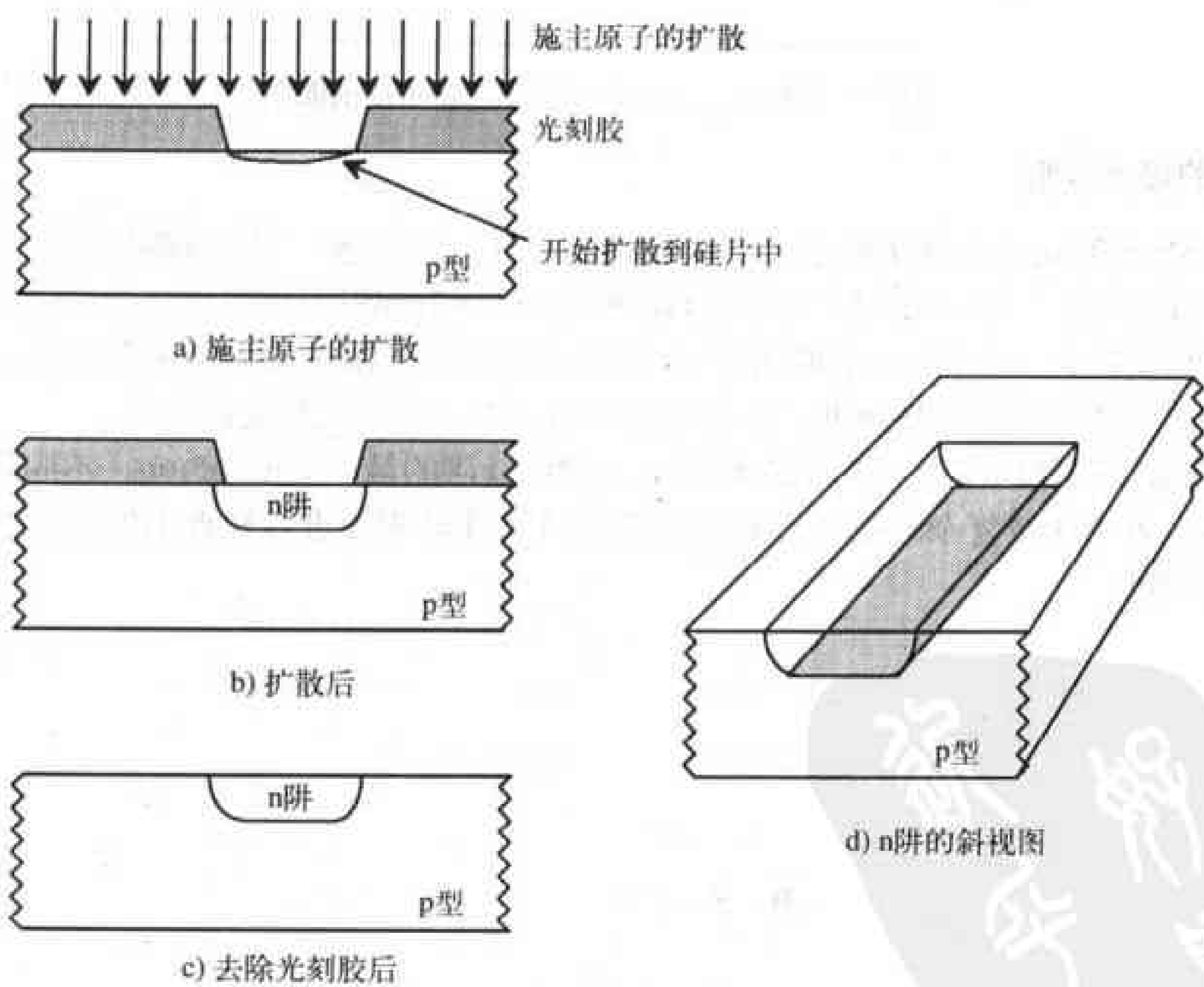


图2-5 n阱的形成

2.2 n阱的版图设计

画n阱版图时的视图，是我们从芯片上部看下来时的俯视图。下例示意了如何画一个10μm × 10μm的n阱版图。

例2.1

先使用LASI程序画出一个10μm × 10μm尺寸n阱的版图，再画出这个版图的剖面图。假设我们使用前一章给出的CN20设置，并使用Layr命令在版图层表中选择“nwel”层。如果坐标原点不显示，则按键盘r键。现在选择Add命令，这时在窗口的底部应该显示：对象为矩形、格点间距为1μm。将光标移到原点，点击鼠标左键然后松开，接着移动鼠标，直到显示的距离为ux = 10μm，uy = 10μm，再点击一下鼠标左键，这样n阱版图就画完了。最后显示的结果应该和图2-6上半部分相同。由图中看出：由于横向扩散，剖面图上n阱的长和宽的实际尺寸与版图上的设计尺寸并不一致。 ■

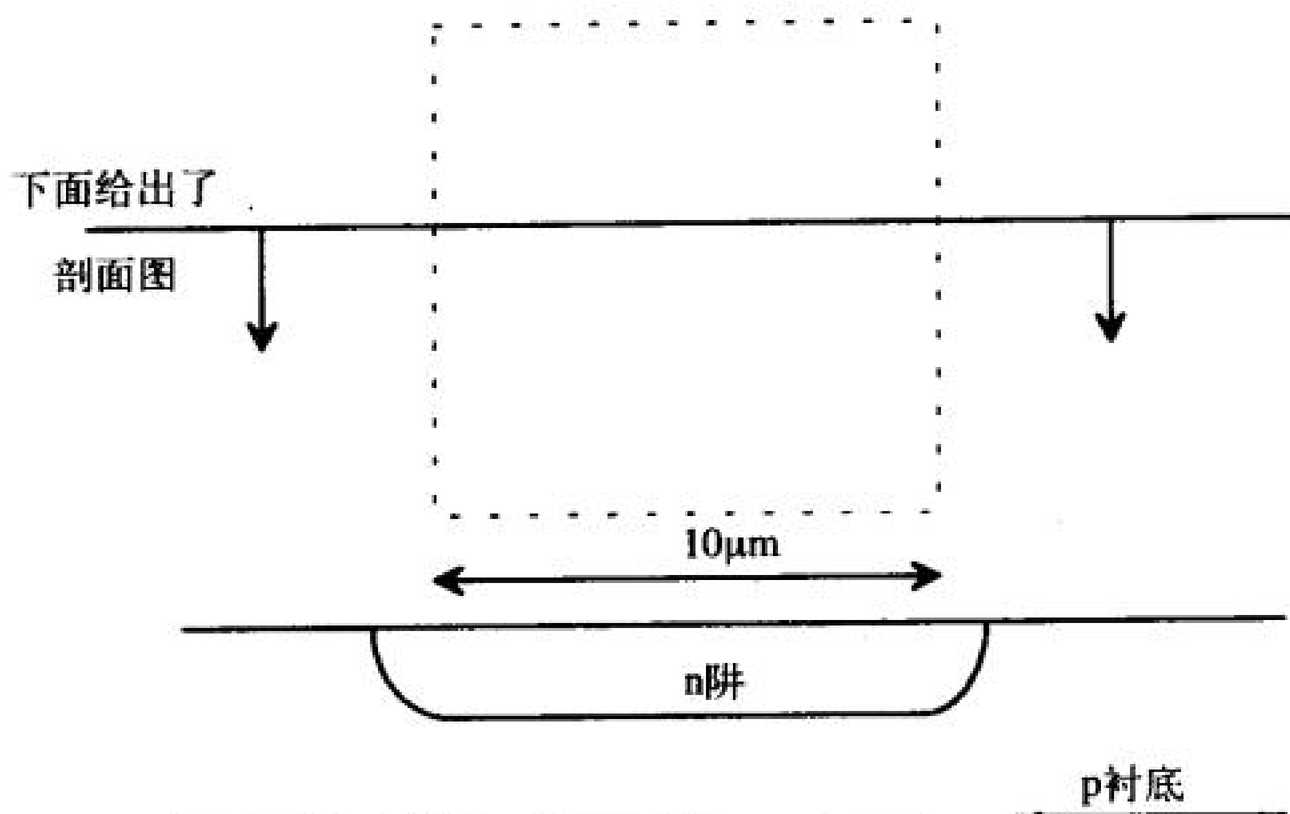


图2-6 10μm × 10μm尺寸n阱的版图及剖面图

2.2.1 n阱的设计规则

现在已经知道如何画n阱的版图了。我们也许会有一个问题：“对n阱的尺寸和阱与阱之间的距离有什么要求呢？”也就是说：可以把n阱画成2μm × 2μm吗？可以让两个不同的阱之间的距离为1μm吗？实际上，CMOS工艺的所有层的图形都有最小间距和最小尺寸的要求。设计集成电路工艺的工艺工程师指定设计规则。附录A列出了CN20工艺的完整设计规则。

图2-7给出了CN20工艺中n阱的设计规则，可知：n阱的最小宽度为3μm，不同阱之间的最小间距为9μm。对于比较复杂的版图，必须借助EDA软件对版图进行检查来保证所设计的版图没有违反设计规则。

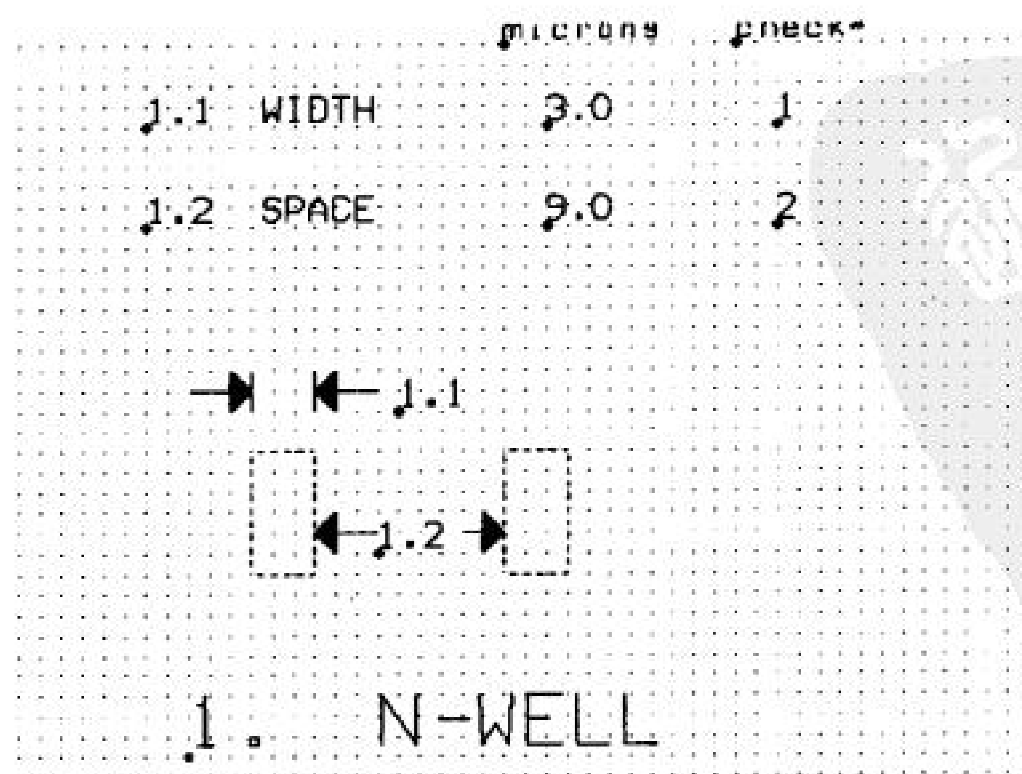
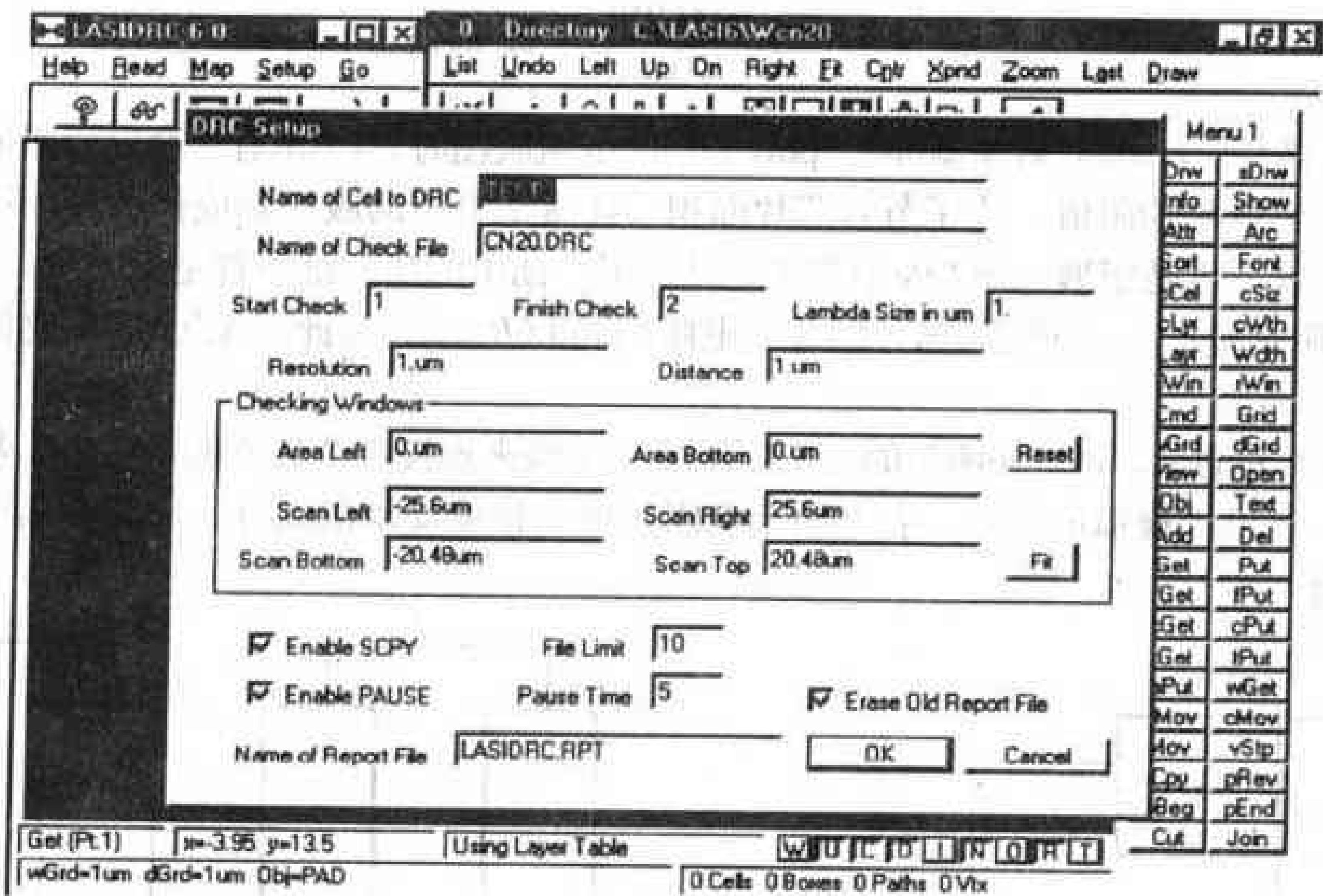


图2-7 n阱的版图设计规则

25
~
29

2.2.2 LasiDrc程序的使用

从LASI系统菜单中选择LasiDrc程序，即可以对版图执行设计规则检查（Design Rule Check，DRC）。在弹出的LasiDrc窗口中，首先需要点击Setup菜单以完成系统设置，如下图所示。图中，需输入待检查单元的名字，并输入cn20.drc作为检查文件。现在我们只知道两条设计规则（即图2-7中的check 1和check 2），所以，Start Check项填1，Finish Check项填2。接着关闭设置窗口，点击LasiDrc窗口顶部的Go来启动检查程序。如果版图存在DRC错误，会产生一个位图（可用Map命令显示该位图），并把错误存到一个报告文件中（可用Read命令读取）。DRC检查的对象是调用LasiDrc程序前或者DRC程序打开后执行Save命令时，窗口中正在显示的这一部分版图。这个功能可使用户只对感兴趣的特定区域进行DRC操作，从而减少程序的运行时间。如果要对整个芯片版图做设计规则检查，只需在“DRC Setup”窗口中按Fit按钮即可。



2.3 n阱电阻阻值的计算

n阱除了用来做PMOS管的衬底外，有时还被用来做集成电阻。电阻的阻值是电阻材料的电阻率ρ和电阻尺寸的函数。图2-8中材料两端之间的电阻值为：

30

$$R = \frac{\rho}{t} \cdot \frac{L}{W} \tag{2-2}$$

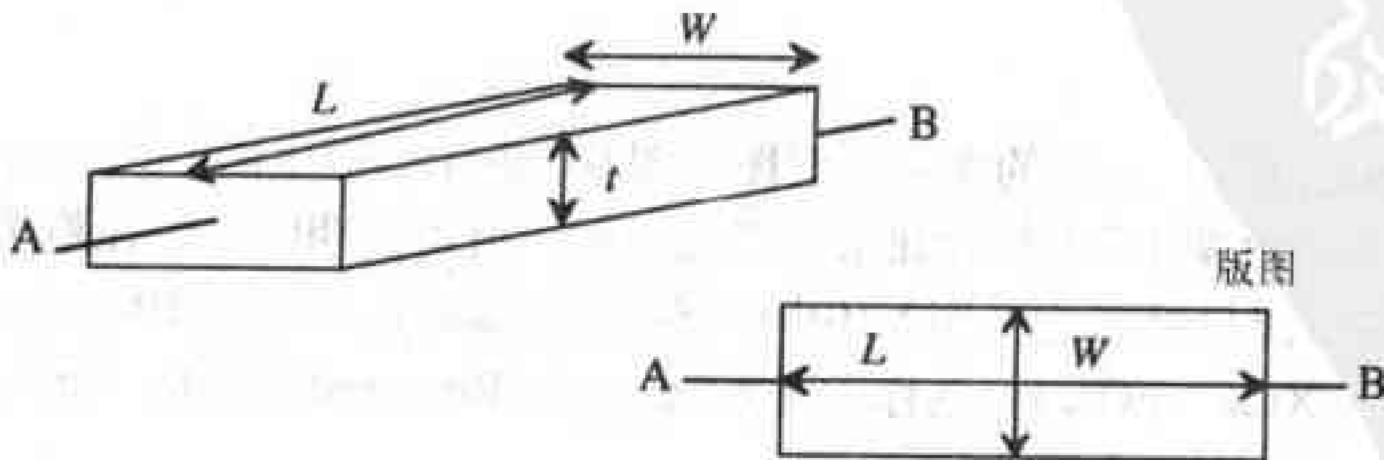


图2-8 矩形电阻阻值的计算

一旦选定了工艺，那么，芯片各材料层（如n阱等）的厚度就确定下来了（仅由工艺决定），设计者无法改变。设计者只能控制各材料层的宽度W和长度L。W和L就是芯片版图上的尺寸。公式（2-2）也可写作：

$$R = R_{square} \cdot \frac{L}{W} \tag{2-3}$$

式中，R_{square}是材料的方块电阻，单位为Ω/方块。

例2.2

若n阱的宽为10μm、长为100μm，计算该n阱电阻的阻值。

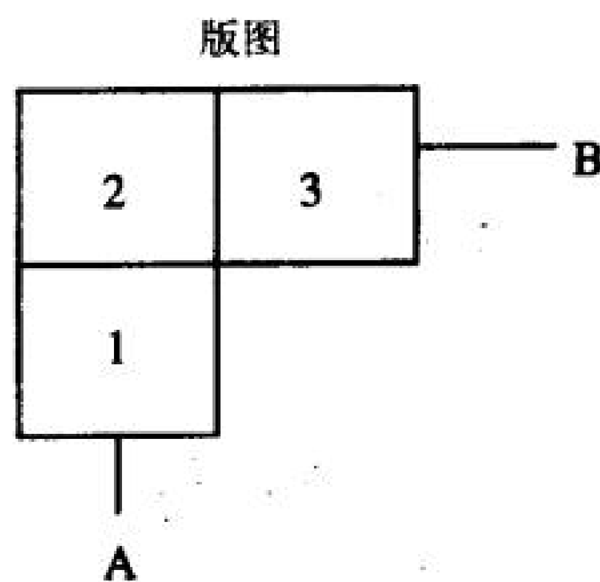
从附录A的Orbit公司的CN20工艺电学参数可知：n阱方块电阻的最小值是2 000Ω/方块，最大值是3 000Ω/方块，典型值是2 500Ω/方块。因此，该n阱电阻阻值的典型值是：

$$R = 2\ 500 \cdot \frac{100\ \mu m}{10\ \mu m} = 25\ k\Omega$$ ■

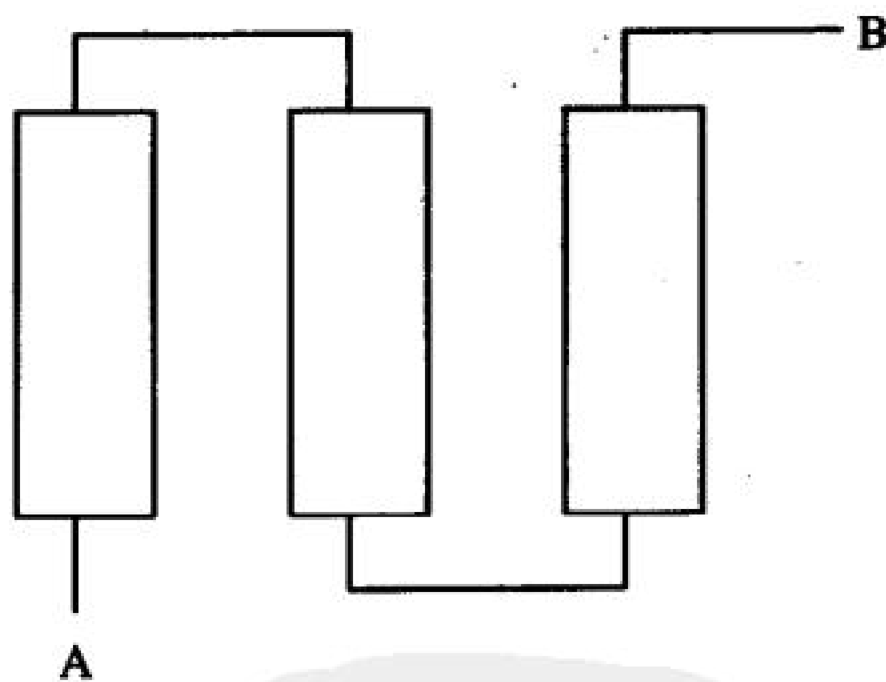
在选择"路径"（path）对象画n阱、poly等层的电阻版图时，LASI有一个电阻阻值计算器来帮助计算非矩形电阻的阻值。为了节省芯片面积，通常把电阻的版图画成折叠形。这时，电阻版图的拐角处就不再是矩形。图2-9a示意了这种情况，图中的所有部分都是正方形，第1部分跟第3部分的电阻都是R_{square}，而第2部分的等效电阻约为$0.6R_{square}$。因此，A点与B点之间的总电阻为$2.6 \cdot R_{square}$。

与图2-9a不同的是，图2-9b所示的电阻版图使用连线来连接各个独立的电阻块，从而避免了拐角的出现。在设计模拟电路时，若对两个电阻比值的精度要求很高时，通常在画电阻版图时避免出现拐角。

31



a) 计算带拐角的电阻阻值



b) 没有拐角的电阻版图

图 2-9

n阱电阻

所有的工艺步骤完成后，n阱的实际剖面图如图2-10所示。图中的n+注入和p+注入用来提高场氧器件的阈值电压，在第4章中将对此给予详细说明。值得说明的是：在附录A中，Orbit的电学参数中的n阱方块电阻已经考虑了图2-10中n+场注入的影响。在图2-10中没有画出衬底连接。图中的场氧（Field OXide，FOX），也称做凹入氧化层（Recessed Oxide，ROX），将在第4章中与有源区、多晶硅一起讨论。

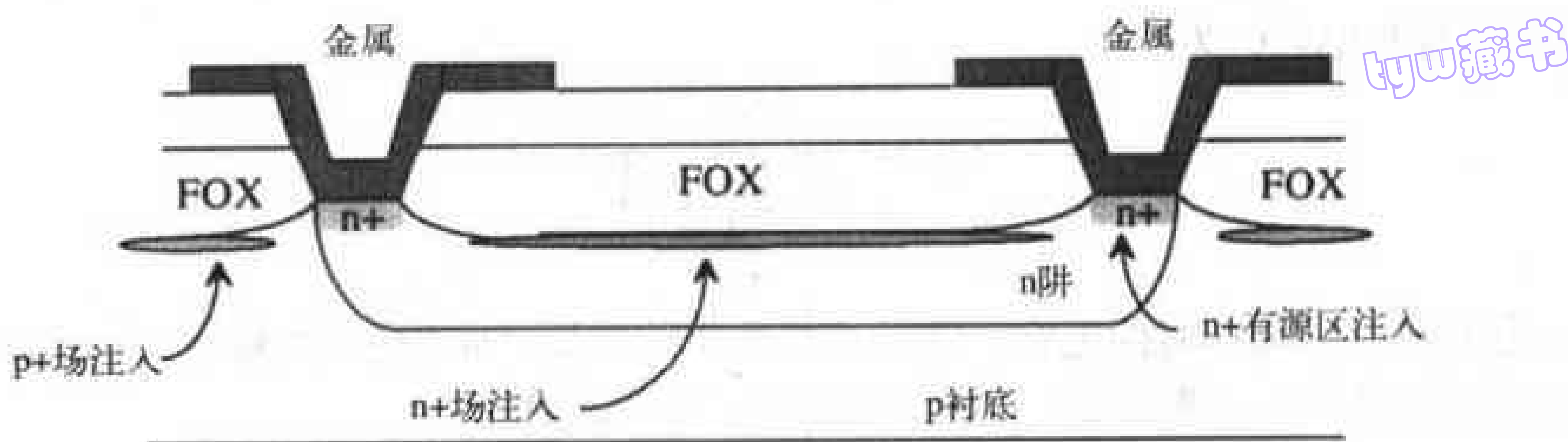


图2-10 n阱的剖面图（画出了场注入）。场注入有时也被称为“沟道截止注入”

2.4 n阱/p衬底二极管

只要在p衬底中放入一个n阱，就会形成一个二极管。因此，二极管的建模对手算和SPICE仿真都很重要。首先，让我们用n阱/p衬底构成的PN结作为一个例子来分析二极管[2]。二极管的DC特性由Shockley（肖克莱）二极管公式给出：

32

$$I_D = I_S\left(e^{\frac{V_d}{nV_T}} - 1\right) \tag{2-4}$$

式中，电流I_D是二极管电流；I_S是标称电流（也称为反向饱和电流）；V_d是二极管上的电压（p型材料为二极管阳极，n型材料为二极管阴极，假定阳极相对于阴极为正）；V_T是热电压，定义为$\frac{kT}{q}$，其中k是波尔兹曼常数（1.3806×10^{-23}J/K），T是绝对温度，q是电子电荷（1.6022×10^{-19}C）；n是发射效率，与掺杂分布有关，它会影响二极管的指数特性。另外，在SPICE中，标称电流I_S与面积因子有关。SPICE电路仿真程序认为：模型语句中I_S参数的值仅仅针对参考面积为1的二极管，如果一个二极管的面积因子为2，那么式（2-4）中I_S的值应该等于模型语句中I_S参数值的2倍。

2.4.1 耗尽层电容

n型材料中含有大量的自由电子，而p型材料中则含有大量的自由空穴。PN结的形成导致p型材料和n型材料之间的界面出现了耗尽区，如图2-11所示。耗尽区是自由电子和空穴均被耗尽的区域。自由电子穿过结，留下了固定的施主原子，使得在n型半导体一侧存在正电荷；空穴向右穿过结，在p型半导体一侧留下负电荷。结两边耗尽区内的固定原子分别带有正电荷和负电荷，形成电场，该电场对穿过结的电子或空穴施加外力，阻止更多的电子和空穴穿过二极管，使得二极管内的电荷分布最终保持一种动态平衡。这就是耗尽区的形成过程，也是耗尽层电容（一种寄生电容）的产生原因。

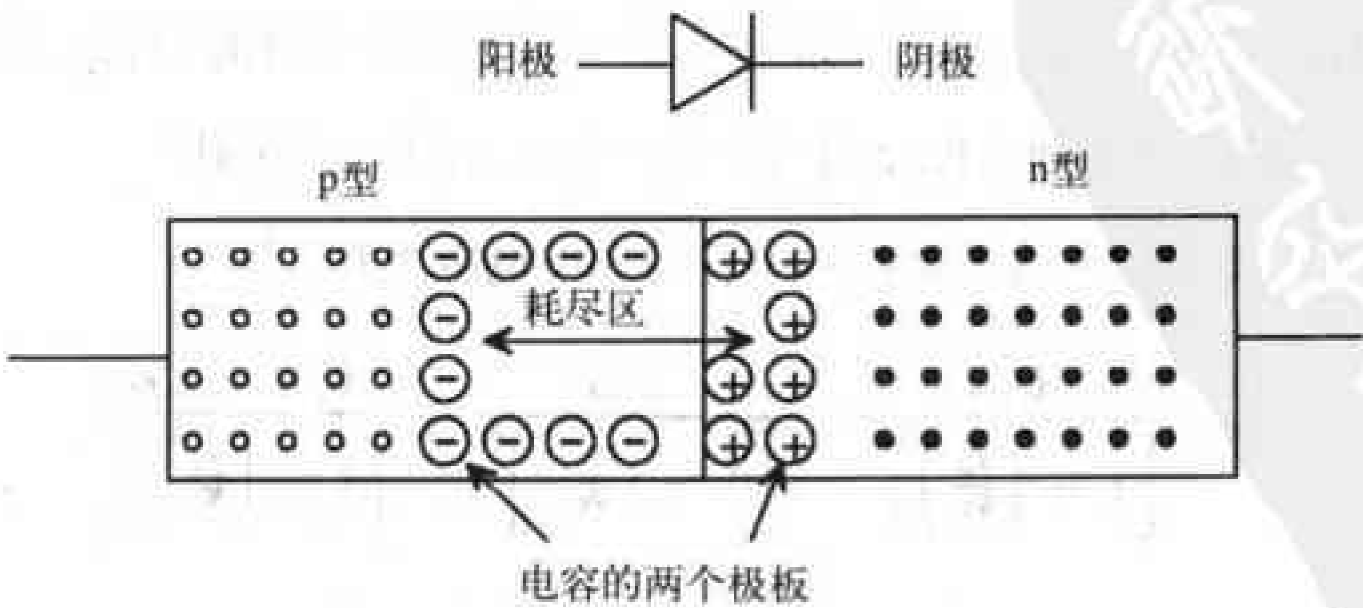


图2-11 PN结耗尽区的形成

PN结的耗尽层电容C_j为:

33

$$C_j = \frac{C_{j0}}{\left[1-\left(\frac{V_d}{\varphi_0}\right)\right]^m} \tag{2-5}$$

式中，C_{j0}为PN结在零偏压时的电容；V_d为二极管上的电压；m为梯度系数（反映构成PN结的n型材料和p型材料之间的过渡过程）；ϕ_0是内建势，由下式给出:

$$\phi_0 = V_T \cdot \ln\left(\frac{N_A N_D}{n_i^2}\right) \tag{2-6}$$

式中，N_A与N_D分别为p型半导体与n型半导体的掺杂浓度；V_T为热电压$\frac{kT}{q}$（室温下为26mV）；n_i为硅的本征载流子浓度（$n_i = 14.5 \times 10^9 \text{cm}^{-3}$）。

例2.3

简单计算100μm × 100μm大小的n阱/p衬底二极管的耗尽层电容的大小，其中，衬底掺杂浓度为10^{16}cm^{-3}，阱的掺杂浓度为10^{16}cm^{-3}，PN结零偏压耗尽层电容为$100\text{aF}/\mu\text{m}^2$，梯度系数为0.333，并假定n阱的深度为3μm。

我们首先用公式（2-6）来计算内建势:

$$\phi_0 = (0.026) \cdot \ln\frac{10^{16} \cdot 10^{16}}{(14.5 \times 10^9)^2} = 0.7\ \text{V}$$

耗尽层电容由底部电容和侧壁电容两部分构成，如图2-12所示。

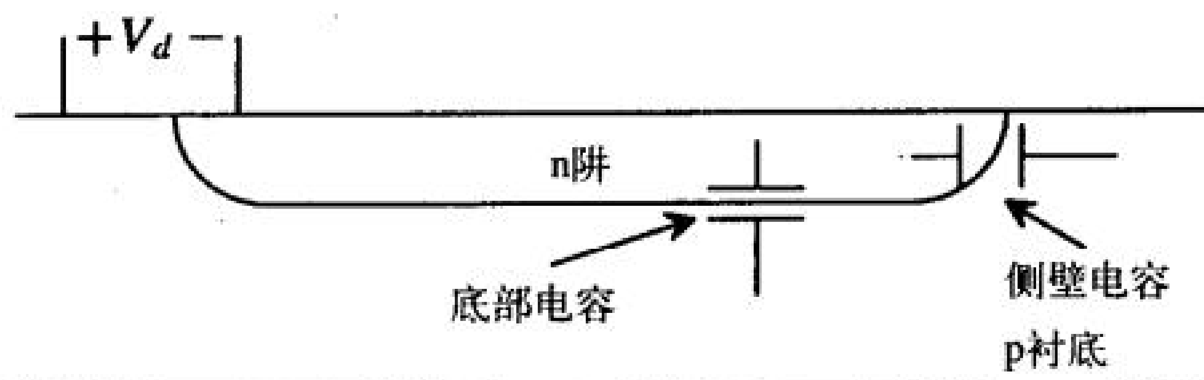


图2-12 底部与侧壁的PN结

底部电容的零偏压耗尽层电容C_{j0b} = 单位面积电容值 × 底部的面积，为:

$$C_{j0b} = (100\ \text{aF}/\mu\text{m}^2) \cdot (100\ \mu\text{m})^2 = 1\ \text{pF}$$

34

侧壁电容的零偏压耗尽层电容C_{j0s} = 单位面积电容值 × 阱的深度 × 阱的周长，为:

$$C_{j0s} = (100\ \text{aF}/\mu\text{m}^2) \cdot (3\ \mu\text{m}) \cdot (400\ \mu\text{m}) = 120\ \text{fF}$$

n阱与p衬底二极管的总耗尽层电容值是底部电容与侧壁电容之和，即:

$$C_j = \frac{C_{j0b}}{\left[1-\left(\frac{V_d}{\varphi_0}\right)\right]^m} + \frac{C_{j0s}}{\left[1-\left(\frac{V_d}{\varphi_0}\right)\right]^m} = \frac{C_{j0b}+C_{j0s}}{\left[1-\left(\frac{V_d}{\varphi_0}\right)\right]^m}$$

代入具体数值，得:

$$C_j = \frac{1\ \text{pF} + 0.120\ \text{pF}}{\left(1 - \left(\frac{V_d}{0.7}\right)\right)^{0.33}}$$

图2-13示意了这个电容的电容值与反向偏压的关系。我们讨论的二极管耗尽层电容通常是二极管被反向偏置时的耗尽层电容。当二极管正向偏置时，多数载流子（即n型材料中的电子和p型材料中的空穴）都会穿过耗尽区进行扩散，导致耗尽区的内部和两侧有电荷存储，构成存储电容。存储电容通常比耗尽层电容要大很多，因此，需要较长时间才能泄放掉存储电荷。 ■

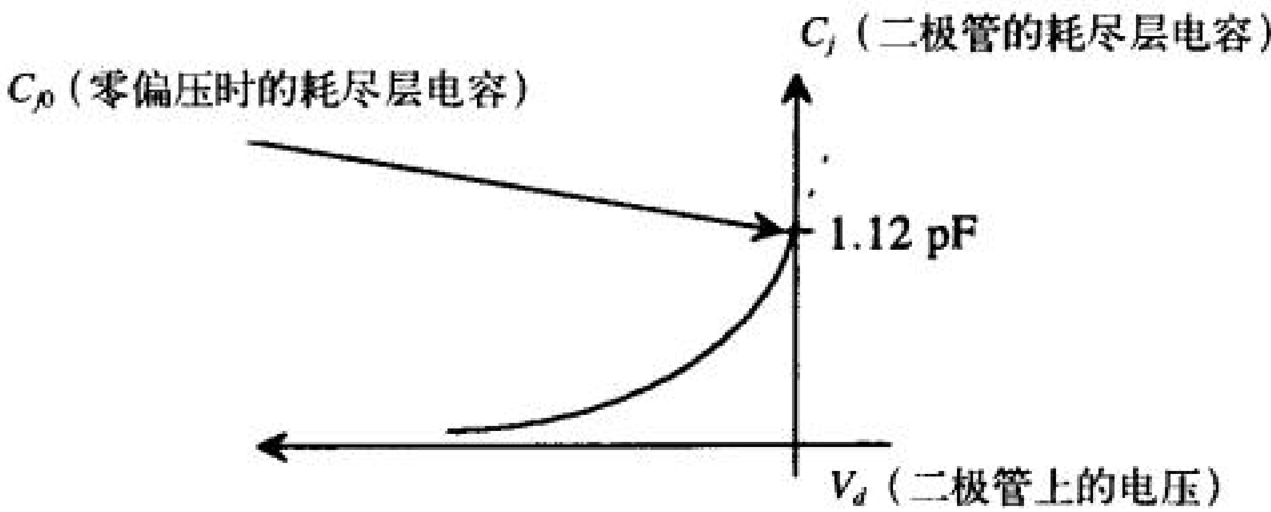


图2-13 二极管耗尽层电容与二极管反向偏压的关系

2.4.2 存储电容

考虑图2-14中正向偏置二极管中的电荷分布。当二极管正向偏置时，n型材料中的电子扩散到p型材料一侧（p型材料中的空穴则相反）。当n型材料中的电子通过结后，会开始向金属接触区扩散。如果电子在到达金属接触区之前，被空穴俘获发生复合，则这种二极管被称作“长基极二极管”（long base diode）。如果结与金属接触区的距离很短，电子能在复合之前到达金属接触区，则这种二极管被称作“短基极二极管”（short base diode）。一个电子（或空穴）从结开始扩散到发生复合的这段时间被成为载流子寿命。对于硅，载流子寿命是10μs量级。无论是长基极二极管还是短基极二极管，从载流子穿越结到发生复合的这段时间都被称作渡越时间τ_T。通过扩散进入p型材料中的电子和进入n型材料中的空穴，携带一定量的电荷，形成电荷存储，产生电容效应。通常将该电容称为扩散电容或存储电容。由于电子在p型材料中为少数载流子，空穴在n型材料中也是少数载流子，因此，扩散电容上的电荷由少数载流子构成。

35

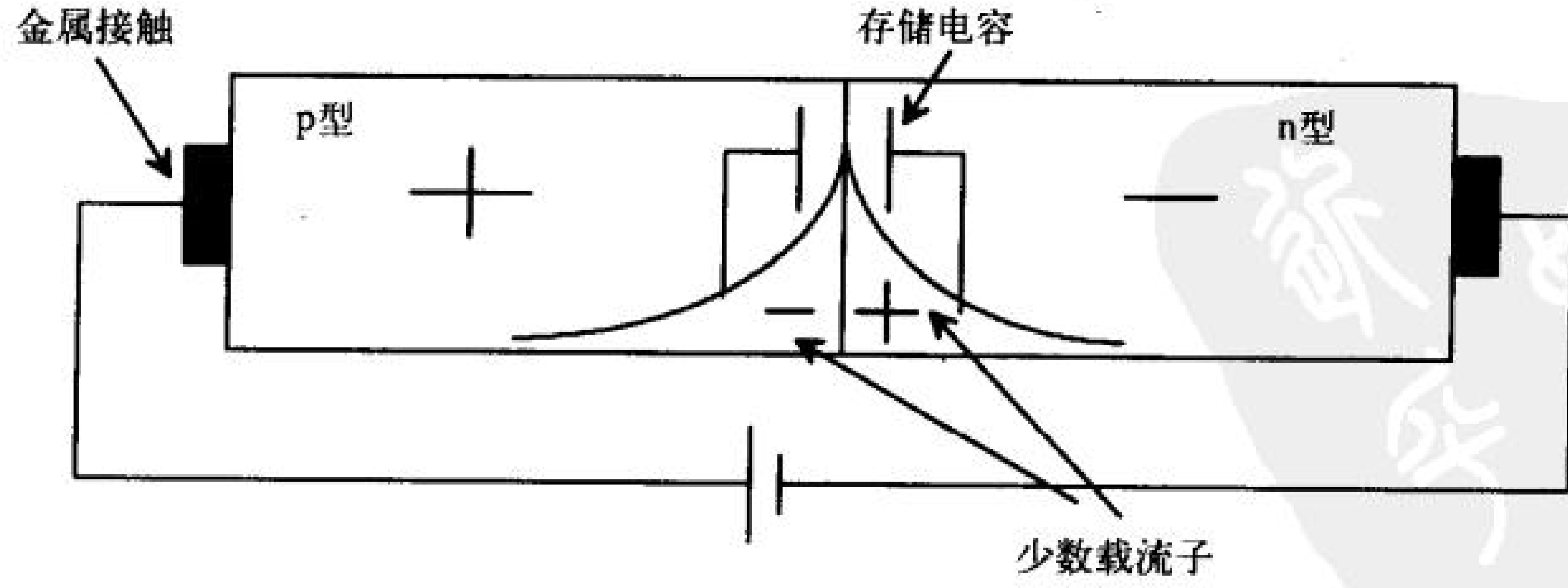


图2-14 正向偏置二极管中的电荷分布

我们可以根据少数载流子的寿命来得到存储电容C_S的表达式。在直流情形下，二极管的存储电容为:

$$C_S=\frac{I_D}{nV_T}\cdot\tau_T \tag{2-7}$$

式中，I_D为通过正向偏置PN结的直流电流，由公式（2-4）得到。用这种方式看二极管的电容，有助于模拟电路中的交流小信号分析；而在数字电路中，一般对二极管的大信号开关特性更感兴趣。另外，在CMOS工艺中一般不希望出现一个正向偏置的二极管。如果存在正向偏置的二极管，这通常意味着电路有问题。这些问题可能与静电保护有关，也可能是容易导致闩锁效应的容性馈通等，将在本章的后面予以详细讨论。

接下来对图2-15中的二极管做开关特征分析。假设$V_F >> 0.7$，$V_R < 0$，并且电压源在V_F上维持足够长的时间使系统达到稳定，也就是说，使少数载流子的扩散达到一个平衡态。在t_1时刻，输入电压源从V_F跳变到V_R，导致电流从$\frac{V_F}{R}$变为$\frac{V_R}{R}$。因为二极管上的存储电荷需要一定时间才能清除，所以，二极管上的电压会在一段时间内保持为0.7V。在t_2时刻，存储电荷清除完毕，这时的二极管基本上像公式（2-5）中随电压变化的电容。也就是说当$t > t_2$时，通过电阻R对二极管耗尽层电容进行充电，直到通过二极管的电压达到V_R，这时电路的电流为零。以上解释了图2-15中电流随电压的指数衰减的变化关系。

36

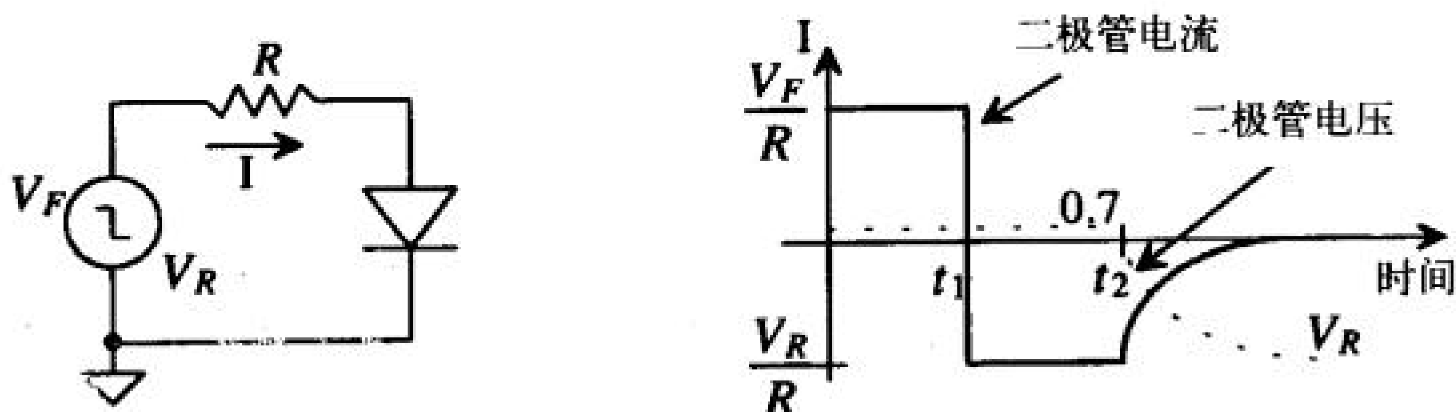


图2-15　二极管测试电路

二极管的存储时间t_S是二极管用来消除存储电荷的时间，可简单地定义为t_2与t_1的差:

$$t_S=t_2-t_1 \tag{2-8}$$

也可以定义为:

$$t_S=\tau_T\cdot\ln\frac{i_F-i_R}{-i_R} \tag{2-9}$$

式中，$i_F=\frac{V_F}{R}$，$i_R=\frac{V_R}{R}$（本讨论中这是一个负数）。使用这种测试方法，可以比较容易地测定少数载流子的寿命。

如果把二极管电流变为$\frac{V_R}{R}$的10%的时刻定义为t_3（其中$t_3 > t_2$），则可以进一步定义二极管的反向恢复时间t_{rr}为:

$$t_{rr}=t_3-t_1 \tag{2-10}$$

2.4.3　SPICE建模

SPICE是IC设计中的主要电路仿真程序。表2-1列出了SPICE中的二极管模型参数。这里需要特别说明一下串联电阻R_S。这个电阻是由二极管的半导体材料的电阻及接触电阻（金属与半

导体的接触电阻）引起的。现在我们只关心半导体材料的电阻。对于反向偏置二极管，随着反向偏压的增大，耗尽层厚度也在变大，二极管的电容与串联电阻都减小。但在这里，我们使用常值电阻为串联电阻建模，也就是说，SPICE并不显示变化的R_S的影响。

表2-1 与二极管相关的SPICE参数

名字	SPICE	
I_S	IS	饱和电流
R_S	RS	串联电阻
n	N	发射效率
V_{bd}	BV	击穿电压
I_{bd}	IBV	电压为V_{bd}时流过的电流
C_{j0}	CJ0	零偏压时的PN结电容
φ_0	VJ	内建势
m	M	梯度系数
τ_T	TT	载流子渡越时间

例2.4

假定二极管的载流子寿命为30ns。使用SPICE并借助图Ex2-4的电路，说明并解释二极管从正向偏置状态转为反向偏置状态时，将会发生什么？

我们假设零偏压耗尽层电容为1pF。该电路的SPICE网表如下：

37

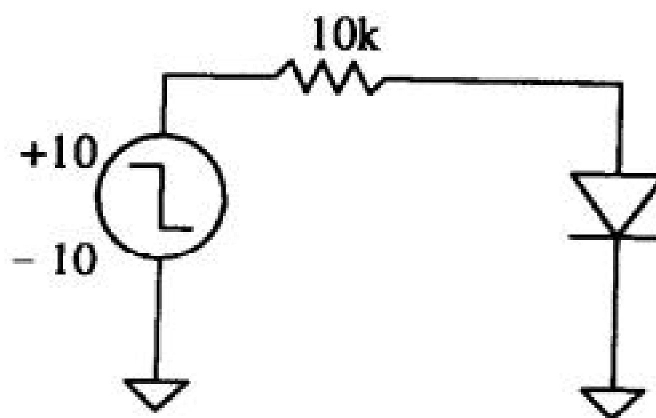


图 Ex2-4

```
Diode storage time.
D1     1 0 TRR
R1     3 1 10k
Vin    3 0    DC 0 PULSE(10 -10 50n .1n .1n 50n 100n)
.Model TRR D
+ IS=1.0E-15 TT=30E-9 CJO=1E-12 VJ=.7 M=0.33
.probe
.tran 1n 100n
.end
```

图2-16给出了输入阶跃电压、二极管电流和二极管上的电压随时间的变化。一个比较有趣的现象是：当输入阶跃电压由10V变为−10V后，尽管这时的二极管仍处在正向偏置状态，但实际通过二极管的电流是负方向的。在这段时间内，结上存储的少数载流子被消除。而存储时间是由下式给出：

$$t_S = 30\text{ ns} \cdot \ln\frac{0.93\text{ mA} + 1.07\text{ mA}}{1.07\text{ mA}} = 18.8\text{ ns}$$

这与仿真结果接近。另外，仿真进行50ns后，输入电压的跳变才发生。这可以保证输入电压从10V跳到−10V时电路已经处于稳态。

■ 38

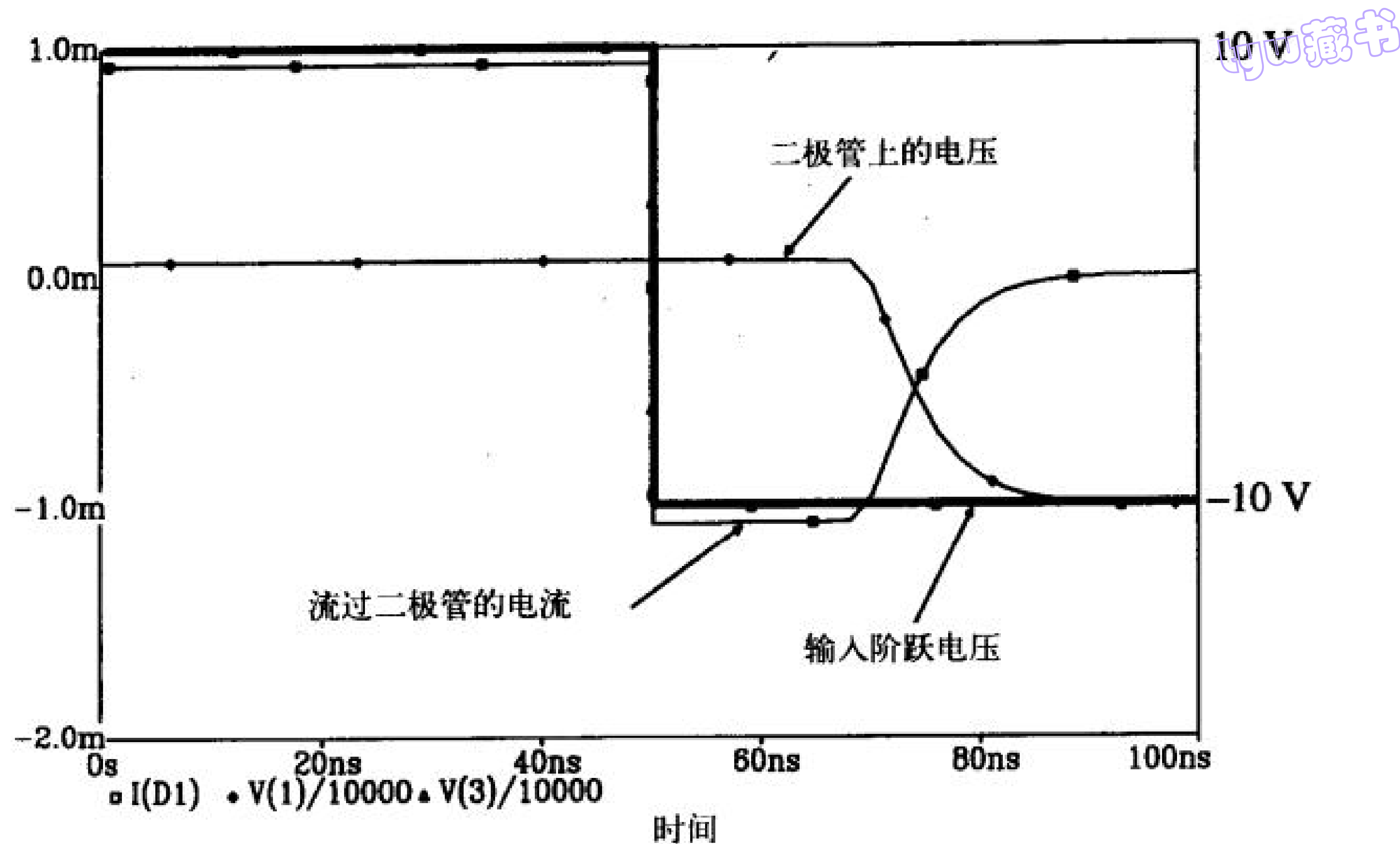


图2-16 例2.4的仿真结果（电流和电压）

2.5 n阱的RC延迟

现在，我们知道n阱可以用做电阻，也可以与衬底一起构成二极管。图2-17a示意了n阱的寄生电容与寄生电阻。既然n阱与衬底之间存在耗尽层电容，我们可以画出n阱电阻的等效符号，如图2-17b所示。这是RC传输线的基本形式。如果我们在n阱电阻的一端加跳变信号，另一端会在有限时间后出现阶跃，这个时间被称作延迟时间，定义为输出电压跳变到稳定电压值的50%所需时间。

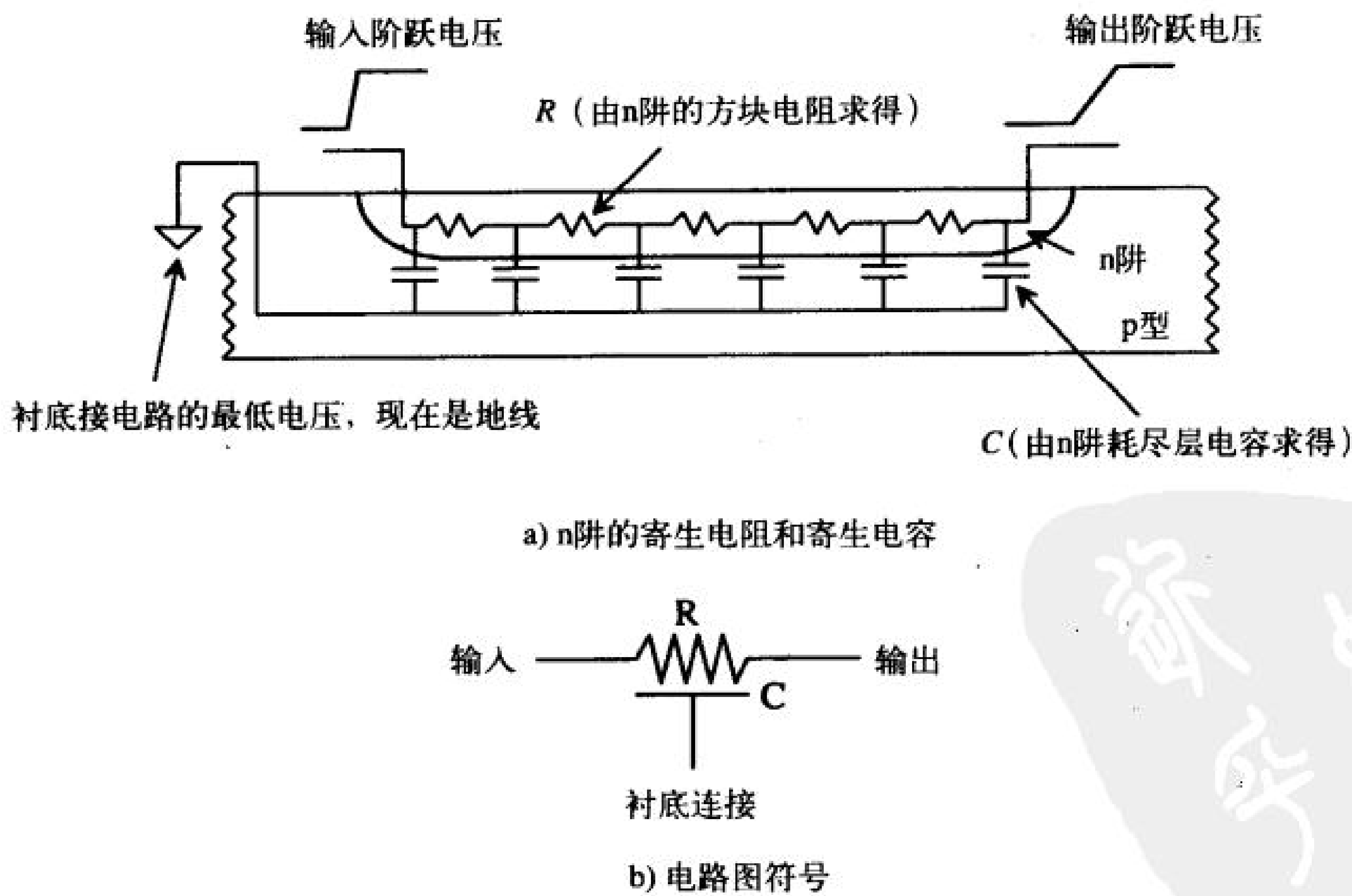


图 2-17

若已知单位长度的电阻为r、单位长度的电容为c及单位长度的数目为l，可以由下式求得延迟[3]:

$$t_d = 0.35rcl^2 \tag{2-11}$$

例2.5

一个250kΩ的电阻是由300μm长、3μm宽的n阱构成，计算该电阻的延迟时间，并用SPICE验证你的计算。

如果我们把3μm × 3μm的正方形作为单元，则可把电阻分成100个这样的正方形。单位长度的数目l为100，单位长度电阻r为2.5 kΩ，现在我们面临的问题是如何确定这些正方形n阱与衬底之间的电容。因为电容是电压的函数，我们可以选择零偏压耗尽层电容来做最坏情况估算（如图2-13）。从例2.3可知，n阱与衬底的零偏压耗尽层电容是100aF/μm²。单位长度的电容是底部电容与侧壁电容之和。除了第一个与最后一个正方形，每个单元都只有两个侧壁来贡献耗尽层电容并且其估算值非常小，因此，可忽略侧壁电容。这样，单位长度的电容c为：

39

$$c = C_{j0b} = 100\frac{\text{aF}}{\mu\text{m}^2}(3\cdot 3)\mu\text{m}^2 = 900\ \text{aF}$$

延迟时间可以估算得：

$$t_d = 0.35\cdot rcl^2 = 0.35\cdot 2.5\text{k}\cdot 900\ \text{aF}\cdot 100^2 = 7.88\ \text{ns}$$

图2-18给出了SPICE网表文件和仿真结果，注意：该网表文件是一个SPICE3网表，并不是PSPICE的网表文件；另外，节点是由名字（如Vin、Vout）来标识的，不是用数字来标识。 ■

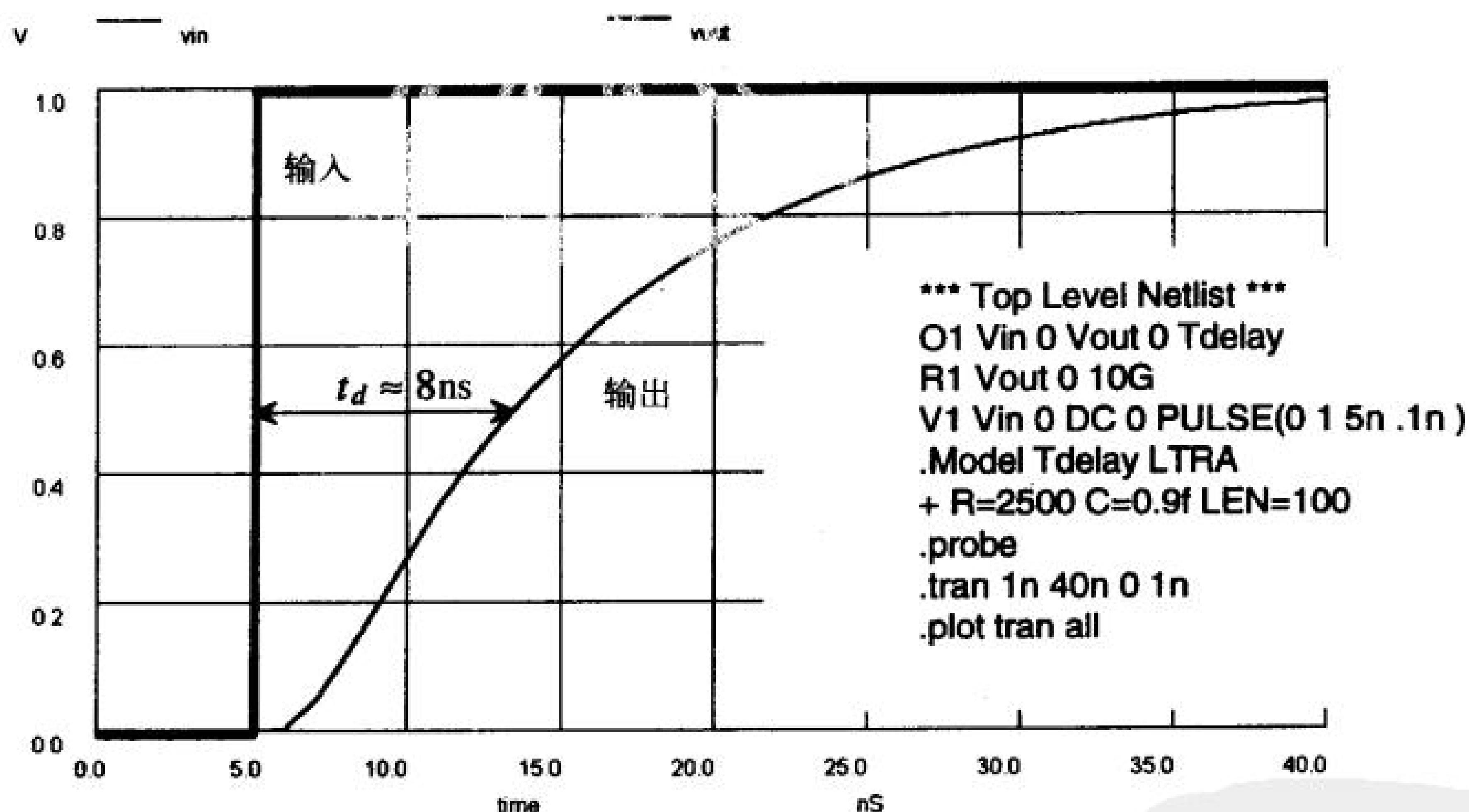


图2-18 例2.5的仿真结果

由于$r\times l$ 和$c\times l$ 分别是n阱的总电阻和阱到衬底的总电容，因此，利用n阱总电阻和阱到衬底的总电容，可以简化公式（2-11）的计算。利用上例中的结果：$R = r\times l = 2\,500\times 100 =$ 250kΩ，$C = c\times l = 900\text{aF}\times 100 = 90\text{fF}$，有：

$$t_d = 0.35\cdot RC = 0.35\cdot 250\text{k}\cdot 90\ \text{fF} = 7.88\ \text{ns} \tag{2-12}$$

这一结果与上例计算得到的结果完全一致。因此，完全可以避免使用单位长度数目l这个参数。上式中的电阻R就取n阱电阻的阻值（上例中为250kΩ），电容C是n阱电阻的底部面积与零偏压耗尽层电容的乘积（= 3 × 300 × 100aF = 90fF）。

参考文献

[1] D. E. Boyce, *LASI Users Manual*, available as on-line help or as a printable manual by pressing Help while LASI is running.

[2] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, McGraw-Hill Publishing Company, 2nd ed., 1988. ISBN 0-07-029158-6.

[3] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley, 2nd ed., 1993. ISBN 0-201-53376-6.

习题

2.1 图P2-1是一段使用4μm宽的路径画出的n阱的版图。首先，参考例2.1，画出图中实线所示位置的剖面图。然后，用LASI程序复制该版图。先使用fGet命令选定路径，然后使用Res命令指定方块电阻为2 500Ω/方块（n阱方块电阻的典型值）、拐角修正系数为0.6，求这段电阻的阻值，并把求得的阻值与图2-9a中电阻的阻值$2.6R_{square}$进行比较。

40~41

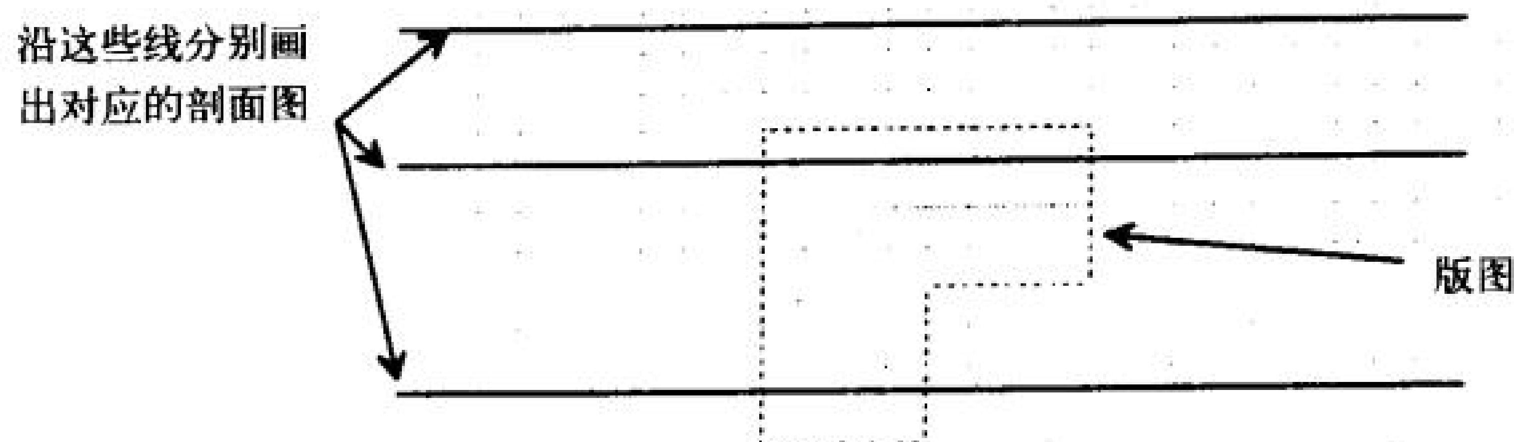


图 P2-1

2.2 在习题2.1的版图中添加两个框（如图P2-2）。用LasiDrc做check1和check2检查，观察该版图是否违反设计规则。

2.3 使用折叠图形画一个250kΩ的n阱电阻（如图P2-3所示），并对电阻版图进行设计规则检查。假设每一段的最大长度为100μm。

2.4 假设CN20工艺中n阱的深度是3μm，求n阱电阻率的最小值、典型值、最大值各是多少?

2.5 PN结的标称电流I_s由标称电流密度J_s（A/m²）、结的宽度和长度确定。当忽略侧壁部分的影响时，$I_s = J_s \cdot L \cdot W$。设$J_s = 10^{-8}$A/m²，估算例2.3中二极管的标称电流值。

2.6 考虑侧壁的影响时，$I_s = J_s \cdot L \cdot W + J_s \cdot (2L+2W) \cdot \text{depth}$，重做习题2.5。

2.7 使用例2.3中的二极管（如图P2-7所示），估算当v_{out}的AC部分为707μV时，输入信号频率（也就是估算$|v_{out}/v_{in}|$的3dB频率）。

2.8 用SPICE仿真验证习题2.7的答案。

2.9 用SPICE验证：当二极管正向偏置时，二极管电流可从阴极流到阳极。

2.10 估算CN20工艺中1MΩ的n阱电阻（2 000μm长、5μm宽）的延迟并用SPICE进行仿真验证。

2.11 如果习题2.10中电阻的一端接+5V电平，另一端接衬底（与地线相连），估算电阻中间位置处，n阱与衬底间的耗尽层电容（F/m^2）。假设电阻的阻值不随位置而改变。

42

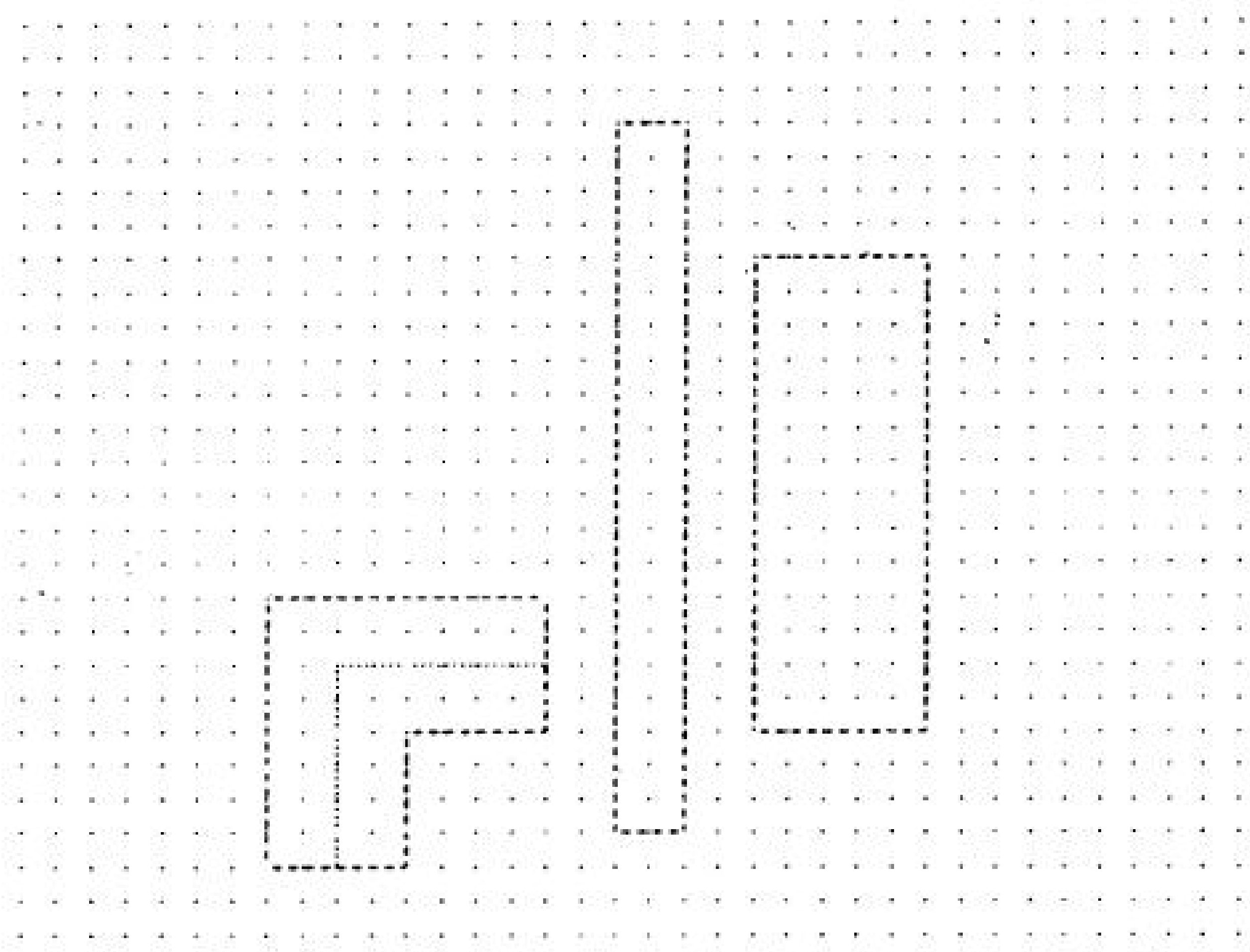


图 P2-2

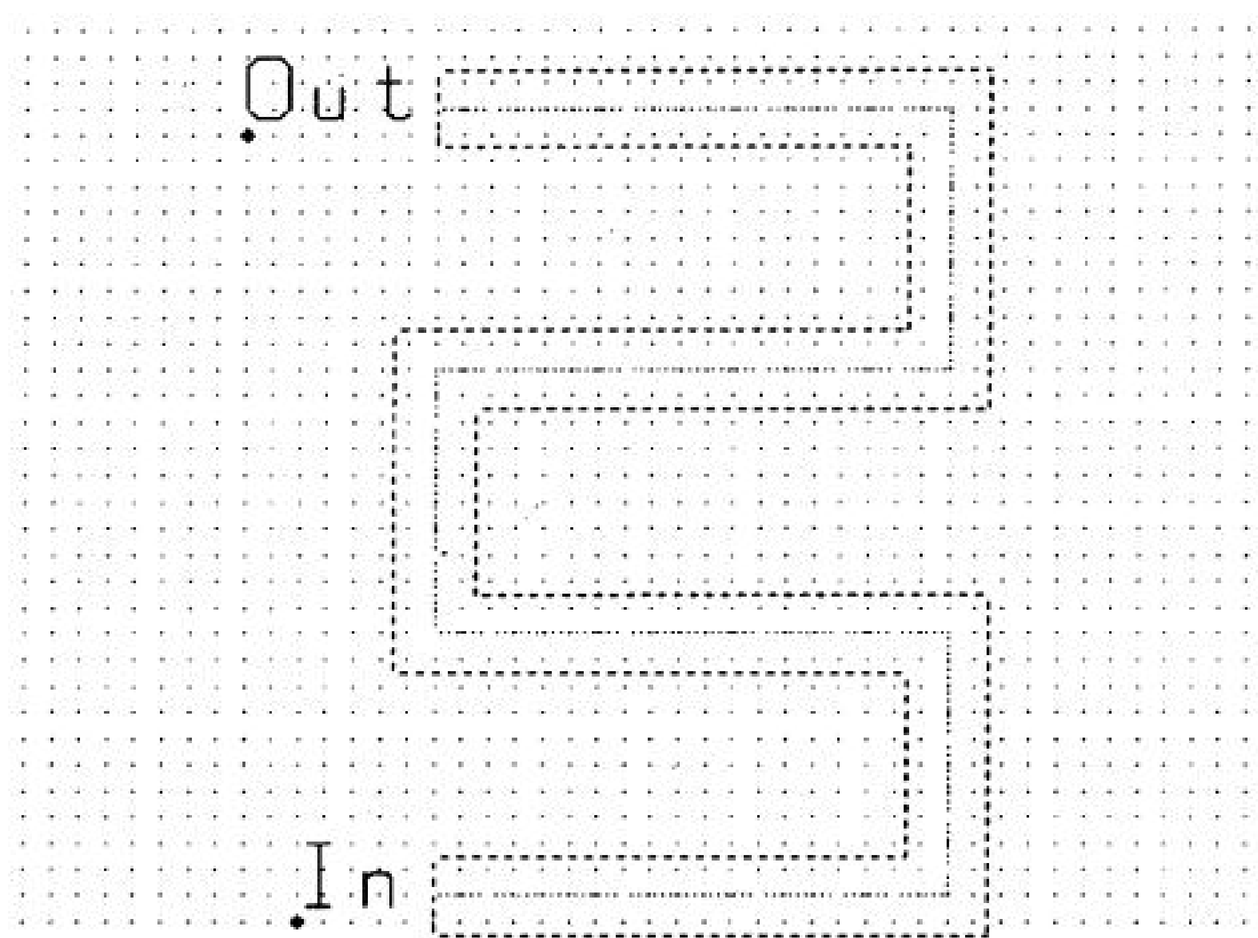


图 P2-3

43

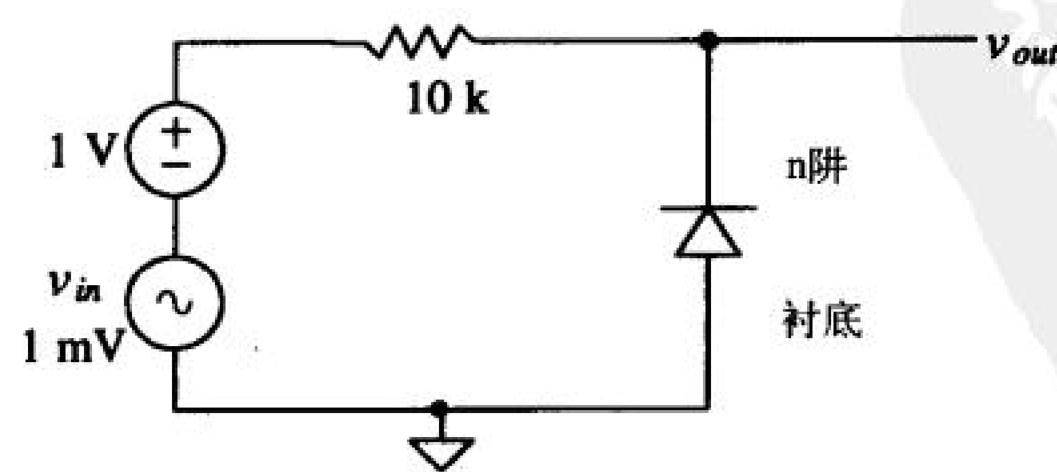


图 P2-7

2.12 二极管的反向击穿电流定义为当$|V_d| < BV$时（Breakdown Voltage，击穿电压）流过二极管的电流。在SPICE中计算反向击穿电流的公式为:

$$I_D = IBV \cdot e^{-(V_d + BV)/V_T}$$

假设100V开始击穿，这时流过PN结的电流是10μA，用SPICE的直流扫描仿真二极管的反向击穿特性。说明：击穿电压BV是一个正数，当二极管开始击穿时$-BV = V_d$。对于这个二极管，当$V_d = -100\text{V}$时开始击穿。

2.13 假设n阱/p衬底二极管的尺寸为50μm × 50μm，而受主掺杂浓度改为10^{15}cm^{-3}，重做例2.3中的计算。

2.14 用来清除二极管中存储电荷的时间被称作存储时间。当$\tau_T = 5\text{ns}$、$V_F = 5\text{V}$、$V_R = -5\text{V}$、$C_{j0} = 0.5\text{pF}$、$R = 1\text{k}$时，估算二极管的存储时间并用SPICE验证估算的结果。

44

第3章 金 属 层

现在我们对阱已经很熟悉了，接下来我们讨论金属层。CN20工艺有两层金属，分别被命名为metal1和metal2。金属层用于把电路连在一起。本章中，我们将讨论压点、金属层设计规则、与金属层相关的电容、串扰、方块电阻和金属电迁移等问题。

3.1 压焊点

压焊点（以下简称为压点）是管芯与封装管壳（或外部世界）之间的连接界面。金属丝的一端焊到压点上，另一端接到引线框。我们见到的封装好的集成电路的管腿是引线框的一部分。下面的讨论中还没有涉及静电泄放（Electrostatic Discharge，ESD）保护，而在实际的压点设计中，这是需要仔细考虑的重要问题。

3.1.1 压点的版图设计

MOSIS定义的压点的基本尺寸是100μm × 100μm。如果想在微探针台上通过扎微探针来测试电路，微探针对应的探针压点[⊖]的尺寸应大于6μm × 6μm。图3-1示意了一个用metal2实现的压点。在剖面图中，metal2的上层和下层都是绝缘层（大部分情况下是SiO_2）。在CMOS工艺中，这些层起到把不同层绝缘的作用。

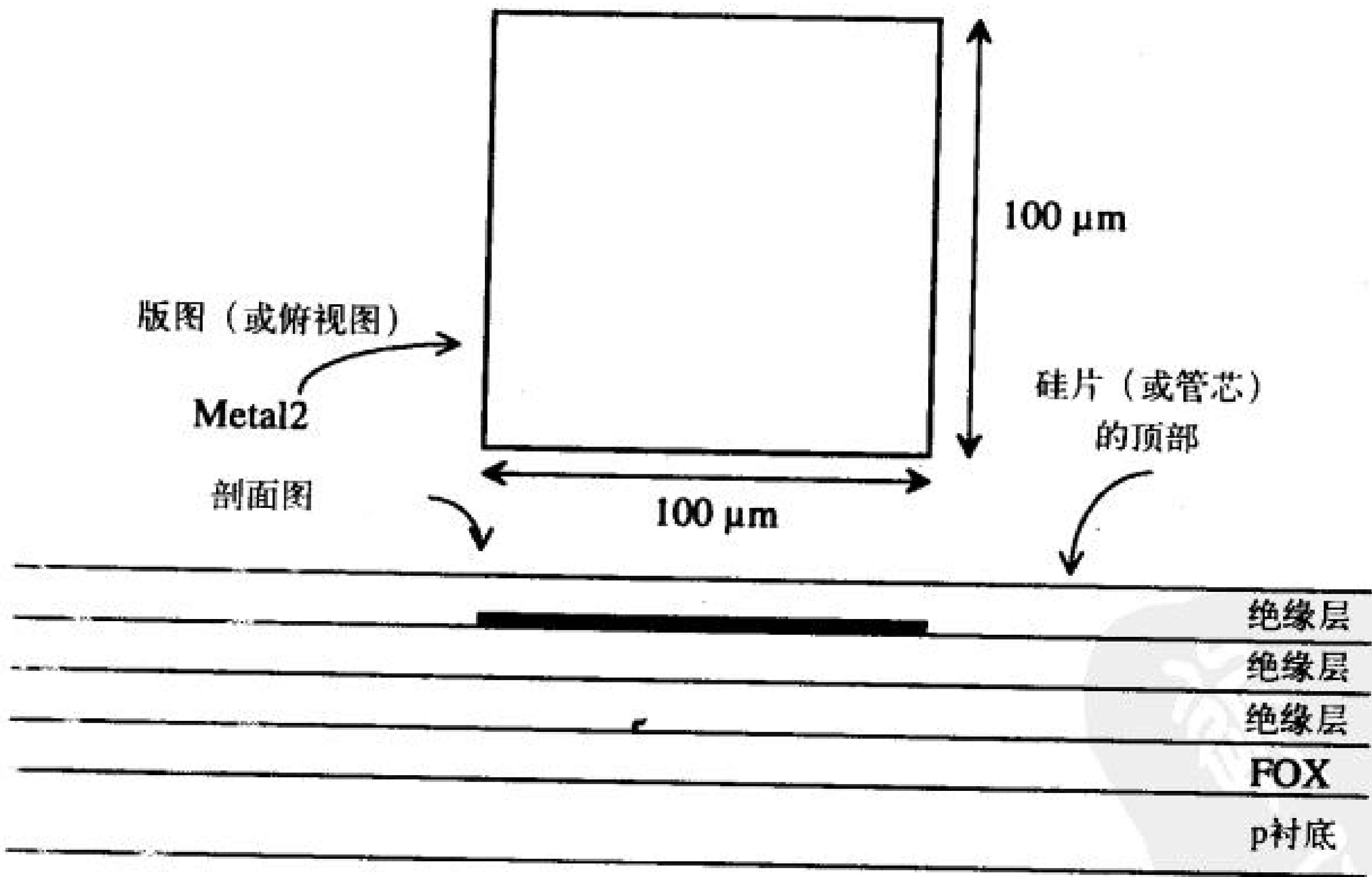


图3-1 压点中的metal2版图及相关剖面图

在深入了解之前，我们也许会问这样一个问题："这块metal2和衬底之间的电容是多少？"

⊖ 探针压点的最小尺寸由钝化层开孔的最小尺寸决定，为6μm。通常，如果条件允许，探针压点应该做成75μm × 75μm。

这个问题很重要。为了在芯片外得到电路的输出信号，我们必须驱动这个电容。附录A的Orbit电学参数中，metal2到衬底的极板电容是13到15aF/μm^2；若取14aF/μm^2，则做压点的metal2与衬底之间的电容为0.14pF。在设计高性能的CMOS数字或模拟电路时，设计者必须考虑一些工艺本身固有的限制。在CN20的设置中，Layer 12用来定义metal2层。因为金属层是用来实现电路、电阻、MOSFET、电容等之间的连接，所以金属层有时也被称作互连线。

由于压点被绝缘层覆盖，我们无法从外部连线到压点。因此，使用PAD层（也称为overglass层，该层在LASI中为layer 13）来定义钝化层（指芯片最顶层的绝缘层）的开孔。钝化层的主要作用是使芯片免受污染。钝化层开孔有时也被称为压点开孔。Orbit规定：metal2的边与PAD边的距离为5微米。图3-2示意了一个由metal2层和PAD层构成的完整压点。

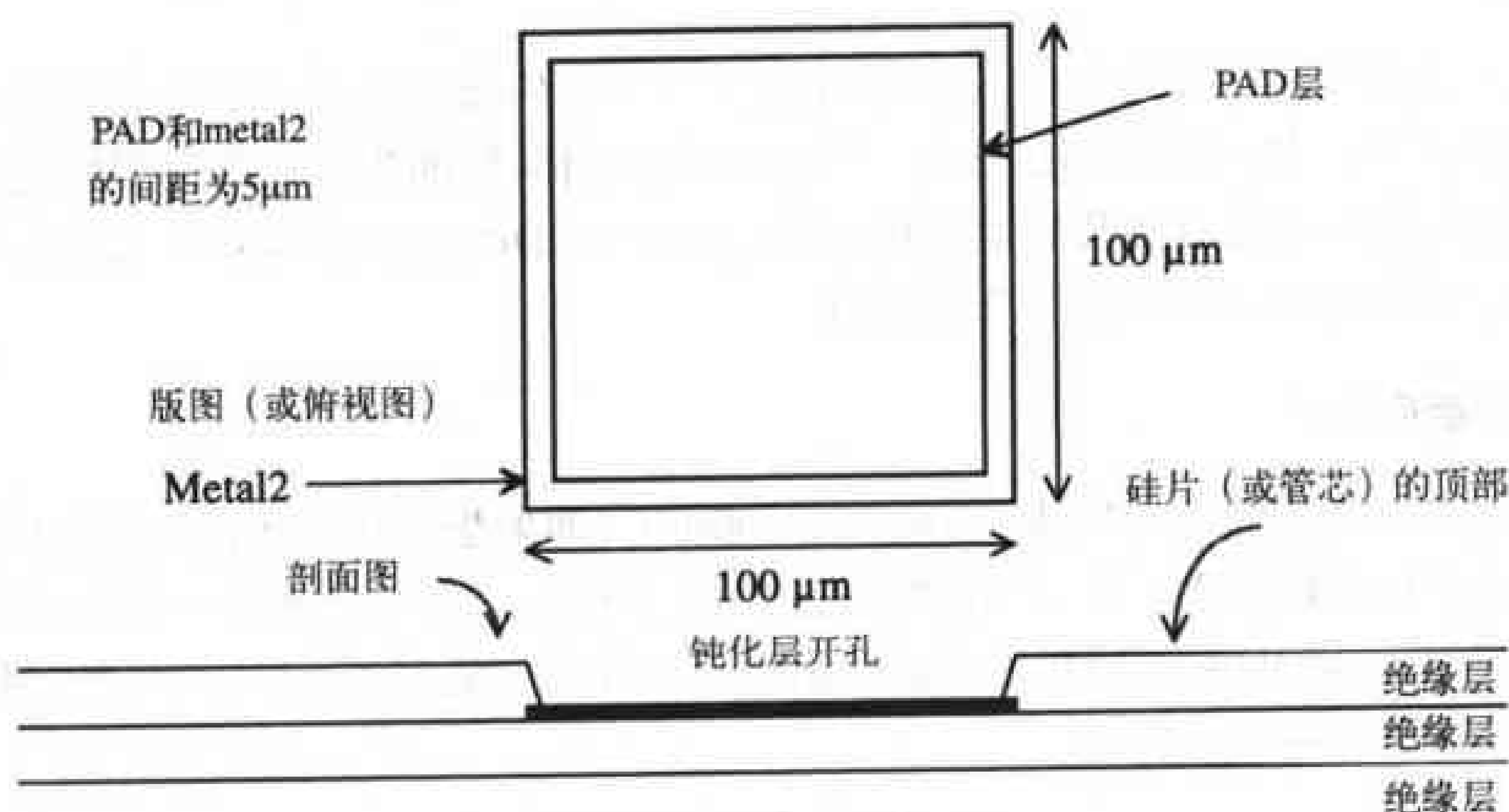


图3-2 带钝化层开孔的metal2压点版图

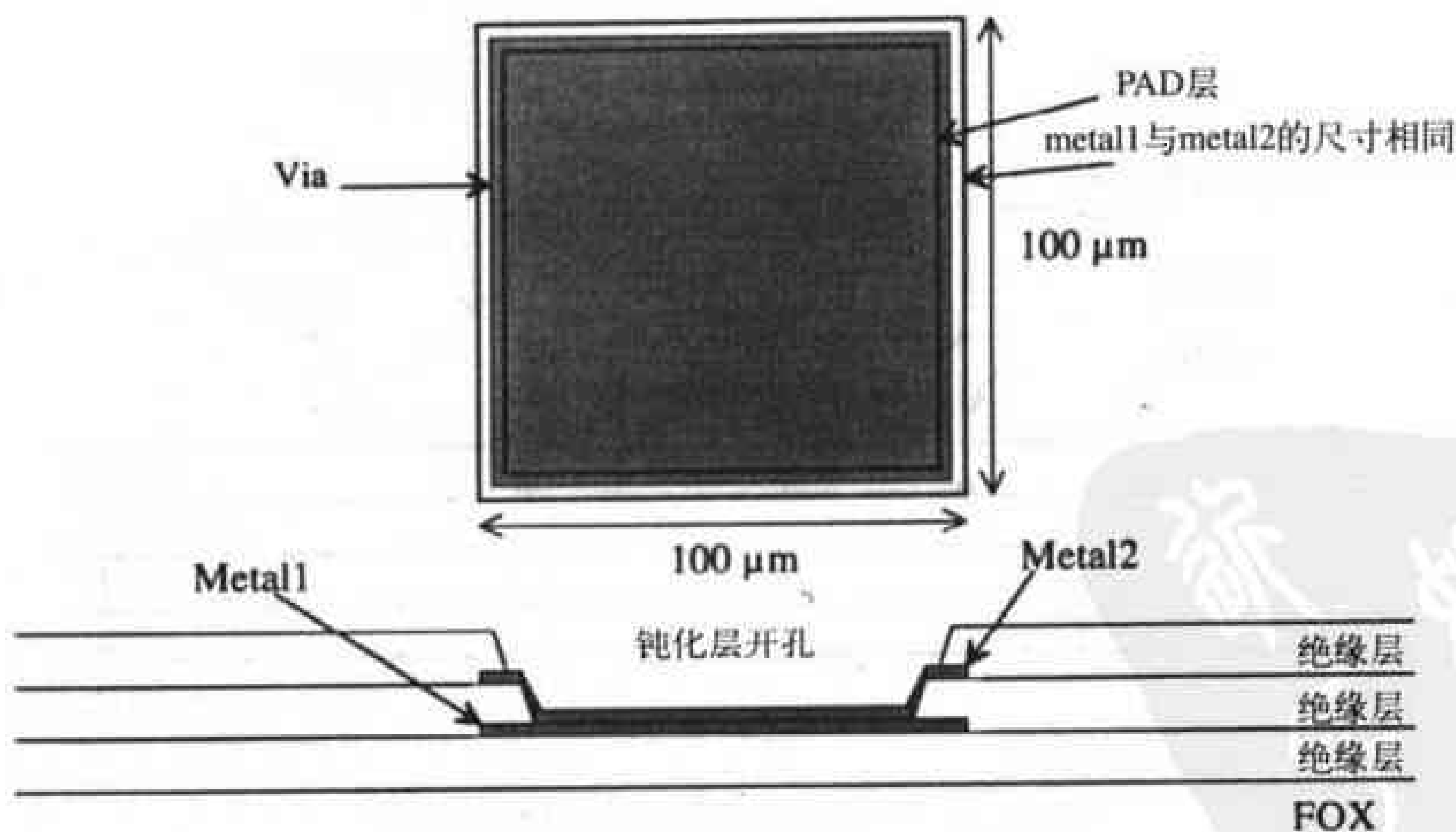


图3-3 由metal1和metal2构成的压点

画压点的版图时，通常在metal2的下面放metal1（也即layer 10）。内部电路通过这层金属与压点相连。metal2通过通孔层（via layer，layer 11）与metal1相连。芯片中能与metal2直接

相连的层只有metal1层，它位于metal2层的下方。metal1则可以与metal2、poly、active（n+或p+）相连，下一章将详细讨论这些。metal2对通孔的覆盖至少是3μm。同时含metal2和metal1的压点如图3-3所示，注意观察通孔如何起到去掉metal2底下的介质层的作用的。当淀积metal2时，metal2会在通孔的位置与metal1实现物理连接。图3-4给出了用LASI设计的压点版图的某一角放大图，这个压点同时使用了metal2与metal1。

45
47

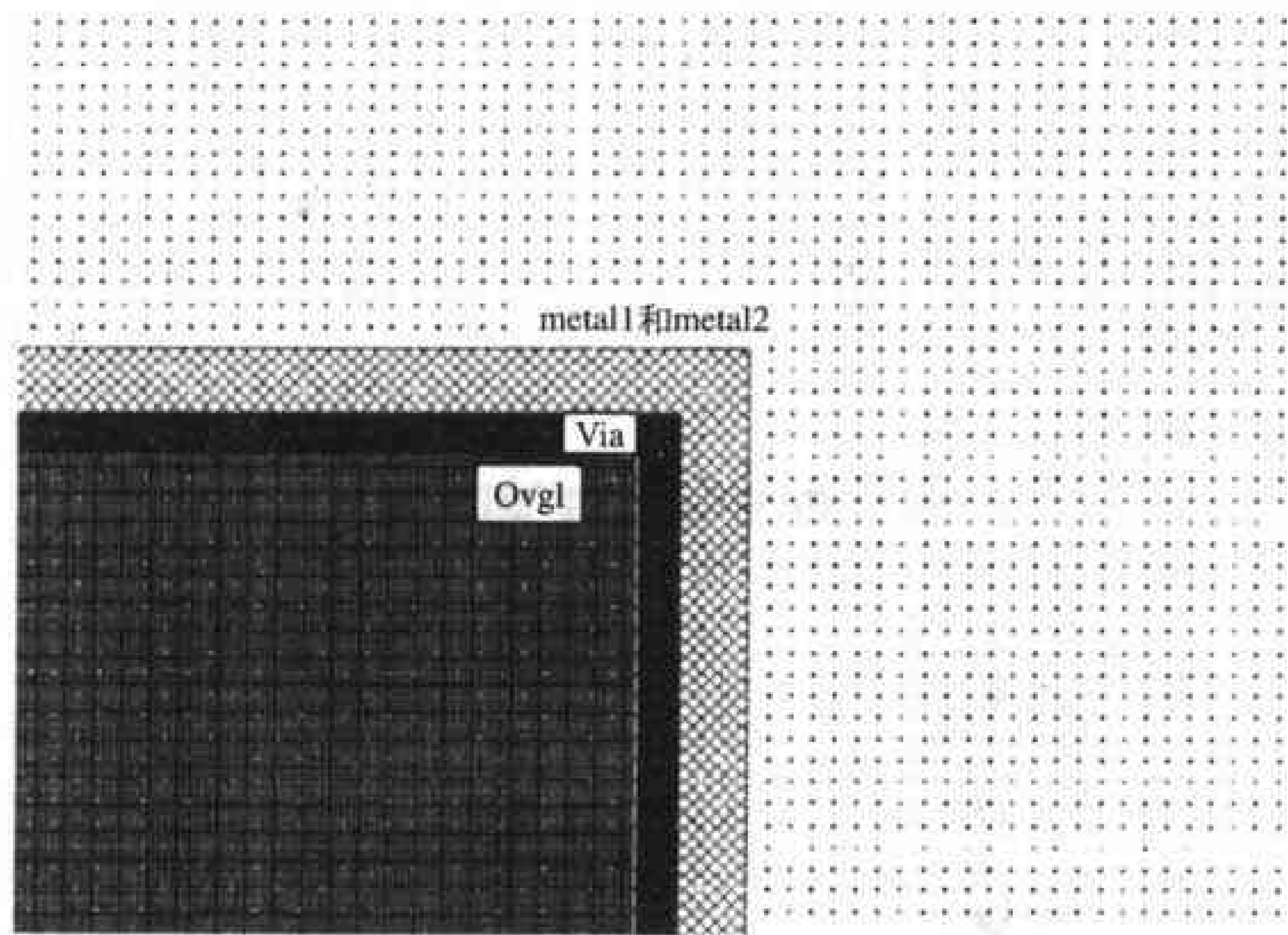


图3-4 压点版图一角的放大图

3.1.2 压点的设计规则

图3-5示意了压点的设计规则。我们使用的压点的尺寸为100μm × 100μm。PAD层（为钝化层开孔）应为90μm × 90μm，并位于压点的中心（即距离金属边5μm）。压点之间的间距最少为75μm。值得提醒的是：LasiDrc不检查压点的设计规则。

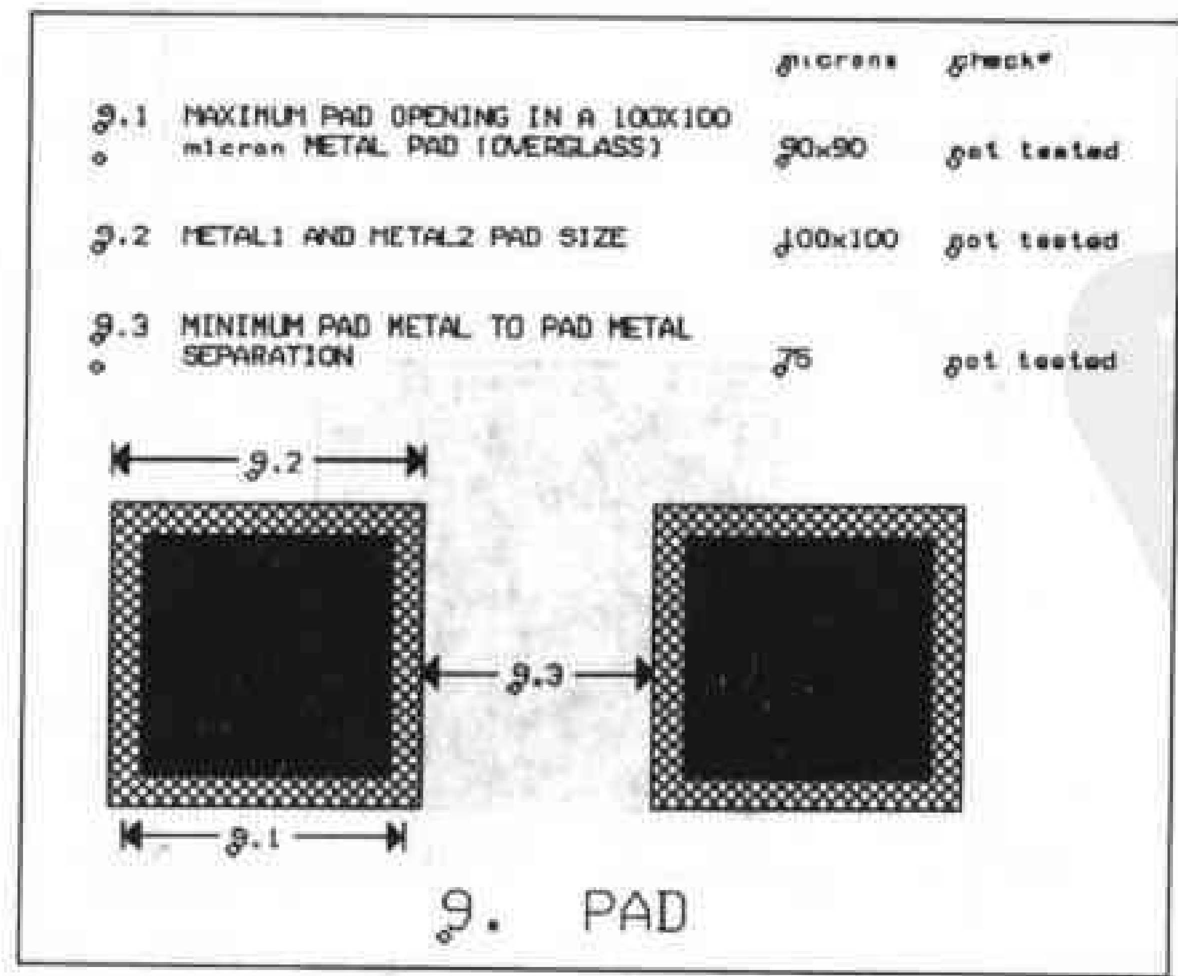


图3-5 压点设计规则

例3.1

为MOSIS的小芯片画一个压点数为40的压点框。

第1章中提到MOSIS的小芯片面积为2.2mm × 2.2mm。我们假设每边10个压点并且四个角没有压点（如图3-6），每边的压点数与拐角数之和为12，将每边的长度除以12可得压点单元的尺寸：

$$\text{压点单元的尺寸} = \frac{2.2\times 10^{-3}}{12} = 183\ \mu\text{m} \xrightarrow{\text{取为}} 180\ \mu\text{m}$$

使用单元尺寸为180μm的压点单元后的管芯尺寸是2160μm × 2160μm。图3-7示意了把压点放置在一个180μm × 180μm的outline（layer 58）框中的情形。outline层在实际制作的时候不起作用，仅用来帮助设计者在调用压点单元的时候进行单元对准。图3-6示意了完整的压点框。■

48

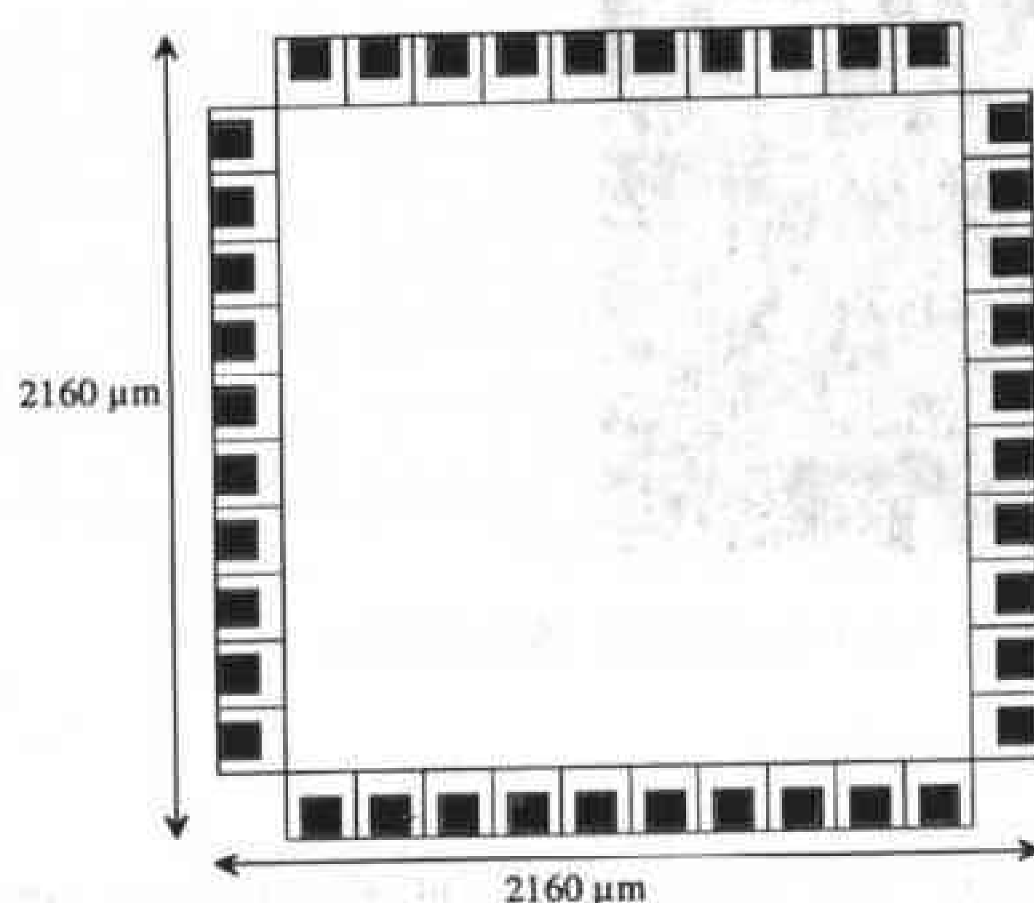


图3-6 40个压点的压点框的版图（最终尺寸为2160μm × 2160μm）

49

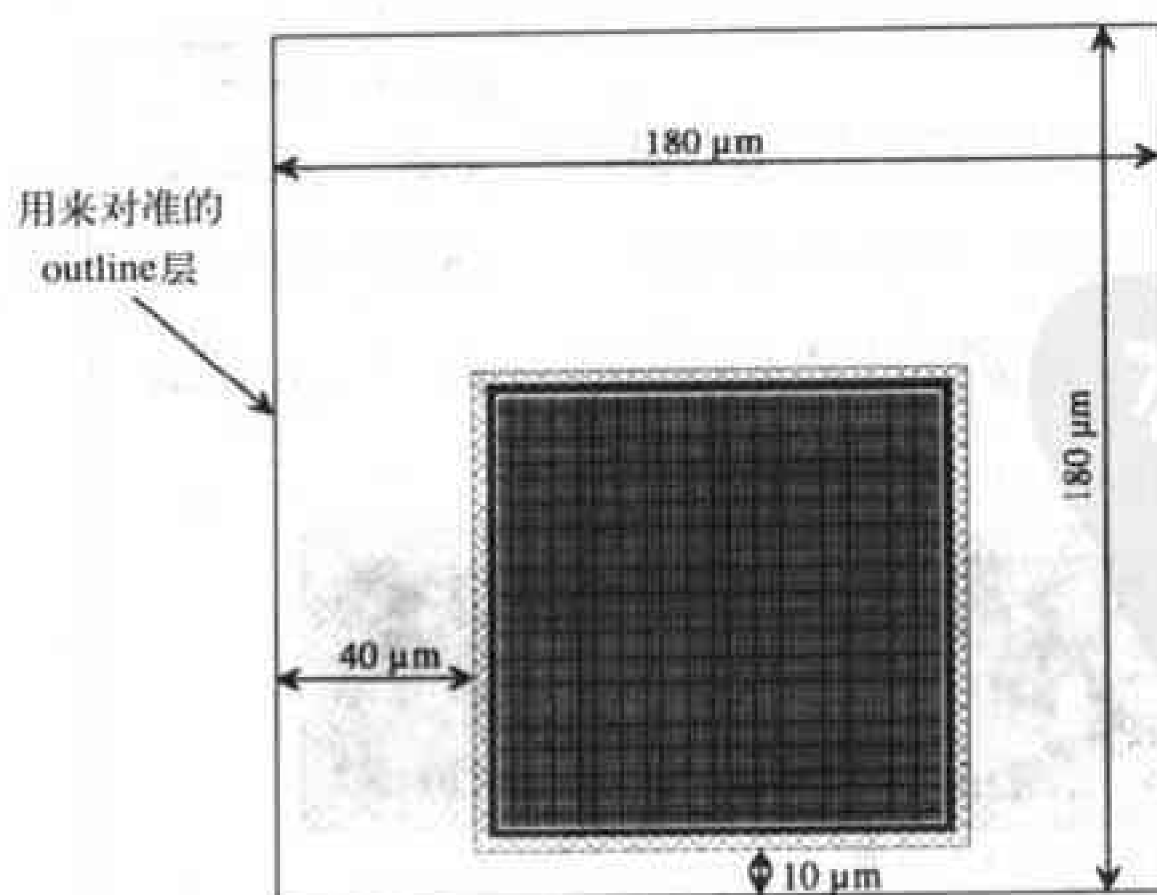


图3-7 带outline层的压点版图

3.2 金属层的版图设计

前面提过，金属层可以用来连接CMOS集成电路中的电阻、电容、MOSFET。前一节中我们对metal1、metal2已经有所了解。本节中，我们先讨论金属层的设计规则，然后再讨论这些金属层的寄生电阻和寄生电容。

3.2.1 金属层的设计规则

图3-8－图3-10示意了金属层与通孔层设计规则，完整的设计规则参见附录A。metal1和metal2的最小宽度与间距都是3μm。这些图中的设计规则还提到了contact层，这层用于实现metal1与p+、n+、poly的互连。现在只我们关注metal1、metal2及通孔层。

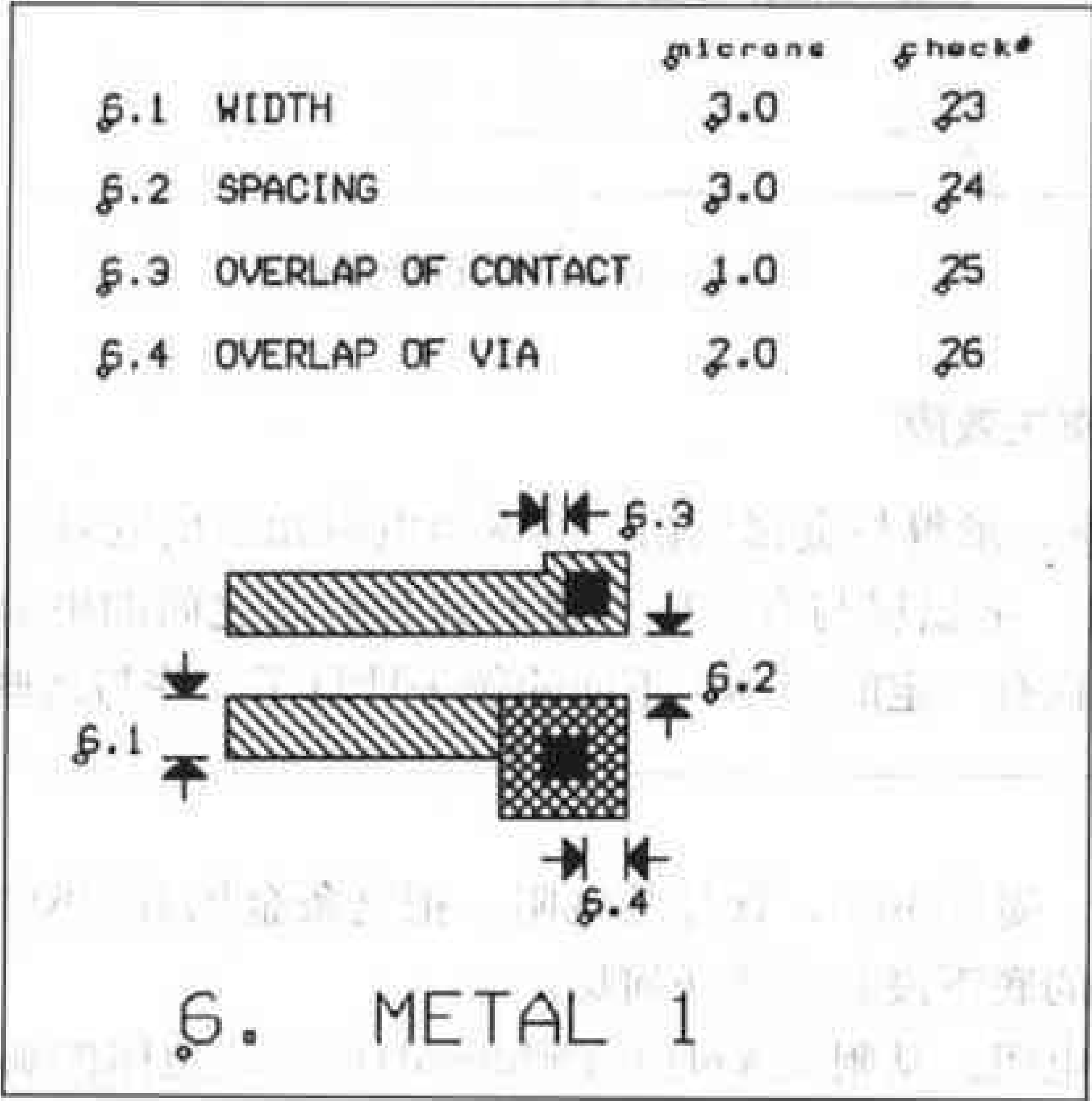


图3-8 metal1的设计规则

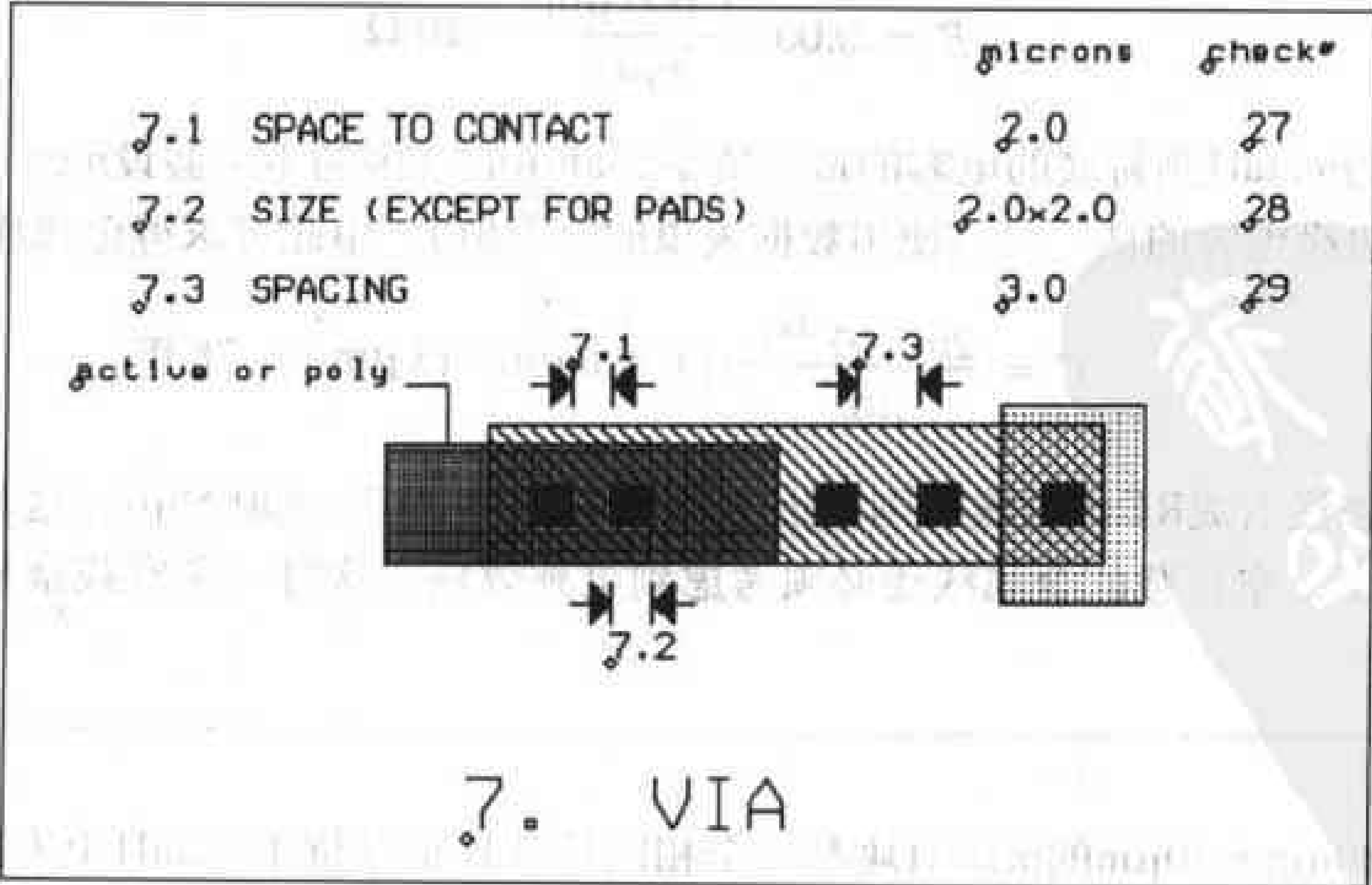


图3-9 通孔的设计规则

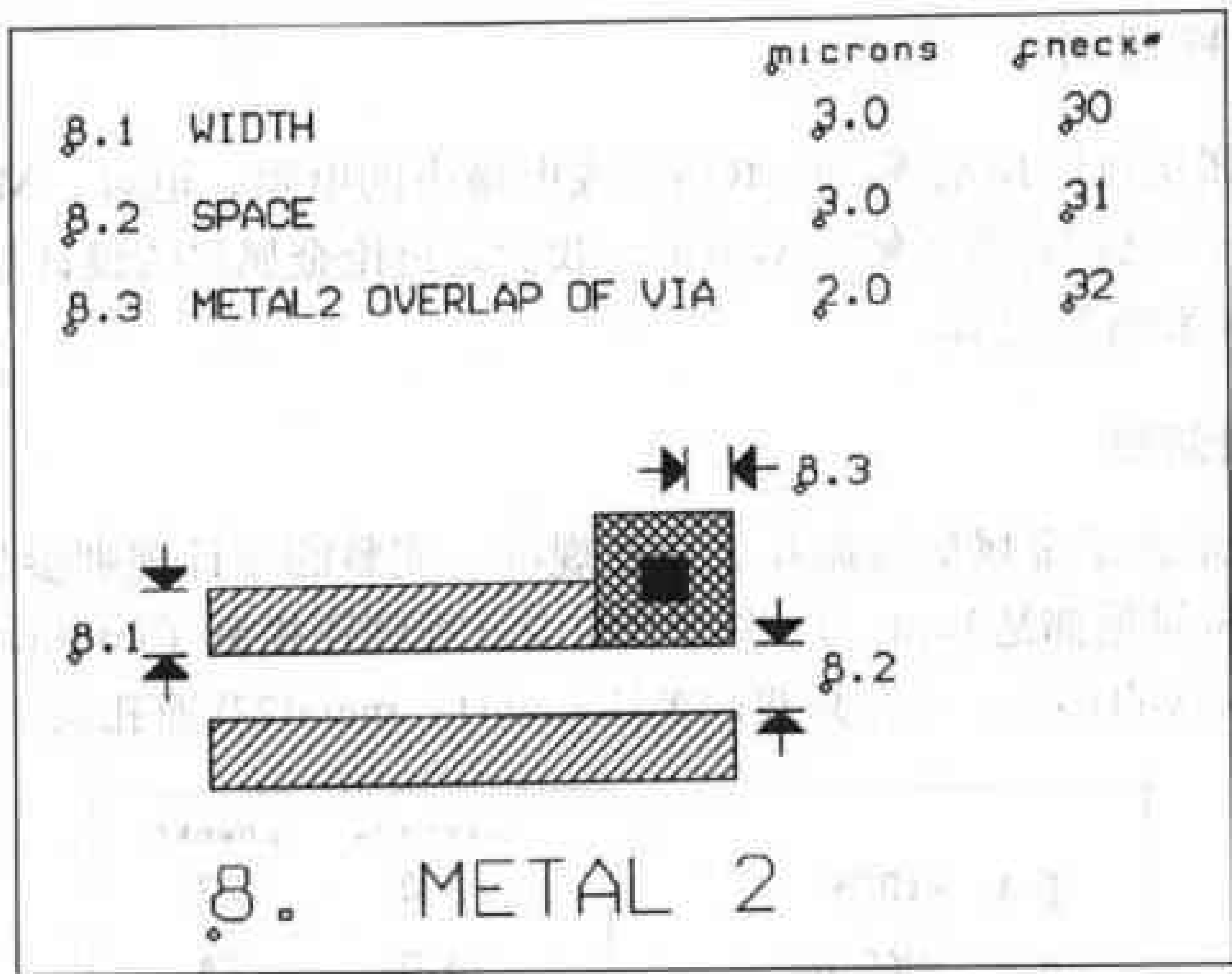


图3-10 metal2的设计规则

3.2.2 与金属层相关的寄生效应

可根据附录A的信息，求得与金属层相关的寄生电阻和寄生电容。我们感兴趣的参数主要是：金属层的方块电阻，金属层与有源区、多晶硅和衬底之间的电容，金属层之间的电容。此外，通孔的接触电阻也有一定的大小。下面的例子计算了一些与这些层相关的寄生效应。

例3.2

metal1的长为1mm、宽为3μm，计算其电阻。把这条金属看作RC传输线，估算该金属线的延迟。假设该金属线的底下没有其他任何层。

首先计算金属线的电阻。从附录A可以查到metal1的方块电阻的典型值是0.06Ω/方块，所以这条金属线的总电阻为：

$$R = 0.06 \cdot \frac{1\ 000\ \mu\text{m}}{3\ \mu\text{m}} = 20\ \Omega$$

数据表中给出的metal1到衬底的电容的最大值是26aF/μm^2（因为本例假设metal1的底下没有其他层，若忽略边缘电容的话，可以使用数据表里的这个值）。由此可求得金属线的总电容为：

$$C = \frac{26\times 10^{-18}F}{\mu\text{m}^2}\cdot(1\ 000\ \mu\text{m})\cdot(3\ \mu\text{m}) = 78\ \text{fF}$$

50~52

如果我们把金属线看成RC传输线，则延迟可以估算为0.35RC，即0.55ps，这是一个可以忽略的延迟。实际上，空负载的金属线还必须考虑到电感效应，这时一条空载金属线表现的延迟为5.4ps/mm[2]。 ■

例3.3

估算一个10μm × 10μm的metal1块与一个相同尺寸且正好位于metal1上方的metal2块之间的电容的大小。画出其版图、剖面图，并在剖面图中标出电容。

附录A给出metal1与metal2之间的极板电容的最大值为38aF/μm²，边缘电容的最大值为104 aF/μm。metal1与metal2构成极板电容。两层之间的电容是极板电容和边缘电容之和：

$$C_{12} = \frac{38\times10^{-18}\text{F}}{\mu\text{m}^2}\cdot\overbrace{(10\ \mu\text{m})^2}^{\text{面积}} + \frac{104\times10^{-18}\text{F}}{\mu\text{m}}\cdot\overbrace{(40\ \mu\text{m})}^{\text{周长}} = 8\ \text{fF}$$

图3-11给出了版图与剖面图。 ■

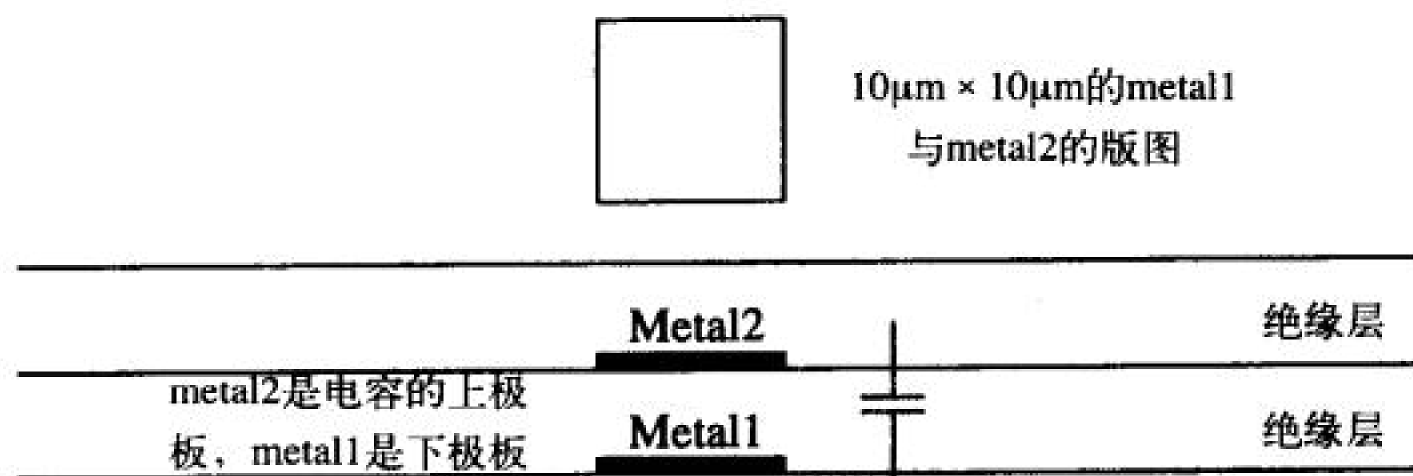


图3-11 metal1与metal2之间的电容

例3.4

在上例中，当metal2的电压从0V变化到5V时，估算metal1上电压的变化。

上例中，metal1与metal2之间的电容为8fF。而metal1与衬底之间的电容为：

$$C_{1sub} = \frac{26\times10^{-18}\text{F}}{\mu\text{m}^2}\cdot\left[\overbrace{10\ \mu\text{m}}^{\text{面积}}\right]^2 + \frac{82\times10^{-18}\text{F}}{\mu\text{m}}\cdot\overbrace{(40\ \mu\text{m})}^{\text{周长}} = 5.9\ \text{fF}$$

53

等效电路由图3-12给出，C_{1sub}上的电压为：

$$\Delta V_{metal1} = 5\cdot\frac{\frac{1}{j\omega C_{1sub}}}{\frac{1}{j\omega C_{1sub}}+\frac{1}{j\omega C_{12}}} = 5\cdot\frac{C_{12}}{C_{12}+C_{1sub}} = 5\cdot\frac{8}{8+5.9} = 2.9\ \text{V}$$

位移电流（Displacement Current）流过这两个电容，使得metal1的电压变为2.9V。由此可知，metal2上的电压变化对metal1上电压有很大影响。这个问题粗看起来似乎比较严重，但在大部分CMOS电路中，这是一个不足担忧的问题。因为电路中大部分金属线都会由低阻抗的源来驱动，也就是说，金属线上的电压并不是浮置的，而是被钳制在某一电平上。但在一些动态电路、含高阻抗节点的电路或者有长金属走线的电路中，这个问题就需要给予认真考虑。 ■

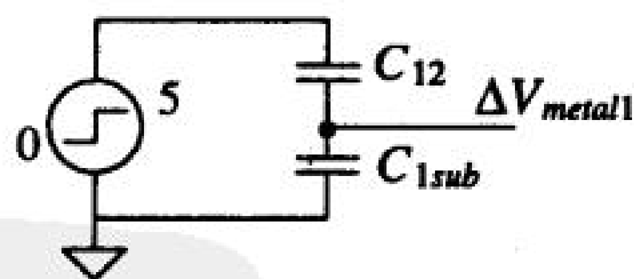


图3-12 用来计算metal1电压变化的等效电路

3.2.3 电流承载极限

现在我们已经对金属层有一定的了解了，我们或许会提出一个问题："对于给定宽度和长度的金属线，能流过的最大电流是多少？"影响金属线所能承载的最大电流的因素包括金属

的电迁移、金属层的电阻引起的压降的最大值等。

当导线上流过的电流过大时，会引起金属的电迁移。这与河流中流过的水过大时会存在侵蚀现象相似。电迁移会引起导线的尺寸发生变化，导线上某些点的阻值会因此而变大甚至断路而导致电路失效。如果电流密度低于金属电迁移阈值电流密度J_{Al}下，则不会发生金属的电迁移。metal1和metal2由铝构成，其金属电迁移阈值电流密度J_{Al}的典型值为1~2mA/μm。

例3.5

先估算一条宽度为3μm的metal1导线所能承载的电流的极限，再估算一下压焊点可从焊线接收的最大电流值。

假设 $J_{Al}=1\frac{\text{mA}}{\mu\text{m}}$，则3μm宽的metal1导线上能流过的最大电流为：

$$I_{max}=J_{Al}\cdot W=10^{-3}\cdot 3=3\text{ mA}$$

54

而压焊点能从焊线接收的最大电流为100mA。■

例3.6

如果上例中讨论的导线的长度为1cm、流过的电流为3mA（I_{max}），估算导线上的压降。

metal1的方块电阻为0.06Ω/方块，金属线的宽度为3μm、长度为10 000μm（1cm），流过电流为3mA，则金属线上的压降为：

$$V_{drop}=(0.06\Omega/\text{方块})\cdot\frac{10\ 000}{3}\cdot 3\text{ mA}=0.6\text{ V}$$

这个压降还是比较明显的。如果该导线用作电源线，我们应该进一步增大其宽度以降低压降；如果用于传送数据，这个宽度或许就够了。■

通常使用metal2做电源线。metal2的厚度大约是metal1的两倍，因此，其方块电阻更小。布电源线和地线时，通常来说，使用的金属越多，出现问题的几率越小。如果条件允许，应该把电源线和地线遍布整个芯片。电源线与地线之间的电容越大，电源线上的电压发生改变就越困难，也就是说，直流电压越稳定。

3.2.4　与通孔层相关的寄生效应

通孔层（via层）用于实现metal1和metal2的互连。通孔是每边长度正好为2μm的正方形（压点中的通孔除外）。通孔层定义了metal1和metal2之间的绝缘层开孔的位置，在这个位置淀积metal2，使metal2与metal1实现互连。与这个连接相关的寄生效应是接触电阻。该寄生电阻的存在是由于淀积在通孔中的metal2有一定的厚度，并且两种不同材料之间存在接触电势差。附录A的表A-8中给出了通孔的接触电阻的值，其最小值为0.05Ω，最大值为0.08Ω。另外，与每个通孔相关的金属电迁移阈值电流的典型值为0.4mA，以通孔的周长来衡量的金属电迁移阈值变为0.05mA/μm。

例3.7

画出图3-13a所示版图中的通孔的接触电阻的等效电路。当有10mA的电流流过通孔时，估算通孔接触电阻上的压降。评价该通孔的可靠性。再设计一种新的通孔版图，来降低有效

接触电阻和流过每个通孔的电流密度。采用新的通孔版图后，从metal2流向metal1的电流的最大值可为多少?

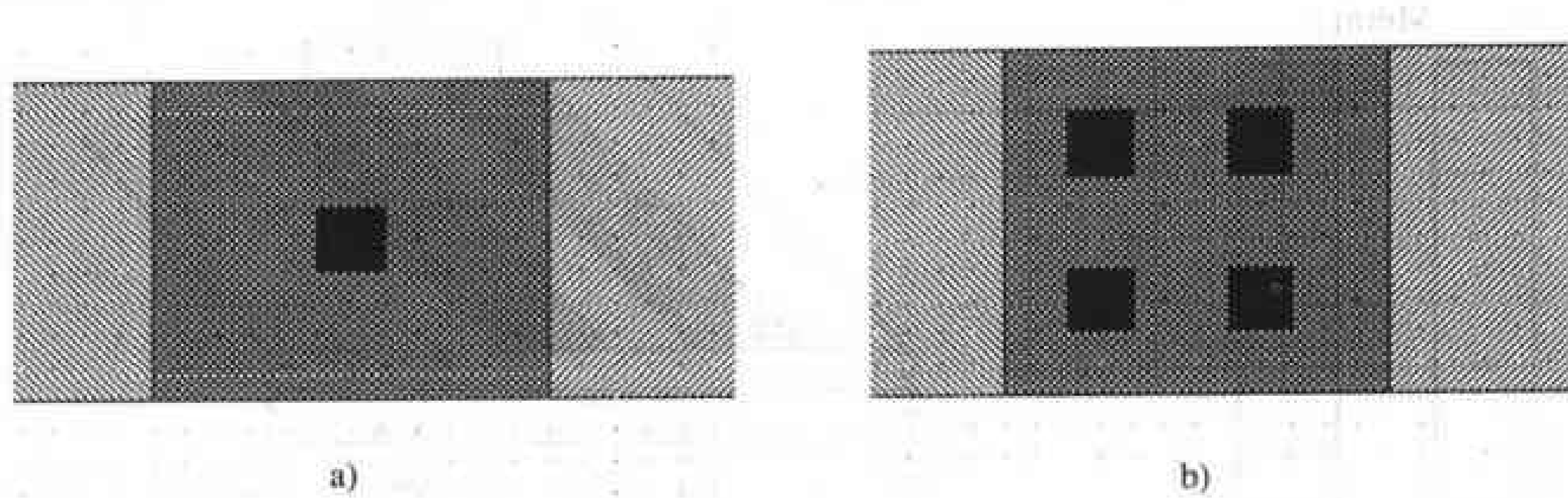
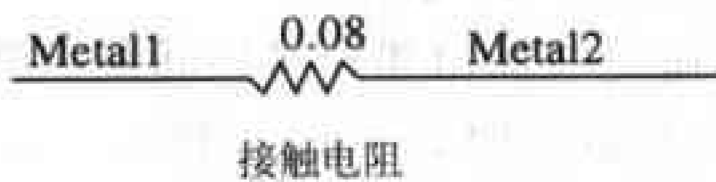


图3-13 例3.7中的版图

等效电路如图Ex3-7所示。取通孔的接触电阻为0.08Ω。由于流过这个通孔的电流为10mA，因此，通孔上的压降为0.8mV。单个通孔的可靠性并不好，因为每个通孔能流过的最大电流是0.4mA，强行让10mA的电流流过一个通孔时，电迁移会导致通孔断开或者变成一个高阻连接。应在设计规则允许的条件下，尽可能多加通孔以减小接触电阻，如图3-13b所示。由于一组通孔为并联连接，所以，图中四个通孔的有效接触电阻为0.08Ω/4，即0.02Ω。考虑金属电迁移，通过这四个通孔的最大电流为1.6mA。增大metal2与metal1的重合区域并增加通孔的数目，可把通孔允许流过的最大电流增大到金属导线允许流过的最大电流。 ■



接触电阻

图 Ex3-7

3.3 串扰和地线扰动

串扰（crosstalk）用于描述一根导线对另一根导线的干扰。一般不希望看到这种干扰。两条导线之间存在着互电感（mutual inductance）和互电容（mutual capacitance），因此，会引起信号馈通。

考虑图3-14中的两条金属线。在一根导线上传播的电压信号会在另一导线上产生耦合电流，该电流的大小可用下面的公式进行估算:

$$I_m = C_m \frac{\mathrm{d}V_A}{\mathrm{d}t} \tag{3-1}$$

式中，C_m为互电容，I_m为耦合电流，V_A为源导线上的电压信号[2]。在大多数情形下，可以用上述这种比较简单的方法来评估两条导线之间的互电容的影响；如果耦合噪声电压低于信号电压的10%，那么，根据上式估算的精度可以精确到小数点后一位[2]。通过在一根导线上加一阶跃电压，测量邻近的另一导线上的耦合电压，可在实验上得到C_m的值。由于任何一条导线和衬底之间的电容很容易计算得到（见附录A），因此有:

$$\Delta V = V_A \cdot \frac{C_m}{C_m + C_{1s}} \tag{3-2}$$

55~56

式中，ΔV是邻近导线上的耦合噪声电压，C_{1t}是邻近导线到地（衬底）的电容。

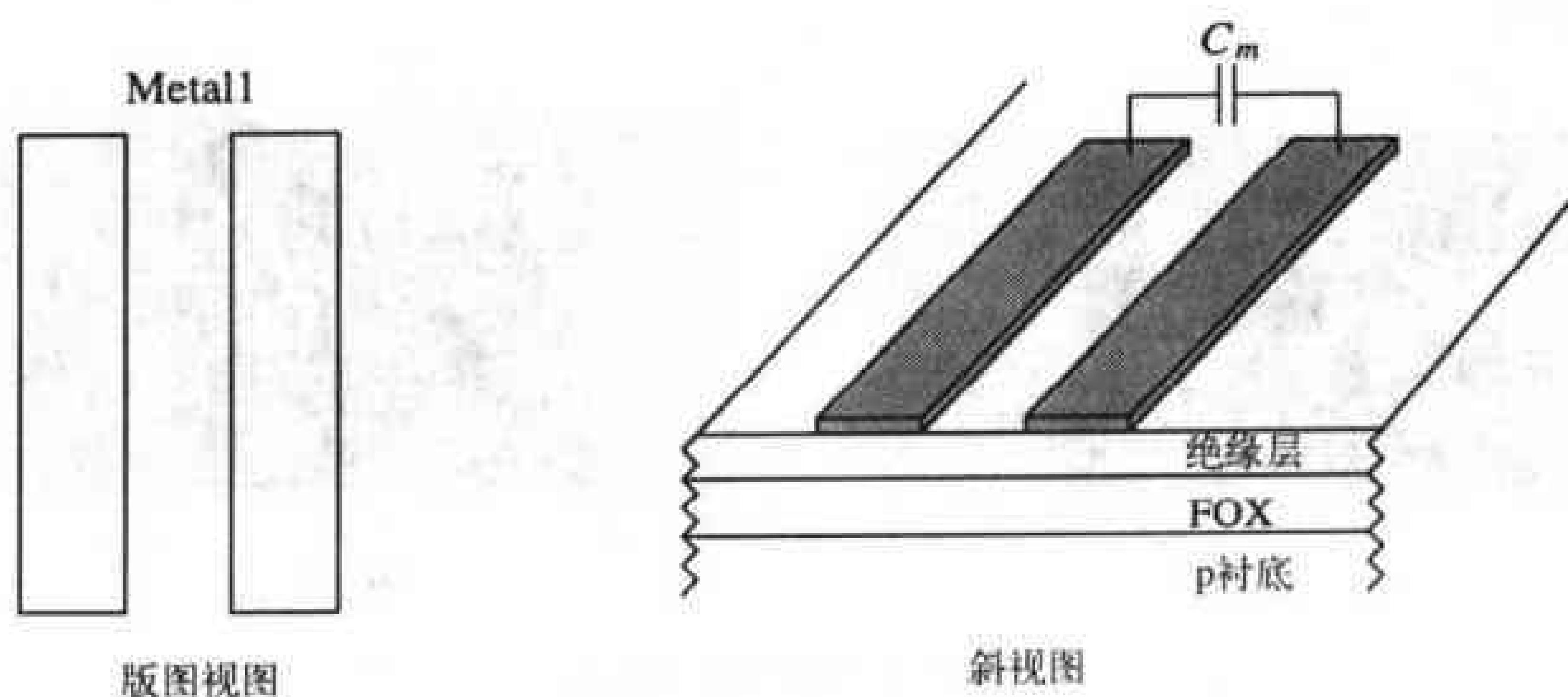


图3-14　用来分析串扰的一组导线

图3-14中，相邻的金属线之间也会表现出互感效应。这个效应可以看作在两根导线之间连接了一个微型变压器，在其中一根导线上流过的电流会在另一根导线上感应出电压。通过在一根导线上注入电流并测量另一根导线上的电压，就可以测出互感值。互感值由下式给出：

$$V_m = L_m \frac{dI_A}{dt} \tag{3-3}$$

式中，I_A是注入电流，V_m是感应电压，L_m是互感。

当串扰的影响较大时，可通过增加相邻导线的间距来降低串扰。但在设计某些电路时（如DRAM），设计者并不能随心所欲地调整导线的间距。

地线扰动

考虑如图3-15所示的一条金属导线。假设$w > h$，这条导线的电感可用下式估算[2]：

57

$$L\,(\text{nH/mm}) = \frac{1.25}{\frac{w}{h} + 1.393 + 0.667 \cdot \ln\left[\frac{w}{h} + 1.44\right]}\ (\text{nH/mm}) \tag{3-4}$$

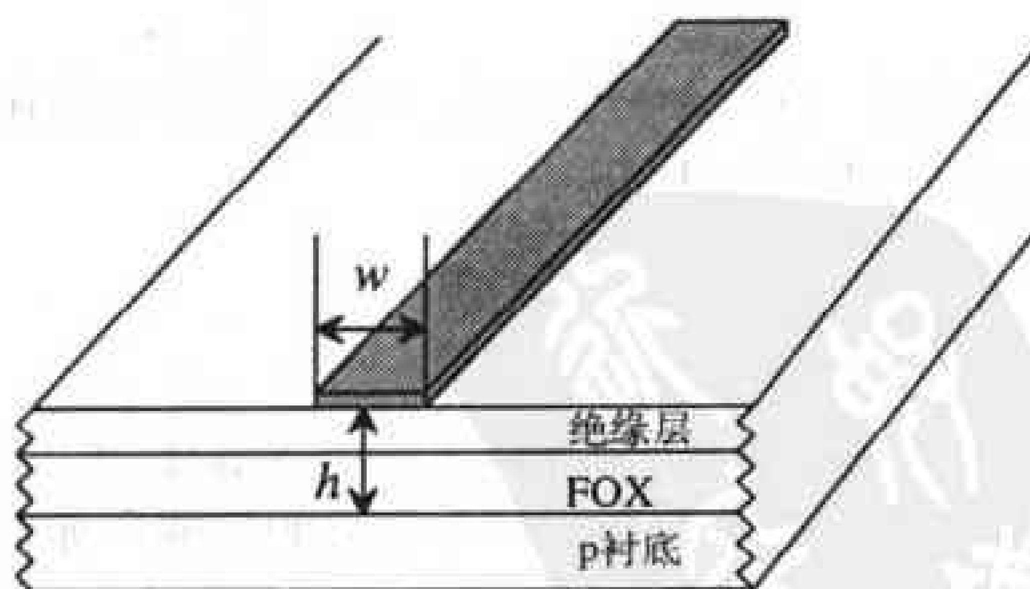


图3-15　计算导线的电感

这里我们假定导线的厚度要比其宽度小，p衬底的电压恒定，也可以作为参考地电位。对于附录A的CN20工艺，metal1与衬底之间的介质层厚度为1.5μm。当metal1的宽度为3μm时，由上式求得电感为：

$$L\,(\text{nH/mm}) = \frac{1.25}{\frac{3}{1.5} + 1.393 + 0.667 \cdot \ln\left(\frac{3}{1.5} + 1.44\right)} = 0.3\ \text{nH/mm}$$

接下来考虑图3-16中的电路。电路由两根10mm长、3μm宽的metal1导线提供电源。理想情况下，图中A点的电压为*VDD*，B点的电压为“地”（0V）。如果忽略阻性损耗，当*I*为常数时，A点和B电的电压与理想情况吻合。但是，如果*I*不是常数，长金属线就会表现出电感效应。

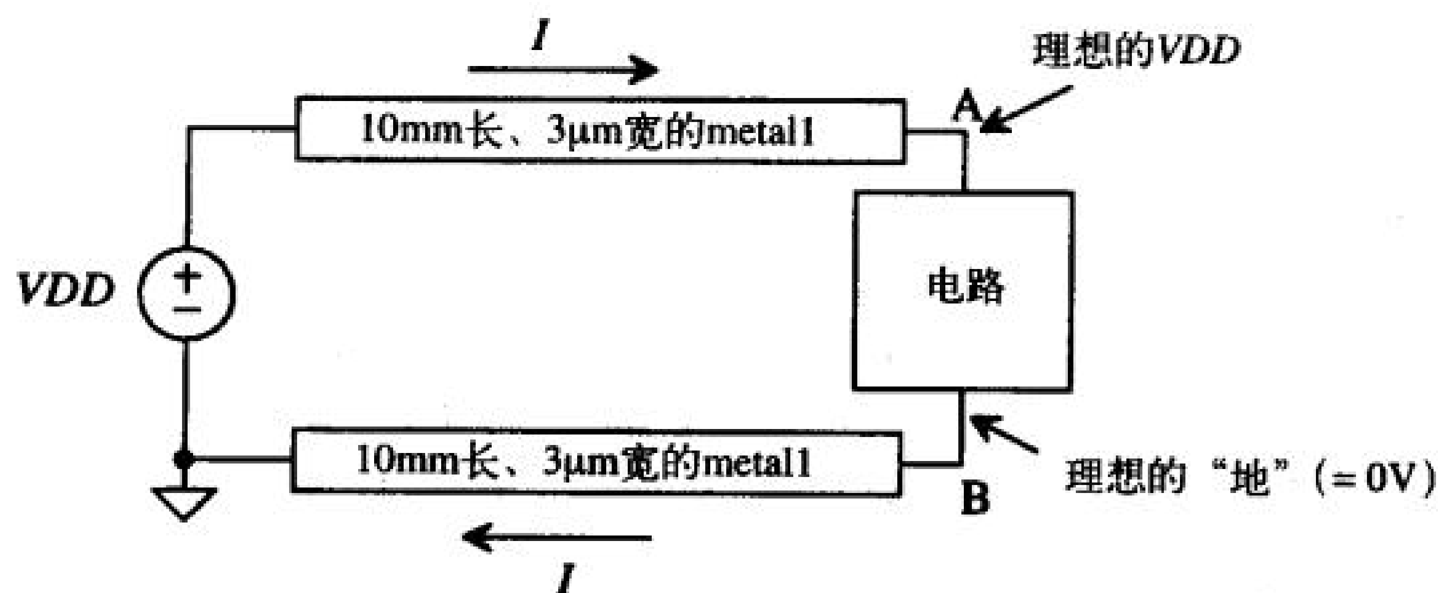


图3-16 用来分析地线扰动的电路框图

假定图3-16中的电路在3ns之内向“地”输出一个50mA的电流（这是输出驱动级的一般要求），由于每条导线的电感为3nH，因此，B点的电压变化为:

58

$$V_B = L\frac{\mathrm{d}I}{\mathrm{d}t} = 3\ \text{nH} \cdot \frac{50\ \text{mA}}{3\ \text{ns}} = 50\ \text{mV}$$

这意味着电路在输出这个电流时，电路的“地”不再是理想的0V，而是跳到了50mV。这种在地线上产生的噪声（即地线扰动）会反馈到芯片中的其他电路并引起一些问题。如果芯片上有10组电路，且这些电路输出的电流在同一时间流过同一导体，引起的后果就会更严重一些。

为此，可通过增加电源导线宽度的方法（这条金属线越宽越好）来减小导线的电感，从而减小地线扰动。另外，增大提供电流的导线和接收电流的导线之间的电容，也有助于降低地线扰动。增加导线之间电容的一个简单方法是并排地放置导线。在芯片内的*VDD*与地线之间加入去耦合电容，效果会更好。

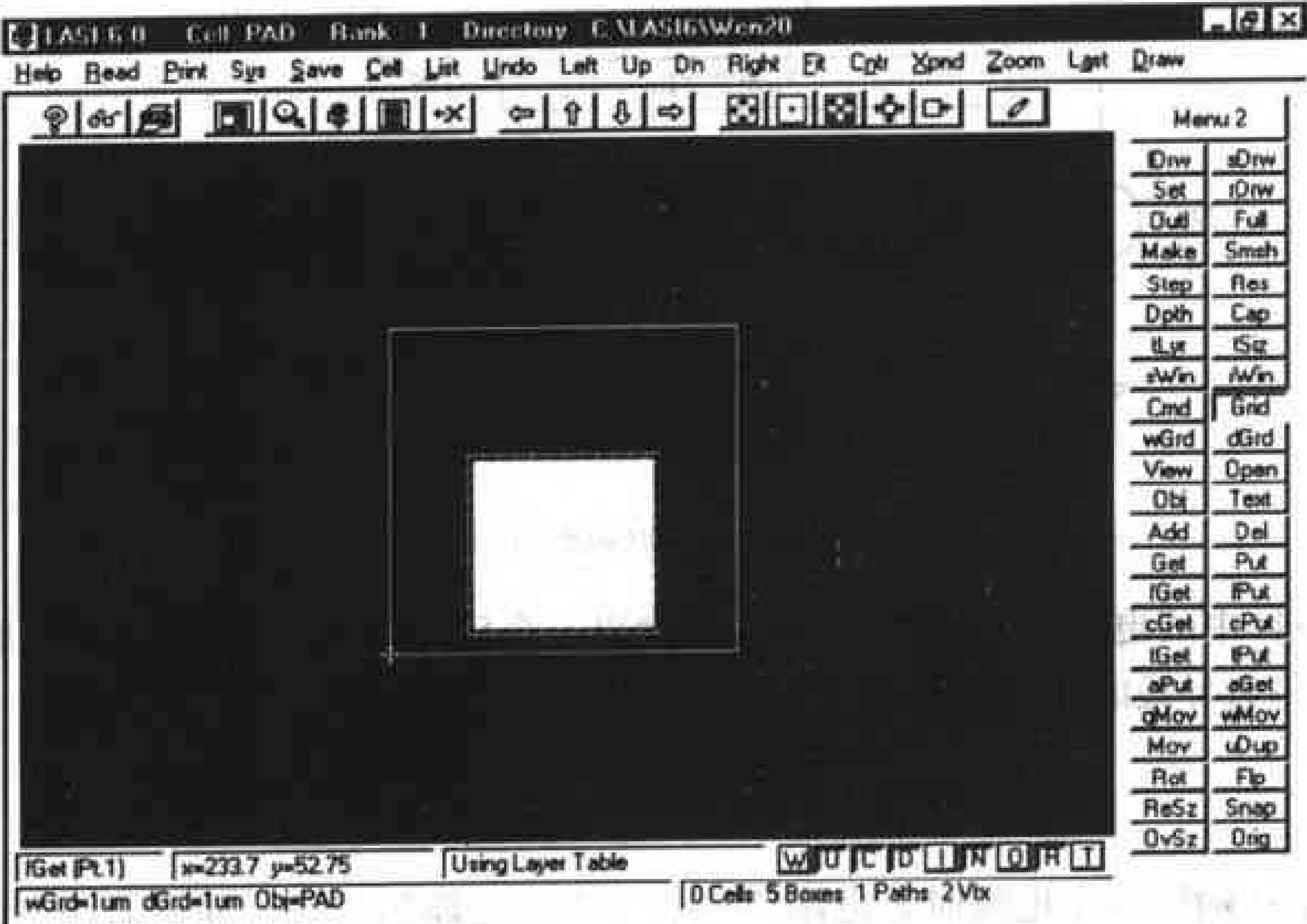
在前面的分析中，我们忽略了金属线的电阻。实际上，在大多数应用中，导线的电感是可以忽略的。这时，导线的阻性压降就成了引起地线扰动的主要因素了。要计算图3-16中导线电阻引起的地线扰动，首先应求出导线的电阻。metal1的方块电阻为0.06Ω/方块，因此，导线电阻为200Ω。当*I* = 0时，B点电势为0。然而，当*I* = 5mA时，B点的电势就是1V！增大金属导线的宽度以减小电阻，即可解决阻性压降引起的地线扰动。

3.4 层级化的版图设计

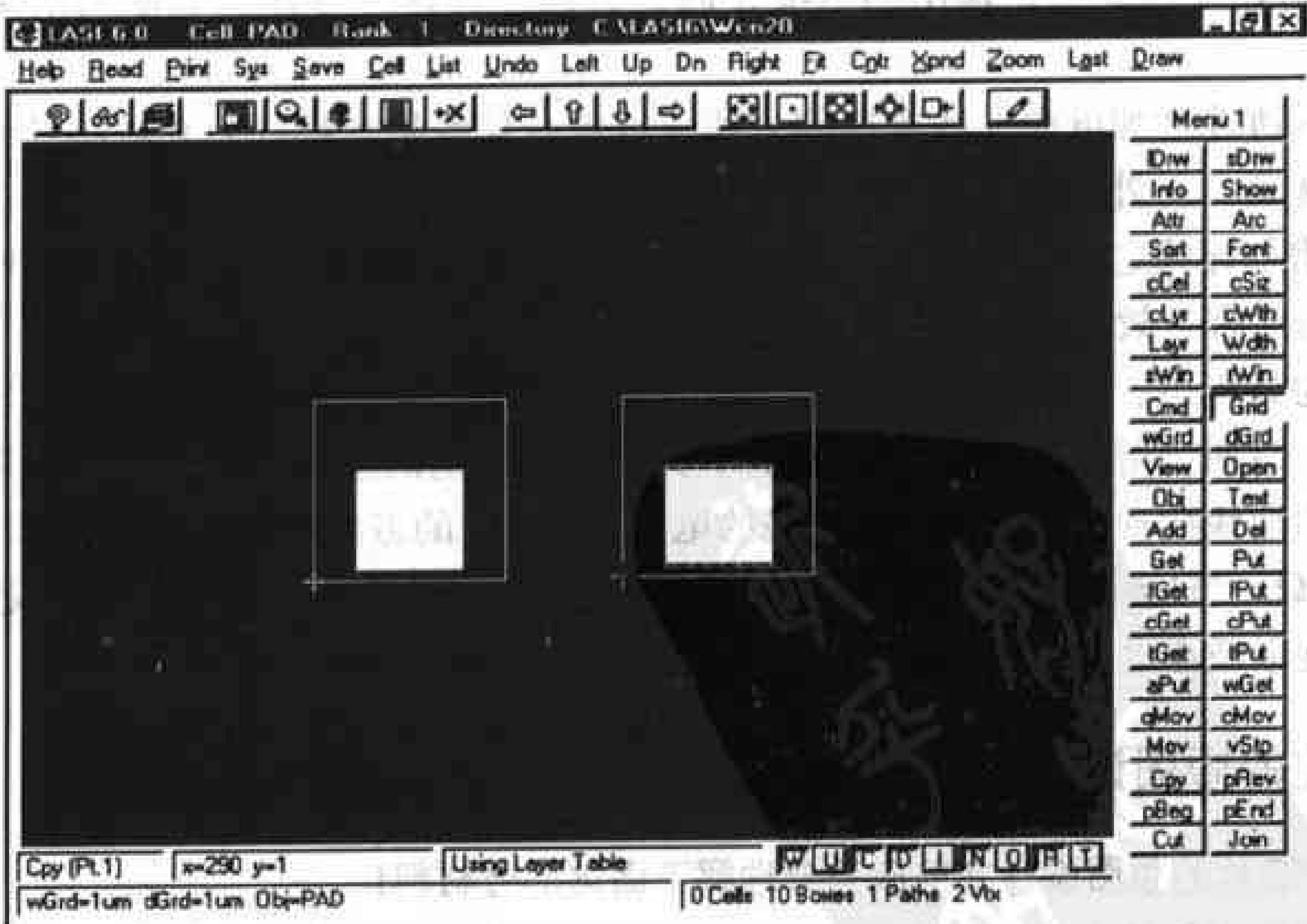
开始一个芯片的版图设计之前应充分理解下面这部分材料!

利用单元的层级化特点，高层级单元可以通过调用低层级单元来构成，这可以避免设计文件（即最终送到芯片加工厂的GDS文件）过大。考虑图3-5所示的压点单元，假设该单元名称为PAD，层级为1。我们可以通过两种方法产生图3-6所示版图。一种是较好的方法，另一

种是不可取的方法。我们先看一下不可取的方法：在图3-17a中使用复制命令Cpy把压点版图复制到图3-17b中，直到复制足够多的压点。用这种方法做版图设计是不可取的，其原因有二：首先，每次复制压点单元时，构成压点单元的矩形和多边形都会在复制的位置出现，导致最终的设计文件较大；其次，压点单元改变时（例如改变metal2的尺寸或者在压点单元中添加了新的对象），需要对每一个复制的压点单元进行修改，这将浪费很多时间。因此，在进行版图设计时，应尽可能少用Cpy命令。



a) 层级为1的PAD单元



b) 使用Cpy命令设计图3-6中PADFRAME单元的版图

图3-17 不可取的PADFRAME单元的版图设计方法

正确的版图设计方法是：先使用Cell命令产生一个新单元，并把该单元命名为PADFRAME，层级设为2（注意到PAD单元的层级低于该单元的层级）；接着使用Obj命令，选择PAD作为对象，在PADFRAME单元中用Add命令添加PAD对象40次。图3-18示意了在PADFRAME单元中使用Add命令添加PAD单元的情形。在PADFRAME单元中每添加一个PAD单元，LASI程序就在对应的设计文件中添加一行简单的描述语句，该语句用来说明被添加单元的名称和位置。这就使得设计文件较小。另外，如果PAD单元有任何改动，都会通过层级关系，自动地将改动传递到使用PAD单元的更高层级的单元中。图3-19给出了对图3-18的单元使用Outl命令后显示出的轮廓图。这样做能加快显示刷新的速度。

59
≀
60

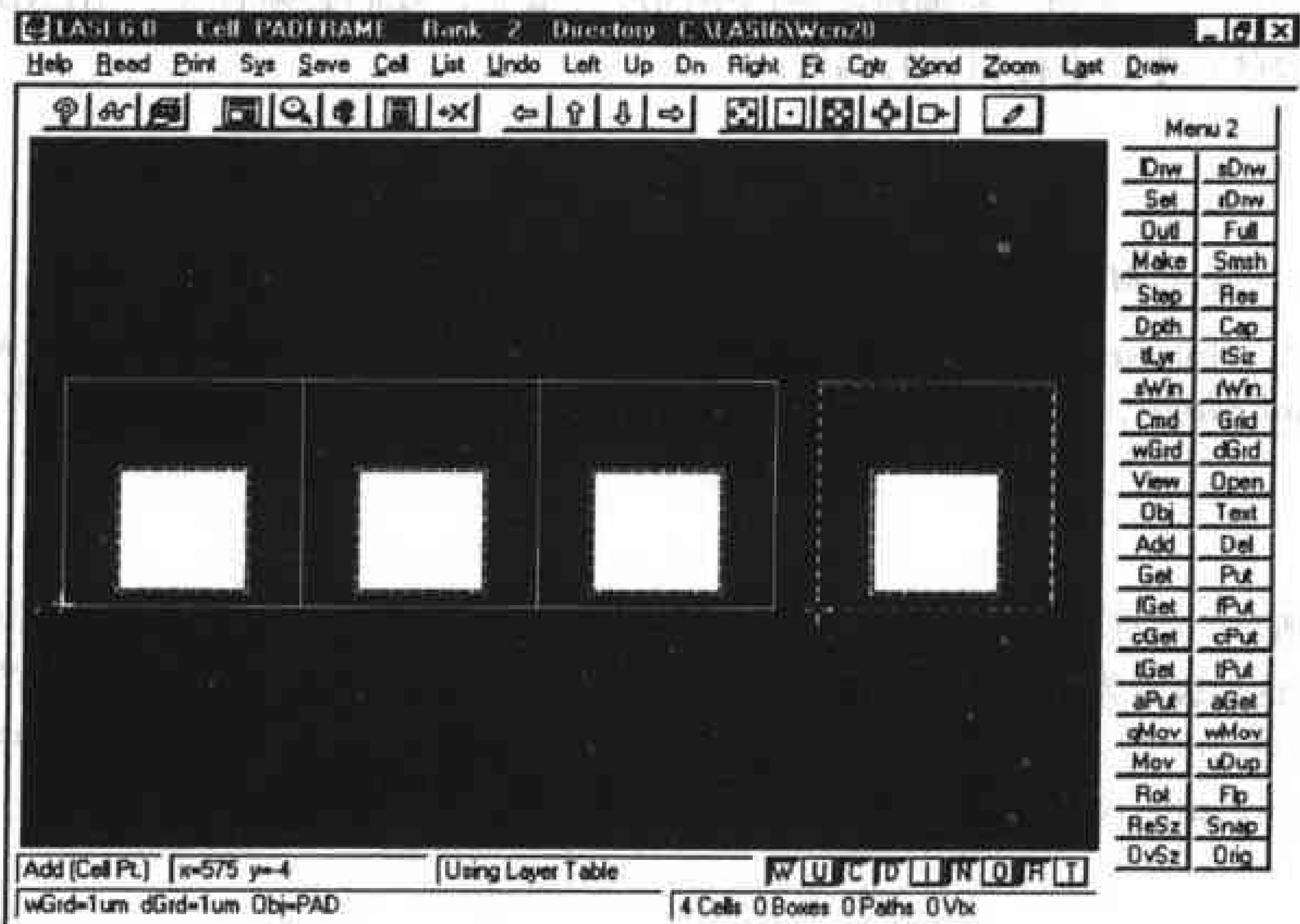


图3-18 正确的PADFRAME单元版图设计方法

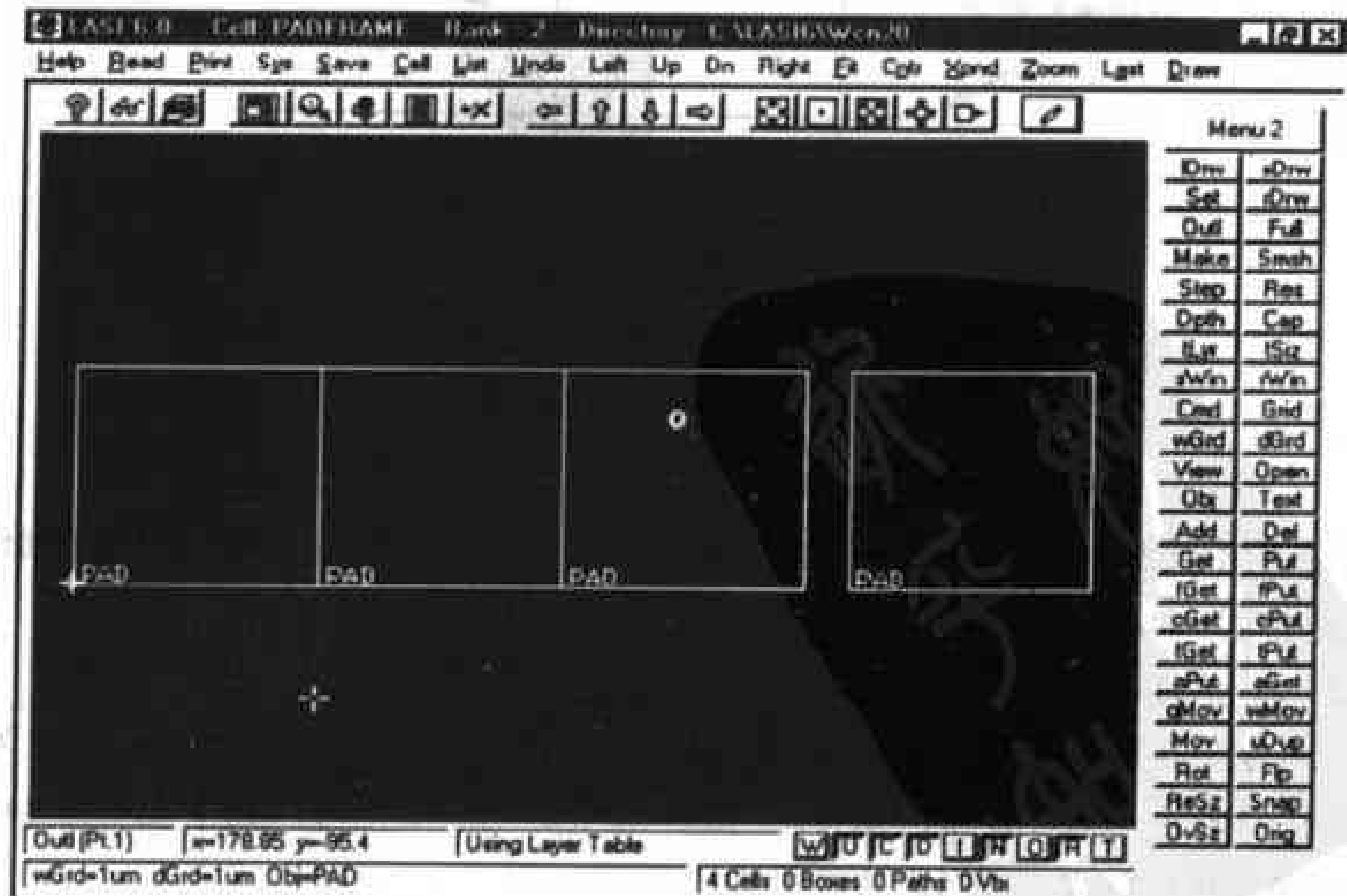


图3-19 用轮廓图显示可以提高刷新速度

上述层级化的版图设计方法可以扩展到版图设计的任何方面。例如，我们已经知道CN20工艺中通孔的尺寸必须正好为2μm × 2μm。因此，我们可以先画一个名字为VIA、层级为1的单元，该单元由一个2μm × 2μm的通孔矩形构成。每次需要连接metal1和metal2时，就直接把VIA单元作为对象来调用，不再需要重复地画这个尺寸的通孔矩形。这样做就节省了时间。同样的思想也可以用于有源区层与多晶硅层之间的接触孔，这将在下章中予以讨论。

我们设计数字VLSI电路时，通常使用最小尺寸的MOSFET。画一个最小尺寸的MOSFET单元，取名为NMIN、层级设为1。每次需要最小尺寸的MOSFET时，就可以直接调用NMIN单元即可。这个思想同样可用于模拟VLSI电路设计。值得提醒的是：在高层级的单元中并不能编辑被添加的单元。例如，要编辑图3-18中的PAD单元，我们必须首先退出PADFRAME单元，返回到PAD单元才能进行相关的编辑。

参考文献

[1]　W. Tanner, *MOSIS User Manual*, Release 4.0, August 1994.

[2]　H. W. Johnson and M. Graham, *High Speed Digital Design: A Handbook of Black Magic*, Prentice-Hall Publishing Company, 1993. ISBN 0-13-395724-1.

习题

3.1　画出图3-5所示的压点单元的版图，并执行DRC检查。画出图3-6所示的PADFRAME单元的版图。把压点单元的层级设为1，PADFRAME单元的层级设为2。注意：使这些单元有唯一的标志符，并备份这些单元。在下一章中我们将在这些单元中添加ESD保护电路。这是芯片设计的开始。

3.2　画出图P3-2中版图的剖面图。

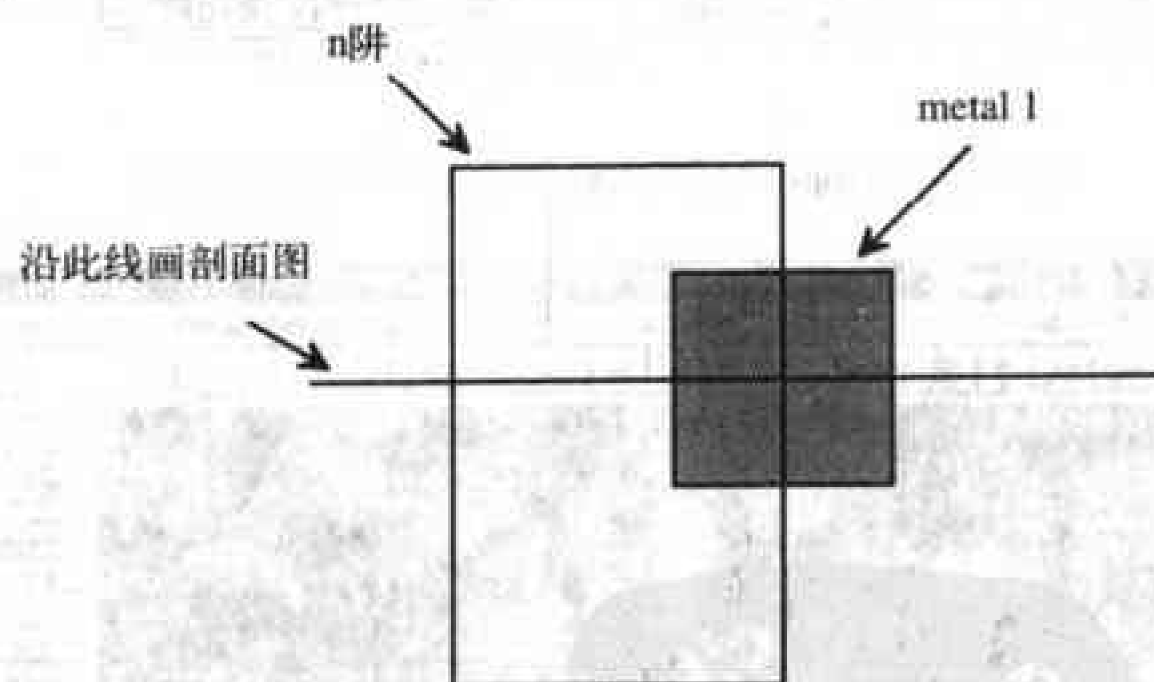


图 P3-2

3.3　沿图3-5中压点的中线画剖面图，压点不含通孔层。请问outline层（layer 58）在制作时是否有意义？为什么要用outline层？

61~62

3.4　如果递交的芯片中的压点单元没有画OVGL层，会有什么后果？

3.5　如何使用Text命令为习题3.1中的PADFRAME单元标记pin的编号？文字的大小至少取为20μm。

3.6　metal2位于metal1的正上方，且面积相等。当metal2上的电压变化为1V时，估算metal1上的电压变化。估算时只考虑极板电容，不考虑边缘电容。

3.7　5μm宽的metal2所能承载的最大电流是多少？流过最大电流时需要多少个通孔来连接metal2和metal1？

3.8 如果metal2上流过的电流为20mA，则metal2的宽度至少为多少？需要多少个通孔来连接metal2和metal1？

3.9 估算4μm宽的metal2的电感（单位nH/mm）。

3.10 画出图P3-10所示版图中的三个位置的剖面图。

3.11 在图P3-11所示版图中，若metal2的电势从0V变到5V，估算metal1上的电压变化。

63

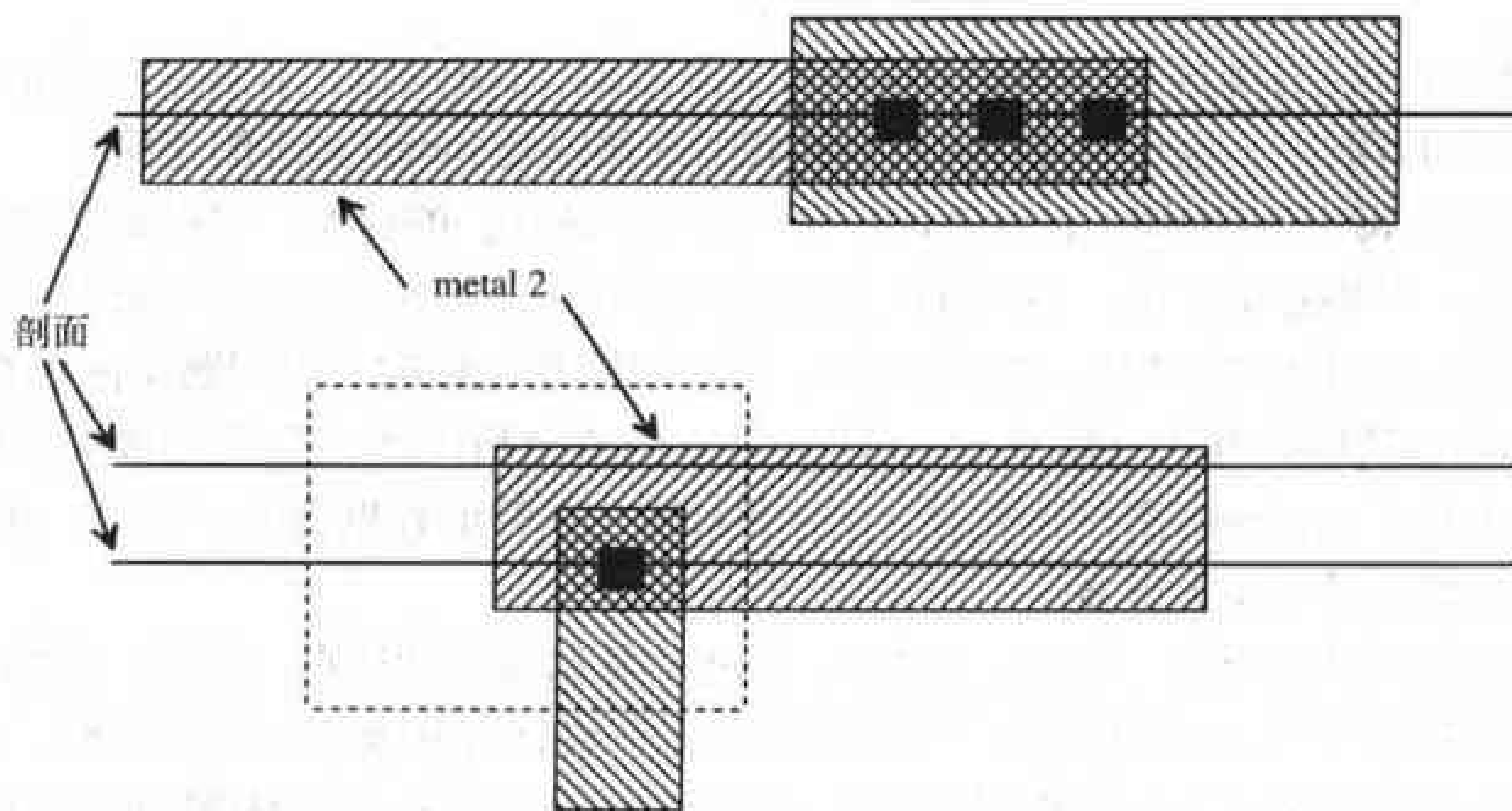


图 P3-10

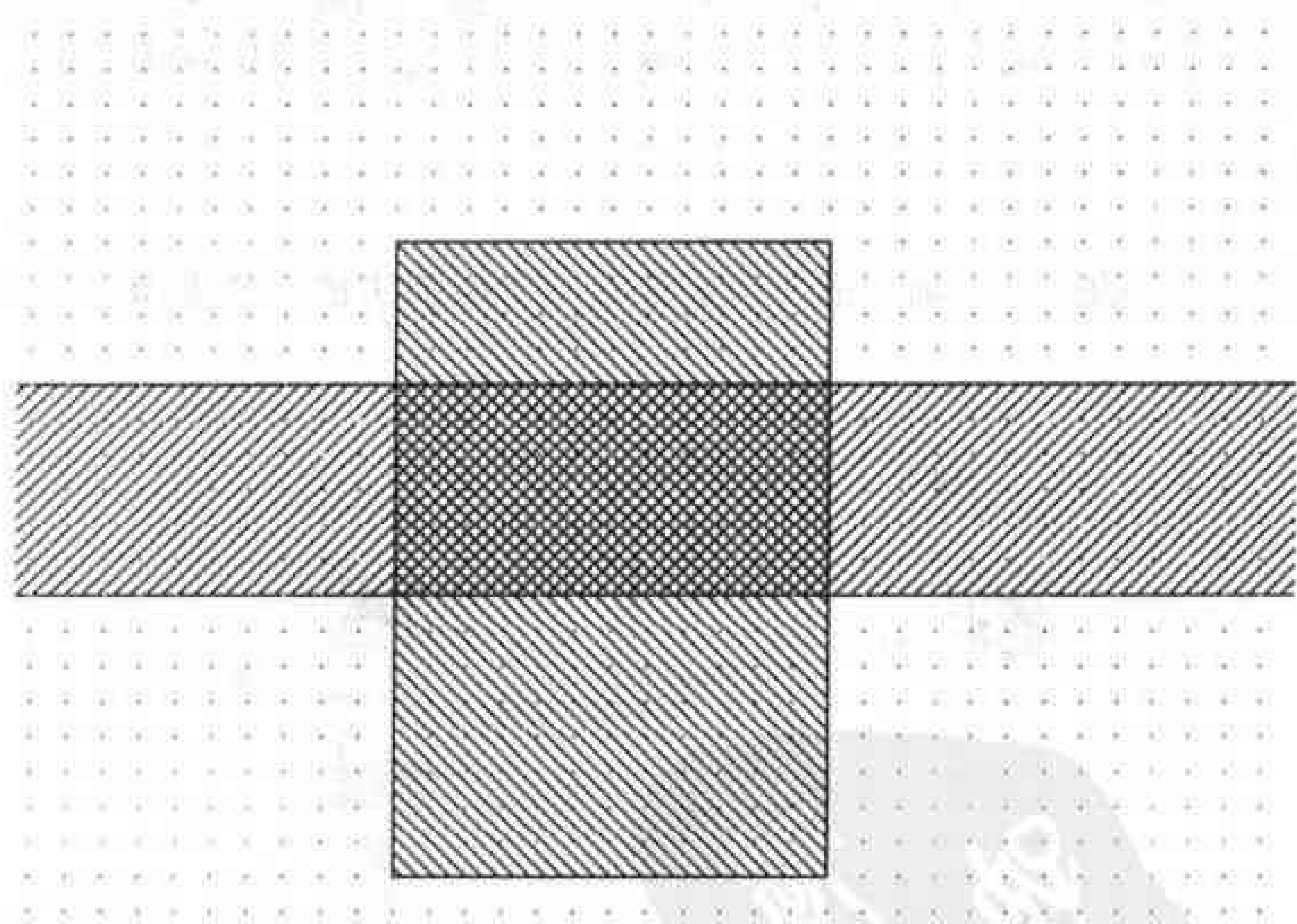


图 P3-11

64

第4章　有源区层和多晶硅层

本章我们将讨论有源区层（active层）和多晶硅层（poly层）。有源区包括n+区和p+区，用做MOSFET的源漏区，也可用做metal1和衬底的连接以及metal1和阱的连接。

poly层用做MOSFET的栅。poly是polysilicon（多晶硅）的简写。多晶硅是由硅的小晶粒构成的，因此，严格意义上讲，多晶硅既不是无定型硅⊖，也不是结晶硅（如硅片）。

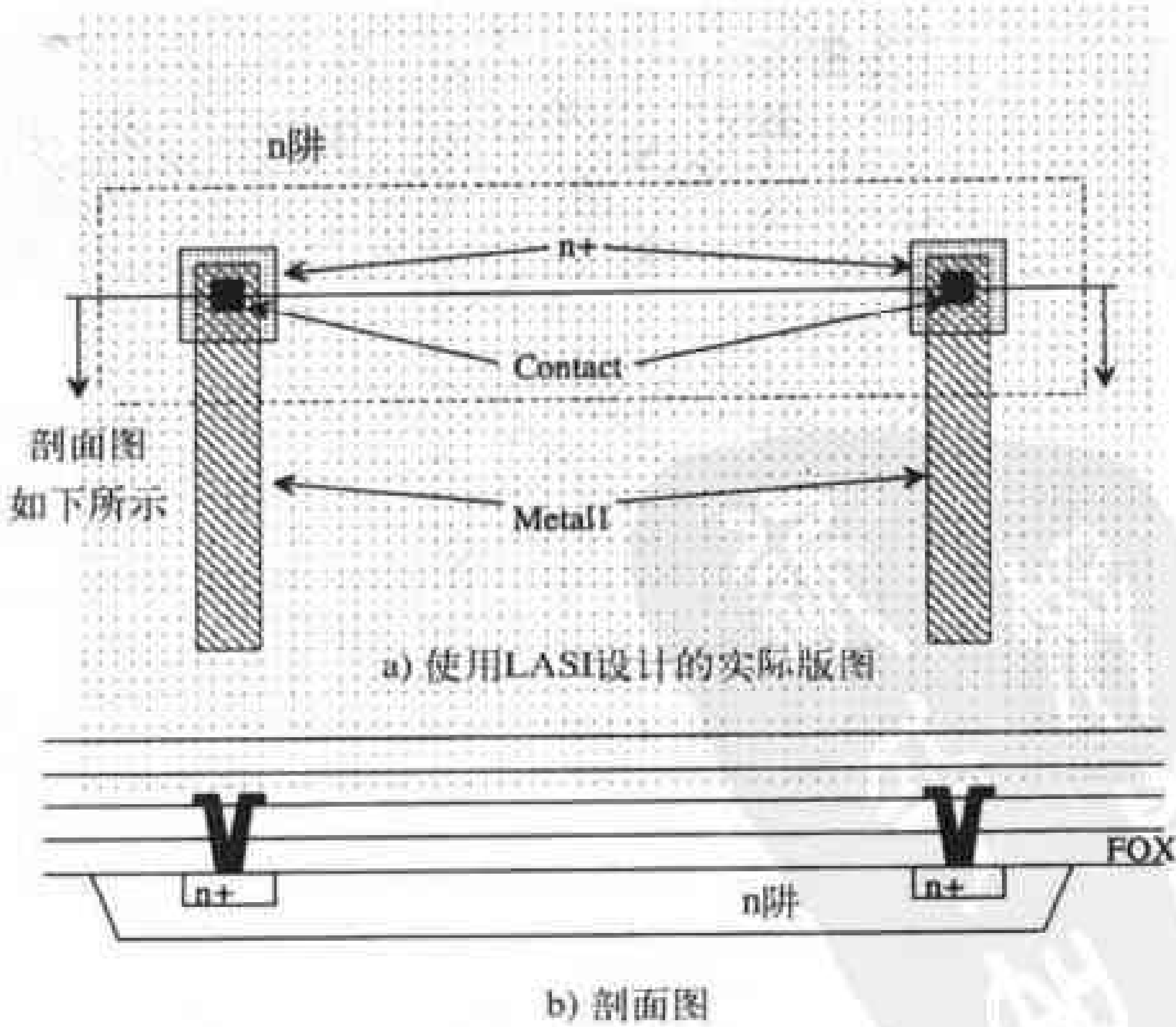
poly层也可以用做MOSFET之间的连接。用poly做互连线的主要问题是poly的方块电阻。上一章中提到金属层的方块电阻小于0.1Ω/方块，而掺杂后的多晶硅的方块电阻的数量级为20Ω/方块。另外，由于poly离衬底很近，poly和衬底之间的电容也很大。因此，通过poly的延迟比通过金属线的延迟要大得多。

本章第1节将介绍active、poly1、poly2、contact等层的设计规则。然后，我们将使用这些设计规则来设计标准单元框的版图。利用标准单元框设计各标准单元的版图时，只需在框内某些固定区域放置NMOS管和PMOS管即可，不用考虑电源布线、阱和衬底的偏置连接等问题。使用标准单元框设计的单元版图可以首尾拼接，这一方面简化了电路的版图设计，另一方面又会有一定程度的面积浪费。因此，如果面积是设计瓶颈，那就应该采用全定制设计。

本章的其他部分将讨论n+、p+、poly层的制作过程，最后将讨论寄生效应。

4.1 设计规则

在开始讨论有源区的设计规则之前，我们先看一个版图实例。考虑图4-1所示n阱电阻的实



a) 使用LASI设计的实际版图

b) 剖面图

图4-1　通过有源区接触孔与metal1相连的n阱电阻的版图

⊖　无定型硅由随机排列的硅原子构成，结晶硅由规则排布的硅原子构成。

际版图。以前讨论n阱电阻的版图时，我们并没有讨论这个电阻如何与外部连接。观察图4-1，首先可以看到一个基本的n阱电阻；仔细观察，还可以看到n阱中有两个n+区（n型重掺杂区）。如果metal1和n阱直接相连，就会在接触区形成整流二极管或肖特基二极管。而n+区和metal1接触只会构成欧姆接触，因此，通过n+区实现了metal1和n阱的连接。metal1引线可以连接到电路其他部分，这就实现了n阱电阻与其他电路的连接。

4.1.1 n+/p+有源区的设计规则

图4-2所示有源区的设计规则既适用于n+有源区，也适用于p+有源区。设计有源区版图时，要注意有源区所在的位置，不论它是在衬底内还是在阱内，都不要违反设计规则。通常，n阱中的n+有源区用于把阱的电势固定在某一电压上，p衬底中的p+有源区用于把衬底的电势固定在某一电压上。

66

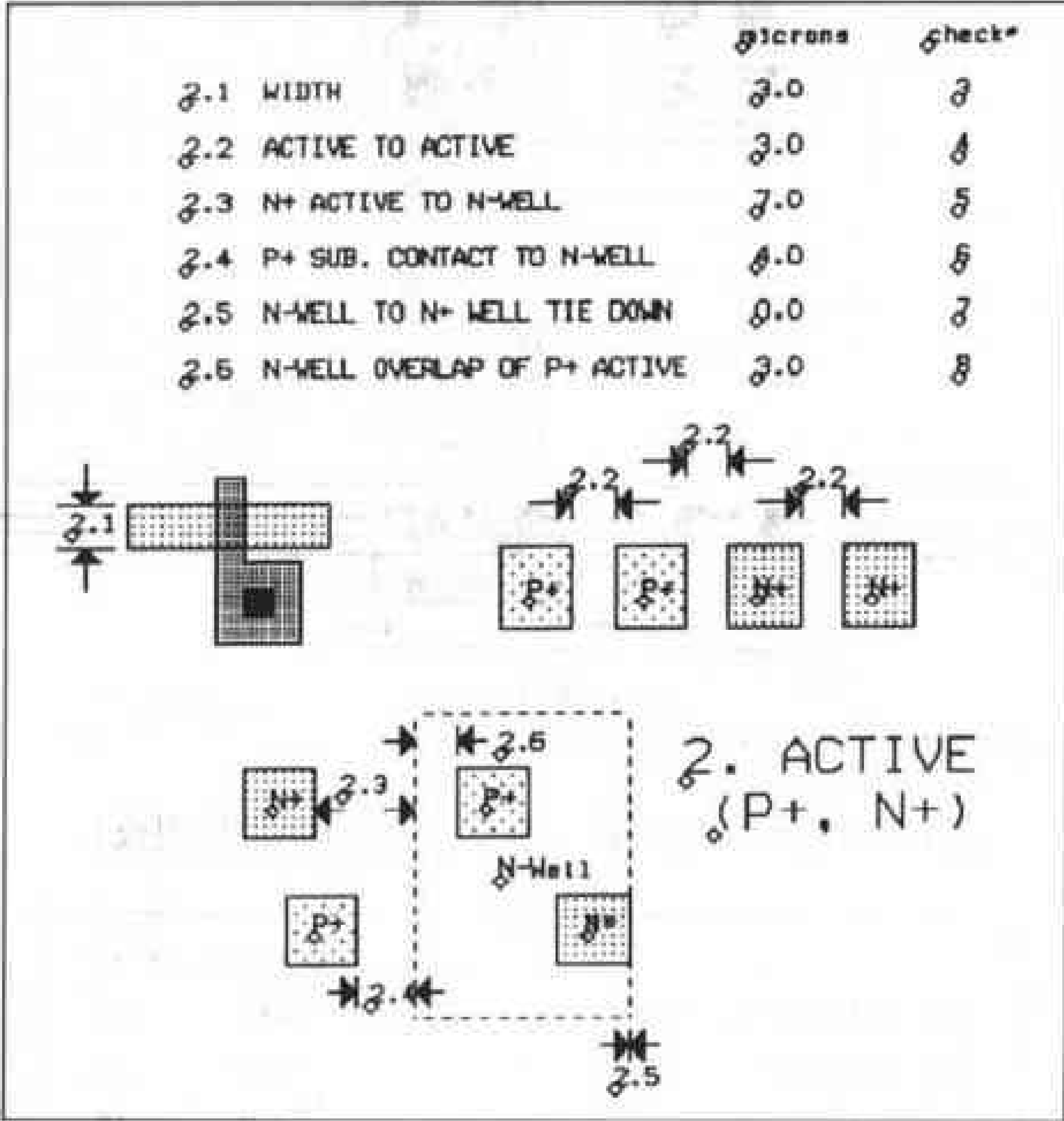


图4-2 有源区设计规则

例4.1

用n阱作阴极，先画一个10μm × 10μm的二极管的版图，再画出这个二极管的剖面图。如果衬底电压保持为“地”，那么，允许加在二极管阴极（n阱）上的最小电压是多少？为什么？

图4-3给出了二极管的版图与剖面图。如果衬底电压为“地”，则n阱的电压应大于−0.6V，以避免p衬底/n阱二极管正偏。 ■

图4-4示意了contact层（接触孔层）的设计规则。contact层用于实现metal1与n+、p+、poly层的连接。contact的尺寸只能是2μm × 2μm。

二极管的一个重要应用是静电泄放（ESD）保护。MOSFET的输入阻抗是容性的，来自片外的少量电荷通过压点连到片内MOS管的栅上，会导致MOSFET栅氧化层击穿。为了避免氧化层击穿，可采用图4-5所示的保护电路。图4-5a中电路的保护机理在于：当压点上的

67

电压出现较大的负瞬变或正瞬变时，图中都会有一个二极管正偏，为MOSFET栅上的过量电荷提供低阻泄放通路。图4-5b给出了另一种保护电路，它采用了n+电阻，其保护机理是：当压点上的电压出现较大的负瞬变时，电阻用来限制流过压点和n+/衬底二极管的电流，以实现保护；当出现较大的正瞬变时，利用二极管的击穿电压进行保护。通常把这两种保护电路结合在一起并设计好电源线和地线，为电荷的泄放提供良好的低阻通路，以实现电路保护。

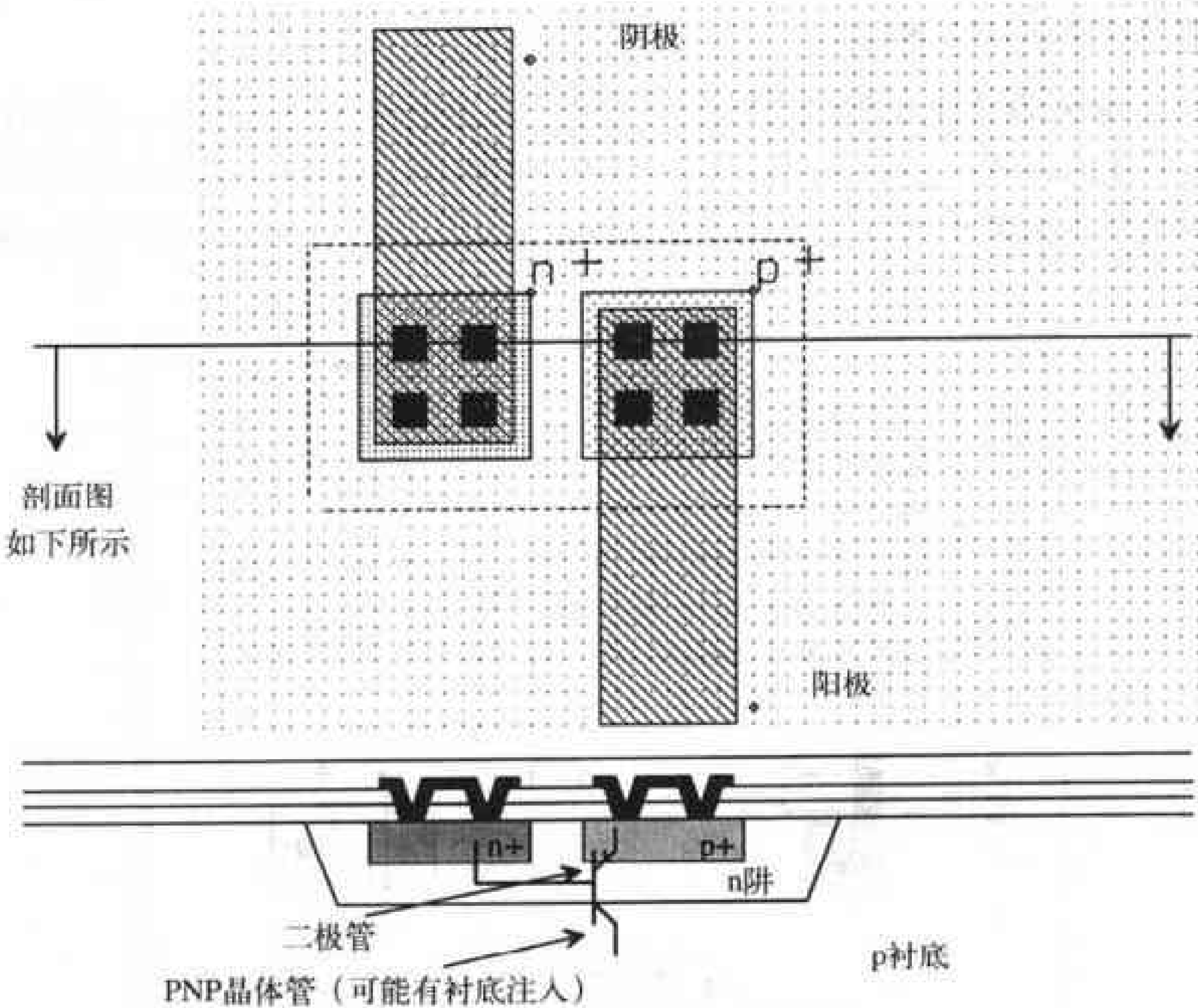
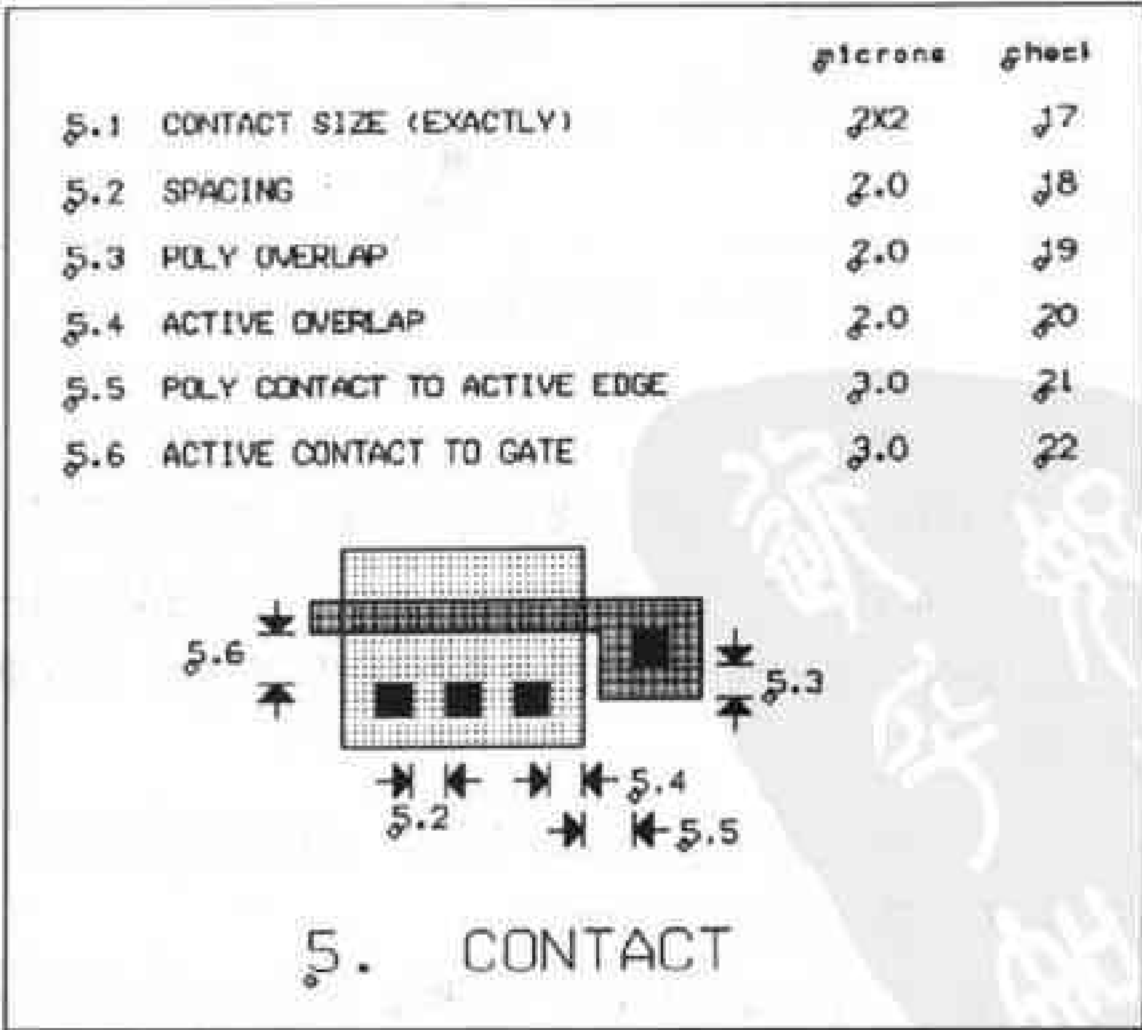


图4-3　10μm × 10μm的二极管版图（用n阱作阴极）



		microns	lambda
5.1	CONTACT SIZE (EXACTLY)	2X2	17
5.2	SPACING	2.0	18
5.3	POLY OVERLAP	2.0	19
5.4	ACTIVE OVERLAP	2.0	20
5.5	POLY CONTACT TO ACTIVE EDGE	3.0	21
5.6	ACTIVE CONTACT TO GATE	3.0	22

图4-4　contact层的设计规则

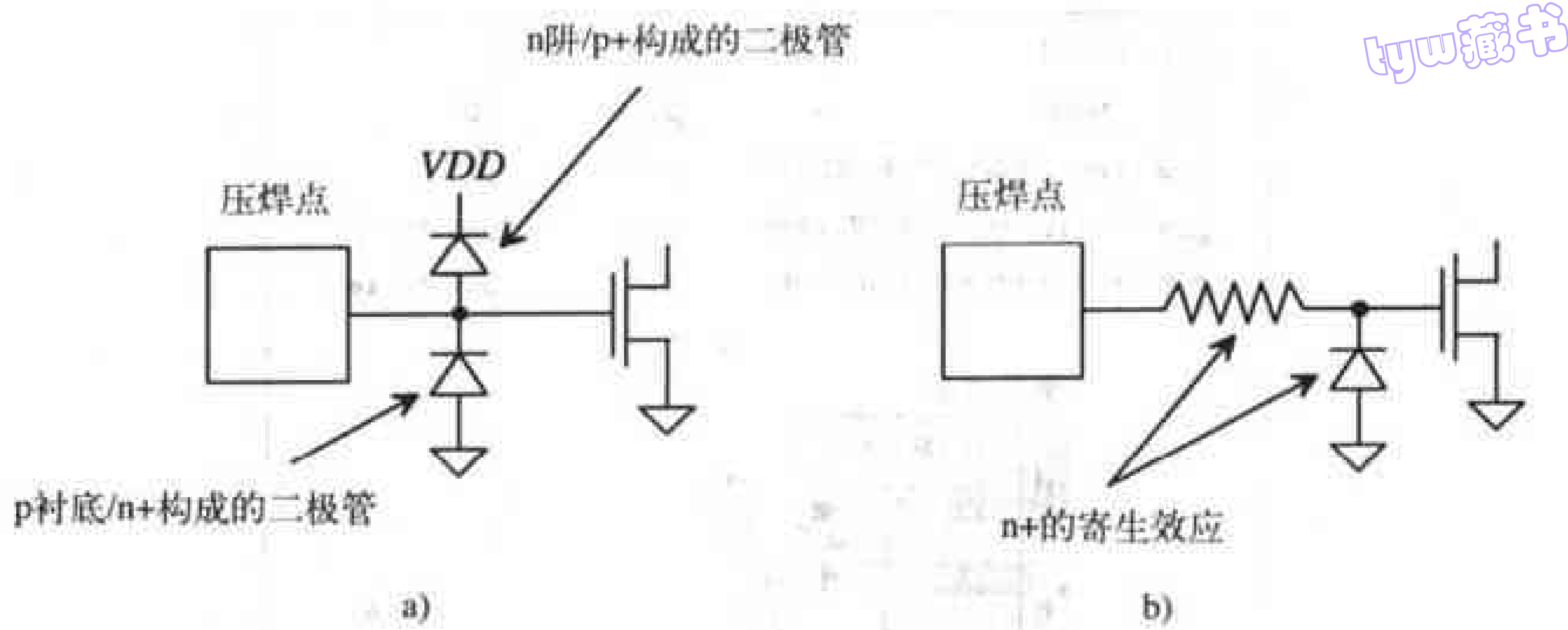


图4-5 两种ESD保护电路

例4.2

修改例3.1中的压点版图，使其包含图4-5a中的二极管保护，并在压点中画出电源线（*VDD*）与地线（*VSS*）。

完整的压点版图如图4-6所示。图中，*VSS*通过p+与衬底相连，*VDD*通过n+与n阱相连。另外，n+与p+区超出了单元框的边界。使用时，这些压点单元首尾相接，n+或p+区域会有重叠，沿芯片四周有一圈连续的*VDD*和*VSS*连接。此外，芯片中至少要有两个压焊点，用于接*VDD*和*VSS*。■

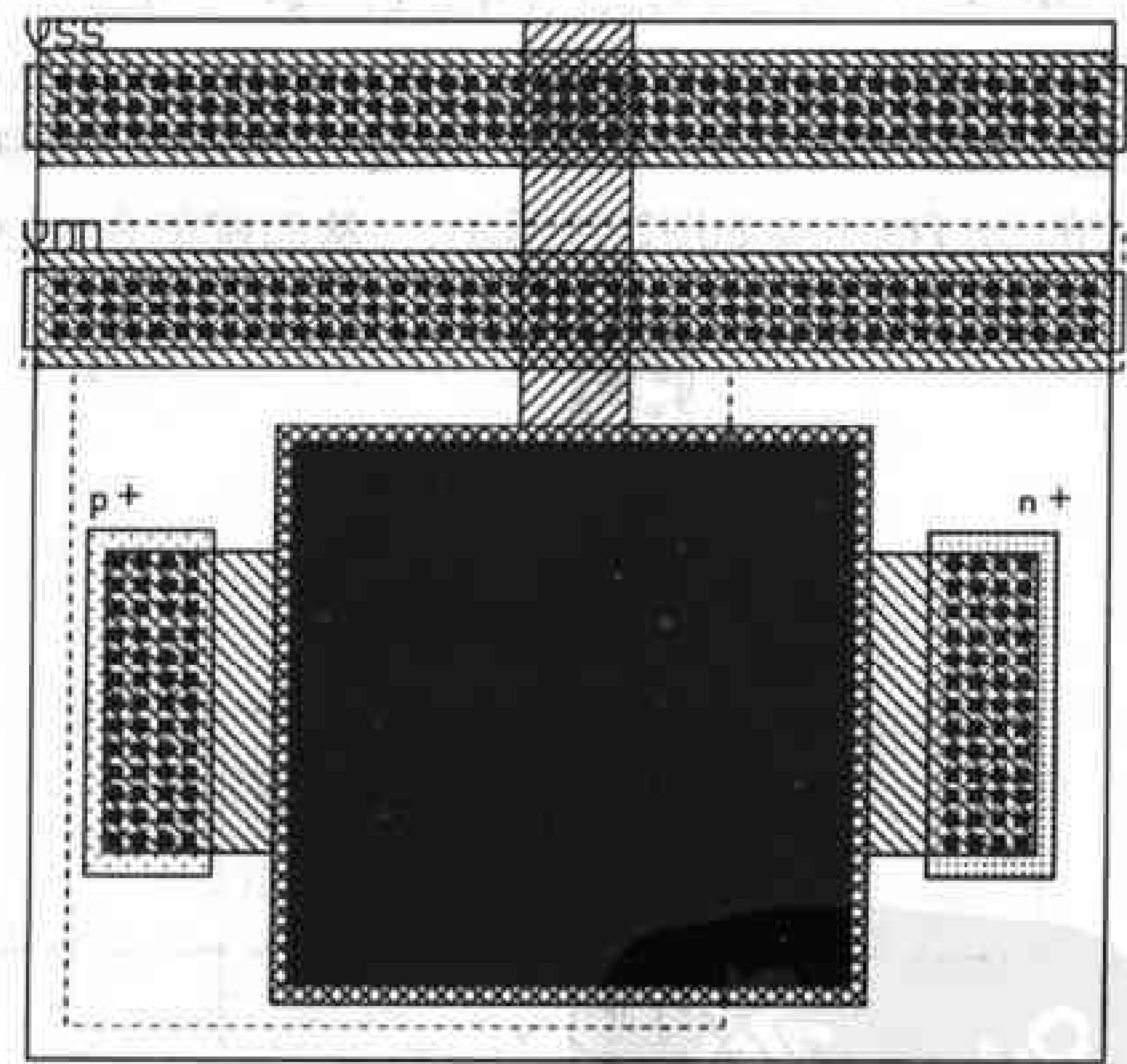
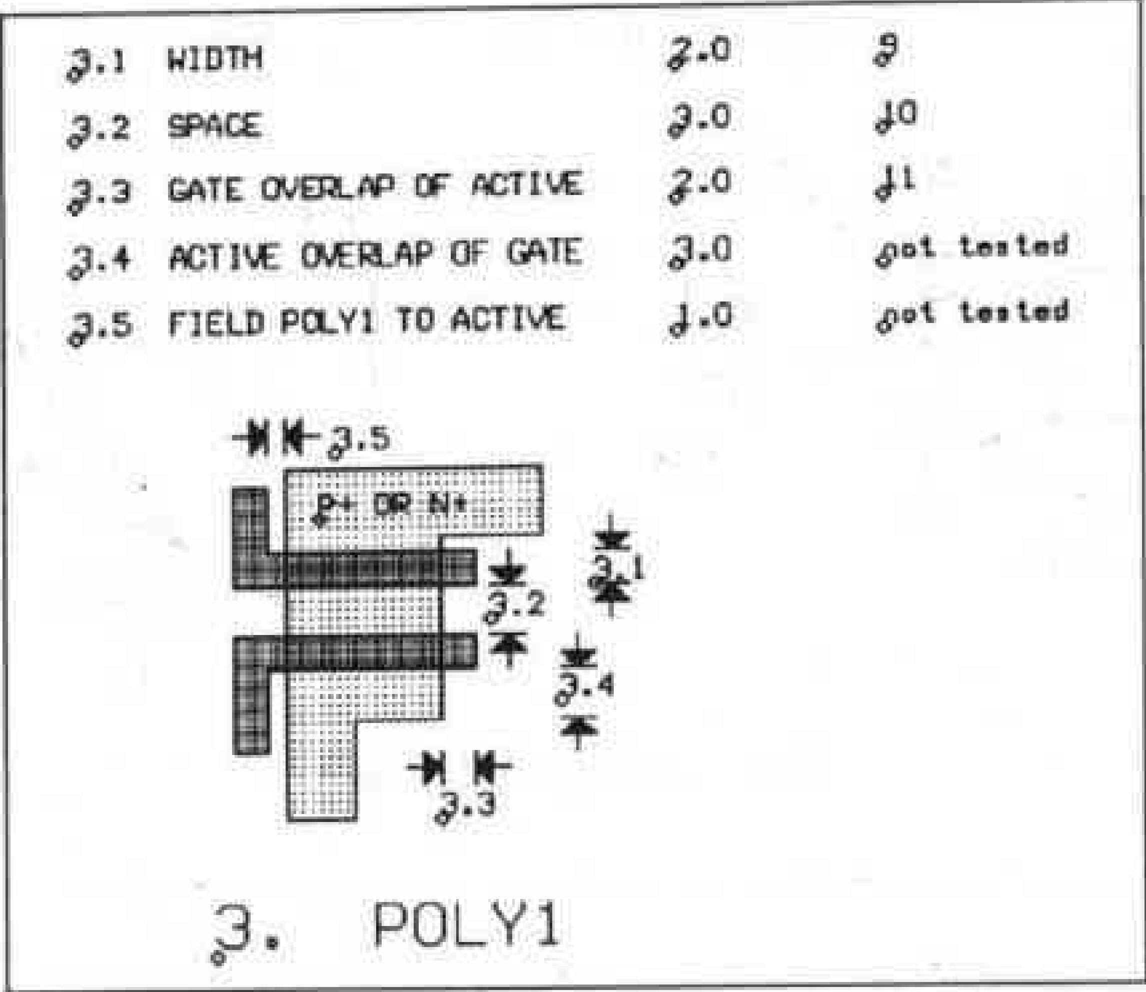


图4-6 包含ESD保护二极管和电源线的压点版图

4.1.2 poly1的设计规则

poly1的设计规则如图4-7所示。poly1用于构成MOSFET的栅，也可以与poly2一起构成电容。在第7章中，会介绍另外的一层多晶硅，名为poly2。poly2可用于与poly1一起构成电容，另外也可以用来构成MOSFET。为了使设计规则尽可能少，我们假定只有poly1能用来做MOSFET的栅，poly2仅用于构成电容。



68
~
70

图4-7　poly1的设计规则

考虑图4-8所示的版图。图中poly1跨在n+有源区上。我们在本章后面将会看到，poly会阻止n+的扩散，从而避免使poly（MOSFET的栅）底下的区域成为n+区。poly与有源区相交，其宽度被称作设计宽度（drawn width），长度被称作设计长度（drawn length），如图所示。设计宽度和设计长度定义了MOSFET的沟道宽度W和沟道长度L。由图中可看出，通过对比较薄的栅氧（Gate OXide，GOX）进行注入形成n+区。另外，poly经过场氧（Field OXide，FOX）时也会形成寄生的MOS管，被称作场MOSFET。FOX是场MOSFET的栅氧层。一般需另加一次注入来提高场MOSFET的阈值电压（如图2-10所示），从而避免它导通。

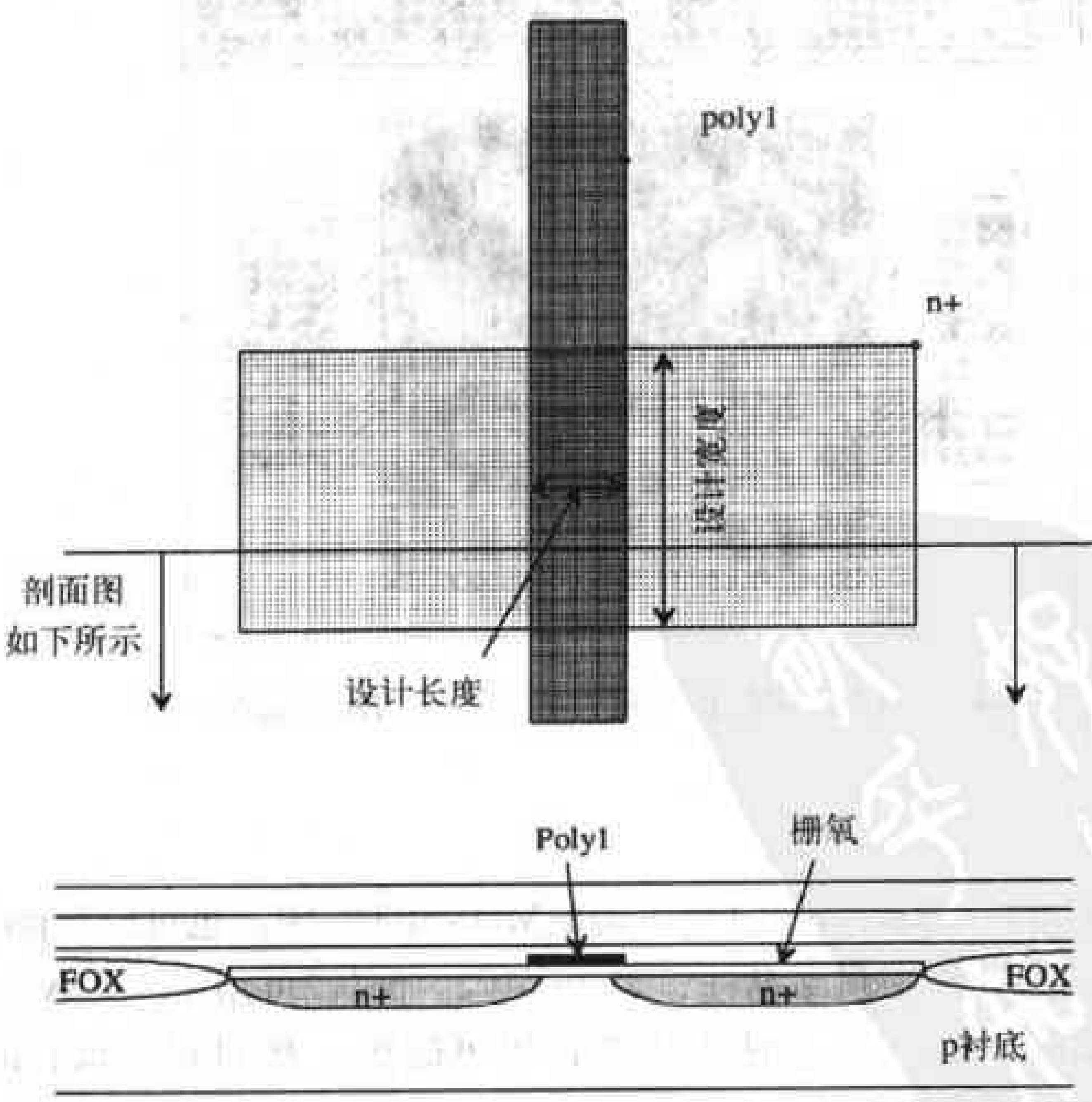
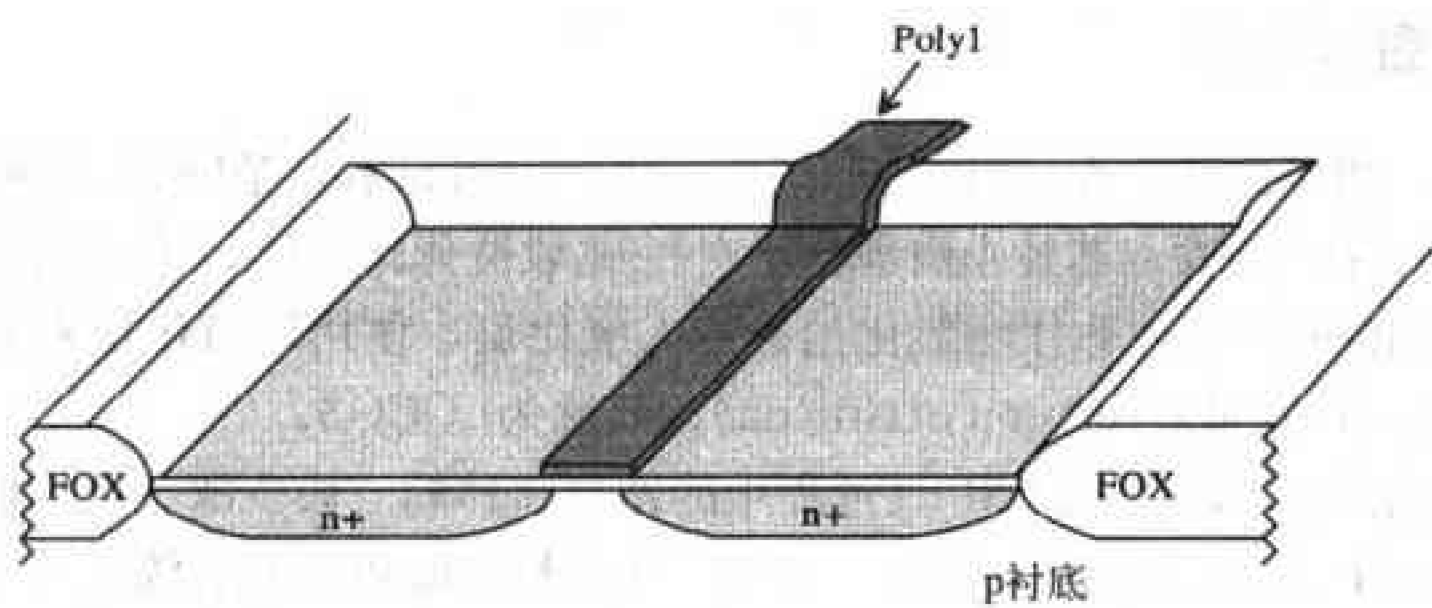


图4-8　MOSFET的版图、剖面图、斜视图



斜视图（不包括其他隔离层）

图4-8 （续）

4.2 标准单元框的版图

画NMOS管和PMOS管的版图时，很容易忘掉画出体连接（即NMOS管的p衬底连接和PMOS管的n阱连接）；另外，整个电路的每一部分都需要与*VDD*和*VSS*相连。用标准单元框（Standard Cell Frame）进行版图设计有利于解决上述两个问题。这种框提供了*VDD*和*VSS*连线，并且实现了衬底与*VSS*的连接以及*VDD*与阱的连接。使用标准单元框的缺点是存在一定的面积浪费。

图4-9示意了一个标准单元框，其宽度为60μm，高度为120μm。标记为*VSS*的metal1通过contact与metal1底下的p+相连，形成欧姆接触，从而与p衬底相连并把衬底电压偏置为*VSS*。使用这种标准单元框，我们就不用再考虑NMOS管的衬底连接了。n阱在标准单元框的顶部，通过n+与标记为*VDD*的metal1相连，把n阱的电压偏置为*VDD*。画NMOS管和PMOS管版图时，PMOS管画在上面的n阱里，NMOS管画在底部。在进行版图设计时，如果觉得框的宽度太小，只需再添加一个标准单元框，并把这些框无缝拼接在一起即可。同样，在进行系统版图设计时，也可以将这些单元无缝拼接，就自动完成了*VDD*和*VSS*的布线。

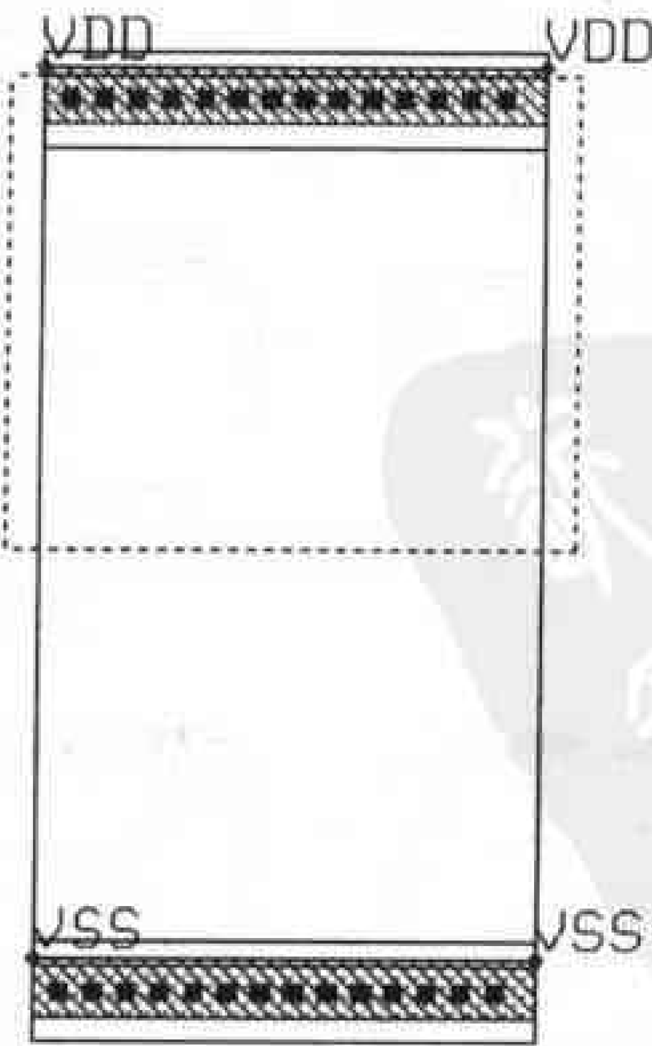


图4-9 标准单元框

4.3 有源区层的图形转移

在第2章中我们介绍了如何实现n阱的图形转移过程，这可以看作是PMOS管衬底的制作过程。有源区由n+区和p+区构成，芯片上有源区之外的区域被称作场区。场区用于实现有源区之间的隔离。场区中的氧化层被称作场氧化层或凹入氧化层。使用场氧化层来隔离有源区也被称作硅的局部氧化（LOCal Oxidation of Silicon），简称为LOCOS。

图4-10示意了在形成有源区和MOSFET过程中的图形转移的一般步骤。我们假定芯片上的n阱已经加工完（如图4-10a和图4-10b所示）。首先，在p衬底和n阱中的有源区上生长一层薄氧化层，用于应力释放。然后，在该氧化层上方淀积SiN_3（如图4-10c和图4-10d）。这个薄氧化层用做SiN_3的铺垫层。在没有覆盖SiN_3的区域（也就是p衬底区域），进行p场区注入（如图4-10e）以提高场MOSFET的阈值电压。场MOSFET由FOX上的poly形成图4-10只示意了p衬底上的p场区注入，没有示意用来提高n阱中场MOSFET的阈值电压的n场注入。

做完场注入后，开始生长FOX（图4-10f），然后去掉氮化物和用于应力消除的薄氧化层。这里需要提一下LOCOS中不希望看到的一种现象：鸟嘴。考虑图4-11a，n+有源区尺寸为10μm × 10μm，poly做MOSFET的栅。图4-11b给出了场氧与有源区的剖面图（它与图4-8所示的剖面图成90°）。

观察图4-11b，可发现：氧化层会向掩模板所定义的n+有源区侵蚀。有时把这种由侵蚀引起的氧化层的形状叫做鸟嘴。我们把LOCOS中的这种现象简单地称作氧化物侵蚀。这种侵蚀会影响MOSFET的沟道宽度，也就是说，MOSFET的沟道宽度会减小氧化层侵蚀长度的两倍。在第6章中讨论的BSIM SPICE模型给出了一个参数DW，它就是用来描述氧化层侵蚀所引起的沟道宽度的变化量。如果MOSFET的设计沟道宽度为W，则其有效沟道宽度如下：

71～73

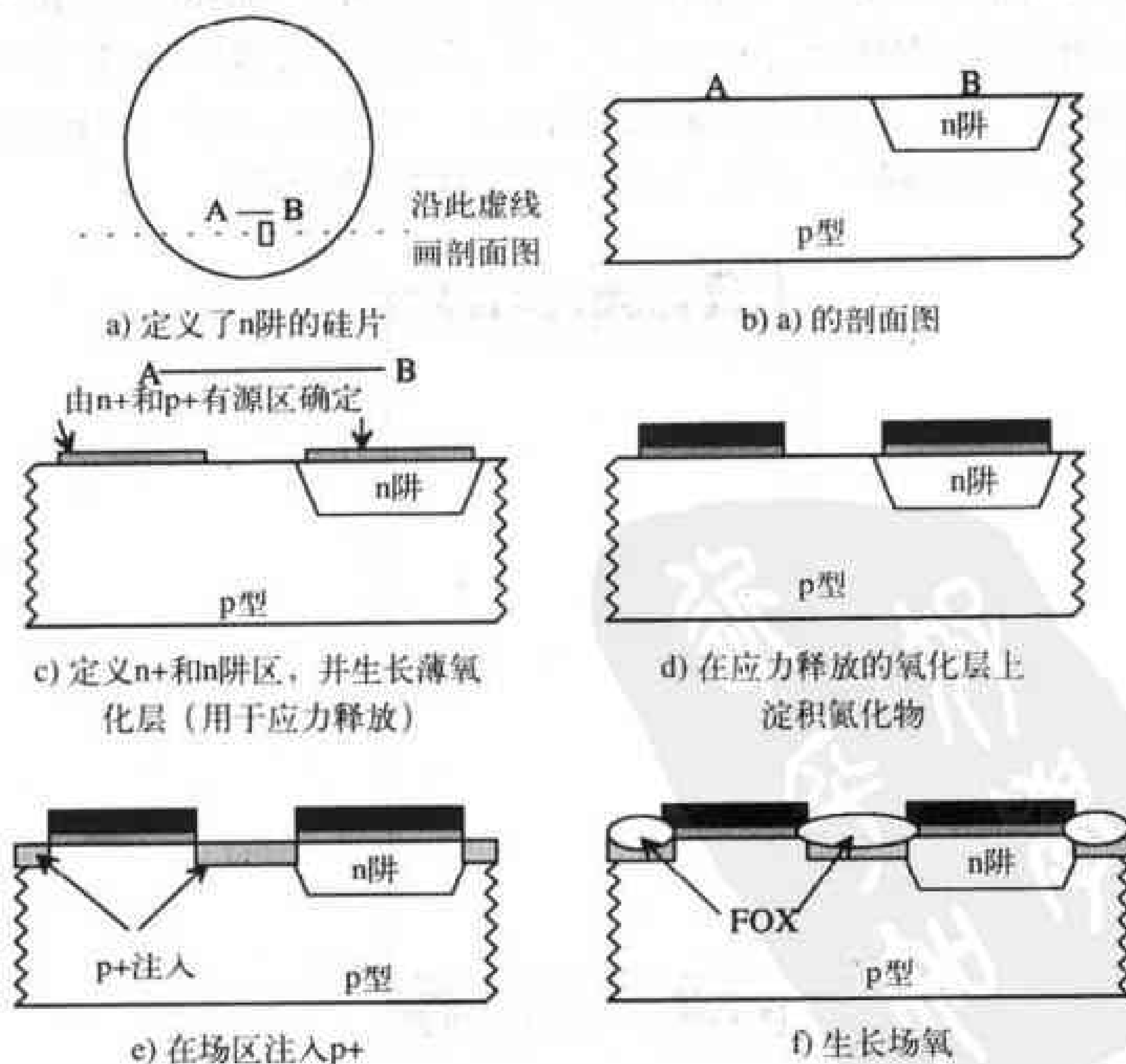


图4-10 MOSFET的制作过程

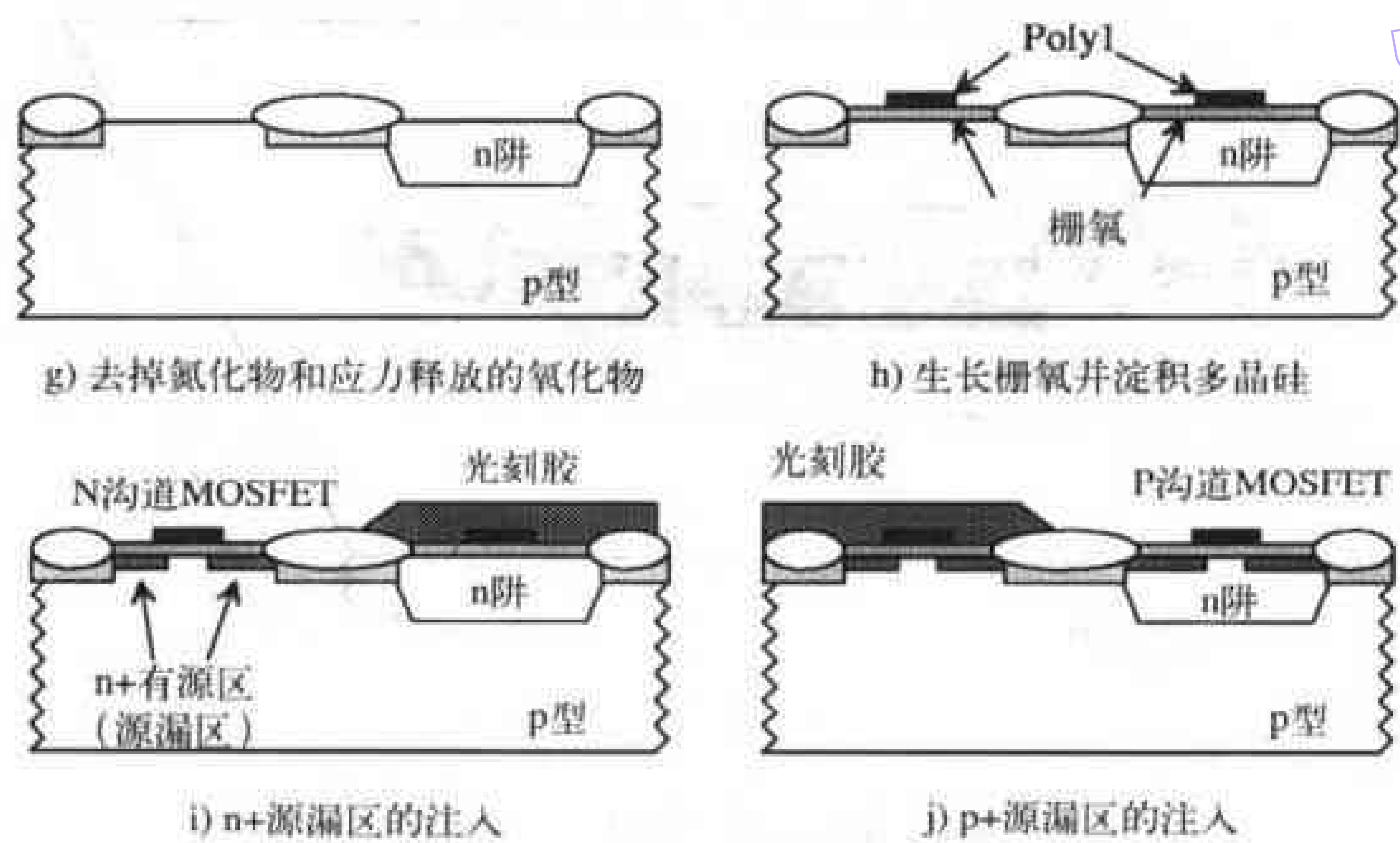


图4-10　（续）

$$W_{eff} = W_{drawn} - DW \tag{4-1}$$

参数DW等于两倍的氧化层侵蚀长度。BSIM SPICE模型会在设计宽度上自动减去DW（设计宽度是电路设计工程师做SPICE仿真时设置的沟道宽度W）。

例4.3

假定图4-11中MOSFET的设计宽度为10μm，估算氧化层侵蚀后的有效沟道宽度。

附录A给出了N沟道MOSFET的BSIM模型参数，查找可知：DW = 0.1355μm。因此，图4-11中所示MOSFET的有效宽度为9.87μm。值得一提的是，器件的设计宽度越小，氧化层侵蚀对沟道宽度的影响越大。■

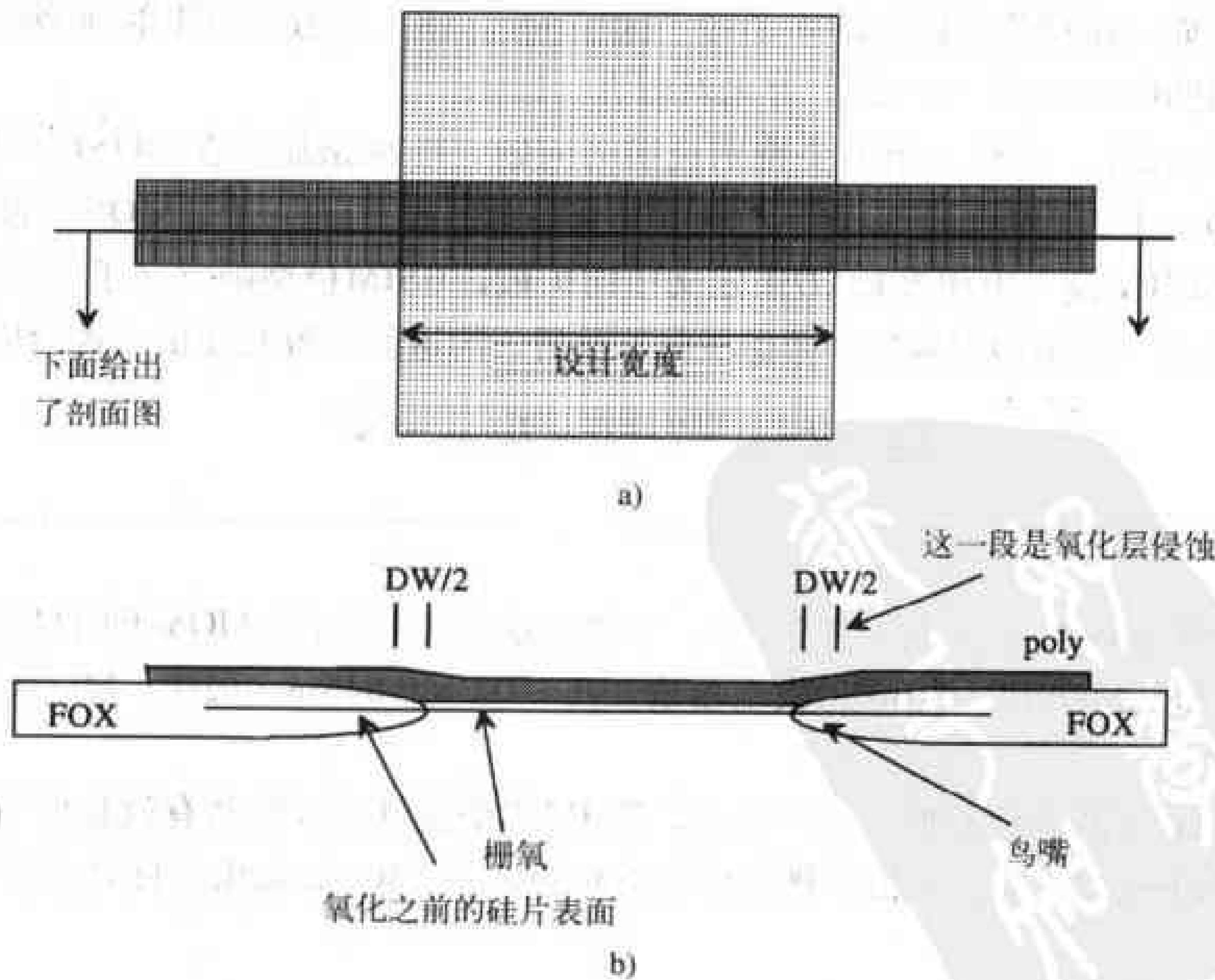
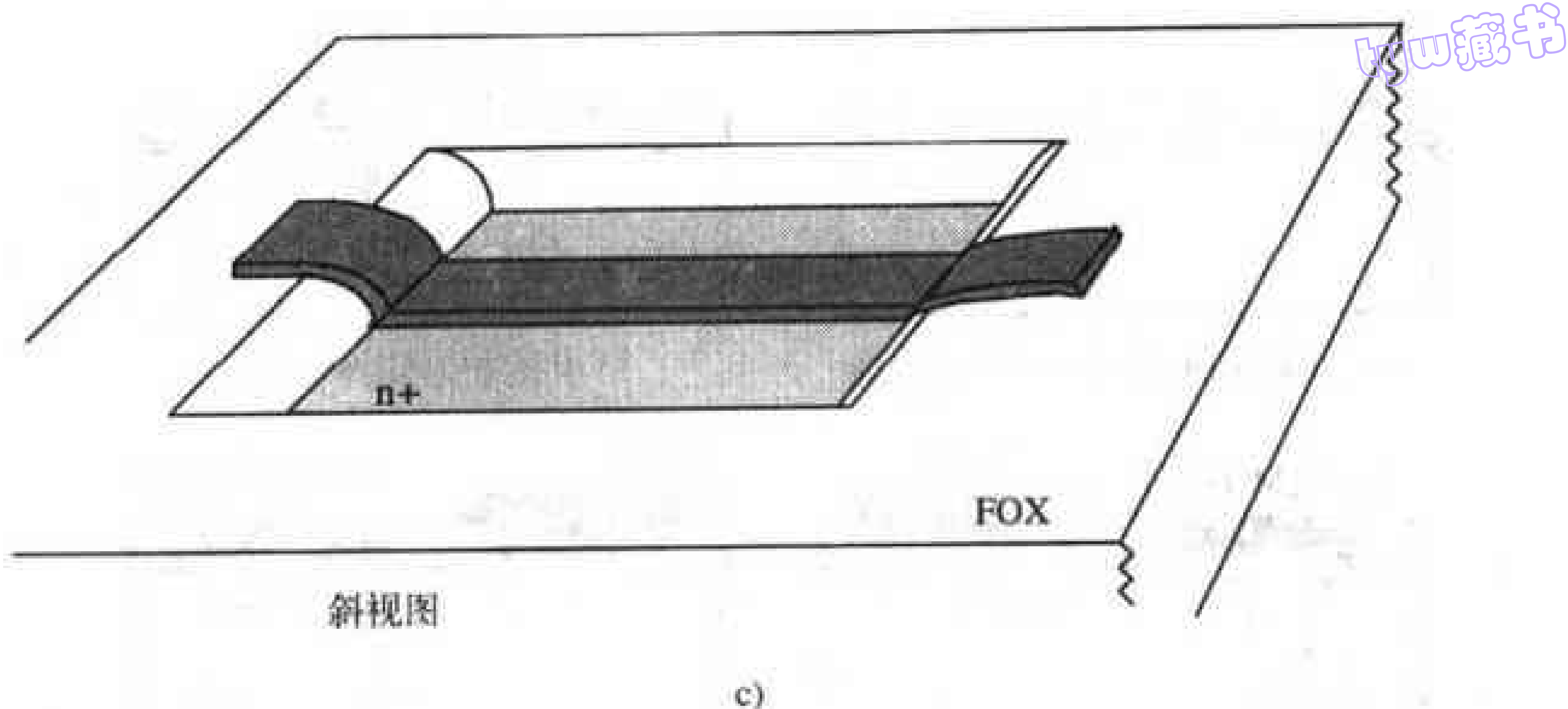


图4-11　氧化层侵蚀



c)

图 4-11（续）

现在我们接着讨论图4-10所示MOSFET的制作过程。下一步工艺是生长薄栅氧化层并淀积多晶硅（图4-10h）。接着涂光刻胶，对需要n+注入的区域进行n+注入，注入后的结果如图4-10i所示。加工到这一步，NMOS管的基本结构就形成了。从电路的角度看，MOSFET制作过程的最后几步中，还要进行一些比较重要的加工步骤。例如，淀积了多晶硅后，还要对多晶硅掺杂以降低其电阻率。对于CN20工艺，多晶硅栅的掺杂类型是n+掺杂。在对硅片进行n+注入以形成NMOS管的源漏区时，n+注入会进一步对多晶硅栅进行掺杂，但注入的施主原子并不能穿透多晶硅，因此，多晶硅下面的区域不会被n+掺杂[⊖]。PMOS管的栅也是n+多晶硅栅，其原因在于，p+注入引起的掺杂尚未达到改变多晶硅栅掺杂水平的程度。多晶硅方块电阻的典型值的数量级为20Ω/方块。为了减小多晶硅的方块电阻，一般要在多晶硅层上再淀积一层由难熔金属和多晶硅组成的混合物，这种混合物被称为硅化物。这种由硅化物（silicide）/多晶硅（poly）形成的栅被称作硅化的多晶硅（polycide）栅，其方块电阻的典型值为2~3Ω/方块。但我们使用的Orbit工艺（CN20）并未对栅进行硅化。

在n+和p+注入时，还有一个需要特别说明的问题，即掺杂原子在MOSFET栅下的扩散（如图4-12所示）。由该图可知，从设计长度中减去横向扩散（*LD*）才是MOS管的实际沟道长度。Level 2的SPICE模型中用参数*LD*来定义横向扩散。BSIM模型则定义了长度变化量参数*DL*（*delta length*），它为*LD*的两倍。考虑横向扩散后，沟道的有效长度由下式给出：

74~75

$$L_{eff}=L_{drawn}-2\cdot LD=L_{drawn}-DL \tag{4-2}$$

例4.4

假定图4-12中MOSFET的设计长度为2μm，估算考虑横向扩散后的MOSFET的有效沟道长度。

附录A中给出了MOSFET的BSIM模型参数，其中$DL=0.64\mu m$，因此，MOSFET的有效沟道长度为1.36μm。■

76

给定了MOSFET的设计长度与设计宽度，BSIM模型能自动计算其有效长度与有效宽度；而Level 2的SPICE模型只能计算由于横向扩散引起的效应（W_{eff}必须由设计者给出）。

⊖ 这被称作“自对准”CMOS工艺，因为栅自动与MOSFET的源漏区对准。

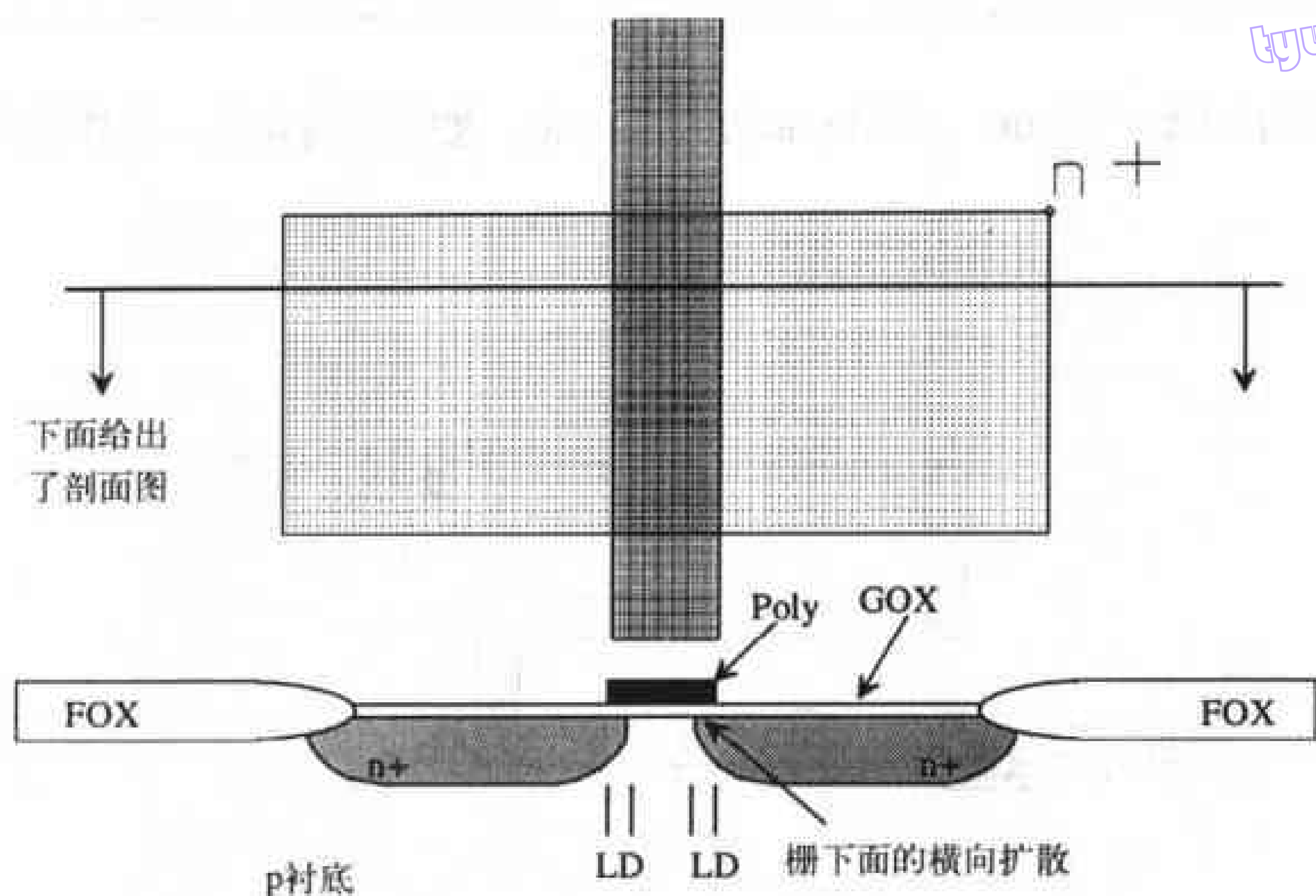


图4-12 横向扩散

4.4 MOSFET的版图

图4-8、图4-11和图4-12给出了不含接触孔的MOSFET版图。在图4-13所示的MOSFET版图中，MOSFET的源、漏和栅都通过接触孔与金属层实现了互连。观察图中的MOSFET可发现：MOSFET的源和漏可以互换。图中的MOSFET没有给出衬底连接。如果把图中的MOSFET版图放入图4-9所示的标准单元框的底部，MOSFET的衬底就接到了*VSS*，其原因在于：在设计标准单元框时，已经把衬底接到了*VSS*。另外，采用图4-6中的压点单元构成压点框，也可以保证整个管芯的衬底都接到了*VSS*上。同样道理，n阱作为PMOS管的衬底，也必须有一个确定的连接（不能浮置）；一般通过阱内的n+注入区，把n阱接到*VDD*或PMOS管的源端。

与有源区相关的寄生效应

与有源区相关的寄生效应首先是有源区的方块电阻。可以从附录A的表中或者直接从BSIM模型参数中得到方块电阻阻值。NMOS管的源漏区为n+，PMOS管的源漏区为p+。NMOS的BSIM模型给出的n+区的方块电阻“rsh”为27.9Ω/方块。

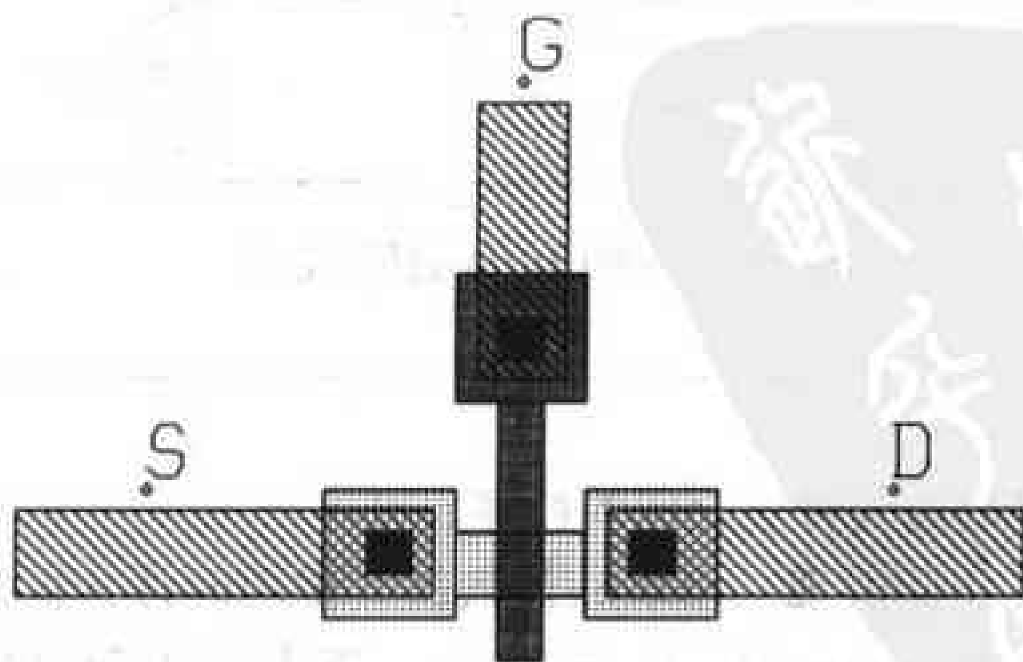


图4-13 长2μm、宽3μm的NMOS管的版图（给出了金属层的连接，没有给出衬底连接）

例4.5

下面版图中的电阻由宽3μm、长100μm的n+区构成，忽略拐角效应，估算其阻值。

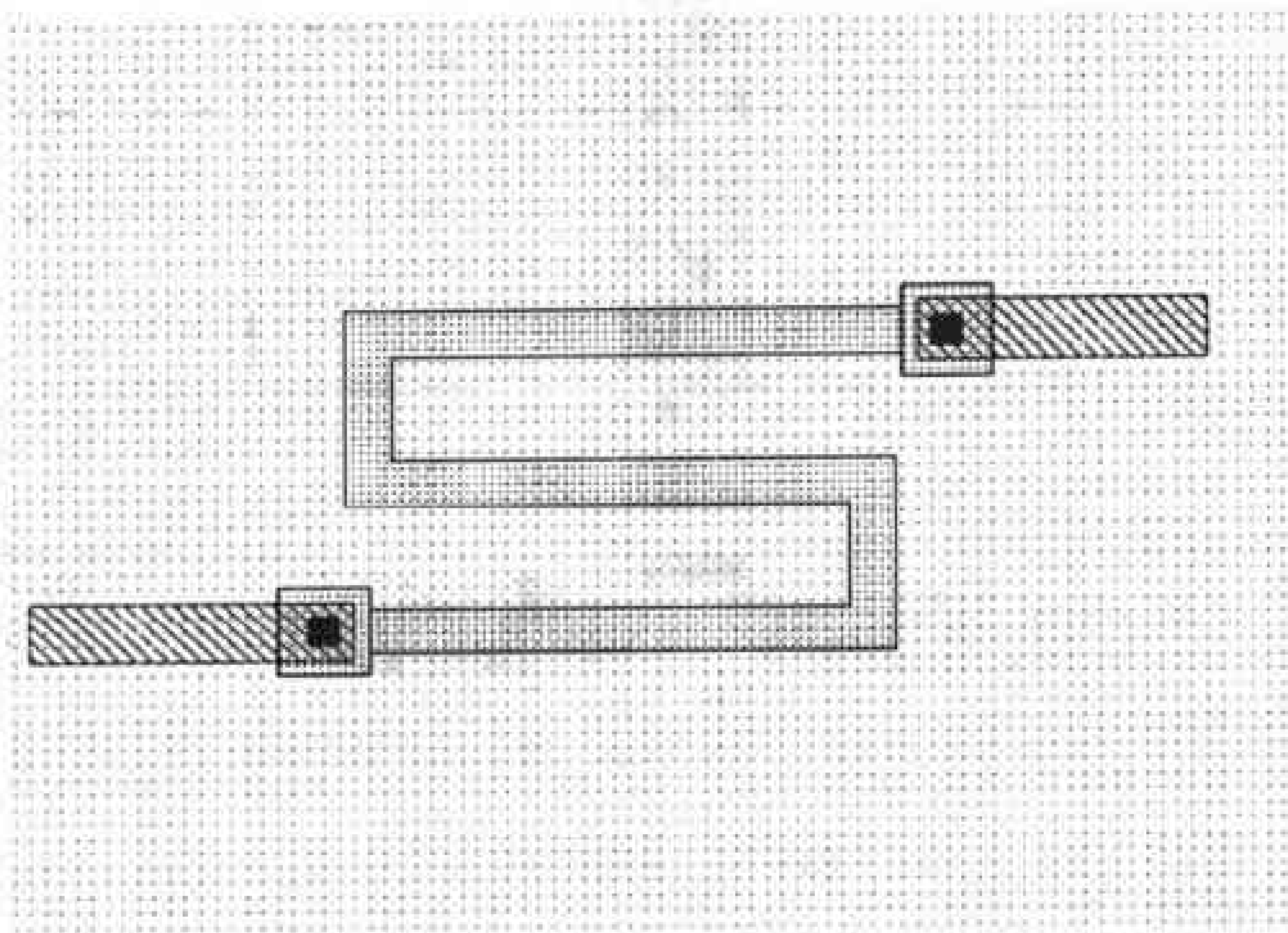


图 EX4-5

版图中的n+电阻阻值为：$R = 27.9 \cdot \frac{100}{3} \approx 930\Omega$。■

与有源区相关的寄生效应还包括寄生电容。n+和p+源漏区的耗尽层电容包括了底部电容和侧壁电容两部分（如图4-14所示）。BSIM模型中给出的零偏压耗尽层电容分别为*cj*（底部电容，单位F/m²）和*cjsw*（侧壁电容，单位F/m）。底部二极管和侧壁二极管的内建势分别为*pb*与*pbsw*，底部和侧壁的梯度系数分别为*mj*与*mjsw*。这些参数在BSIM模型中都给出了。对于已知面积和周长的源漏区，n+到体的耗尽层电容可由下式计算：

78

$$C_{jdep} = \frac{cj \cdot A_D}{\left(1 + \frac{V_{DB}}{pb}\right)^{mj}} + \frac{cjsw \cdot P_D}{\left(1 + \frac{V_{DB}}{pbsw}\right)^{mjsw}} \tag{4-3}$$



图4-14　n+到p衬底的耗尽电容

例4.6

估算图4-13中MOSFET的漏与衬底之间的耗尽层电容。

如果忽略poly和接触孔之间的那一小块n+注入区，图中n+注入区的面积约为6μm × 6μm。由此，得A_D = 36 × 10^{-12}m²（即36μm²），P_D = 24μm。下式给出了耗尽层电容与V_{DB}（V_{DB} 等于漏电压减去衬底电压）的函数关系：

$$C_{jdep} = \frac{1.04\times10^{-4}\frac{\text{F}}{\text{m}^2}\cdot 36\times10^{-12}\text{m}^2}{(1+\frac{V_{DB}}{0.8})^{0.66}} + \frac{2.2\times10^{-10}\frac{\text{F}}{\text{m}}\cdot 24\times10^{-6}\text{m}}{(1+\frac{V_{DB}}{0.8})^{0.18}}$$

$$C_{jdep} = \frac{3.75\ \text{fF}}{(1+\frac{V_{DB}}{0.8})^{0.66}} + \frac{5.3\ \text{fF}}{(1+\frac{V_{DB}}{0.8})^{0.18}}$$

这个结果显示了耗尽层电容随V_{DB}的变化关系。 ■

在设计电路时，多数情况下会忽略掉耗尽层电容随电压的变化关系，而是简单地使用零偏压电容。在上面的例子中，我们取漏衬之间的电容为9fF。

79

参考文献

[1] G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd ed., McGraw-Hill, 1993. ISBN 0-07-002469-3.

[2] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, McGraw-Hill Publishing Company, 2nd ed., 1988. ISBN 0-07-029158-6.

[3] R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2nd ed., John Wiley and Sons, 1986. ISBN 0-471-88758-7.

习题

4.1 画出带metal1连接的250kΩ的电阻版图，并进行DRC检查。如果版图中接触孔底下没有n+，会有什么问题？

4.2 画出图4-6中压点的版图，并进行DRC检查。说明哪一部分是电源线和保护二极管的版图以及保护电路的工作原理。

4.3 图4-9给出了标准单元框的版图，分别画出沿电源线*VDD*和*VSS*的剖面图。

4.4 CN20工艺中，PMOS管在沟道宽度方向的氧化层侵蚀是多少？氧化层侵蚀会影响MOSFET的沟道长度吗？在版图上画出MOSFET中氧化层侵蚀的位置。

4.5 CN20工艺中，PMOS管栅极下面的横向扩散是多少？横向扩散是否会影响MOSFET的沟道宽度？在版图上画出MOSFET横向扩散的位置。

4.6 仿照图4-13，画出一个沟道长度和沟道宽度均为5μm的NMOS管的版图，要求画出到衬底的p+连接。对该版图进行DRC检查。

4.7 在标准单元框中放置NMOS管和PMOS管的版图，PMOS管和NMOS管的沟道长度和沟道宽度均为5μm。衬底和阱是否分别接到了*VSS*和*VDD*上？如何实现的？

4.8 10μm × 10μm的n+注入的耗尽层电容的最大值是多少？如果注入区保持恒定电势，而衬底电势下降，耗尽层电容的大小会有什么变化？提示：假设PN结只能工作在零偏或者反偏状态，这时，耗尽层电容的最大值就是零偏压耗尽层电容。

4.9 估算长1mm、宽2μm的poly1的延迟（其电容为100fF/10μm）。

80

4.10 沿图P4-10中的线画出对应的剖面图。

4.11 沿图P4-11中的线画出对应的剖面图。

4.12 画出一个由n+和p衬底构成的二极管的版图，画出二极管阴极、阳极的连接。二极管的面积为20μm × 20μm。再画出这个二极管的剖面图，并写出二极管的SPICE语句和模型（提示：二极管的

I_S可以由附录A中N沟道BSIM模型的"js"参数和二极管的面积来确定）。对二极管阳极的电压有什么要求？

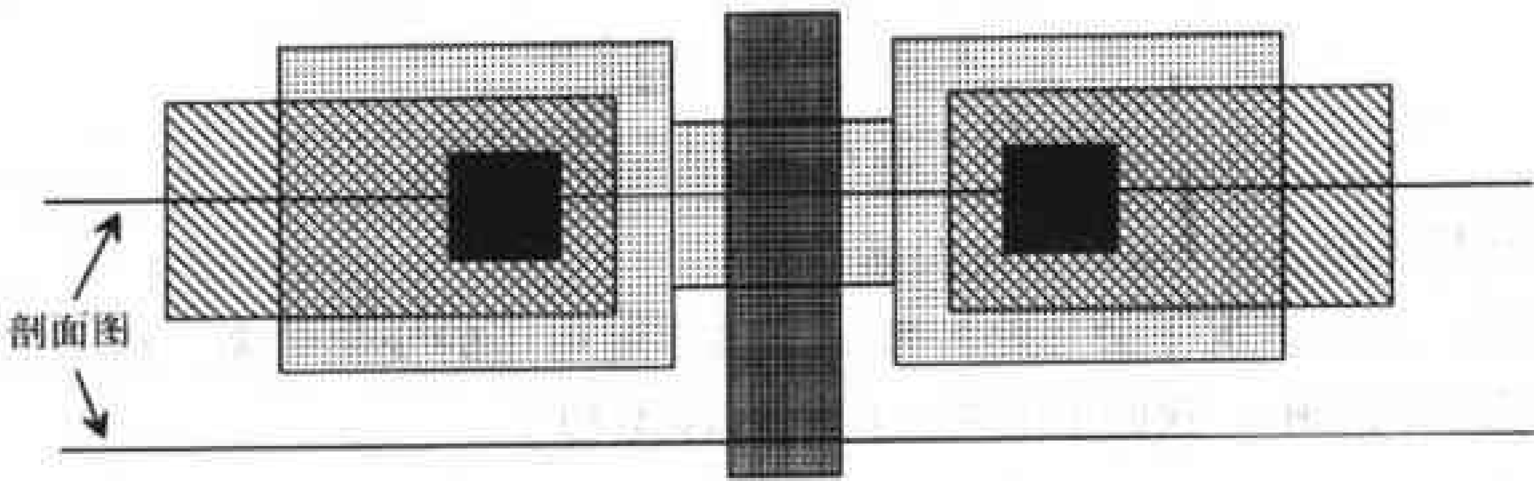


图 P4-10

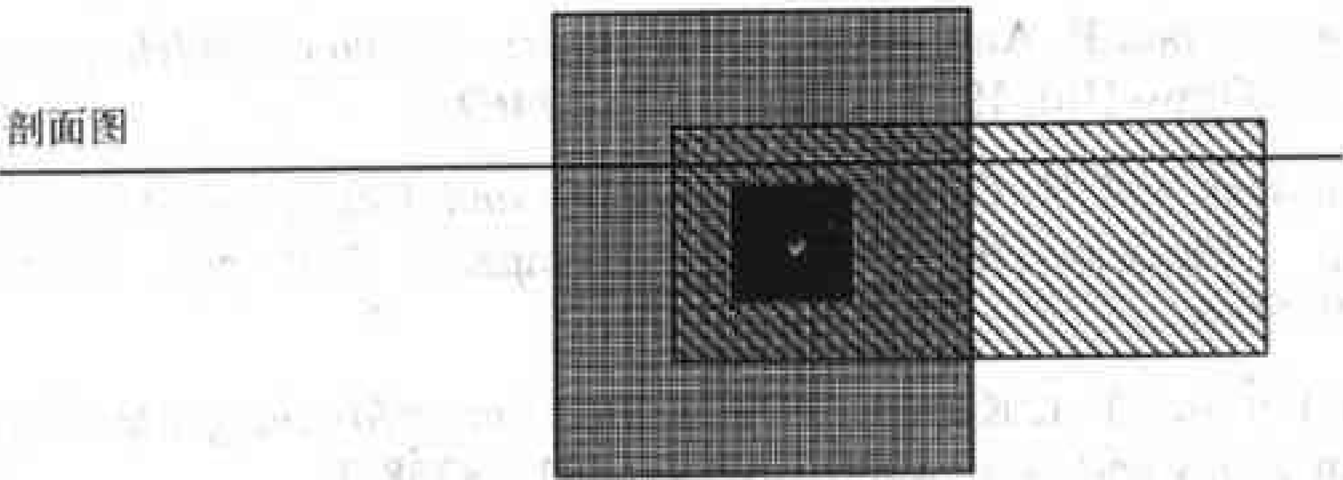
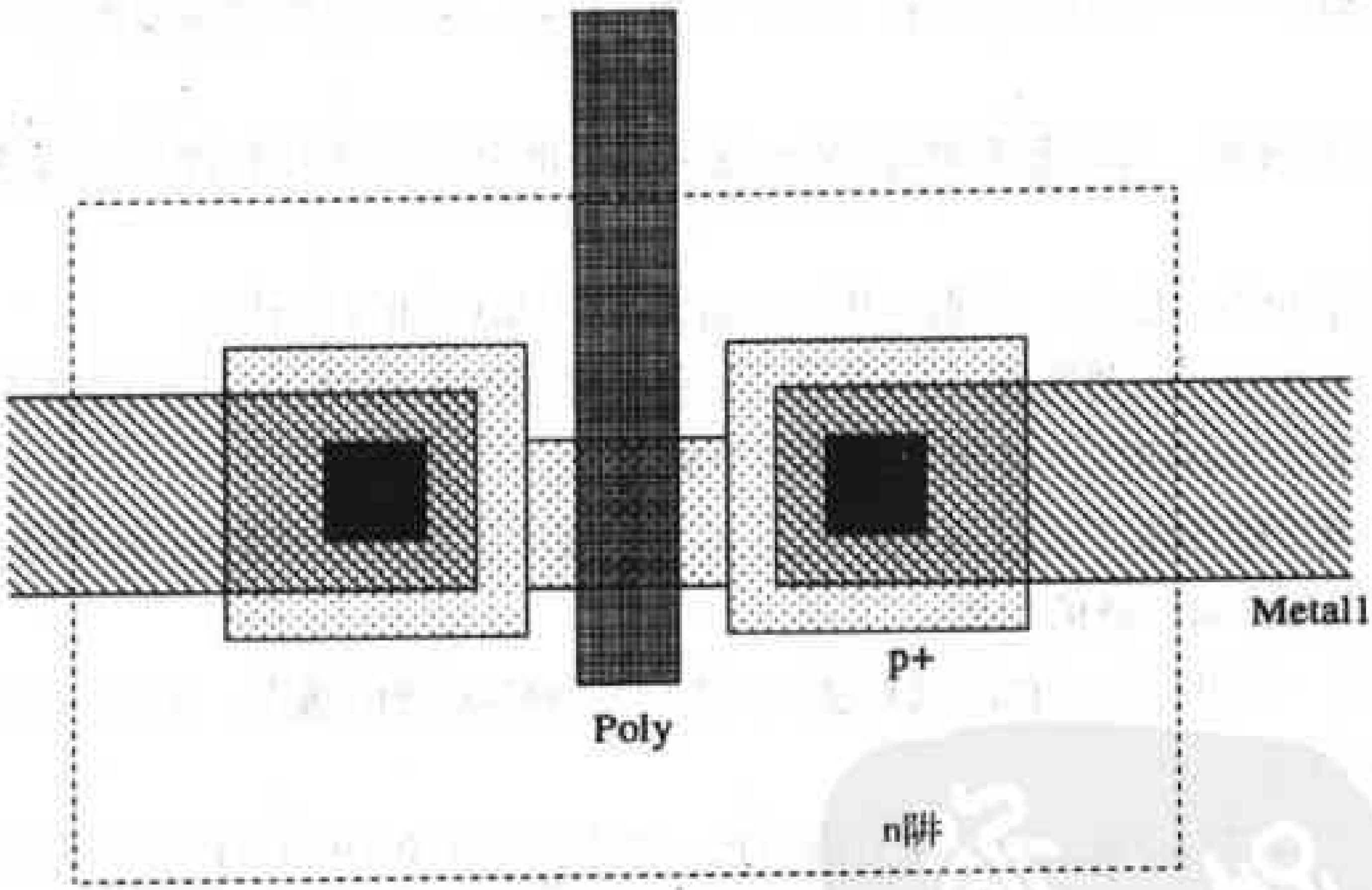


图 P4-11

4.13 图P4-13中的PMOS管版图不正确，哪些地方不正确？



该版图中的严重错误是什么？

图 P4-13

81
～
82

第5章 MOSFET

通过前面几章的学习，我们应该对CMOS工艺流程及其寄生效应（寄生电阻和寄生电容）有了一定了解。在此基础上，本章将集中讨论MOSFET的工作原理等问题。我们首先定义一下NMOS管和PMOS管的符号（图5-1）。如果MOS管的衬底接*VSS*，n阱接*VDD*，那么，MOS管的符号可以简化为图5-1下半部分所示的符号。值得提醒的是，MOSFET是四端器件，而且源端和漏端可以互换。

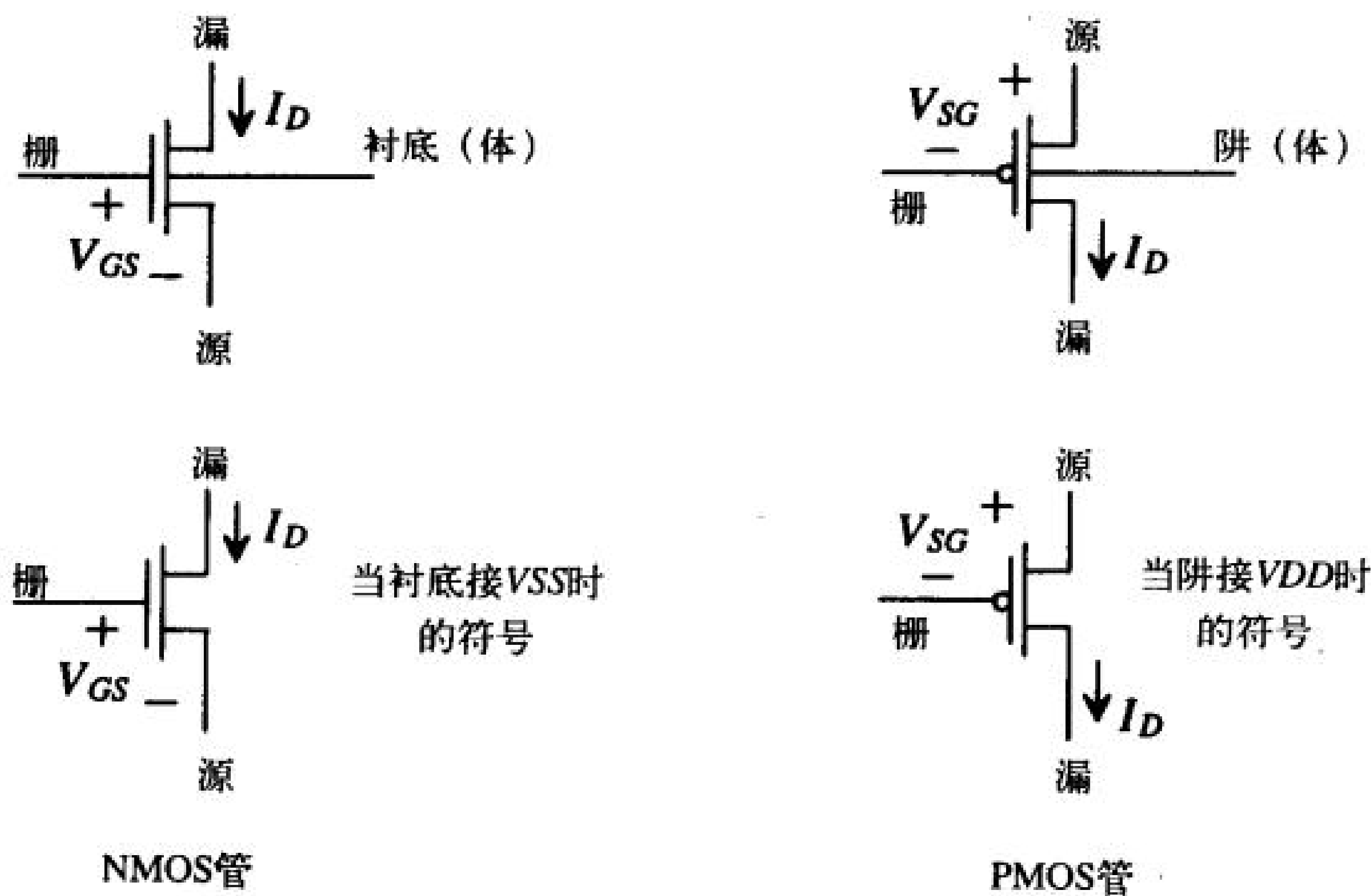


图5-1 NMOS管和PMOS管的符号

5.1 MOSFET电容

图5-2给出了MOSFET及其剖面图。源、漏区与衬底之间都存在耗尽层电容，这在前面章节中已经讨论过。在这一节中，我们将把重点放在与栅极相关的电容上，也就是图5-2中的栅和地之间的电容。

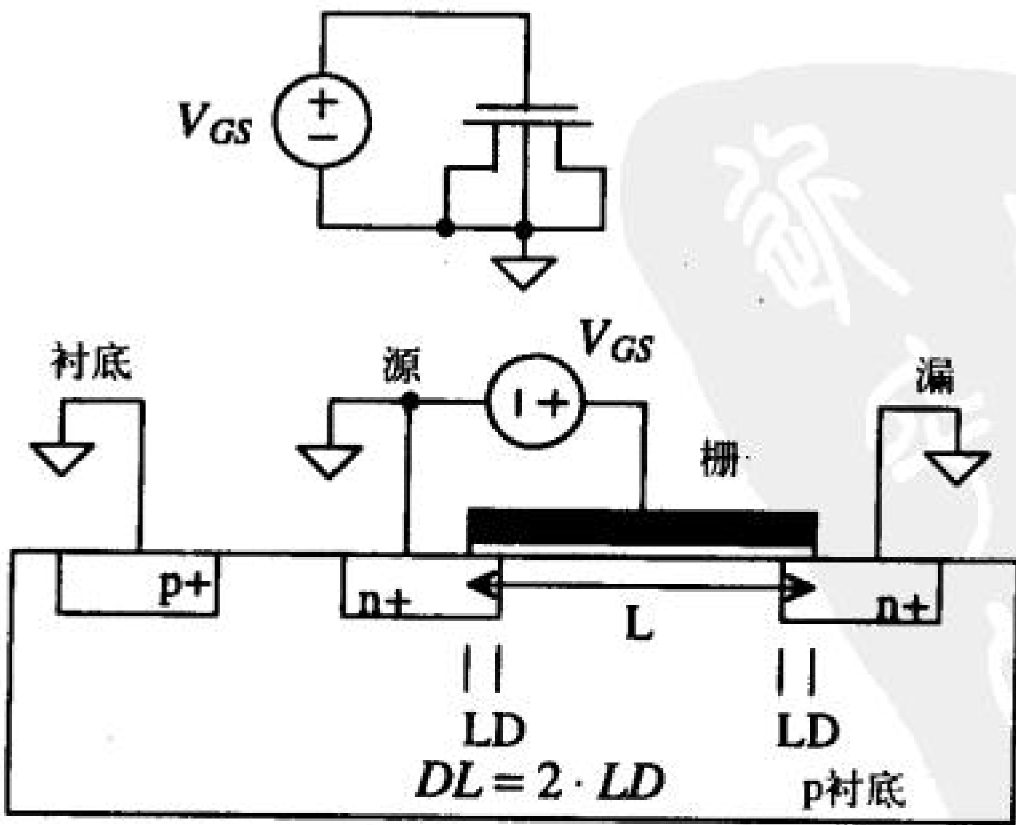


图5-2 用于计算电容的MOSFET剖面图

5.1.1 情形一：积累

首先考虑$V_{GS}<0$的情况（如图5-3）。在这种情况下，衬底中可移动空穴被吸引到栅氧化层的下面。在SPICE MOSFET模型中，栅氧化层的厚度用参数TOX表示。栅电极和衬底电极之间的电容由下式给出：

$$C_{gb}=\frac{\varepsilon_{ox}\cdot\overbrace{(L-2\cdot LD)}^{L_{eff}}\cdot W}{TOX} \tag{5-1}$$

式中，ε_{ox}（$=3.97\cdot 8.85$aF/μm）是栅氧化层的介电常数，W是设计宽度（忽略了氧化层侵蚀），（$L-2LD$）是沟道的有效长度。如果忽略氧化层侵蚀，栅端和漏端之间的电容（也是栅端和源端之间的电容）由下式给出：

$$C_{gd,s}=\frac{\varepsilon_{ox}\cdot LD\cdot W}{TOX}=\text{栅端-漏端（或源端）间的覆盖电容} \tag{5-2}$$

MOSFET中栅端和漏端之间的覆盖电容与偏置状态无关。在SPICE MOSFET模型中，这个电容由变量$CGDO$和$CGSO$表示（单位为F/m）。如果已有比较准确的BSIM模型参数，则可由下式估算C_{gd}和C_{gs}：

$$C_{gd}=CGDO\cdot W=\frac{\varepsilon_{ox}\cdot LD}{TOX}\cdot W \tag{5-3}$$

$$C_{gs}=CGSO\cdot W \qquad \text{(F)} \tag{5-4}$$

图5-2所示电路的栅端到地的总电容就是C_{gd}、C_{gs}、C_{gb}之和。总电容也可以通过单位面积的栅氧化层电容来计算。单位面积的栅氧化层电容由下式给出：

$$C'_{ox}=\frac{\varepsilon_{ox}}{TOX} \qquad (\text{F/m}^2) \tag{5-5}$$

式中的C'_{ox}就是单位面积栅氧化层电容；在CN20工艺中，它大约为800aF/μm^2。如果已知MOSFET的长和宽，就可以求出图5-2中从栅端到地的总电容：

$$C_{ox}=C'_{ox}\cdot W\cdot L \qquad \text{(F)} \tag{5-6}$$

在图5-3中，p型衬底存在电阻，因此C_{gb}要串上一个电阻，而且这个电阻不能忽略。n+源区和漏区也存在电阻，但它非常小，在电路设计中一般可忽略。

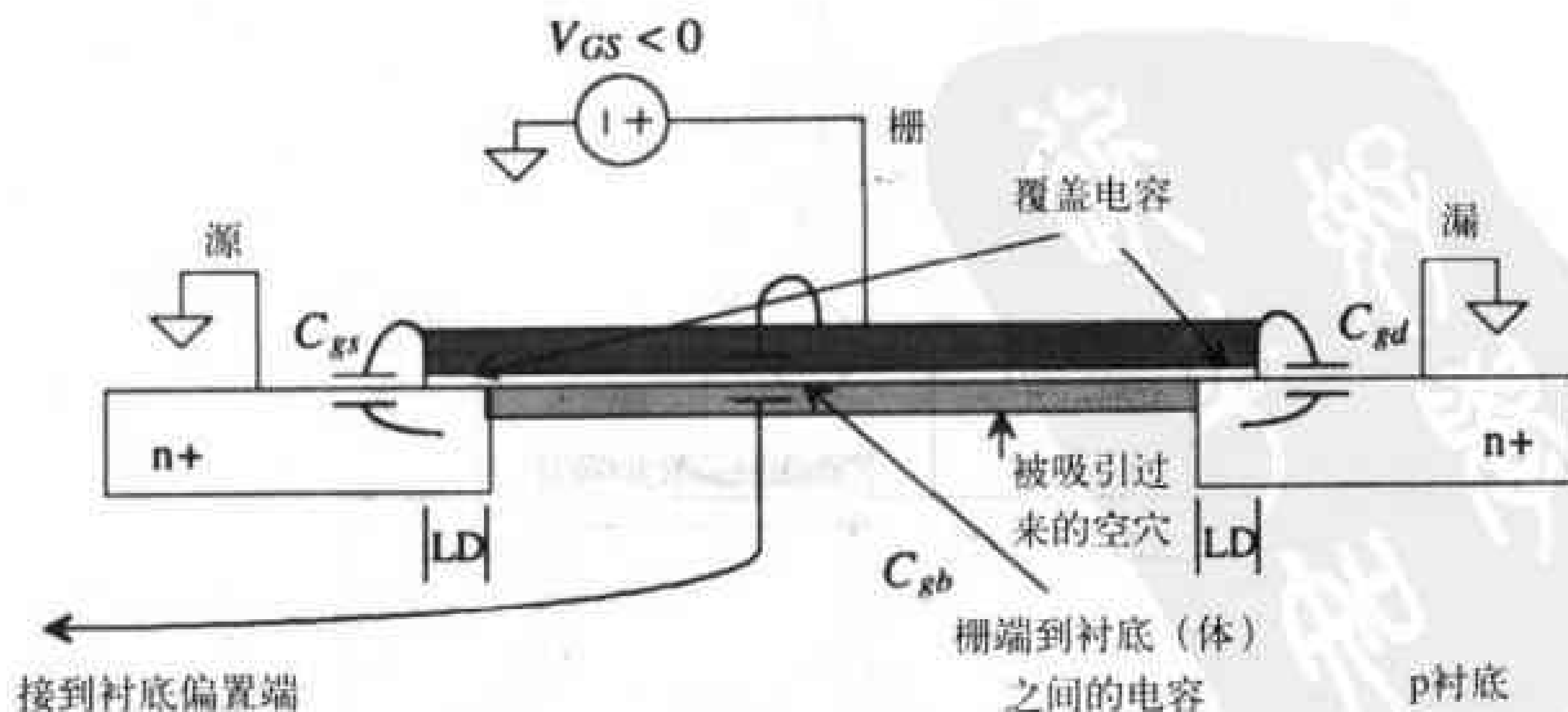


图5-3　处于积累状态的MOSFET

5.1.2　情形二：耗尽

再次参照图5-2，考虑V_{GS}既不是足够的“负”，以至于不能吸引大量的空穴到达栅氧化层的下面，又不是足够的“正”，也没有吸引到大量的电子。在这种情况下，栅极下面的硅表面被称为耗尽。观察图5-4，当V_{GS}从某个负电压开始上升时，空穴开始在栅氧化层下面重新分布，留下不能移动的受主离子贡献出一个负电荷。随着V_{GS}的增加，栅氧化层下面感应出的沟道和栅极之间将存在电容。同时，在感应出的沟道和衬底之间还会存在一个耗尽层电容。栅极与源极/漏极的电容仍仅仅是覆盖电容，栅极和衬底之间的电容则是由氧化层电容和耗尽层电容串联构成。图5-4中的耗尽层电容是在衬底和感应出的沟道之间形成的。由于此时氧化层下面的沟道电子数还不是很多，因此，MOSFET的这个工作区域被称为弱反型区或者亚阈值区。

85

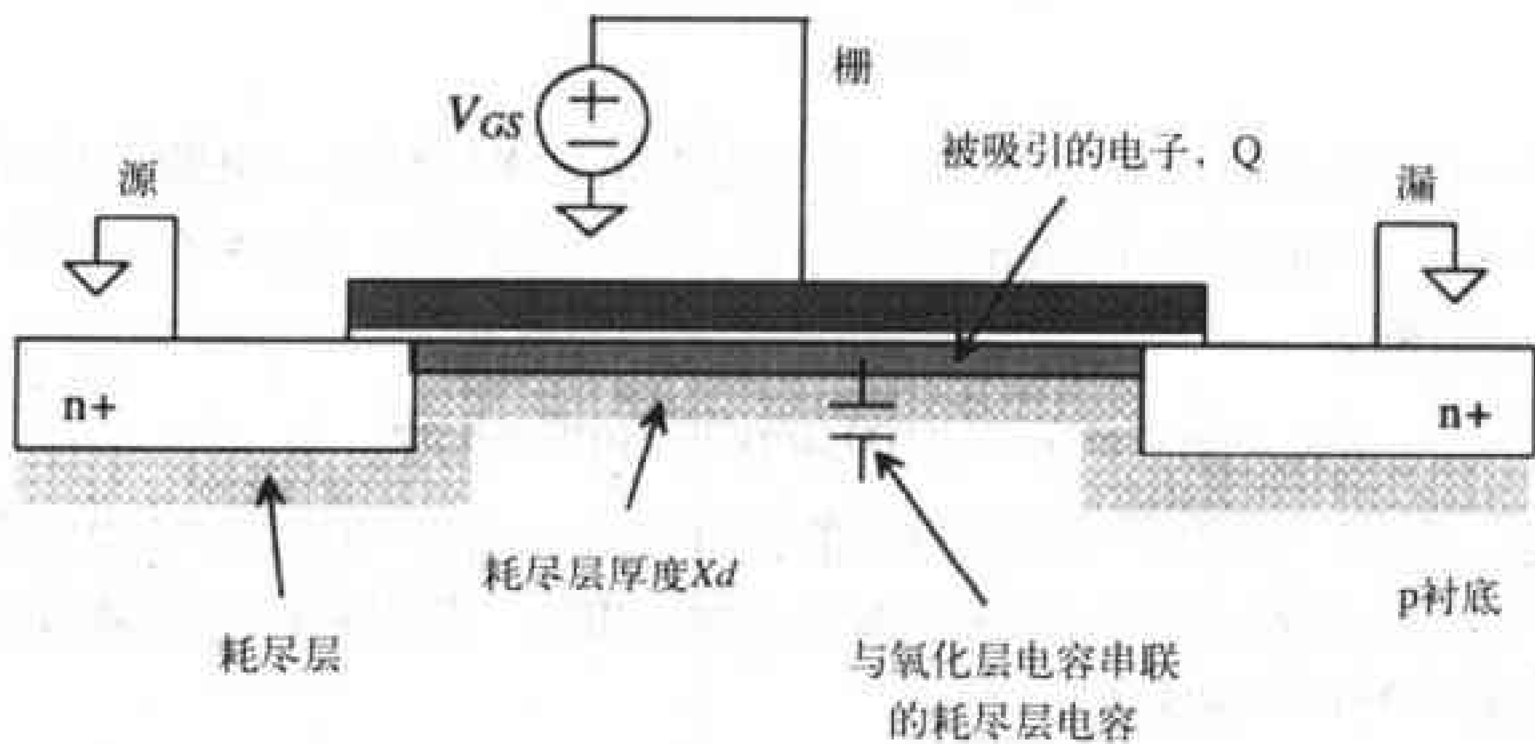


图5-4　处于耗尽区的MOSFET

5.1.3　情形三：强反型

当V_{GS}足够大（大于NMOS管的阈值电压V_{THN}）时，会有大量的电子被吸引到栅极的下面，此时，NMOSFET栅氧化层下面的硅表面已经不再是p型，而是发生了反型。图5-5中给出了图5-2中的MOSFET的栅极到地之间的电容随着V_{GS}变化的曲线。这个图可能容易引人误解，需要结合MOSFET的工作原理来领会。当MOSFET处于积累区时，栅极到地的电容主要是C_{gb}，这个电容实际还串联了一个很大的衬底寄生电阻。当MOSFET处于强反型区时，特别是当V_{GS}比

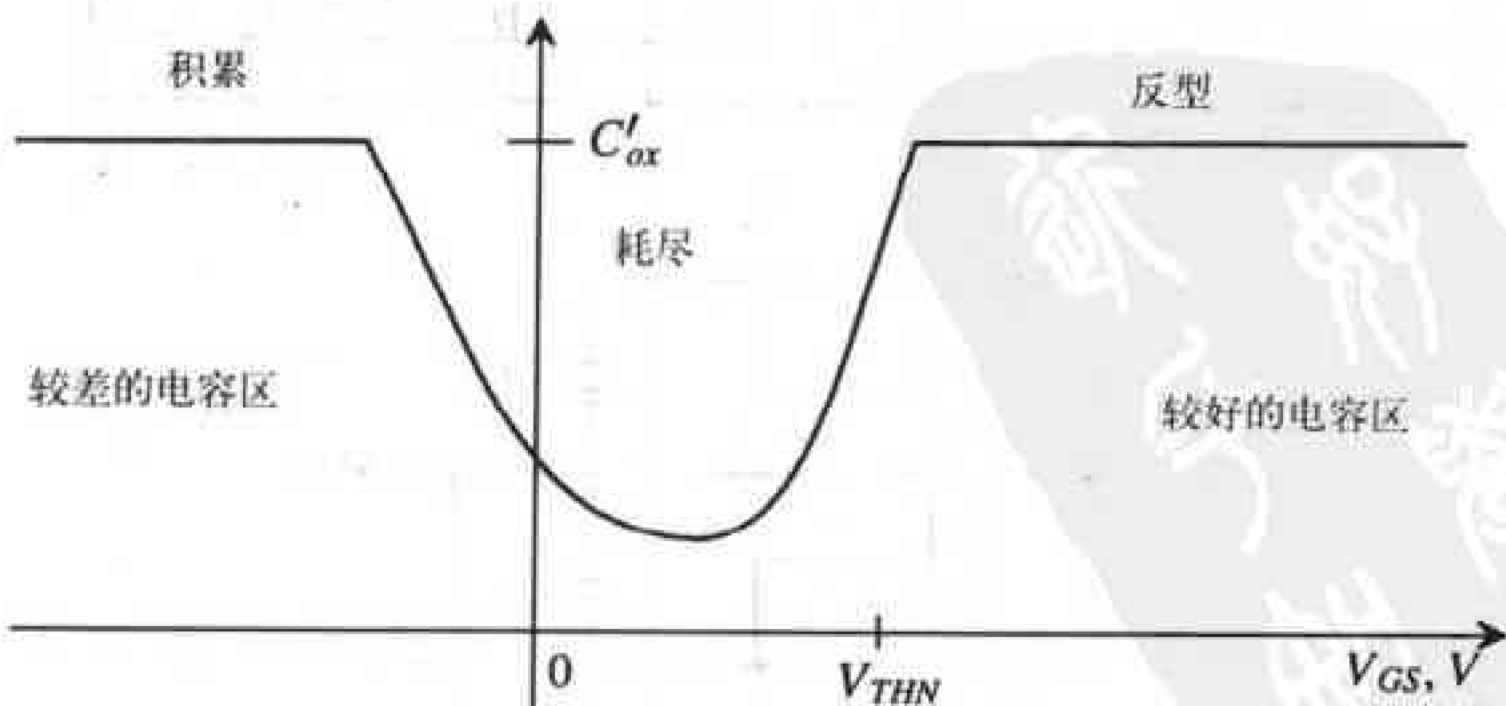


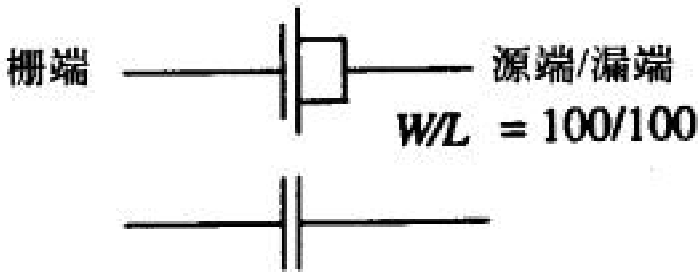
图5-5　图5-2电路中的栅端对地电容随栅-源电压的变化曲线

86

V_{THN}高几百毫伏时，MOSFET相当于一个非常好的电容，在以后的电路设计中会经常用到这种由MOSFET构成的电容。

例5.1

假设下面接法的MOSFET是当成电容，如果MOSFET的长和宽都是100μm，估算它的电容值。在使用这个电容时，对电容两端的电压有什么要求？



图Ex5-1

由于该MOSFET被当成电容使用，因此，要求它工作在强反型区，栅极的电压应比源极/漏极电压高出（V_{THN} + 100mV），栅极和漏极/源极之间的电容为：$C_{tot} = C'_{ox} \cdot W \cdot L$。对于CN20工艺来说，其结果为：

$$C_{tot} = (800\ \text{aF}/\mu\text{m}^2)(100\ \mu\text{m})(100\ \mu\text{m}) = 8\ \text{pF}$$

需要注意的是：我们一直都没有关注衬底的偏置电压。由于MOSFET工作于强反型区，因此，衬底的偏置电压只会影响衬底和源端/漏端之间的电容。但在后面我们会看到：衬底的偏置电压会显著影响MOSFET的阈值电压。 ■

5.1.4 小结

图5-6中给出了带电容的MOSFET的符号。电容C_{gb}与覆盖在场区上的多晶硅栅有关。栅极-漏极之间的电容C_{gd}以及栅极-源极之间的电容C_{gs}则由MOSFET的工作区域决定（见表5-1）。

表5-1 MOSFET电容

名称	关断	线性区	饱和区
C_{gd}	$CGDO \cdot W$	$\frac{1}{2} \cdot W \cdot L \cdot C'_{ox}$	$CGDO \cdot W$
C_{db}	C_{jdep}	C_{jdep}	C_{jdep}
C_{gb}	$C'_{ox}WL_{eff} + CGBO \cdot L$	$CGBO \cdot L$	$CGBO \cdot L$
C_{gs}	$CGSO \cdot W$	$\frac{1}{2} \cdot W \cdot L \cdot C'_{ox}$	$\frac{2}{3} \cdot W \cdot L \cdot C'_{ox}$
C_{sb}	C_{jdep}	C_{jdep}	C_{jdep}

87

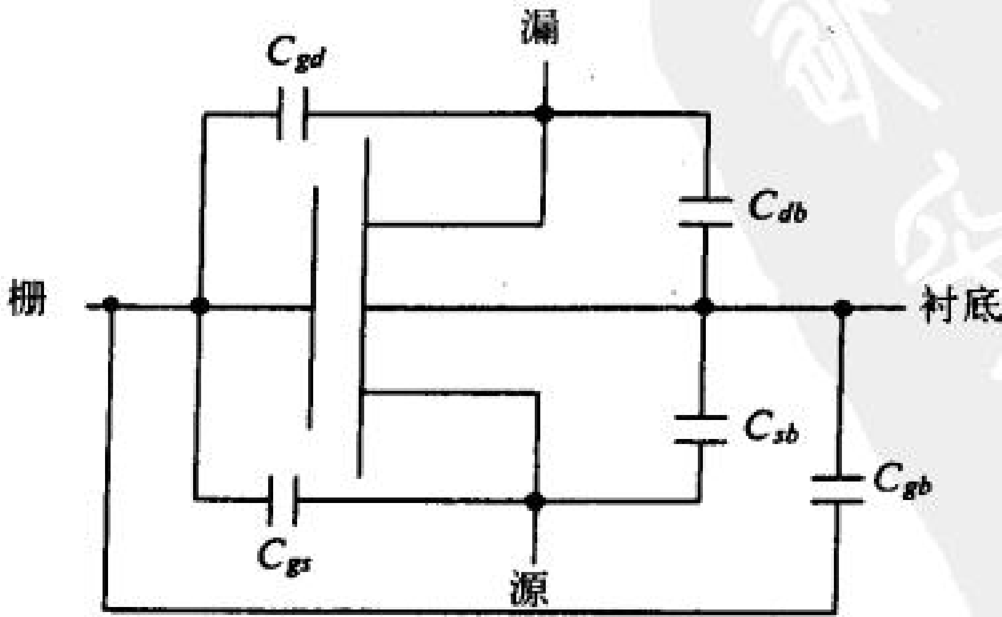


图5-6 MOSFET电容

5.2 阈值电压

前面已经讨论过：当$V_{GS} > V_{THN}$时，栅氧化层下面的硅表面会发生反型。此时，反型沟道和衬底间存在一个耗尽区，该耗尽区的厚度（见图5-4）可由PN结理论求出：

$$X_d = \sqrt{\frac{2\varepsilon_{si}\phi}{qN_A}} = \sqrt{\frac{2\varepsilon_{si}|\phi_s - \phi_F|}{qN_A}} \tag{5-7}$$

式中，N_A 为衬底中受主原子的浓度，ϕ_s为栅氧化物-硅界面处的静电势（下面简称为表面势），ϕ_F为p衬底的静电势，由下式给出：

$$\phi_F = -\frac{kT}{q}\ln\frac{N_A}{n_i} \tag{5-8}$$

式中，n_i 为硅的本征载流子浓度（$=14.5 \times 10^9\ /\text{cm}^3$）。p型半导体中的耗尽区缺乏可移动的空穴。失去空穴后，这个区域中留下了不能移动的受主离子而显出净的负电荷，其电荷量与被吸引到栅极下面的电荷量相等，单位面积的电荷量由下式给出：

$$Q_b' = qN_AX_d = \sqrt{2\varepsilon_{si}qN_A|\phi_s - \phi_F|} \tag{5-9}$$

当表面势ϕ_s与衬底的静电势ϕ_F相等时（即$\phi_s = \phi_F$，$Q_b' = 0$），MOSFET工作在积累状态；从电路的角度看，MOSFET处于关断状态。此时，ϕ_s和ϕ_F都为负值，栅氧化物-硅界面处的空穴数目和衬底浓度相等，也是N_A。

88

随着V_{GS}的增加，表面势ϕ_s逐渐增大。当$\phi_s = 0$时，栅氧化层下的表面变成耗尽（此时载流子浓度为n_i）。当$\phi_s = -\phi_F$时，沟道就变成反型（被吸引到氧化层下面的电子形成沟道）；此时，硅表面的电子浓度等于衬底的掺杂浓度。定义$\phi_s = -\phi_F$时的V_{GS}为阈值电压V_{THN}。在硅表面从耗尽状态（$\phi_s = \phi_F$）转变为强反型状态（$\phi_s = -\phi_F$）的过程中，表面势ϕ_s共改变了$2\phi_F$。

当$V_{GS} = V_{THN}$（即$\phi_s = -\phi_F$）时，硅表面耗尽区的固定负电荷由下式给出：

$$Q_{bo}' = \sqrt{2qN_A\varepsilon_{si}|-2\phi_F|} \tag{5-10}$$

其单位是C/m^2。上式成立的前提条件是衬底和源端都接地。如果NMOS管的源端比衬底的电压高，电压差为V_{SB}，则耗尽区的固定负电荷就变成：

$$Q_b' = \sqrt{2qN_A\varepsilon_{si}|-2\phi_F + V_{SB}|} \tag{5-11}$$

例5.2

假设衬底的掺杂浓度为$10^{15}/\text{cm}^3$，$V_{GS} = V_{THN}$，$V_{SB} = 0$，估算在衬底区域和栅氧化物-硅界面的静电势、耗尽区的宽度、耗尽区中的电荷量（也就是反型层中的电荷量）。

衬底的静电势为：

$$\phi_F = -\frac{kT}{q}\ln\frac{N_A}{n_i} = -26\ \text{mV} \cdot \ln\frac{10^{15}}{14.5\times10^9} = -290\ \text{mV}$$

因此，$V_{GS} = V_{THN}$时，栅氧化物-硅界面处的静电势ϕ_s为290mV。耗尽层的宽度由下式求出：

$$X_d = \sqrt{\frac{2\cdot 11.7\cdot(8.85\times10^{-18}\,\text{F}/\mu\text{m})(2\cdot 0.29\text{V})}{(1.6\times10^{-19}\,\text{C})(10^{15}\,\text{cm}^{-3})(10^{-12}\,\text{cm}^3/\mu\text{m}^3)}} = 0.866\,\mu\text{m}$$

由$\phi_s = -\phi_F$和公式（5-10）或公式（5-9），可求出耗尽区中的电荷为：

$$Q'_{bo} = qN_A X_d = (1.6\times10^{-19}\,\text{C})(10^{15}\,\text{cm}^{-3})\left(\frac{\text{cm}^3}{10^{12}\,\mu\text{m}^3}\right)(0.866\mu\text{m})$$

$$= 139\frac{\text{aC}}{\mu\text{m}^2}$$

求出的这个电荷量也是栅氧化物-硅界面的电荷量。注意：只有在$V_{GS} = V_{THN}$时，这个结论才成立。■

89

考虑图5-7中的MOSFET，假设$V_{GS} = V_{THN}$以保证前面进行的讨论和假设都还是成立的。栅氧化层电容C'_{ox}上的电压可由下式求得：

$$V_{BC} = \frac{Q'_b}{C'_{ox}} \tag{5-12}$$

要使硅表面从平衡状态（$\phi_s = \phi_F$）变为强反型状态（$\phi_s = -\phi_F$），表面势的变化量V_c $(=\Delta\phi_s)$等于$|2\phi_F|$；同时考虑到耗尽层电荷的作用，硅表面强反型时的B点电压为：

$$V_B = \frac{Q'_b}{C'_{ox}} - 2\phi_F \tag{5-13}$$

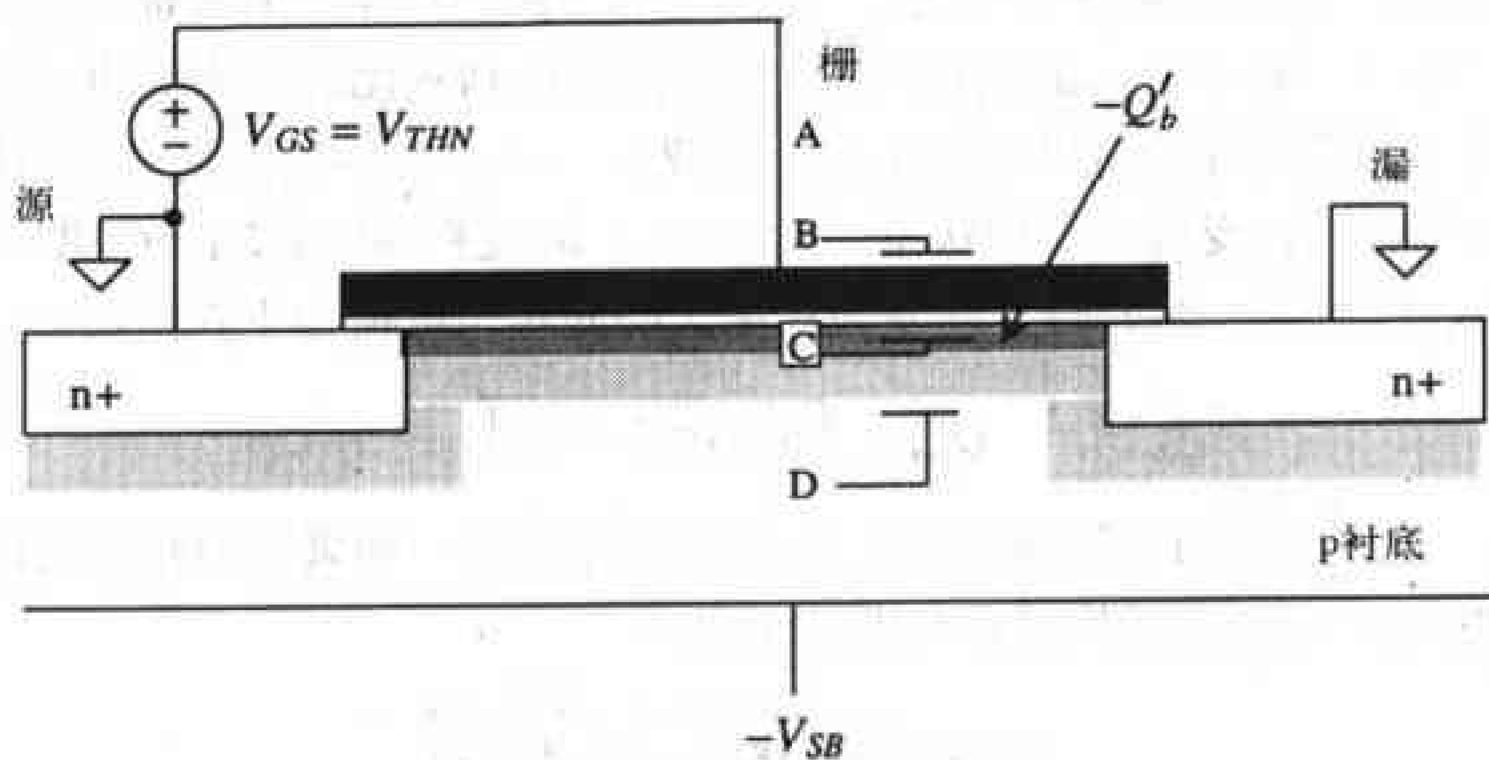


图5-7 阈值电压的计算

此外，在硅-栅氧化物界面处还存在着一定量的界面电荷。栅氧化层的生长质量是影响界面电荷量的一个因素。为了调节MOSFET的阈值电压需要进行离子注入，离子注入也会引入一定量的界面电荷。这个电荷被记为Q'_{SS}，其单位为库仑/单位面积。如果计入这个附加的界面电荷，公式（5-13）就要改写为：

$$V_B = \frac{Q'_b - Q'_{ss}}{C'_{ox}} - 2\phi_F \tag{5-14}$$

影响阈值电压的最后一个因素是图5-7中D点（衬底材料）和A点（栅极材料）之间的接触势。栅-衬底之间的电势差由图5-8中各材料之间电势差的累加来确定。

90

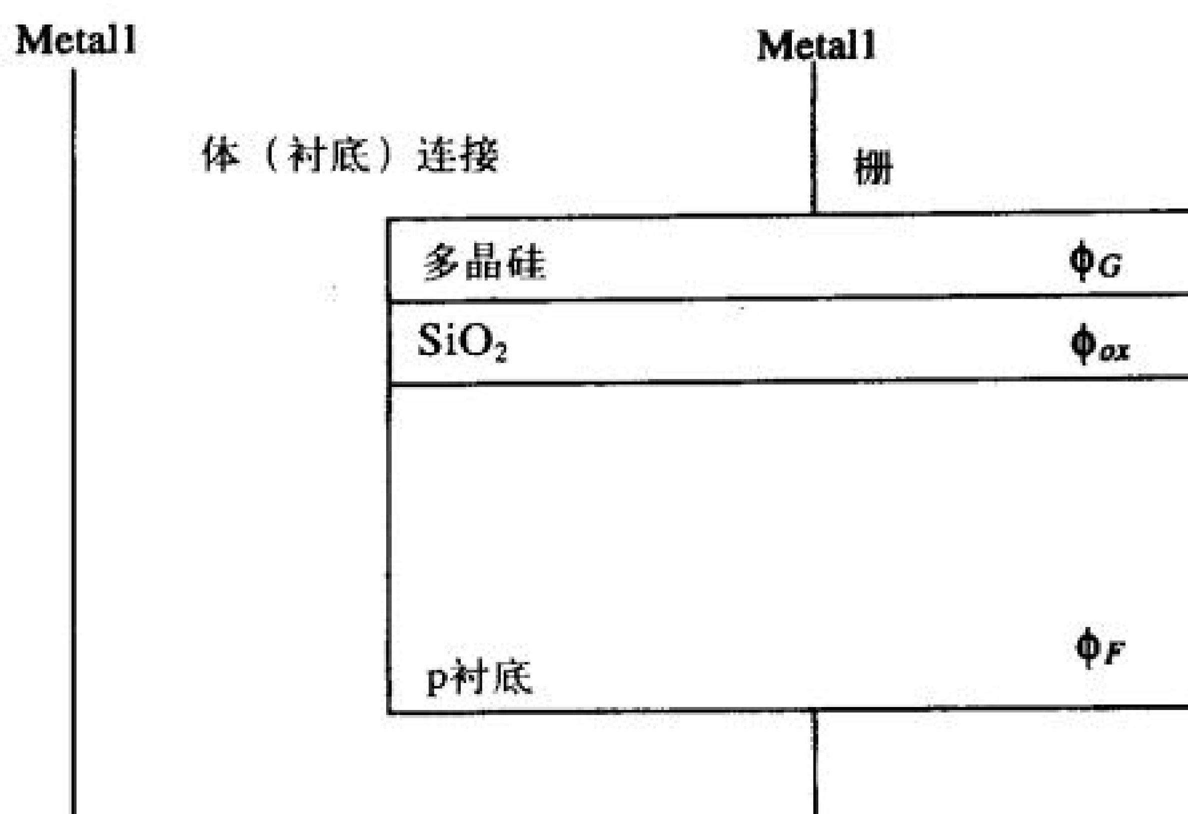


图5-8 求多晶硅和衬底之间的接触势

把接触势累加起来，有：$(\phi_G - \phi_{ox}) + (\phi_{ox} - \phi_F) = \phi_G - \phi_F$。假设栅由掺杂浓度为$N_{D,\,poly}$的n+多晶硅构成，则衬底和多晶硅栅之间的接触势可由下式求出：

$$\phi_{ms} = \phi_G - \phi_F = \frac{kT}{q}\ln\left[\frac{N_{D,poly}}{n_i}\right] + \frac{kT}{q}\ln\frac{N_A}{n_i} \tag{5-15}$$

考虑上述影响阈值电压的各个因素后，可得：

$$V_{THN} = \frac{Q'_b - Q'_{ss}}{C'_{ox}} - 2\phi_F - \phi_{ms} \tag{5-16}$$

$$= -\phi_{ms} - 2\phi_F + \frac{Q'_{bo} - Q'_{ss}}{C'_{ox}} - \frac{Q'_{bo} - Q'_b}{C'_{ox}} \tag{5-17}$$

$$= -\phi_{ms} - 2\phi_F + \frac{Q'_{bo} - Q'_{ss}}{C'_{ox}} + \frac{\sqrt{2q\varepsilon_{si}N_A}}{C'_{ox}}\left[\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}\right] \tag{5-18}$$

当源端和衬底短接时（即$V_{SB}=0$），可定义零衬偏时的阈值电压为：

$$V_{THN0} = -\phi_{ms} - 2\phi_F + \frac{Q'_{bo} - Q'_{ss}}{C'_{ox}} \tag{5-19}$$

定义体效应因子（体效应系数）为：

$$\gamma = \frac{\sqrt{2q\varepsilon_{si}N_A}}{C'_{ox}} \tag{5-20}$$

91

利用体效应因子，公式（5-18）可改写为如下形式：

$$V_{THN} = V_{THN0} + \gamma\left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}\right) \tag{5-21}$$

由上述分析知，要使栅氧化物-硅界面的表面势ϕ_s变得和衬底静电势ϕ_F相同，必须在栅极上加一电压，该电压被称为平带电压V_{FB}，其表达式为：

$$V_{FB} = -\phi_{ms} - \frac{Q'_{ss}}{C'_{ox}} \tag{5-22}$$

可以用平带电压来表示零偏压时的阈值电压:

$$V_{THN0} = V_{FB} - 2\phi_F + \frac{Q'_{bo}}{C'_{ox}} \tag{5-23}$$

至此，我们知道：MOSFET的阈值电压受衬底掺杂浓度、氧化层厚度、源端/漏端偏置电压、栅材料、表面电荷密度等因素影响。前面的这些公式描述了阈值电压和这些影响因素之间的关系。

例5.3

假设$N_A = 10^{15}/\text{cm}^3$，$C'_{OX} = 800\text{aF}/\mu\text{m}^2$（CN20），估算γ（GAMMA）的值，并且将这个估算值与附录A中SPICE Level 2给出的NMOS管模型中的值做比较。

根据公式（5-25），可求出γ

$$\gamma = \frac{\sqrt{2 \cdot 1.6\times10^{-19}\text{C} \cdot 11.7 \cdot 8.85\frac{\text{aF}}{\mu\text{m}} \cdot 10^{15}\text{cm}^{-3} \cdot \frac{\text{cm}^3}{10^{12}\mu\text{m}^3}}}{800\frac{\text{aF}}{\mu\text{m}^2}} = 0.228\ \text{V}^{1/2}$$

但SPICE Level 2模型给出的γ值为0.4179（=GAMMA）。两者之间有较大偏差，这是由衬底掺杂浓度太低引起的；如果衬底的掺杂浓度为$3.4 \times 10^{15}/\text{cm}^3$，则可以得到一个更为准确的估计值。 ■

例5.4

假设多晶硅的掺杂浓度为$10^{20}/\text{cm}^3$，估算例5.2中MOSFET在零偏置下的阈值电压。如果因钠污染使得在栅氧化物-半导体界面处存在$40\text{aC}/\mu\text{m}^2$的净电荷，那么阈值电压会有什么变化？

栅和衬底之间的电势差由下式给出:

$$-\phi_{ms} = \phi_F - \phi_G = -290\ \text{mV} - 26\ \text{mV} \cdot \ln\frac{10^{20}}{14.5\times10^9} = -879\ \text{mV}$$

92

$$-2\phi_F = 580\ \text{mV}$$

$$\frac{Q'_{bo}}{C'_{ox}} = \frac{139\frac{\text{aC}}{\mu\text{m}^2}}{800\frac{\text{aF}}{\mu\text{m}^2}} = 173\ \text{mV}$$

$$\frac{Q'_{ss}}{C'_{ox}} = 50\ \text{mV}$$

由公式（5-19）得：没有钠污染时的阈值电压为−126mV；存在钠污染时的阈值电压为−176mV。 ■

上例求出的阈值电压是负值；在$V_{GS} = 0$时，MOSFET处于导通状态，这种器件被称为耗尽型器件。实际上，现代CMOS电路中很少采用这种耗尽型器件。为了调节阈值电压，一般要在多晶硅栅极下的沟道区域中进行p+注入。这会有效地增大阈值电压，增大量为Q'_C/C'_{OX}（Q'_C为离子注入引入的单位面积的电荷量）。如果单位面积的p+注入剂量为N_I，那么:

$$Q'_c = q \cdot N_I \tag{5-24}$$

因此，阈值电压变为:

$$V_{THN0}=-\phi_{ms}-2\phi_F+\frac{Q'_{bo}-Q'_{ss}+Q'_c}{C'_{ox}} \tag{5-25}$$

例5.5

假设例5.4中没有钠污染，要把阈值电压提高为1V，估算需要的p+注入剂量。

根据公式（5-24）和（5-25），例5.4的结果为

$$V_{THN0}=-126\text{ mV}+\frac{qN_I}{C'_{ox}}=1\text{ V}$$

由此可求出$N_I=563\times10^9/\text{cm}^2$。 ■

从这些计算可以更深入地了解到不同的工艺参数是如何影响阈值电压的。实际上，这些计算结果并不能与测量结果完全吻合。从电路设计工程师的角度来看，阈值电压和体效应因子等器件参数是在实验室中测到的，实验室再根据测量得到的这些数据，进行BSIM模型参数提取。器件特性的测量数据最终是以BSIM模型参数的形式提供给电路设计工程师的。

5.3 MOSFET的I-V特性

现在已经对影响MOSFET阈值电压的因素有了一定的了解。下面将推导出MOSFET的大信号I-V（电流/电压）特性，即MOSFET工作在线性区和饱和区时的电流/电压特性。在下面的推导过程中，有时会采用缓变沟道近似，并假定沟道中的电荷分布是不变的。 93

5.3.1 工作于线性区的MOSFET

参照图5-9，由于$V_{GS}>V_{THN}$，在栅氧化层下的表面会反型。又因$V_{DS}>0$，会使得有漂移电流从漏端流向源端。假设V_{DS}足够小，使得阈值电压和耗尽层宽度都近似恒定。

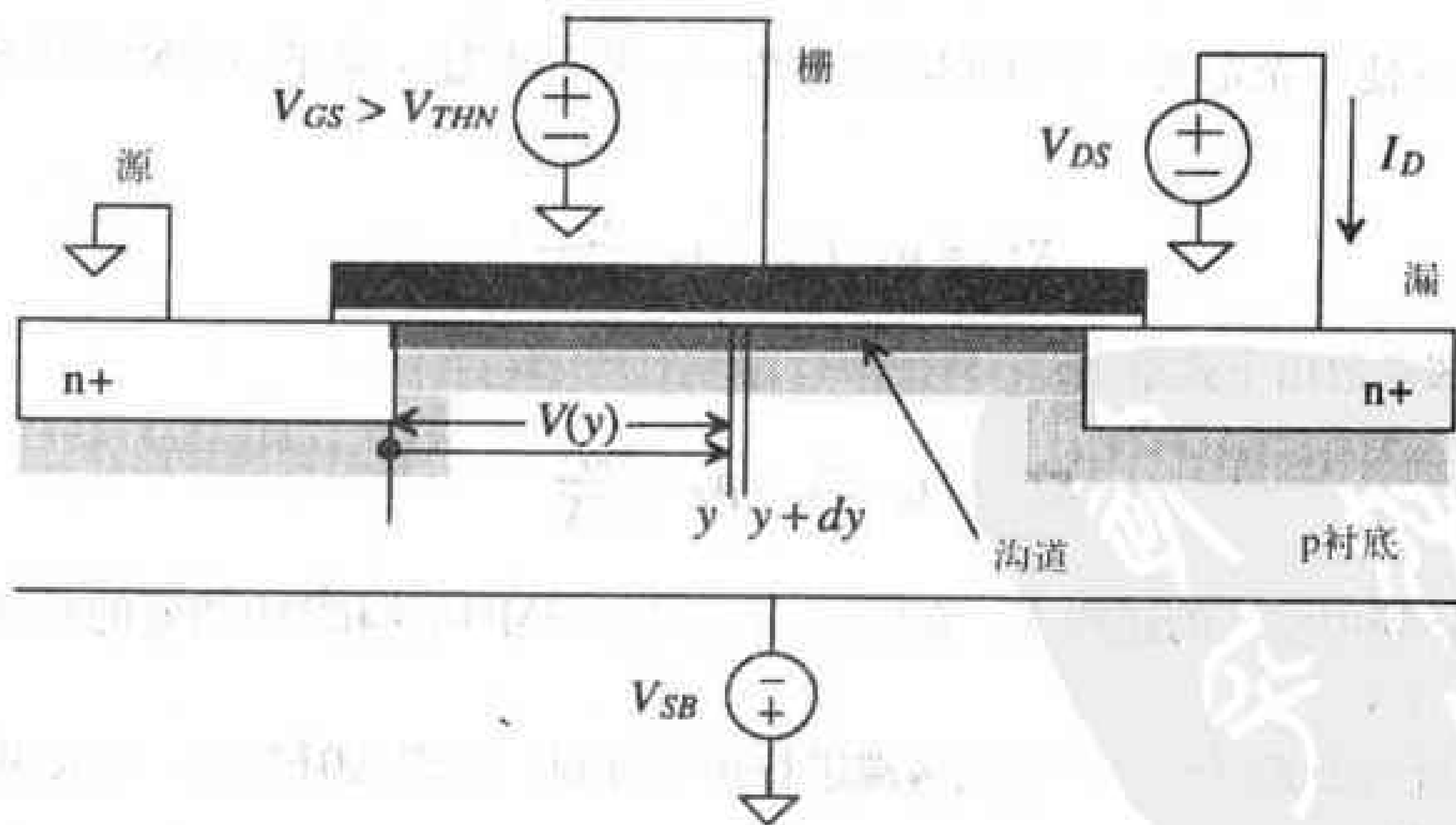


图5-9 计算工作于线性区的MOSFET的大信号特性

首先，我们需要求出存储在氧化层电容C'_{ox}上的电荷。以MOSFET的源端为参考点，令沟道中y处的电压为$V(y)$，则栅极电压和沟道中y处电压之间的差值为$V_{GS}-V(y)$。于是，可得到反

型层的单位面积的电荷量为:

$$Q'_{ch} = C'_{ox} \cdot [V_{GS} - V(y)] \tag{5-26}$$

如果在MOSFET栅极加阈值电压V_{THN}，源端与漏端之间导通，反型层中的电荷$|Q'_b|$为:

$$Q'_b = C'_{ox} \cdot V_{THN} \tag{5-27}$$

将上面两式相减，即可得到沟道中，形成漏端到源端传输电流的电荷:

$$Q'_I(y) = C'_{ox} \cdot (V_{GS} - V(y) - V_{THN}) \tag{5-28}$$

式中，Q'_I是反型沟道中的电荷。

沟道中，长度为dy、宽度为W的小区域的微分电阻为:

$$\mathrm{d}R = \overbrace{\frac{1}{\mu_n Q'_I(y)}}^{\text{有效方块电阻}} \cdot \frac{\mathrm{d}y}{W} \tag{5-29}$$

式中，μ_n为沟道中电子的平均迁移率，其单位为$cm^2/V \cdot sec$。迁移率是电子（或者空穴）的速度（cm/sec）与电场强度（V/cm）的比值。在BSIM模型中，由SPICE模型参数得到的I-V曲线需要与实际测量曲线进行拟合，此时就需要借助迁移率这一参数来完成拟合。另外，对于短沟器件而言，当载流子的速度开始饱和时，迁移率会下降。这会导致公式（5-29）中的等效方块电阻增加，使得漏端电流减小。

这个微分电阻上的微分电压降由下式给出:

$$dV(y) = I_D \cdot dR = \frac{I_D}{W\mu_n Q'_I(y)} \cdot dy \tag{5-30}$$

代入公式（5-28）并整理得到:

$$I_D \cdot dy = W\mu_n C'_{ox}(V_{GS} - V(y) - V_{THN}) \cdot dV(y) \tag{5-31}$$

为了下面推导的方便，先定义一个MOSFET参数——跨导参数。对于一个NMOS管，该参数由下式给出:

$$KP_n = \mu_n \cdot C'_{ox} = \mu_n \cdot \frac{\varepsilon_{ox}}{TOX} \tag{5-32}$$

对于PMOS管，该参数由下式给出:

$$KP_p = \mu_p \cdot C'_{ox} = \mu_p \cdot \frac{\varepsilon_{ox}}{TOX} \tag{5-33}$$

式中，μ_p是PMOS管中空穴的迁移率。在CN20工艺中，NMOS管和PMOS管的KP典型值分别为$50\mu A/V^2$和$17\mu A/V^2$。

电流可以通过对公式（5-31）等式两端进行积分得到：左端从0积到L，右侧从0积到V_{DS}。结果如下:

$$I_D\int_0^L dy = W \cdot KP_n \cdot \int_0^{V_{DS}} (V_{GS} - V(y) - V_{THN}) \cdot dV(y) \tag{5-34}$$

整理得

$$I_D = KP_n \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (\text{当 } V_{GS} \geqslant V_{THN} \text{ 且 } V_{DS} \leqslant V_{GS} - V_{THN} \text{ 时}) \tag{5-35}$$

94
~
95

当MOSFET工作在线性区时（即感应沟道从源端一直扩展到漏端的情形），该公式有效。另外，可以通过定义下面的跨导参数来改写式（5-35）：

$$\beta = KP_n \cdot \frac{W}{L} \tag{5-36}$$

$$I_D = \beta \cdot \left[(V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2} \right] \tag{5-37}$$

同样，对工作在线性区的PMOS管，当$V_{SG} \geqslant V_{THP}$且$V_{SD} \leqslant V_{SG} - V_{THP}$时，电流公式为：

$$I_D = KP_p \cdot \frac{W}{L} \cdot \left[(V_{SG} - V_{THP})V_{SD} - \frac{V_{SD}^2}{2} \right] \tag{5-38}$$

式中，假设PMOS管的阈值电压为正值（见附录A）。实际上，在公式（5-35）和（5-38）中的所有电压都是正值。

5.3.2 工作于饱和区的MOSFET

在公式（5-28）中，V_{cy}在L处的电压$V(L)$就是V_{DS}。在上一小节中，假设了V_{DS}总小于$(V_{GS} - V_{THN})$，因此，沟道中任意点处的反型电荷都不为零。当$V_{DS} = V_{GS} - V_{THN}$时，沟道中$L$处的反型电荷为零，沟道在漏端和沟道的交界处被“夹断”；此时，漏端和源端之间的电压被称为$V_{DS,sat}(= V_{GS} - V_{THN})$。如果沟道在某点已被夹断，再继续增大$V_{DS}$并不会使漏端电流继续增加[⊖]。图5-10表明，漏端和衬底之间的耗尽层扩展使得沟道被夹断。如果V_{DS}继续增大，使得沟道和衬底之间的耗尽层从漏极扩展到了源端，此时器件被称为穿通。在穿通情况下，器件中会有大电流流过，并易导致器件失效。这里定义可以施加在最小沟长MOSFET源漏端的最大电压为

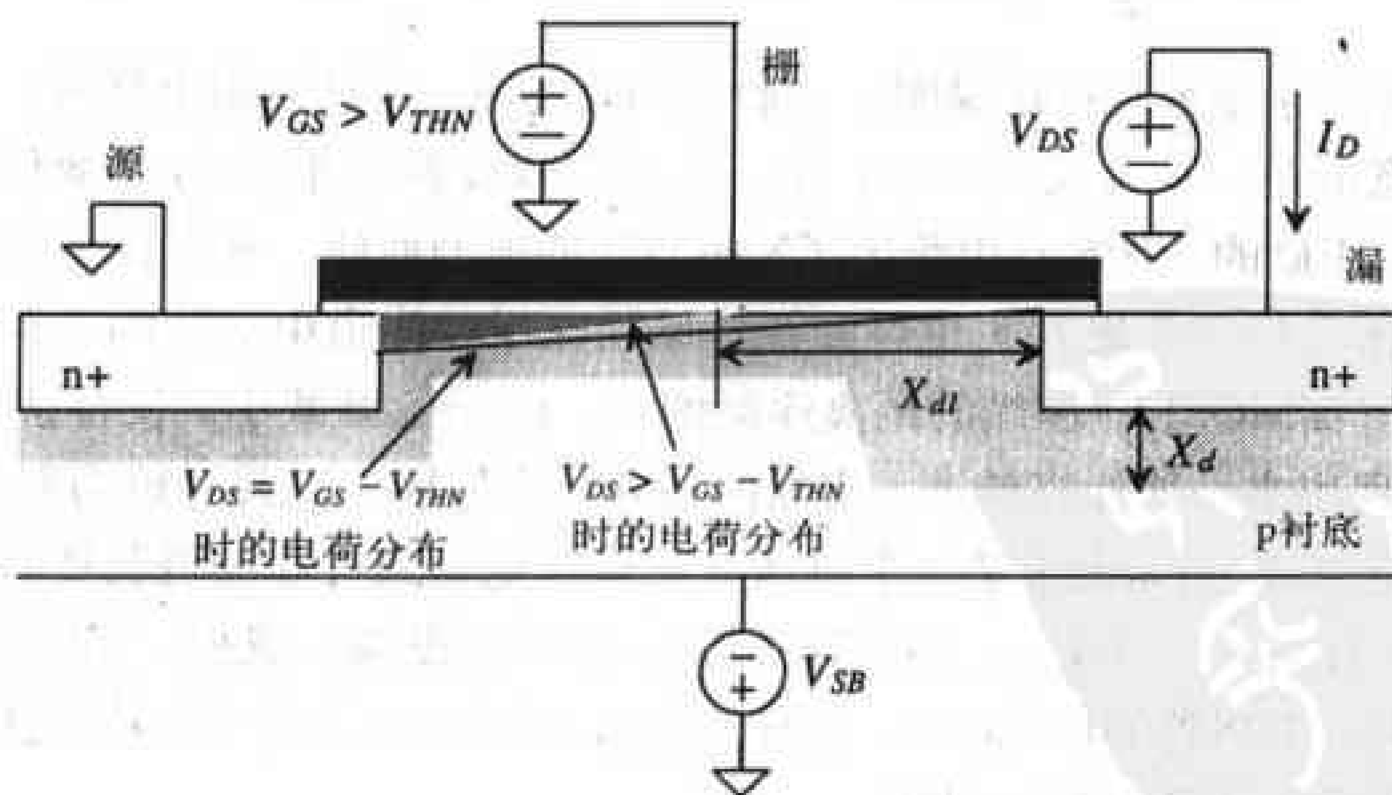


图5-10 处于饱和区（夹断）的MOSFET

⊖ 后面我们会发现这种说法并不完全正确。一种被称为沟道长度调制的效应会使得漏电流随着漏源电压的增大而增加。

"穿通"电压（见附录A）。对于长沟道MOS管，可以施加的最大电压为漏/衬底二极管的击穿电压，也已在附录A中标明。

当$V_{DS} \geq V_{GS} - V_{THN}$并且$V_{GS} \geq V_{THN}$时，MOSFET中的导电沟道会出现夹断，这就是MOSFET的另一个工作区——饱和区。将$V_{DS,sat}$代入方程（5-35），得到：

$$I_D = \frac{KP_n}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{THN})^2 = \frac{\beta}{2}(V_{GS} - V_{THN})^2, \text{当} V_{DS} \geq V_{GS} - V_{THN} \text{ 且 } V_{GS} \geq V_{THN} \text{ 时} \quad (5\text{-}39)$$

我们现在定义MOSFET的电学沟道长度。MOSFET的电学沟道长度定义为MOSFET的设计沟道长度减去耗尽层宽度X_{dl}（忽略横向扩散）：

$$L_{elec} = L_{drawn} - X_{dl} \quad (5\text{-}40)$$

将其代入到公式（5-39），可得到漏电流的另一种表达式：

$$I_D = \frac{KP_n}{2} \cdot \frac{W}{L_{elec}}(V_{GS} - V_{THN})^2 \quad (5\text{-}41)$$

这意味着，增大V_{DS}使得耗尽层宽度增大，漏电流也随之增大，该效应被称为沟道长度调制效应。为得到输出电流随源漏电压的变化关系，可以对公式（5-41）的V_{DS}做偏微分：

$$\frac{\partial I_D}{\partial V_{DS}} = -\frac{KP_n}{2}\frac{W}{L_{elec}^2}(V_{GS} - V_{THN})^2 \cdot \frac{dL_{elec}}{dV_{DS}} = I_D \cdot \left[\frac{1}{L_{elec}}\frac{dX_{dl}}{dV_{DS}}\right] \quad (5\text{-}42)$$

通常定义：

$$\lambda_c = \frac{1}{L_{elec}} \cdot \frac{dX_{dl}}{dV_{DS}} \quad (5\text{-}43)$$

λ_C被称为沟道长度调制系数。对短沟道器件而言，λ_C大于0.1；对长沟道器件，λ_C约0.01。考虑到沟道长度调制效应后，方程（5-41）可改写为：

96~97

$$I_D = \frac{KP_n}{2} \cdot \frac{W}{L}(V_{GS} - V_{THN})^2[1 + \lambda_c(V_{DS} - V_{DS,sat})] \quad (5\text{-}44)$$

设计数字电路时，除非另有特殊说明，一般认为$\lambda_C = 0$。设计模拟电路时，λ_C通常都是不能忽略的。还需注意的是，在公式（5-42）中，我们假设迁移率不随V_{DS}而变化；在下一章中会发现这个假设是不正确的。图5-11中给出了NMOS管的典型曲线。观察该图可发现，在$V_{DS} = V_{GS} - V_{THN}$之前，器件就好似已进入了饱和区。其原因在于，沟道中实际的电荷分布不是恒定的，而是V_{DS}的函数。离MOSFET源端的距离逐渐增大，Q'_I会逐渐减小，使得$Q'_I(L)$过早地变为0，这已在图5-10体现出来。器件提前进入夹断的另外一个原因（尤其对短沟道MOSFET而言）是迁移率并不是恒定值。当V_{DS}大于某一个电压（该值与电场强度和沟道长度有关）后，电子的载流子速度饱和，使得$V_{DS,sat}$和$I_{DS,sat}$（V_{DS}等于$V_{DS,sat}$时的漏电流）减小。在附录A中给出了各种尺寸的NMOS管和PMOS管的I-V曲线，同时还给出了CN20工艺中的阈值电压和跨导参数，这两个参数在本书的手工计算中都会用到。

饱和区中C_{gs}的计算

对于工作在饱和区的MOSFET，要求其栅极和源端之间的电容，首先需对公式（5-28）积分得到反型沟道中总电荷量：

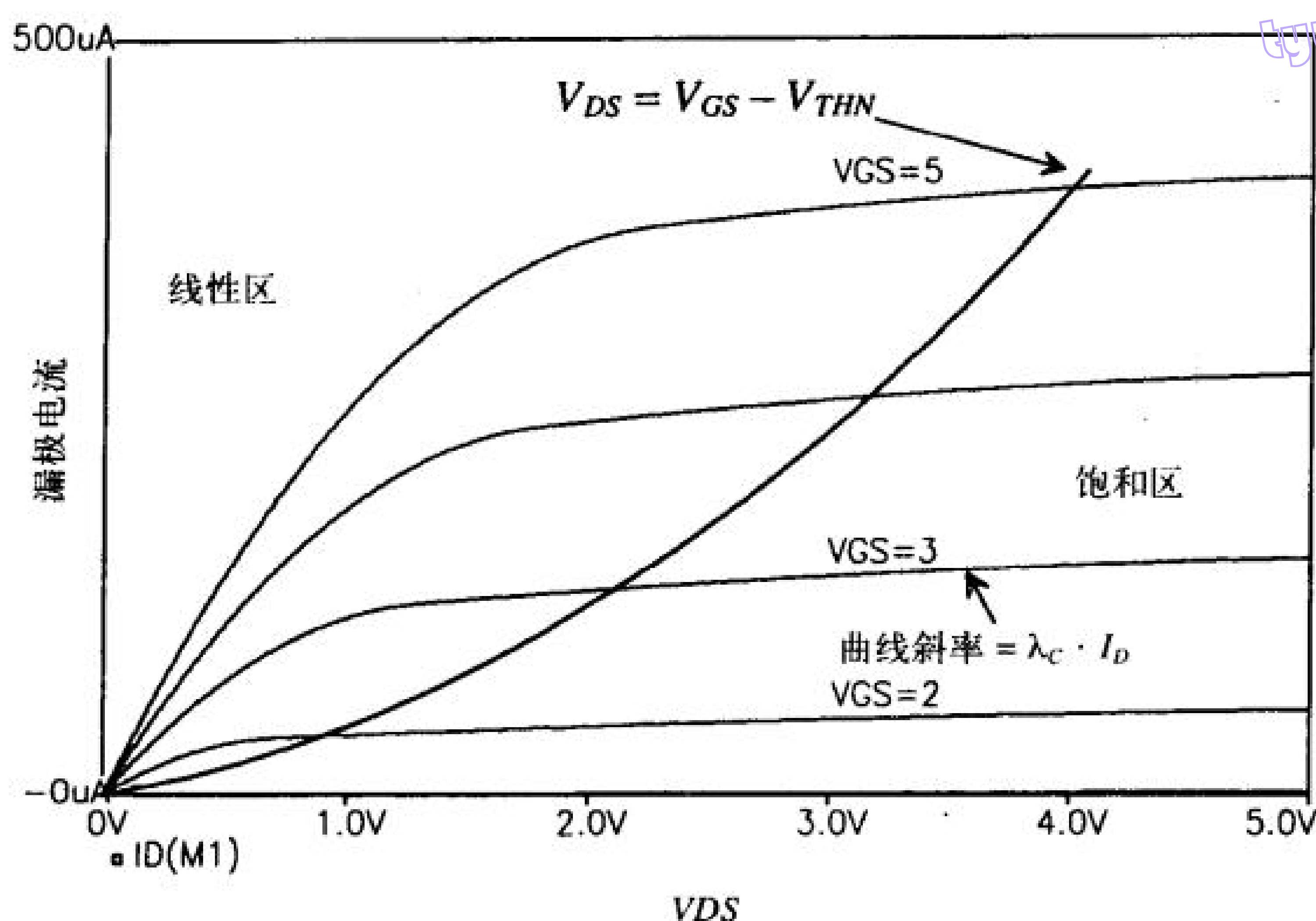


图5-11 MOSFET的I-V特性

$$Q_I=\int_0^L W\cdot Q_I'(y)\cdot dy = WC_{ox}'\int_0^L (V_{GS}-V(y)-V_{THN})\,dy \tag{5-45}$$

由式（5-31）可求得dy，将求得的dy代入上式，得：

$$Q_I=\frac{(W\cdot C_{ox}')^2\cdot\mu_n}{I_D}\int_0^{V_{GS}-V_{THN}}(V_{GS}-V(y)-V_{THN})^2\cdot dV(y) \tag{5-46}$$

由于$V_{DS}=V_{GS}-V_{THN}$时，在$y=L$处的Q_I变为零，因此，上式$dV(y)$的积分上限为（$V_{GS}-V_{THN}$）。由式（5-23）和（5-39）求解上式，得：

$$Q_I=\frac{2}{3}\cdot W\cdot L\cdot C_{ox}'\cdot(V_{GS}-V_{THN}) \tag{5-47}$$

由上式可解得饱和区的栅极和源端之间的电容为：

$$C_{gs}=\frac{\partial Q_I}{\partial V_{GS}}=\frac{2}{3}\cdot W\cdot L\cdot C_{ox}' \tag{5-48}$$

5.4 MOSFET的SPICE模型

在这一小节中，我们将讨论SPICE Level 1模型以及它与前一小节中推导出的这些公式之间的联系。

5.4.1 Level 1模型中与V_{THN}相关的参数

下面这些SPICE模型参数都与V_{THN}的计算相关。

符号	名称	说明	缺省值	典型值	单位
V_{THN0}	VTO	零偏置时的阈值电压	1.0	0.8	Volts
γ	GAMMA	体效应因子	0	0.4	$V^{1/2}$
$2\lvert\phi_F\rvert$	PHI	表面到体的电势	0.65	0.58	V
N_A	NSUB	衬底掺杂浓度	0	1E15	cm^{-3}
Q'_{ss}/q	NSS	界面态密度	0	1E10	cm^{-2}
	TPG	栅材料的类型	1	1	

如果给出上面这些参数，利用公式（5-21），就可以算出阈值电压V_{THN}。如果没有给出V_{THN0}或者γ，那么SPICE会利用上面的数据和公式（5-20）、（5-22）、（5-23），计算出V_{THN0}和γ。TPG用来确定栅材料的类型，1表示与衬底相反，-1表示与衬底相同，0则表示是铝栅。

例5.6

用SPICE和附录A给出的NMOS Level 2模型参数，画出V_{SB}分别取0V、1V、2V、3V、4V、5V时的I_D-V_{GS}曲线。已知NMOS管的$W = L = 5\mu m$，$V_{DS} = 5V$。

图5-12和图5-13中给出了电路图、SPICE网表文件和仿真输出结果。观察图5-13可发现，正如公式（5-21）所预测的那样，阈值电压随V_{SB}的增加而增大。这里仿真的结果与实际测量结果吻合得不是很好。其原因在于：利用SPICE的Level 1、Level 2和Level 3模型计算的阈值电压不够准确，这使得Level 1、Level 2和Level 3模型只能用于基本的功能验证。在大多数情形下，应该采用下章将要介绍的BSIM SPICE模型（见图6-2）。■

98
~
99

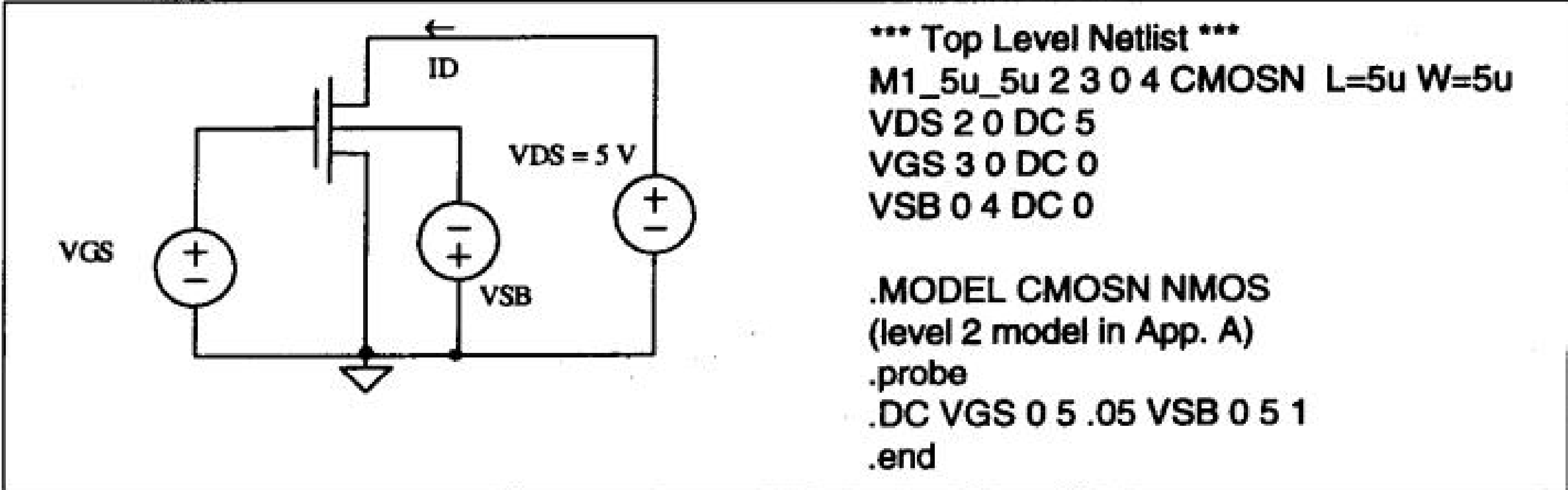


图5-12 例5.6用到的电路图和网表文件

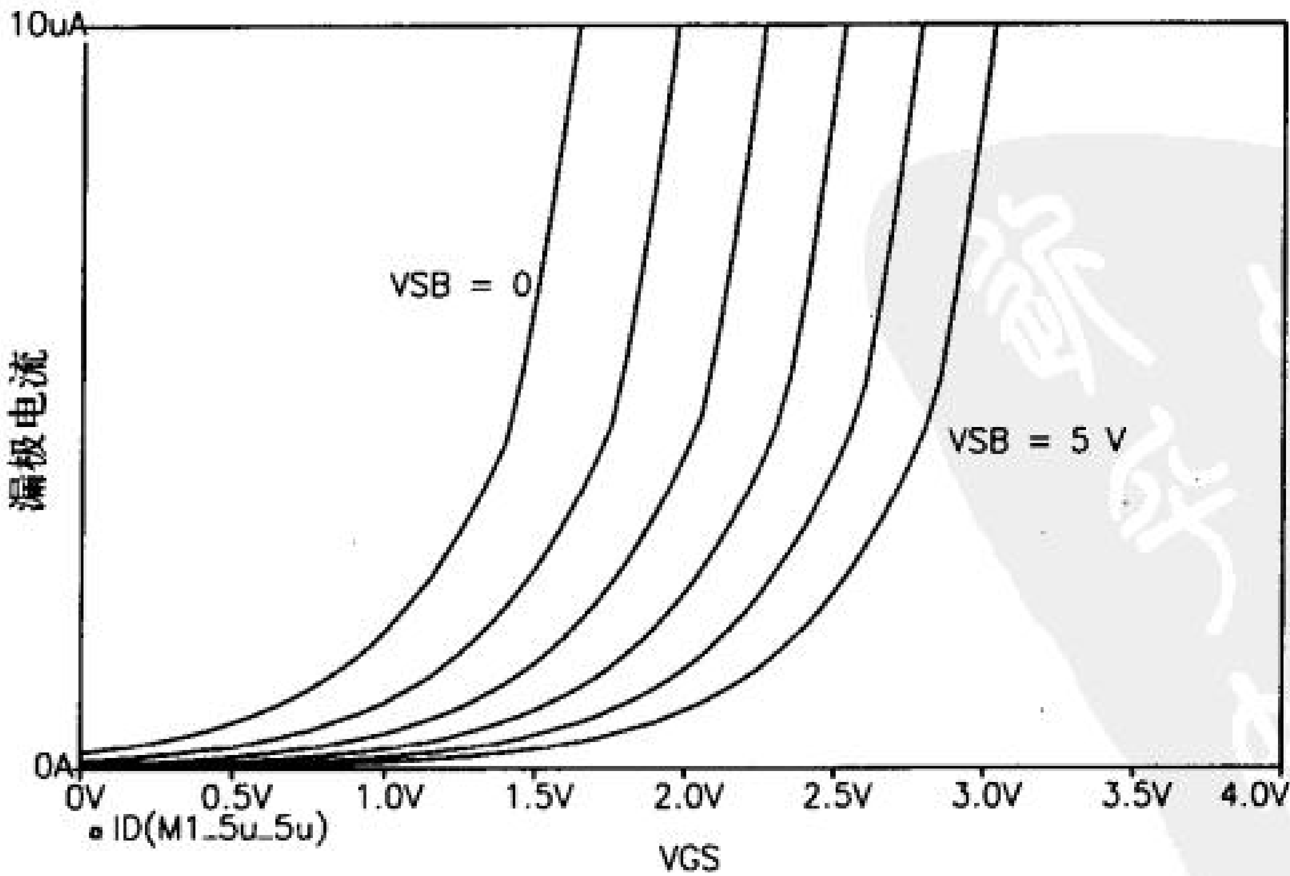


图5-13 例5.6的仿真结果

5.4.2　Level 1模型中与跨导相关的参数

下面的这些SPICE模型参数与跨导的计算有关。

符号	名称	说明	缺省值	典型值	单位
KP	KP	跨导参数	20E-6	50E-6	A/V^2
t_{ox}	TOX	栅氧化层厚度	1E-7	40E-9	m
λ	Lambda	沟道长度调制	0	0.01	V^{-1}
LD	LD	横向扩散	0	2.5E-7	m
$\mu_{n,p}$	UO	表面迁移率	600	580	cm^2/Vs

100

5.4.3　与源/漏注入区相关的SPICE模型参数

下面这些SPICE模型参数与源/漏注入区的寄生效应有关。

符号	说明	缺省值	典型值	单位
RD	漏端接触电阻	0	40	Ω
RS	源端接触电阻	0	40	Ω
RSH	漏/源方块电阻	0	50	Ω/sq.
CGBO	栅-衬底间覆盖电容	0	4E-10	F/m
CGDO	栅-漏间覆盖电容	0	4E-10	F/m
CGSO	栅-源间覆盖电容	0	4E-10	F/m
PB, PBSW	底部和侧壁自建势	0.8	0.8	V
MJ, MJSW	底部和侧壁梯度系数	0.5	0.5	
CJ	底部零偏置耗尽层电容	0	3E-4	F/m^2
CJSW	侧壁零偏置耗尽层电容	0	2.5E-10	F/m
IS	体结饱和电流	1E-14	1E-14	A
JS	体结饱和电流密度	0	1E-8	A/m^2
FC	体结正向偏置系数	0.5	0.5	

例5.7

写出图5-14所示版图中器件的SPICE语句。假设MOSFET模型的名称为CMOSN。

图中所示MOSFET的宽度和长度分别为4μm和5μm。下面计算源区和漏区的方块数目*NRD*和*NRS*。这里只近似计算一下方块数，忽略在漏接触和源接触下面的n+区域。从图中可知，漏区的方块数（*LNRD/W*）是6μm/4μm或*NRD* = 1.5；源区的*NRS* = *LNRS/W* = 16/4 = 4。如果SPICE模型给出了方块电阻*RSH*，那么MOSFET的漏端需串联一个阻值为*NRD* · *RSH*的漏区电阻。如果SPICE模型没有给出方块电阻，那就需要在MOSFET的SPICE语句中加上*RD*和*RS*的值（*RD*和*RS*分别与MOSFET的漏端和源端串联）。

这里，还有一个比较重要的参数没有计算，即金属和n+区的接触电阻。可以通过对*NRS*和*NRD*值进行修正来计入该接触电阻的影响，或者另加一个外部电阻来体现接触电阻的影响。对宽长比很大的MOSFET，通常设*NRD*和*NRS*为0。

101

为了便于SPICE计算漏区和源区的耗尽层电容，需要给出这些区域的面积和周长。漏区的面积是6μm乘6μm（$36pm^2$）加上24 pm^2（*W* · *LNRD*），周长为32μm（忽略了靠近多晶硅栅的4μm长的边长）。源区的面积为100 pm^2，周长为52μm。如果将MOSFET的漏端命名为节

点1，栅端命名为节点2，源端命名为节点3，衬底命名为节点4，则该MOSFET的SPICE描述语句如下：

M1 1 2 3 4 CMOSN L=5u W=4u AD=60p AS=100p PD=32u PS=52u NRD=1.5 NRS=4 ■

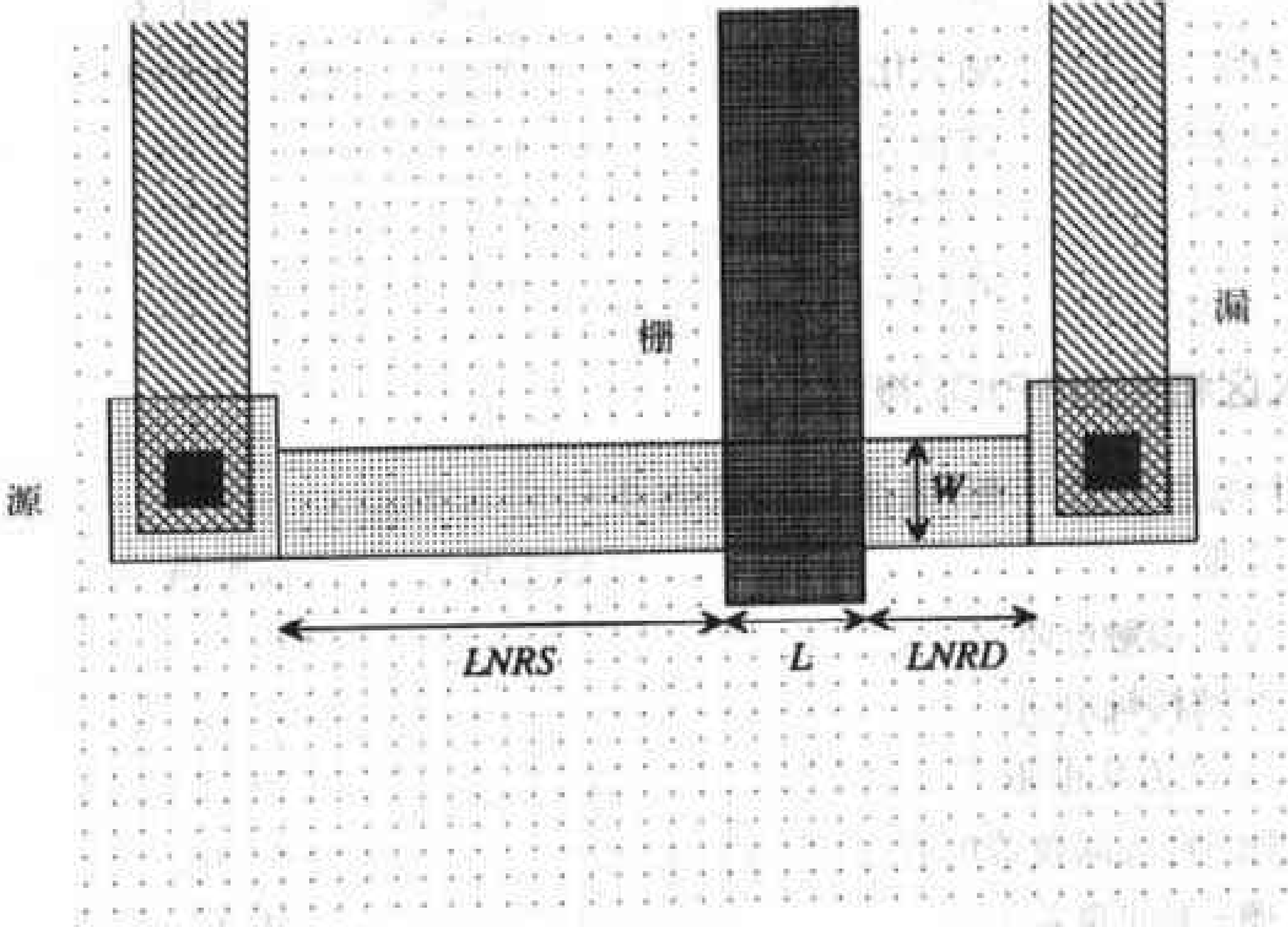


图5-14　例5.7的版图

5.4.4 MOSFET的版图

前面给出的MOSFET版图几乎都是最小尺寸的MOSFET版图。实际上，MOS管的宽度可能是几百甚至上千微米。图5-15给出了并联接法的一组MOSFET。这些MOSFET在工作时等效于一个沟道宽度较大的MOSFET，其沟道宽度等于各单个MOSFET沟道宽度的总和（假设各个MOSFET的沟道长度都相同）。图5-16是图5-15所示电路的版图。相邻的MOSFET共享源端或漏端。该版图有两个优点：（1）版图面积较小；（2）减小了源端和漏端的耗尽层电容。第二个优点在设计模拟电路或者存在闩锁效应的输出驱动电路时非常有用，这一点将在第11章中进行讨论。关于大尺寸MOSFET版图设计的进一步讨论，可参见第11章。

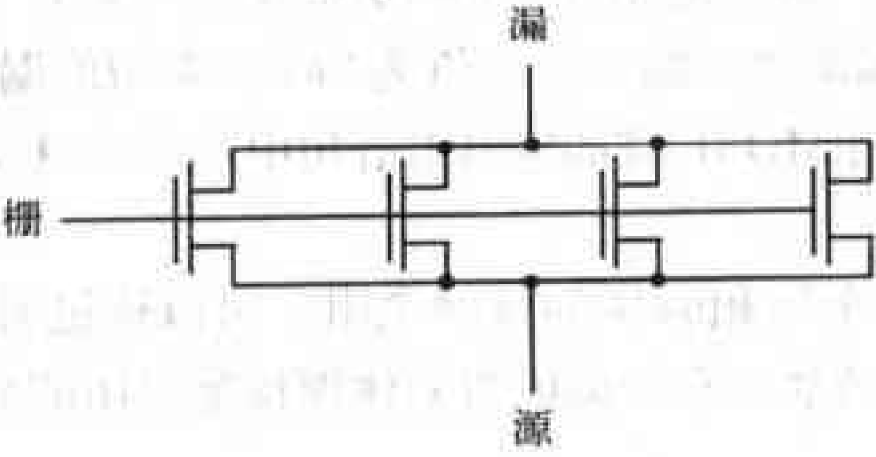


图5-15　MOSFET的并联连接（用于大尺寸MOSFET的版图设计）

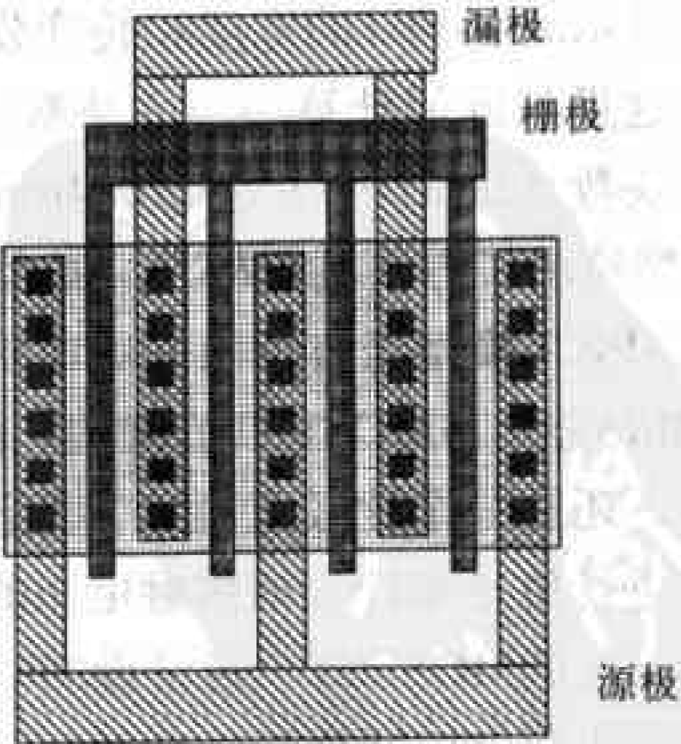


图5-16　大尺寸MOSFET的版图

参考文献

[1] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* McGraw-Hill Publishing Company, 2nd ed., 1988. ISBN 0-07-029158-6.

[2] R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits,* 2nd ed., John Wiley and Sons, 1986. ISBN 0-471-88758-7.

[3] G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE,* 2nd ed., McGraw-Hill, 1993. ISBN 0-07-002469-3.

与MOSFET工作原理和建模相关的附加文献；

[4] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor,* McGraw-Hill, 1987. ISBN 0-07-065381-X.

[5] R. F. Pierret, *Volume IV in the Modular Series on Solid State Devices-Field Effect Devices,* Addison-Wesley, 1990.

[6] D. K. Schroder, *Modular Series on Solid State Devices-Advanced MOS Devices,* Addison-Wesley, 1987.

[7] J. Y. Chen, *CMOS Devices and Technology for VLSI,* Prentice-Hall, 1990. ISBN 0-13-138082-6.

[8] S. M. Sze, *Physics of Semiconductor Devices,* 2nd ed., John-Wiley and Sons, 1981. ISBN 0-471-05661-8.

[9] D. A. Neamen, *Semiconductor Physics and Devices-Basic Principles,* Richard D. Irwin, 1992. ISBN 0-256-08405-X.

与MOSFET制造相关的文献；

[10] S. Wolf, *Silicon Processing for the VLSI Era-Volume 3: The Submicron MOSFET,* Lattice Press, 1995.

[11] C. Y. Chang and S. M. Sze, *ULSI technology,* McGraw-Hill, 1996. ISBN 0-07-063062-3.

[12] R. C. Jaeger, *Modular Series on Solid State Devices-Introduction to Microelectronic Fabrication,* Addison-Wesley, 1989.

102
~
103

习题

除非另有说明，否则下面的习题均使用CN20工艺。

5.1 估算图P5-1中电路的v_{out} (AC)。假设MOSFET是由CN20工艺加工。

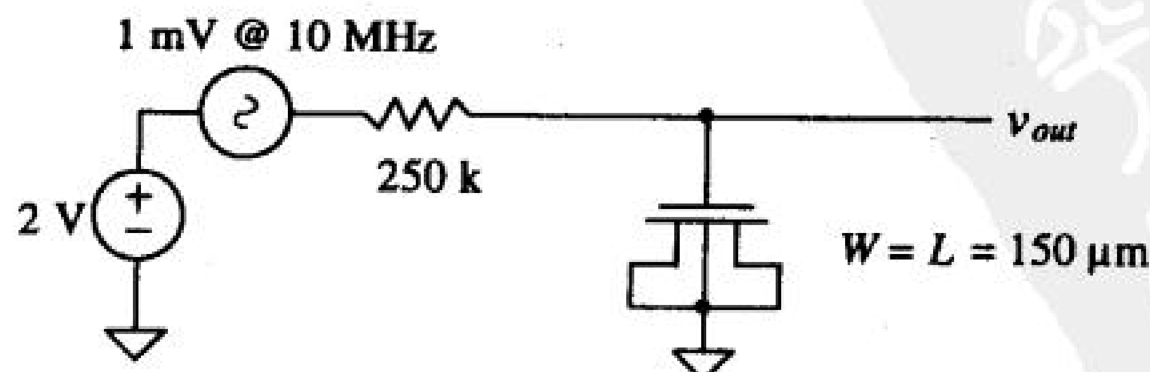


图 P5-1

5.2 一个NMOS管，$2|\phi_F| = 0.57V$，$\gamma = 0.45V^{1/2}$，$\mu_n = 550cm^2/V \cdot sec$，$V_{THN0} = 0.8V$，假设$\lambda = 0$，$n_i = 1.45E10/cm^3$，$kT/q = 26mV$，计算$KP$的值。假设$W/L = 10/2$，计算$V_{GS} = 2V$、$V_{SB} = 1V$、$V_{DS} = 1.1V$时的$I_D$。

5.3 如果一个处于强反型状态的MOSFET用作电容，其中，它的栅极作为一个电极，源/漏作为另外一个电极，那么栅极和源/漏区的覆盖是否会影响电容？为什么？电容值是多少？

104

5.4 当MOSFET工作在积累区时，重做习题5.3。注意：本题并不是问从栅极到衬底的电容。

5.5 如果MOSFET栅氧化层的厚度是400Å，计算C'_{ox}的值。

5.6 当$V_{SB} = 2V$时，重做例5.2。

5.7 如果阱掺杂浓度为$10^{16}/cm^3$，针对PMOS管，重做例5.3。

5.8 当$V_{GS} = V_{THN0}$时，栅氧化物-硅界面处的静电势是多少？

5.9 当阈值电压是0.8V时，重做例5.5。

5.10 如果在习题5.9中，MOSFET的栅氧化物-硅界面处存在$100 \times 10^9/cm^2$的钠污染，阈值电压会有什么变化？

5.11 假设MOSFET工作在强反型区，$V_{GS} > V_{THN}$。当$V_{DS} = V_{GS} - V_{THN}$时，在栅极下面，漏区与沟道界面处，有多少传输漏电流的电荷？

5.12 本章针对NMOS管推导出公式（5-35），用同样步骤推导出适用于PMOS管的公式。

5.13 证明图P5-13中的并联连接的一组MOSFET等效于一个沟道宽度较大的MOSFET（其沟道宽度为各并联MOSFET沟道宽度之和）。

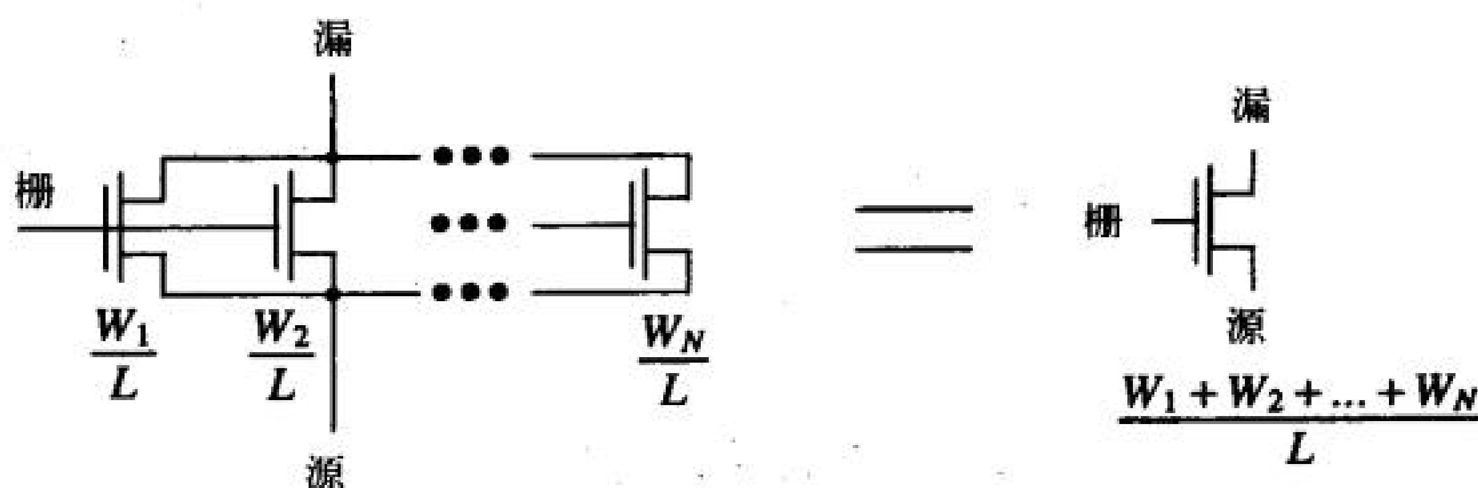


图 P5-13

5.14 忽略体效应，证明：在图P5-14所示的两个串连MOS管中，下面的哪个MOS管不可能工作在饱和区。提示：也就是证明M1要么夹断（$V_{GS1} < V_{THN}$），要么工作在线性区（$V_{DS1} < V_{GS1} - V_{THN}$）。

5.15 忽略体效应，证明：图P5-14所示的串联晶体管相当于一个沟道长度为单个MOSFET沟道长度两倍的MOSFET。

105

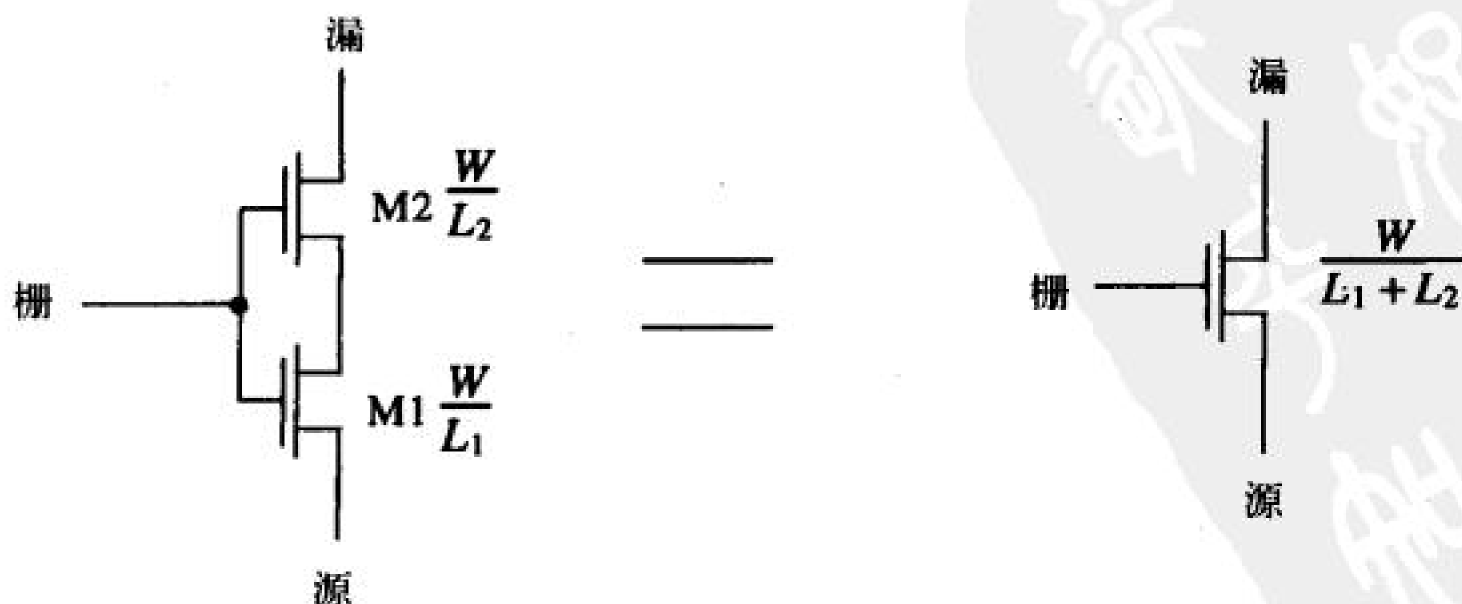


图 P5-14

5.16 针对CN20工艺中的PMOS管，重做例5.6。

5.17 利用标准单元框，设计一个宽长比为200μm/2μm的MOSFET的版图，并进行DRC检查。注意：标准单元框的高度是固定的，可以通过标准单元框的首尾拼接得到一个宽度较大的框，其宽度由拼接的标准单元框的数目决定。

5.18 写出习题5.17中MOSFET的SPICE语句。

5.19 图P5-19是一个NMOS管的版图，该MOS管的长度和宽度各为多少？

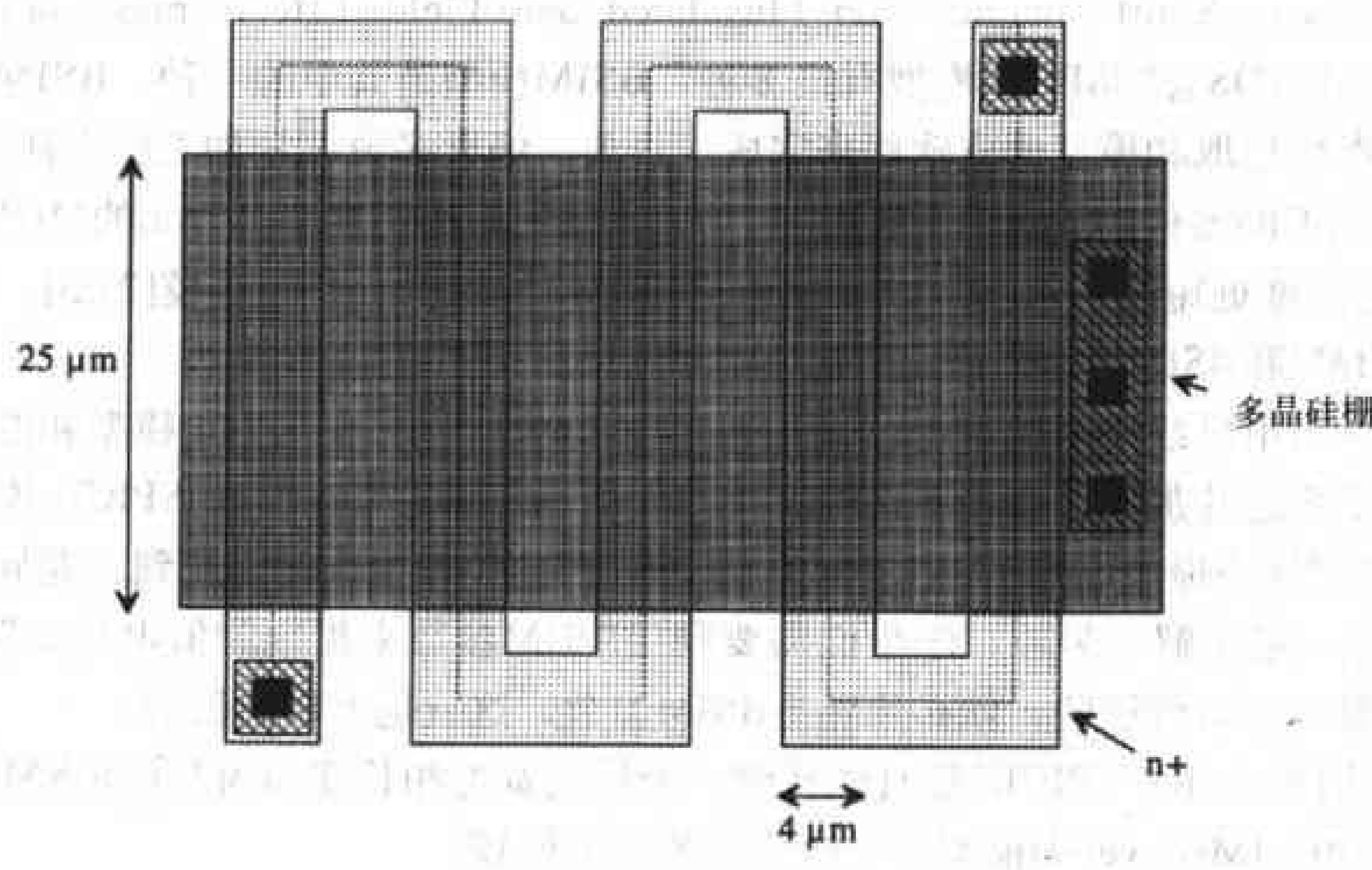


图 P5-19

第6章　BSIM SPICE模型

BSIM是Berkeley Short Channel Igfet（Insulated Gate Field-Effect Transistor）Model的缩写。NMOS管和PMOS管的SPICE模型有很多种，BSIM模型是其中的一种。BSIM模型一般是通过自动化的参数提取和模型生成软件来完成。目前，绝大多数芯片加工厂商都采用BSIM模型来描述他们加工的器件的性能。BSIM1 SPICE模型对沟道长度小到1μm的MOSFET都能建模[1][2]，沟道长度更短的MOSFET则需要使用BSIM2或者BSIM3来建模[2][3]。在这一章中我们将介绍BSIM1和BSIM3模型。

在前面的章节中已经讨论过Level 1、Level 2、Level 3 MOS SPICE模型和电路设计。目前，产业界的很多芯片加工厂商并不提供Level 1、Level 2或者Level 3的SPICE 模型（MOSIS除提供BSIM模型外还提供Level 2或Level 3模型），因此，学生离开学校到工业界工作，应该对BSIM模型有一定了解。另外，学生们需要利用BSIM参数来提取阈值电压、跨导等参数，以用于手工估算；要做到这些，就必须熟悉BSIM参数。这就是本章的目的。

图6-1是使用Berkeley SPICE3仿真软件对一个沟道宽度和长度均为2μm的NMOS管分别使用Level 2模型和BSIM(Level 4)模型进行仿真后的结果比较。

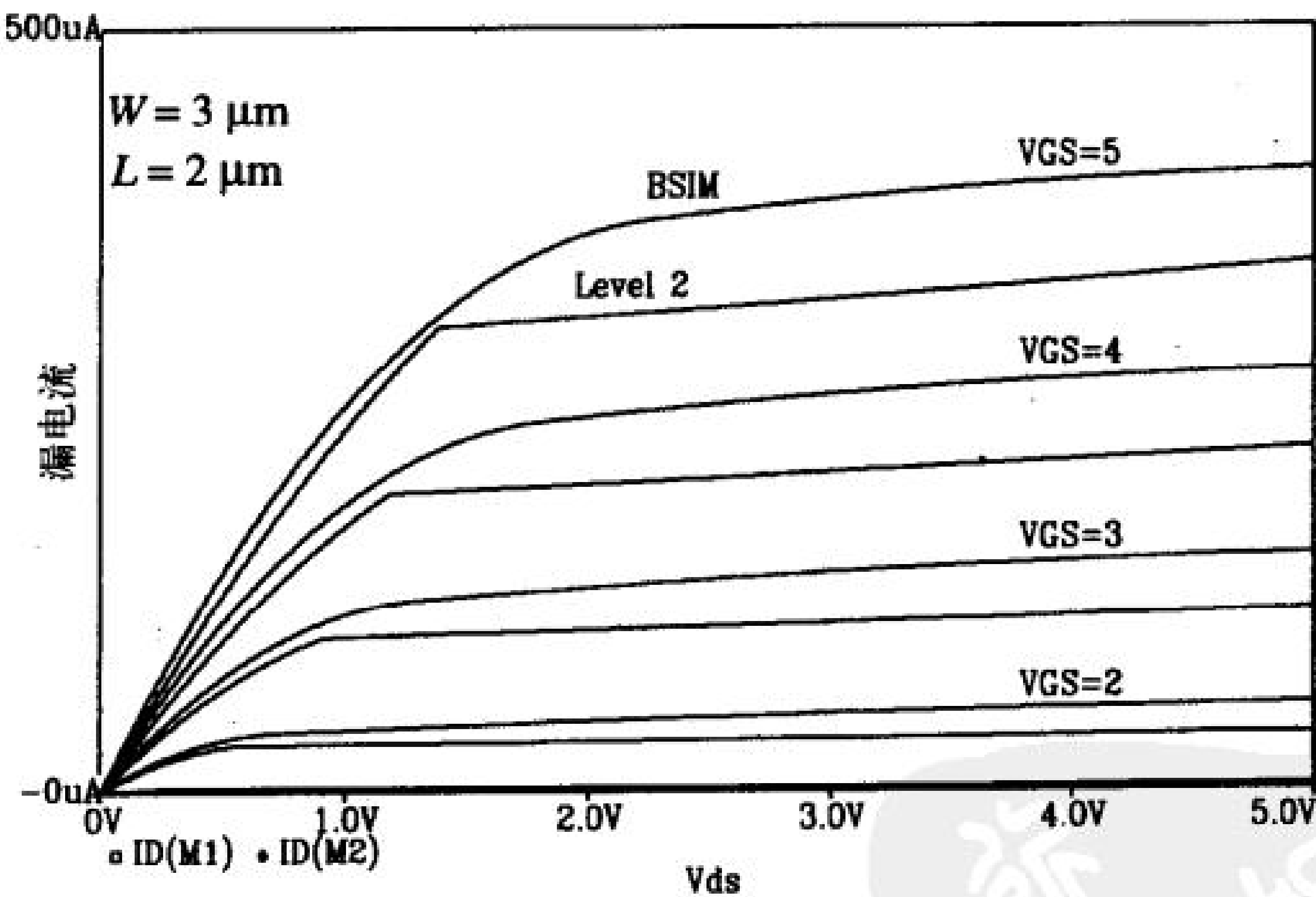


图6-1　CN20工艺的Level 2模型和BSIM1模型的仿真结果比较

下面是仿真时使用的网表文件：

```
*** Top Level Netlist ***
M1_3u_2u       3 4 0 0 CMOSN  L=2u W=3u AD=18p AS=18p PD=18u PS=18u
M2_3u_2u       5 4 0 0 CMOSNB L=2u W=3u AD=18p AS=18p PD=18u PS=18u
Vdd      2 0   DC 0
Vgs      4 0   DC 0
VIMTR1         2 3 0V
VIMTR2         2 5 0V

.MODEL CMOSNB NMOS LEVEL=4
```

```
+vfb=-9.73820E-01, lvfb=3.67458E-01,wvfb=-4.72340E-02
+phi=7.46556E-01,lphi=-1.92454E-24, wphi=8.06093E-24
+k1=1.49134E+00,lk1=-4.98139E-01, wk1=2.78225E-01
+k2=3.15199E-01,lk2=-6.95350E-02,wk2=-1.40057E-01
+eta=-1.19300E-02, leta=5.44713E-02,weta=-2.67784E-02
+muz=5.98328E+02,dl=6.38067E-001,dw=1.35520E-001
+u0=5.27788E-02, lu0=4.85686E-02,wu0=-8.55329E-02
+u1=1.09730E-01, lu1=7.28376E-01,wu1=-4.22283E-01
+x2mz=7.18857E+00,lx2mz=-2.47335E+00, wx2mz=7.12327E+01
+x2e=-3.00000E-03,lx2e=-7.20276E-03,wx2e=-5.57093E-03
+x3e=3.71969E-04,lx3e=-3.16123E-03,wx3e=-3.80806E-03
+x2u0=1.30153E-03, lx2u0=3.81838E-04, wx2u0=2.53131E-02
+x2u1=-2.04836E-02, lx2u1=3.48053E-02, wx2u1=4.44747E-02
+mus=7.79064E+02, lmus=3.62270E+02,wmus=-2.71207E+02
+x2ms=-2.65485E+00, lx2ms=3.68637E+01, wx2ms=1.12899E+02
+x3ms=1.18139E+01, lx3ms=7.24951E+01,wx3ms=-5.25361E+01
+x3u1=2.12924E-02, lx3u1=5.85329E-02,wx3u1=-5.29634E-02
+tox=4.35000E-002, temp=2.70000E+01, vdd=5.00000E+00
+cgdo=3.79886E-010,cgso=3.79886E-010,cgbo=3.78415E-010
+xpart=1.00000E+000
+n0=1.00000E+000 ln0=0.00000E+000 wn0=0.00000E+000
+nb=0.00000E+000 lnb=0.00000E+000 wnb=0.00000E+000
+nd=0.00000E+000 lnd=0.00000E+000 wnd=0.00000E+000
+rsh=27.9   cj=1.037500e-04   cjsw=2.169400e-10 js=1.000000e-08   pb=0.8
+pbsw=0.8   mj=0.66036   mjsw=0.178543   wdf=0   dell=0

.MODEL CMOSN NMOS LEVEL=2 PHI=0.600000 TOX=4.3500E-08 XJ=0.200U TPG=1
+ VTO=0.8756 DELTA=8.5650E+00 LD=2.3950E-07 KP=4.5494E-05
+ UO=573.1 UEXP=1.5920E-01 UCRIT=5.9160E+04 RSH=1.0310E+01
+ GAMMA=0.4179 NSUB=3.3160E+15 NFS=8.1800E+12 VMAX=6.0280E+04
+ LAMBDA=2.9330E-02 CGDO=2.8518E-10 CGSO=2.8518E-10
+ CGBO=4.0921E-10 CJ=1.0375E-04 MJ=0.6604 CJSW=2.1694E-10
+ MJSW=0.178543 PB=0.800000
.probe
.DC Vds 0 5 .1 Vgs 1 5 1
.end
```

107 ~ 108

6.1 BSIM1模型参数

BSIM模型所使用的所有电学参数P'都是用下式进行定义的:

$$P' = P + \frac{LP}{L - DL} + \frac{WP}{W - DW} \tag{6-1}$$

其中L和W是沟道的设计长度和设计宽度，DL和DW是由于前面讨论过的横向扩散和氧化层侵蚀引起的沟道长度和沟道宽度的变化量。($L-DL$) 和 ($W-DW$) 是有效沟道长度L_{eff}和有效沟道宽度W_{eff}。P、LP和WP是与电学参数P'相关的电学参数。

下面给出了SPICE 3仿真软件中的SPICE BSIM1(Level 4)参数和有关说明:

名称，单位	参数说明	与W和L的关系
VFB，V	平带电压	LVFB，WVFB
PHI，V	表面反型电压	LPHI，WPHI
K1，$V^{1/2}$	体效应系数	LK1，WK1
K2，无	源/漏耗尽层电荷分享系数	LK2，WK2
ETA，无	零偏压漏感应势垒降低系数	LETA，WETA
MUZ，cm^2/Vs	零体偏置时的迁移率	
DL，μm	沟道缩短	
DW，μm	沟道变窄	

U0, V^{-1}	零偏压横向电场迁移率退化系数	LU0, WU0
U1, μm /V	零偏压速度饱和系数	LU1, WU1
X2MZ, cm^2/Vs	V_{DS}= VDD时迁移率对衬底偏压的敏感度	LX2MZ, WX2MZ
X2E, V^{-1}	DIBL对衬底偏压的敏感度	LX2E, WX2E
X3E, V^{-1}	V_{DS}= VDD时，DIBL对漏端偏压的敏感度	LX3E, WX3E
X2U0, V^{-2}	横向电场迁移率退化效应对衬底偏压的敏感度	LX2U0, WX2U0
X2U1, $\mu m/V^2$	速度饱和效应对衬底偏压的敏感度	LX2U1, WX2U1
MUS, cm^2/Vs	零衬底偏压且V_{DS}= VDD时的迁移率	LMUS, WMUS
X2MS, cm^2/Vs	V_{DS}= VDD时迁移率对衬底偏压的敏感度	LX2MS, WX2MS
X3MS, cm^2/Vs	V_{DS}=VDD时迁移率对漏端偏压的敏感度	LX3MS, WX3MS
X3U1, $\mu m/V^2$	V_{DS}= VDD时速度饱和效应对漏端偏压的敏感度	LX3U1, WX3U1
TOX, μm	栅氧化层厚度	
TEMP, C°	参数测量时的温度	
VDD, V	测量时的偏压范围	
CGDO, F/ m	单位沟道宽度的栅-漏覆盖电容	
CGSO, F/ m	单位沟道宽度的栅-源覆盖电容	
CGBO, F/ m	单位沟道长度的栅-体覆盖电容	
XPART	栅氧化层电容充放电模型标志位	
N0	零偏压亚阈值斜率系数	LN0, WN0
NB	亚阈值斜率对衬底偏压的敏感度	LNB, WNB
ND	亚阈值斜率对漏端偏压的敏感度	LND, WND
RSH, Ω/sq.	源/漏扩散区的方块电阻	
JS, A/m^2	源/漏结的电流密度	
PB, V	源/漏结的自建势	
MJ, 无	源/漏结的梯度系数	
PBSW, V	源/漏结侧壁的自建势	
MJSW, 无	源/漏结侧壁的梯度系数	
CJ, F/m^2	单位面积的源/漏结电容	
CJSW, F/m	单位长度的源/漏结侧壁电容	
WDF, m	源/漏结的缺省宽度	
DELL, m	源/漏结长度的减小	

说明:

如果XPART=0，在饱和区时漏端和源端的电荷分配比例是40/60；如果XPART=1，漏端和源端的电荷分配比例是0/100。ND、NG和NS分别为漏端、栅端和源端节点。MNAME是模型的名字，AREA是面积因子，OFF为可选项，标识直流分析时的器件起始状态。如果面积因子未给出数值，则取默认值1.0。如果做瞬态分析的起始状态不是准静态工作点，而是另一种起始状态，那么可用“I=VDS, VGS”语句（可选项）来说明起始状态；这种说明为.TRAN控制语句中的UIC选项服务。

SPICE2G6仿真软件所使用的BSIM模型参数

SPICE2G6使用的BSIM参数与SPCIE3使用的BSIM参数略有不同。很多商用SPICE仿真软

件（包括Metasoft公司的 HSPICE在内）所采用的SPICE模型都是SPICE2G6所采用的模型。为了把C:\Lasi6\Wcn20\spice.inf文件中的BSIM模型从SPICE3转换成SPICE2G6模型，需要对参数做如下改动：

LMUS	改为	LMS
WMUS	改为	WMS
CJSW	改为	CJW
JS	改为	IJS
PB	改为	PJ
PBSW	改为	PJW
MJSW	改为	MJW
dell	改为	DL

另外，模型的Level级别也很重要。SPICE3中的BSIM1模型为Level 4 模型，而在HSPICE中它是Level 13模型。

6.2 BSIM1直流公式

下面这一节将讨论由BSIM参数来求阈值电压、漏电流和亚阈值电流的公式，并给出实例。

6.2.1 阈值电压

在BSIM1模型中，使用下式来计算阈值电压：

$$V_{THN} = \mathrm{VFB}' + \mathrm{PHI}' + \mathrm{K1}' \cdot \sqrt{\mathrm{PHI}' + V_{SB}} - \mathrm{K2}' \cdot (\mathrm{PHI}' + V_{SB}) - \mathrm{ETADB}' \cdot V_{DS} \quad (6\text{-}2)$$

式中，V_{SB} 和V_{DS} 分别是源-衬电压和漏-源电压，模型参数由公式（6-1）求出。ETADB由下式求出：

$$\mathrm{ETADB}' = \mathrm{ETA}' - \mathrm{X2E}' \cdot V_{SB} + \mathrm{X3E}' \cdot (V_{DS} - VDD) \quad (6\text{-}3)$$

在手算阈值电压时，用公式（6-2）就显得过于复杂。如果器件足够大，就可以略去公式（6-1）中的第二项和第三项，得到一个简单的求阈值电压的公式：

$$V_{THN} = \mathrm{VFB} + \mathrm{PHI} + \mathrm{K1} \cdot \sqrt{\mathrm{PHI} + V_{SB}} - \mathrm{K2} \cdot (\mathrm{PHI} + V_{SB}) \quad (6\text{-}4)$$

通过简化得到上式的前提条件是：忽略器件尺寸的影响；忽略V_{DS} 不等于零所造成的漏感应势垒降低的影响。

例6.1

如果NMOS管的衬底电压为-5V，源端接地，漏端电压为2V，分别用精确公式（6-2）和近似公式（6-4）计算V_{THN}的值并比较计算结果。计算时使用CN20工艺提供的BSIM1模型参数，NMOS管的W/L = 3μm/2μm。

首先，用公式（6-4）得到阈值电压的简单近似值：

$$V_{THN} = -0.97 + 0.75 + 1.49 \cdot \sqrt{0.75 + 5} - 0.315 \cdot (0.75 + 5) = 1.54$$

如果V_{SB} 不取特定值，则上式变为：

$$V_{THN} = -0.22 + 1.49 \cdot \sqrt{0.75 + V_{SB}} - 0.315 \cdot (0.75 + V_{SB})$$

为了用BSIM模型参数精确计算阈值电压，首先先把公式（6-2）中的原始变量算出来：

$$VFB' = VFB + \frac{LVFB}{L-DL} + \frac{WVFB}{W-DW} = -0.97 + \frac{0.37}{2-0.64} + \frac{-0.047}{3-0.14} = -0.713\text{ V}$$

$$PHI' = PHI + \frac{LPHI}{L-DL} + \frac{WPHI}{W-DW} = 0.75 + \frac{0}{2-0.64} + \frac{0}{3-0.14} = 0.75\text{ V}$$

$$K1' = K1 + \frac{LK1}{L-DL} + \frac{WK1}{W-DW} = 1.49 + \frac{-0.5}{2-0.64} + \frac{0.28}{3-0.14} = 1.212\text{ V}^{\frac{1}{2}}$$

$$K2' = K2 + \frac{LK2}{L-DL} + \frac{WK2}{W-DW} = 0.32 + \frac{-0.07}{2-0.64} + \frac{-0.14}{3-0.14} = 0.224$$

$$ETA' = ETA + \frac{LETA}{L-DL} + \frac{WETA}{W-DW} = -0.012 + \frac{0.054}{2-0.64} + \frac{-0.027}{3-0.14} = 0.02$$

$$X2E' = X2E + \frac{LX2E}{L-DL} + \frac{WX2E}{W-DW} = -0.003 + \frac{-0.0072}{2-0.64} + \frac{-0.0056}{3-0.14} = -0.01$$

$$X3E' = X3E + \frac{LX3E}{L-DL} + \frac{WX3E}{W-DW} = -0.0004 + \frac{-0.003}{2-0.64} + \frac{-0.004}{3-0.14} = -0.003$$

$$ETADB' = 0.02 + (-0.01)(-5) + (-0.003)(2-5) = 0.079$$

把这些变量值代入公式（6-2），得到精确的阈值电压值为：

$$V_{THN} = -0.713 + 0.75 + 1.212\cdot\sqrt{0.75+5} - 0.224\cdot(0.75+5) - 0.079\cdot 2 = 1.5\text{ V}$$

由比较可看出：对于这个最小尺寸的NMOS管，使用公式（6-2）得到的精确值与使用公式（6-4）得到的近似值相差40mV。由上面的计算过程还可看出，求精确值的计算量比求近似值的计算量大很多。对亚微米尺寸的器件，BSIM1的器件参数已失去其对应的物理含义，因此，上面的结论不适用于亚微米尺寸的器件。对于亚微米尺寸的器件，BSIM器件参数不过是用于曲线拟合的参数而已（每个参数逐渐失去了它的物理含义）。 ■

本书将使用公式（6-4）来计算阈值电压（见附录A）。下面这个例子将说明源端和衬底（或阱）之间的电压差是如何影响阈值电压的。

例6.2

使用CN20的BSIM模型参数，在V_{SB}从0V变化到5V、V_{DS}固定为5V的情况下，画出最小尺寸MOSFET的漏电流与栅-源电压之间的关系图。

112

图6-2给出了仿真得到的曲线，下面是SPICE网表文件。仔细观察图6-2会发现，当衬底电压变得更“负”的时候，阈值电压会相应增加（这就是体效应）。另外，随着V_{SB}的增大，阈值电压的变化量越来越小；在设计模拟电路时，利用这个特性可以提高阈值电压的匹配度。与图5-13中的曲线相比，图6-2的曲线更准确地反映了体效应的影响。 ■

```
*** Top Level Netlist ***
M1_3u_2u        3 4 0 5 CMOSNB  L=2u W=3u
VBB     5 0     DC 0
Vdd     2 0     DC 5
Vgs     4 0     DC 0
VIMTR1          2 3 0V
***** Spice models and macro models *****
.MODEL CMOSNB NMOS LEVEL=4
+vfb=-9.73820E-01, lvfb=3.67458E-01,wvfb=-4.72340E-02
...same model parameters as before
+pbsw=0.8   mj=0.66036   mjsw=0.178543   wdf=0   dell=0
.probe
.DC Vgs 0 2 .05 Vbb 0 -5 -1
.end
```

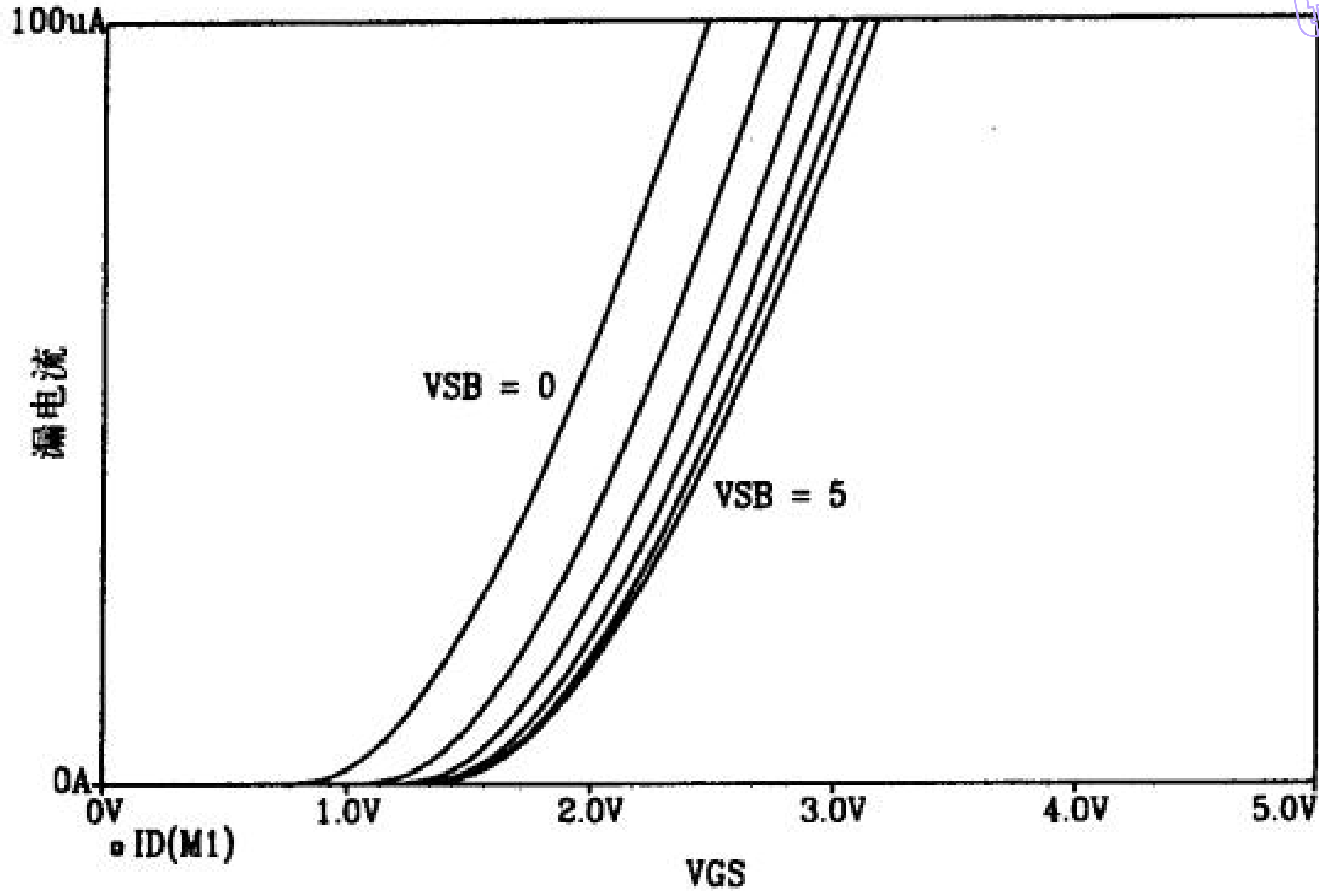


图6-2 阈值电压随衬底偏压的变化

6.2.2 漏电流

当$V_{GS} < V_{THN}$时，MOSFET处于截止区，漏电流为零（忽略亚阈值电流），即$I_D = 0$。当$V_{DS} < V_{GS} - V_{THN} > 0$时，MOSFET处于线性工作区，其漏电流由下式给出：

113

$$I_{DS} = \frac{MU0'}{[1 + U0Z' \cdot (V_{GS} - V_{THN})]} \cdot \frac{C'_{ox} \cdot \frac{W-DW}{L-DL}}{\left(1 + \frac{U1Z'}{L-DL} \cdot V_{DS}\right)} \cdot \left[(V_{GS} - V_{THN})V_{DS} - \frac{a}{2}V_{DS}^2\right] \tag{6-5}$$

式中，C'_{ox}的单位是F/ μm²，可由下式得到：

$$C'_{ox} = \frac{\varepsilon_{ox}}{TOX}, \quad \varepsilon_{ox} = 35.1 \times 10^{-18}\ \mathrm{F/\mu m} \tag{6-6}$$

a为：

$$a = 1 + \frac{g \cdot K1'}{2\sqrt{PHI' + V_{SB}}} \tag{6-7}$$

g为：

$$g = 1 - \frac{1}{1.744 + 0.8364(PHI' + V_{SB})} \tag{6-8}$$

参数$MU0'$ 可通过对三个数值点进行二次插值得到。这三个数值点为：$MU0(@V_{DS}=0)$，$MU0(@V_{DS}=VDD)$和$MU0$在$V_{DS}=VDD$点附近的敏感度，其中：

$$MU0(@V_{DS} = 0) = MUZ' - X2MZ' \cdot V_{SB} \tag{6-9}$$

$$MU0(@V_{DS} = VDD) = MUS' - X2MS' \cdot V_{SB} \tag{6-10}$$

参数$U0Z'$和$U1Z'$反映了迁移率的退化效应，由下式给出：

$$U0Z' = U0' - X2U0' \cdot V_{SB} \tag{6-11}$$

$$U1Z' = U1' - X2U1' \cdot V_{SB} + X3U1' \cdot (V_{DS} - VDD) \tag{6-12}$$

公式（6-5）不适于手算，可以使用下面这个公式来描述MOSFET在线形区时的I-V特性：

$$I_{DS} = \frac{MUZ \cdot C'_{ox} \cdot W}{L}\left[(V_{GS} - V_{THN}) \cdot V_{DS} - \frac{V_{DS}^2}{2}\right] \tag{6-13}$$

上式中采用了设计宽度W和设计长度L来简化手算复杂度。还需要指出的就是：$MUX \cdot C'_{ox}$类似参数KP，KP用于Level 1-3模型，已在第5章讨论过。

例6.3

由BSIM模型参数计算NMOS管和PMOS管的KP值，并与Level 2模型给出的KP的值进行比较。

114

根据附录中给出的SPICE参数，可以求得跨导参数。对于NMOS管，KP由下式求出：

$$KP = MUZ \cdot C'_{ox} = (600\ \text{cm}^2/\text{V·s}) \cdot \frac{35.1 \times 10^{-18}\text{F}/\mu\text{m}}{0.0435\mu\text{m}} \cdot \frac{10^8\mu\text{m}^2}{\text{cm}^2} = 48.4\ \mu\text{A/V}^2$$

Level 2模型给出的KP值为45μA/V²。对于PMOS管，用BSIM模型求出的KP值为17μA/V²，而Level 2模型给出KP值为15μA/V²。■

$V_{DS} > V_{GS} - V_{THN}$时，MOSFET工作于饱和区，其漏电流表达式为：

$$I_{DS} = \frac{MU0'}{[1 + U0Z' \cdot (V_{GS} - V_{THN})]} \cdot \frac{C_{ox} \cdot \frac{W-DW}{L-DL}}{2aK} \cdot (V_{GS} - V_{THN})^2 \tag{6-14}$$

式中：

$$K = \frac{1 + v_c + \sqrt{1 + 2v_c}}{2} \tag{6-15}$$

$$v_c = \frac{U1Z'}{L - DL} \cdot \frac{(V_{GS} - V_{THN})}{a} \tag{6-16}$$

公式（6-14）不适于手算，可简化为：

$$I_{DS} = \frac{MUZ \cdot C_{ox} \cdot W}{2 \cdot L} \cdot (V_{GS} - V_{THN})^2 = \frac{KP \cdot W}{2 \cdot L} \cdot (V_{GS} - V_{THN})^2 \tag{6-17}$$

当V_{DS}较为接近$V_{GS} - V_{THN}$时，用这个公式手算得到的结果比较准确，但是这个公式没有给出电流随V_{DS}的变化关系。图6-1表明：在固定的V_{GS}下，随着V_{DS}的增加，漏电流会随之增加。在前面的章节也已指出，漏电流与沟道长度调制效应有关。而且，公式（6-14）中的迁移率同样也与V_{DS}有关，这在前面被忽略掉了。如果忽略沟道长度和沟道宽度的影响，可以在$V_{DS} = 0$时的迁移率MUZ和$V_{DS} = VDD$时的迁移率MUS之间进行线形插值，得到迁移率$MU0$：

$$MU0 = MUZ + \frac{MUS - MUZ}{VDD} \cdot v_{DS} \tag{6-18}$$

MOSFET的输出电阻由下式给出：

$$r_o^{-1} = \frac{d}{dv_{DS}}\left(\frac{MU0 \cdot C_{ox} \cdot W}{2 \cdot L}(v_{GS} - V_{THN})^2\right) = \frac{dMU0}{dv_{DS}} \cdot \frac{C_{ox} \cdot W}{2 \cdot L}(v_{GS} - V_{THN})^2 \tag{6-19}$$

该式忽略了L随V_{DS}的变化（关于沟道长度调制效应的讨论见第5章）。由式（6-18）和式（6-19），输出电阻表达式可进一步写成:

$$r_o^{-1}=\left(\frac{MUS-MUZ}{VDD}\right)\frac{C_{ox}W}{2L}(v_{GS}-V_{THN})^2=\left(\frac{MUS-MUZ}{VDD\cdot MUZ}\right)\frac{MUZ\cdot C_{ox}W}{2L}(v_{GS}-V_{THN})^2 \quad (6\text{-}20)$$

115

根据公式（6-17），上式变为:

$$r_o^{-1}=\left(\frac{MUS-MUZ}{VDD\cdot MUZ}\right)\cdot I_{DS}=\lambda_m\cdot I_{DS} \quad (6\text{-}21)$$

参数λ_m被称为迁移率修正系数。满足曲线拟合的迁移率在$V_{DS}=VDD$时会比$V_{DS}=0$时小。迁移率的这种变化会导致MOSFET的输出电阻随工作点的不同而增大或减小。当$MUS<MUZ$时，公式（6-21）中的λ_m是一个负值，该负值可能接近于零；此时，我们取$\lambda_m=0$，这样决定输出电阻的就不再是迁移率的变化，而是沟道长度调制效应。考虑到这些，公式（6-17）则要写成:

$$I_{DS}=\frac{MUZ\cdot C_{ox}\cdot W}{2\cdot L}\cdot(V_{GS}-V_{THN})^2[1+(\lambda_c+\lambda_m)(V_{DS}-V_{DS,sat})] \quad (6\text{-}22)$$

式中，λ_c是前面曾经讨论过的沟道长度调制系数。上式对模拟电路设计而言非常有用，因为输出电阻是模拟电路设计中比较重要的性能参数。在数字电路设计中，通常假设这两个调制系数都为零。

在沟道长度较短时，沟道长度调制效应将决定输出电阻的大小；但在长沟道器件中，迁移率调制系数将决定输出电阻的大小。另外还有很重要的一点：增大沟道长度会增大MOSFET的输出电阻。附录A中给出了几个不同尺寸的MOSFET的r_o随V_{DS}和V_{GS}的变化。对于NMOS管，在某些情形下，r_o的最大值可能是最小值的4倍。由于MOS器件的复杂度越来越高，与SPICE仿真结果相比，手算得出的只是一个大致正确的结果。

例6.4

用BSIM1模型参数估算NMOS管和PMOS管的λ_m。

对于NMOS管，用BSIM1参数求得的结果为：$\lambda_m=\frac{779-598}{5\times598}=0.061\text{V}^{-1}$；而对于PMOS管：$\lambda_m=\frac{206-211}{5\times211}=-0.005\text{V}^{-1}$，于是可以取它为零。

需要再次说明的是，上述这些公式对于手算是有用的。它们强烈地依赖于BSIM参数的准确性。在手算之后，一般要对电路进行SPICE仿真，以得到更加准确的性能指标。■

6.2.3 亚阈值电流

当$V_{GS}<V_{THN}$时，源漏之间流过的电流被称为亚阈值电流。当MOSFET工作在这个区域时，称它处于弱反型区。该电流主要来源于源端和漏端之间的扩散电流，与双极型晶体管类似。总的漏电流$I_{DS,tot}$是弱反型部分和强反型部分的总和。由前面章节的讨论可知，当$V_{GS}<V_{THN}$时，强反型部分为零，弱反型部分的电流为:

116

$$I_{DS,weak}=\frac{I_{exp}\cdot I_{Limit}}{I_{Limit}+I_{exp}} \quad (6\text{-}23)$$

式中:

$$I_{exp}=MU0'\cdot C_{ox}\cdot\frac{W-DW}{L-DL}\left(\frac{kT}{q}\right)^2 e^{1.8}e^{q(V_{GS}-V_{THN})/N'kT}(1-e^{-qV_{DS}/kT}) \tag{6-24}$$

$$I_{Limit}=\frac{MU0'\cdot C_{ox}}{2}\cdot\frac{W-DW}{L-DL}\left(\frac{3kT}{q}\right)^2 \tag{6-25}$$

亚阈值斜率参数N'由下式给出:

$$N'=N0'-NB'\cdot V_{SB}+ND'\cdot V_{DS} \tag{6-26}$$

对于手算比较有用的公式为:

$$I_{exp}=MUZ\cdot C_{ox}\cdot\frac{W}{L}\left(\frac{kT}{q}\right)^2 e^{1.8}e^{q(V_{GS}-V_{THN})/N'kT}(1-e^{-qV_{DS}/kT}) \tag{6-27}$$

当$V_{DS}>2kT/q$（室温下，$kT/q=26\text{mV}$）时，公式（6-24）可以写成:

$$I_{exp}=I_{D0}\cdot\frac{W}{L}e^{q(V_{GS}-V_{THN})/N0\cdot kT} \tag{6-28}$$

式中:

$$I_{D0}=MUZ\cdot C_{ox}\cdot\left(\frac{kT}{q}\right)^2 e^{1.8}=KP\cdot\left(\frac{kT}{q}\right)^2 e^{1.8} \tag{6-29}$$

可以发现，它与BJT的电流表达式有相似性。

例6.5

对于一个CN20工艺加工的$W=L=5\mu m$ 的NMOS管，当V_{GS}从0.65V变化到0.75V时，用SPICE画出对应不同V_{GS}的$I_{DS}-V_{DS}$曲线并分析公式（6-28）的实用性。

图6-3给出了SPICE仿真结果。注意，V_{DS}在大于50mV之后曲线就变平坦了。虽然公式（6-28）去除了漏电流对V_{DS}的依赖关系，但实际上，漏电流还是会随着V_{DS}的增加而增加。 ■

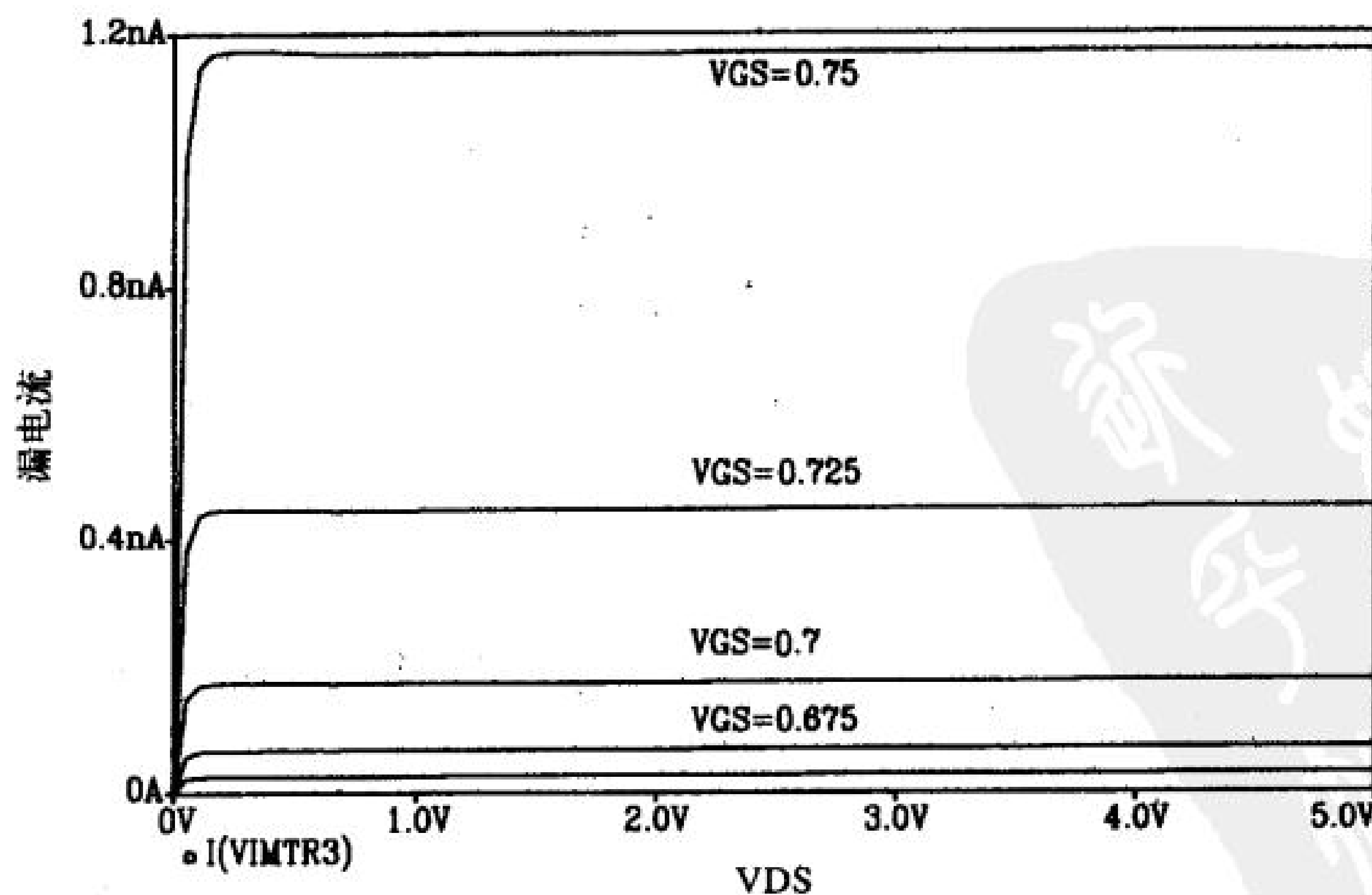


图6-3 $W=L=5\mu m$的NMOS管的亚阈值特性

对于工作于亚阈值区或强反型区的MOSFET而言，其输出电阻可以用厄利电压V_A来表征，即：

$$r_o=\frac{V_A+V_{DS}}{I_D}\approx\frac{V_A}{I_D} \tag{6-30}$$

图6-4给出了该式的图形说明。

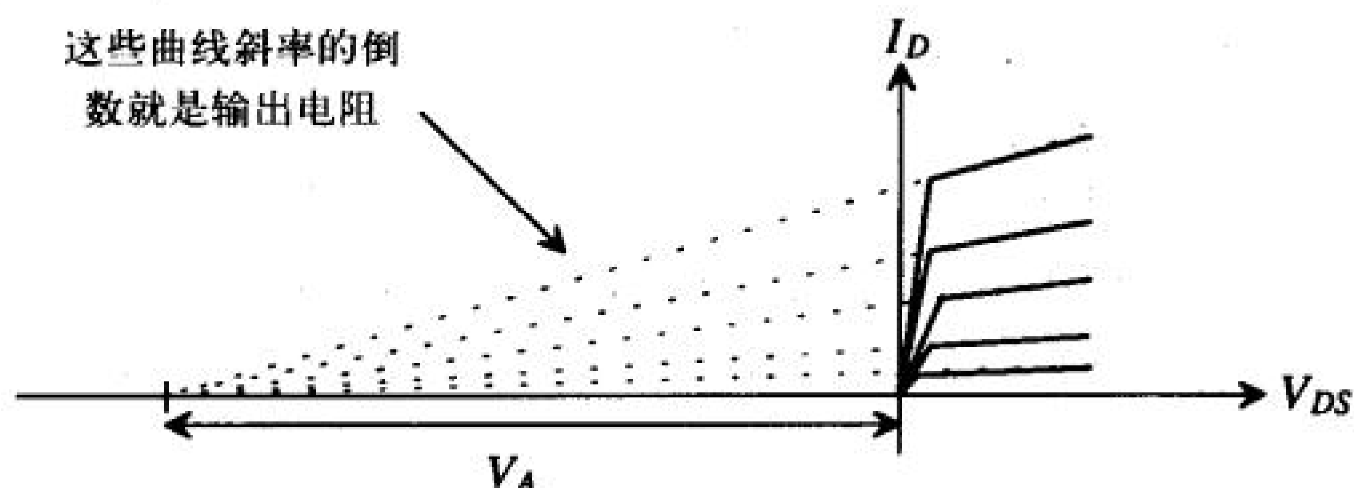


图6-4 厄利电压以及它与MOSFET输出电阻的关系

亚阈值工作区对于低功耗来说非常有用，设计电路工作在亚阈值区遇到的最主要问题是匹配问题。因为漏电流与栅-源电压之间是指数关系，任何电压不匹配都会使漏电流有很大不同。与器件匹配相关的另外一个问题是不同器件的亚阈值斜率N'之间也存在相对误差。

经常用$\log I_D - V_{GS}$曲线来表征亚阈值区特性（见图6-5）。假设$I_{exp} << I_{Limit}$，则亚阈值区MOSFET的漏电流为：

117~118

$$I_D=I_{D0}\cdot\frac{W}{L}\cdot e^{q(V_{GS}-V_{THN})/(N'\cdot kT)} \tag{6-31}$$

对两边取log，得：

$$\log I_D=\log\frac{W}{L}+\log I_{D0}+\frac{q}{kT\cdot N'}(-V_{THN})\cdot\log e+\overbrace{\left[\frac{q}{kT\cdot N'}\cdot\log e\right]}^{\text{亚阈值斜率}}\cdot V_{GS} \tag{6-32}$$

由上式可得到亚阈值斜率的倒数为：

$$\text{亚阈值斜率}^{-1}=\frac{kT}{q}\cdot\frac{1}{\log e}\cdot N'=\frac{kT}{q}\cdot\frac{1}{\log e}\cdot(N0'+NB'\cdot V_{BS}+ND'\cdot V_{DS}) \tag{6-33}$$

如果$kT/q = 26\text{mV} = V_T$，$N' = 1$，则亚阈值斜率的倒数为60mV/decade（十倍程）。参考附录A中表A-5，可知亚阈值斜率的典型值是100mV/decade。N'参数用于修正亚阈值斜率模型，使之与测量到的数据（即图6-5中的数据）相吻合。仔细考察附录中给出的BSIM模型参数就会发现，在提取模型参数时并没有考虑亚阈值区域的特性，因为模型使用的是默认值60mV/decade，这是在$N0$=1且其他八个亚阈值参数都为零的情况下得到的结果。

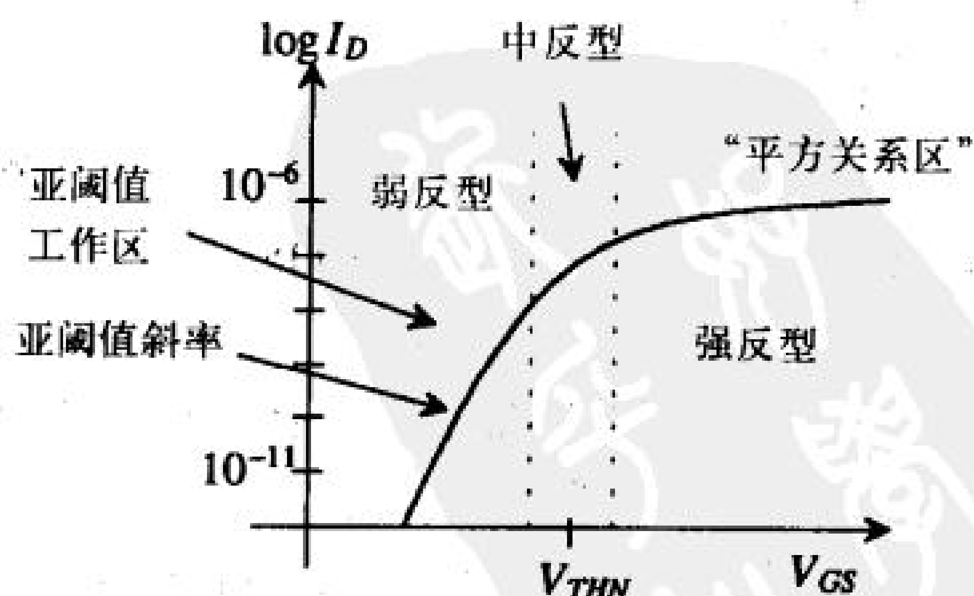


图6-5 从弱反型到强反型过程中漏电流的变化

6.3 短沟道MOSFET

为了阐明CMOS设计的基础知识，我们选择了CN20工艺贯穿全文。但是，现在CMOS晶体管的沟道长度要远小于CN20工艺中的2μm。在上一章中，用于推导MOSFET电流-电压关系的渐变沟道近似对于现代的短沟道器件来说已不适用。栅氧化层下面的电场也不能再认为是一维的了。另外，MOSFET在源端与漏端之间漂移的载流子会存在速度饱和，这种现象被称为载流子速度饱和；其结果是减小了电子的迁移率μ_n，也就意味着增大了沟道的有效方块电阻（见公式5-29）。而且，随着温度的上升，电子的迁移率会减小[⊖]，这种效应有时也被称为热载流子效应。为了减小热载流子效应，现代MOSFET器件多采取轻掺杂漏（Lightly Doped Drain，LDD）的结构，图6-6给出了LDD MOSFET的剖面图。制作LDD MOSFET的工艺过程是：先注入形成一个窄的n-区，再紧邻多晶硅形成隔离物（spacer），然后注入形成n+区。

119

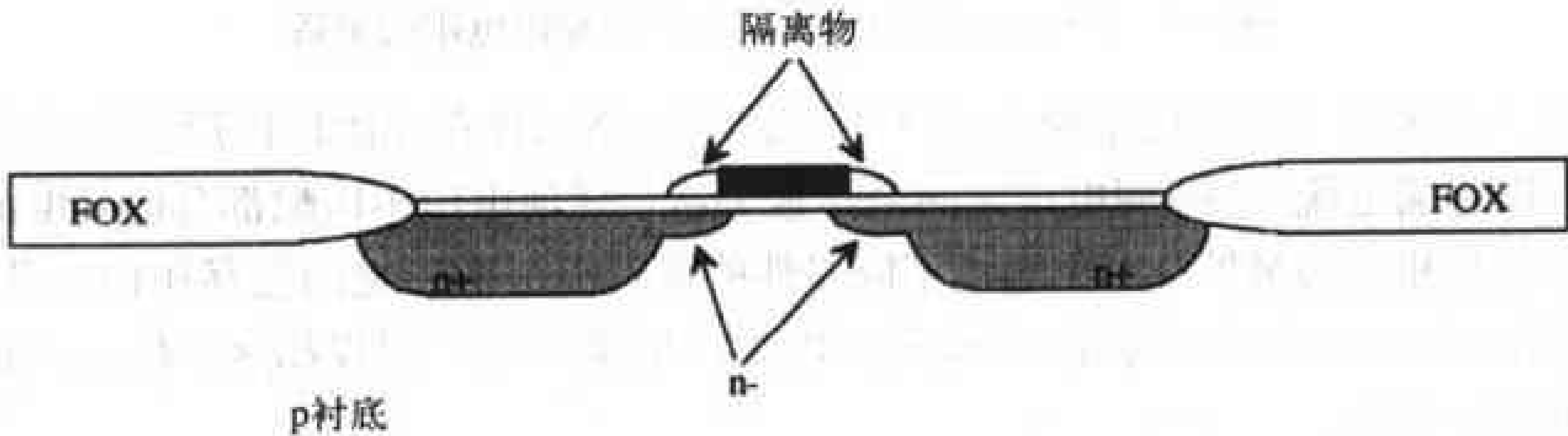


图6-6 LDD结构的MOSFET

6.3.1 MOSFET的按比例缩小

MOSFET沟道长度的减小可以用按比例缩小理论来描述[5]。MOSFET尺寸的按比例缩小因子为$S(S<1)$。在新兴的工艺中，S的典型值在0.7附近。如果一个工艺使用的VDD为5V，那么按比例缩小之后的工艺应当使用3.5V的VDD'，换句话说：

$$VDD' = VDD \cdot S \tag{6-34}$$

沟道长度减小为：

$$L' = L \cdot S \tag{6-35}$$

沟道宽度减小为：

$$W' = W \cdot S \tag{6-36}$$

表6-1中描述了S是如何影响MOSFET参数的[5]。按比例缩小的主要好处是：（1）器件尺寸变小从而减小了芯片面积（增加了每个硅片上管芯的数量）。（2）降低门延迟，允许器件在更高频率下工作。（3）降低功耗。按比例缩小也有一些不好的效应，例如短沟道效应等。这些负面效应将在下一节讨论。

120

图6-7给出了MOSFET按比例缩小的趋势[5]。图中这些曲线的斜率等于比例因子S。

⊖ 关于迁移率对温度的依赖关系的讨论，见第9章。

表6-1　按比例缩小规则

参　　数	比例因子
电源电压（VDD）	S
沟道长度	S
沟道宽度（W）	S
栅氧化层厚度（tox）	S
衬底掺杂浓度（NA）	S^{-1}
驱动电流（ID）	S
栅电容（Cox）	S
门延迟	S
动态功耗	S^3

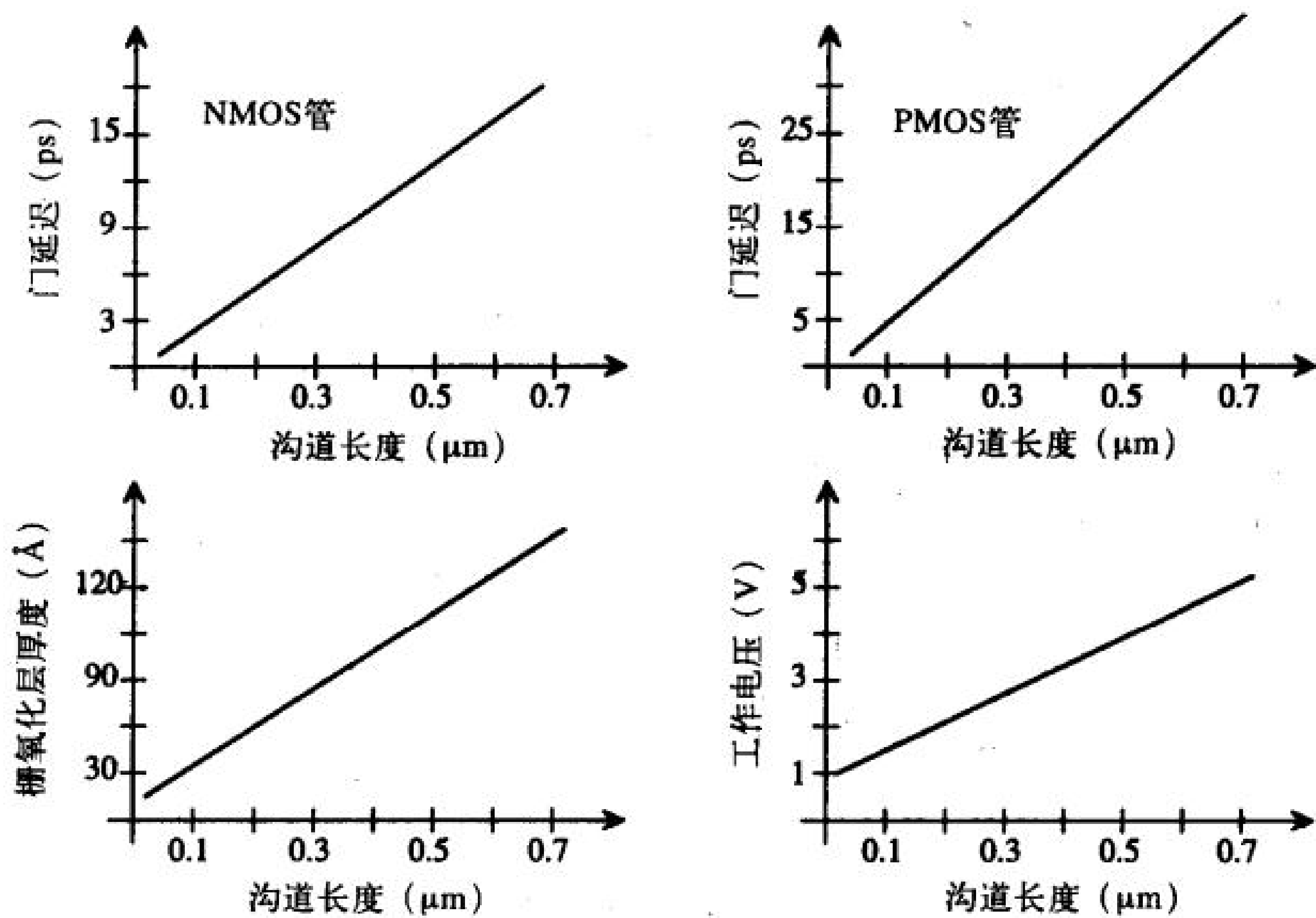


图6-7　MOS器件按比例缩小的发展趋势

6.3.2　短沟道效应

电子的平均漂移速度v与电场强度E的关系见图6-8[⊖]。当电场强度到达某一个临界值（记为E_{crit}）时，速度将达到饱和（记为v_{sat}），不再随电场的增加而增大。电子漂移速度与所施加的电场的比值就是电子的迁移率，即:

$$\mu_n = \frac{v}{E} \tag{6-37}$$

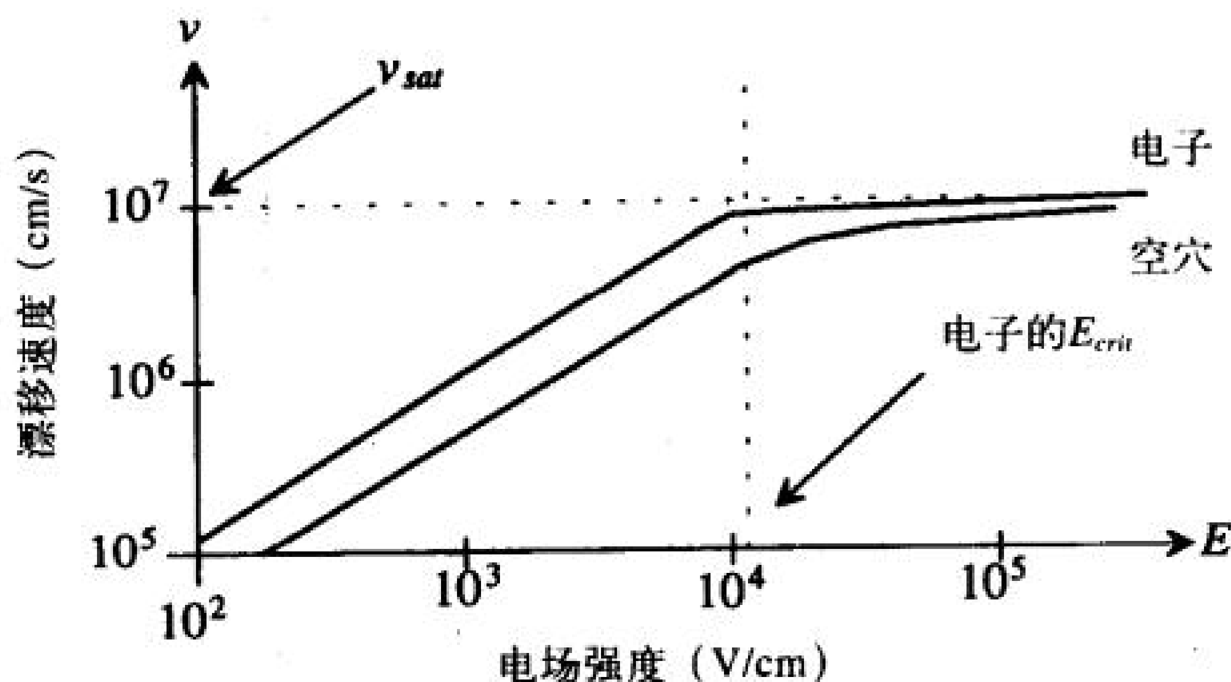
虽然电场在小于E_{crit}时，迁移率是恒定的，但在大于临界电场后，迁移率开始减小。改写式（5-31）可以得到:

$$I_D = \mu_n \cdot \frac{dV(y)}{dy} \cdot W \cdot C'_{ox}[V_{GS} - V_{THN} - V(y)] \tag{6-38}$$

⊖ MOSFET中E的简单估计（近似数值）为V_{DS}/L。用这个值可以判断是否存在短沟道效应，即判断图6-8中的载流子速度是否饱和。

我们所感兴趣的是当短沟道MOSFET工作在饱和区时，漏电流随V_{GS}的变化情况。当$V(L)=V_{DS,sat}$时，MOSFET进入饱和区。在强电场下，迁移率可以近似为：

$$\mu_n=\frac{v_{sat}}{E}=\frac{v_{sat}}{dV(y)/dy} \tag{6-39}$$



122

图6-8 漂移速度随电场强度的变化

所以，式（6-38）可以写成[6]：

$$I_D=W\cdot v_{sat}\cdot C'_{ox}(V_{GS}-V_{THN}-V_{DS,sat}) \tag{6-40}$$

这个结果很重要！工作在饱和区的短沟道MOSFET的漏电流随V_{GS}线性变化。而长沟道理论认为：工作在饱和区的长沟道MOSFET的漏电流随V_{GS}以平方关系变化；式（5-39）体现了这种平方关系。上式还引出了一个对现代CMOS工艺有一定实用价值的参数，即MOSFET的单位沟道宽度的驱动电流I_{drive}（单位μA/μm），它由下式给出：

$$I_{drive}=v_{sat}\cdot C'_{ox}(V_{GS}-V_{THN}-V_{DS,sat}) \tag{6-41}$$

于是有：

$$I_D=I_{drive}\cdot W \tag{6-42}$$

利用这些公式就可以估计驱动电流的大小。通常，I_{drive}是$V_{GS}=VDD$时的测量结果。

热载流子

在低电场下，迁移率会随温度的升高而减小（见第9章），被称为热载流子效应。另一方面，当电场大于E_{crit}后，载流子的速度会饱和。由此，我们可以借用热载流子效应来描述载流子的速度饱和，即：假定电场大于E_{crit}后，载流子速度饱和的原因在于温度升高了。因此，称以速度v_{sat}漂移的载流子为热载流子。值得特别说明的是：实际上，漂移速度和温度并不成比例关系，这里我们只是借用热载流子这个简单概念来描述迁移率减小引起的速度饱和。

热载流子可以隧穿栅氧化层，从而引起栅电流；或者被栅氧化层俘获，引起阈值电压的漂移。此外，热载流子还能引起碰撞电离（雪崩击穿）。

氧化层击穿

为了保证器件工作的可靠性，穿过器件栅氧化层的最大电场应当限制在7MV/cm以下[7]。这等价于加在厚度为10Å的栅氧化层上的电压应小于0.7V。为了使t_{ox}为70Å的器件能长时间可靠地工作，栅电压应控制在4.9V以下。

漏感应势垒降低

漏端和源端之间加上电压后，漏感应势垒降低（Drain-Induced Barrier Lowering，DIBL）效应会使阈值电压降低。在漏端施加的正电压有助于吸引电子到栅下面，导致表面势ϕ_s增大。因为V_{THN}随V_{DS}的增加而减小，其结果是漏电流增加，从而减小了MOSFET的输出电阻（见图6-9）。

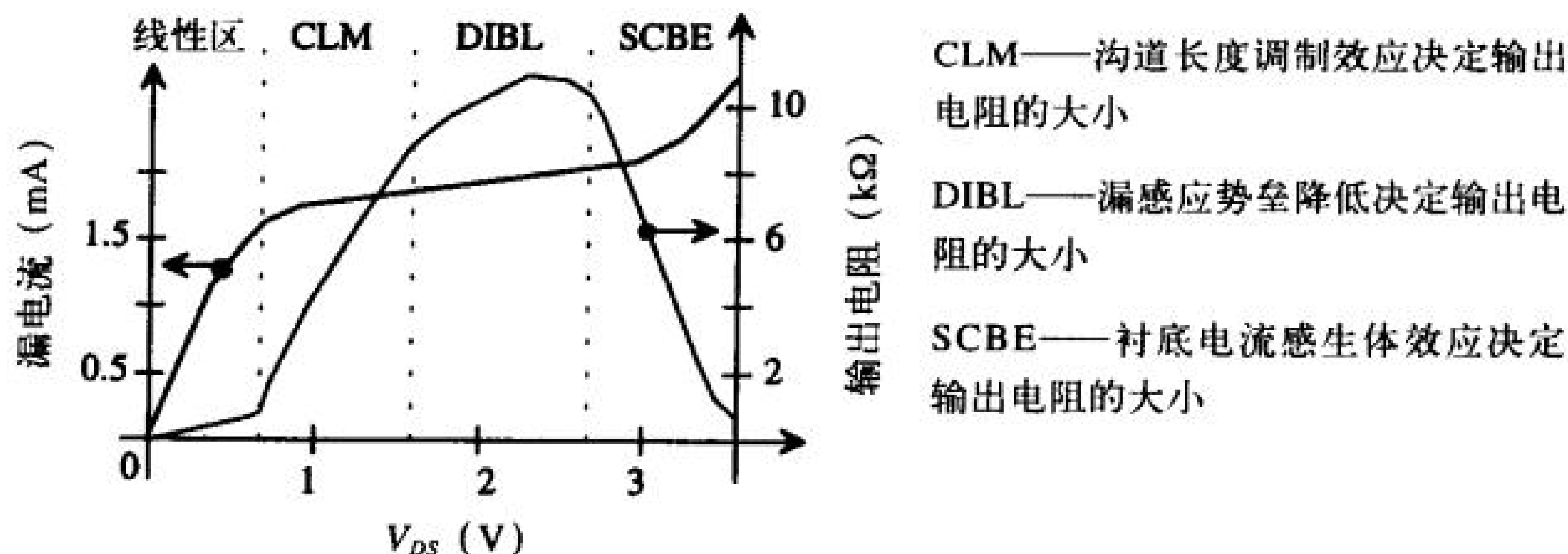


图6-9 $W/L = 10\mu m/0.43\mu m$、$TOX = 75Å$的MOSFET特性[8]

衬底电流感生体效应

热载流子的碰撞电离会产生一个衬底电流，这就是衬底电流感生体效应（Substrate Current-induced Body Effect，SCBE）。该效应发生在电场强度大于10^5V/cm时，这个衬底电流将流经衬底电阻，增加衬底电压并进一步减小阈值电压，其结果会进一步增加漏电流，减小MOSFET的输出电阻。

123

6.4 BSIM3 SPICE模型

BSIM3v3（BSIM3 version3）是Berkeley BSIM MOSFET模型的第三代[4]⊖。BSIM3模型是为亚微米器件而发展起来的。它大约有120个参数，每一个都有其物理意义，比如：噪声模型、温度效应（BSIM1模型没有为它建模）。在整个工作区域中，漏电流和它的一阶导数都是连续的，这对解决仿真中的收敛问题很有帮助。为了简要介绍BSIM3模型，这里使用的是近似公式。精确公式的列表可参见[4]。

阈值电压模型

阈值电压由下式决定：

$$V_{THN} = V_{THN0} + K_1\left(\sqrt{\phi_s + V_{SB}} - \sqrt{\phi_s}\right) + K_2 V_{SB} + K_1\left(\sqrt{1+\frac{N_{LX}}{L_{eff}}} - 1\right)\sqrt{\phi_s} - \Delta V_{THN} \qquad (6\text{-}43)$$

式中，V_{THN0}是长沟道的阈值电压，ϕ_s(= PHI)是表面势，ΔV_{THN}是短沟道效应引起的阈值电压的降低，K_1和K_2则反映垂直方向掺杂不均的影响。阈值电压的降低与沟道长度呈指数关系，由下式给出：

$$\Delta V_{THN} = \theta(L)\cdot[2(V_{bi} - \phi_s) + V_{DS}] \qquad (6\text{-}44)$$

124

$$\theta(L) = D_{VTHN0}[e^{-(L\cdot DVT1)/2l_t} + 2e^{-(L\cdot DVT1)/l_t}] \qquad (6\text{-}45)$$

⊖ 这一部分内容直接基于参考文献[4]中的内容。

式中，V_{bi}是自建势:

$$V_{bi} = \frac{kT}{q} \cdot \ln\left(\frac{N_{ch}N_d}{n^2}\right) \tag{6-46}$$

l_t是特征长度，由下式给出:

$$l_t = \sqrt{\frac{\varepsilon_{si} t_{ox} X_d}{\varepsilon_{ox} \eta}} \tag{6-47}$$

沟道与衬底之间的耗尽层宽度是X_d，沿沟道的耗尽层平均宽度为X_d/η。参数D_{VTHN0}、$DVT1$和η由试验数据确定。

漏电流模型

在BSIM3模型中，工作区域分为强反型（$V_{GS} > V_{THN}$）、弱反型（$V_{GS} < V_{THN}$）和转换区（$V_{GS} \approx V_{THN}$）。强反型区又分成线性区（$V_{DS} < V_{DS,sat}$）和饱和区（$V_{DS} > V_{DS,sat}$）。饱和区的漏电流为:

$$I_D = W \cdot v_{sat} \cdot C'_{ox}(V_{GS} - V_{THN} - V_{DS,sat})\left[1 + \frac{V_{DS} - V_{DS,sat}}{V_A}\right] \tag{6-48}$$

式中，V_A是MOSFET输出电阻模型所给出的厄利电压。线性区的漏电流可用下式估算:

$$I_D = W \cdot \mu_{eff} \cdot C'_{ox} \cdot \frac{W}{L} \cdot \frac{1}{1 + \frac{V_{DS}/L}{E_{crit}}} \cdot \left[\frac{V_{GS} - V_{THN} - V_{DS}}{2}\right] \cdot V_{DS} \tag{6-49}$$

式中，有效迁移率由下式估算:

$$\mu_{eff} = 2 \cdot \frac{v_{sat}}{E_{crit}} \tag{6-50}$$

弱反型或亚阈值区时的漏电流由下式估算:

$$I_D = \mu_{eff} \cdot \frac{W}{L} \cdot \left[\frac{kT}{q}\right]^2 \cdot C_d \cdot \left[e^{(V_{GS} - V_{THN} - V_{off})q/nkT}\right]\left[1 - e^{-qV_{DS}/kT}\right] \tag{6-51}$$

式中，V_{off}是失调电压，n是亚阈值斜率因子。

模型实例

SPICE3F5仿真软件把BSIM3v3当作Level 8的MOSFET模型，Metasoft公司的HSPICE则把自己版本的BSIM3v3模型作为MOSFET的Level 49模型。下面是一个基于BSIM3v3的NMOS管和PMOS管模型的例子[9]。

125

```
*model = bsim3v3
*Berkeley Spice Compatibility
* Lmin= .35 Lmax= 20 Wmin= .6 Wmax= 20
.model N1 NMOS
+Level=     8
+Tnom=27.0
+Nch= 2.498E+17  Tox=9E-09 Xj=1.00000E-07
+Lint=9.36e-8 Wint=1.47e-7
+Vth0= .6322    K1= .756  K2= -3.83e-2  K3= -2.612
+Dvt0= 2.812  Dvt1= 0.462  Dvt2=-9.17e-2
+Nlx= 3.52291E-08  W0= 1.163e-6
+K3b= 2.233
+Vsat= 86301.58  Ua= 6.47e-9  Ub= 4.23e-18  Uc=-4.706281E-11
```

```
+Rdsw= 650 U0= 388.3203 wr=1
+A0= .3496967 Ags=.1  B0=0.546  B1= 1
+ Dwg = -6.0E-09 Dwb = -3.56E-09 Prwb = -.213
+Keta=-3.605872E-02 A1= 2.778747E-02 A2= .9
+Voff=-6.735529E-02 NFactor= 1.139926 Cit= 1.622527E-04
+Cdsc=-2.147181E-05
+Cdscb= 0 Dvt0w = 0 Dvt1w = 0 Dvt2w = 0
+ Cdscd = 0 Prwg = 0
+Eta0= 1.0281729E-02 Etab=-5.042203E-03
+Dsub= .31871233
+Pclm= 1.114846 Pdiblc1= 2.45357E-03 Pdiblc2= 6.406289E-03
+Drout= .31871233 Pscbe1= 5000000 Pscbe2= 5E-09 Pdiblcb = -.234
+Pvag= 0 delta=0.01
+ Wl = 0 Ww = -1.420242E-09 Wwl = 0
+ Wln = 0 Wwn = .2613948 Ll = 1.300902E-10
+ Lw = 0 Lwl = 0 Lln = .316394
+ Lwn = 0
+kt1=-.3 kt2=-.051
+At= 22400
+Ute=-1.48
+Ua1= 3.31E-10 Ub1= 2.61E-19 Uc1= -3.42e-10
+Kt1l=0 Prt=764.3

.model P1 PMOS
+Level=     8
+Tnom=27.0
+Nch= 3.533024E+17 Tox=9E-09 Xj=1.00000E-07
+Lint=6.23e-8 Wint=1.22e-7
+Vth0=-.6732829 K1= .8362093 K2=-8.606622E-02 K3= 1.82
+Dvt0= 1.903801 Dvt1= .5333922 Dvt2=-.1862677
+Nlx= 1.28e-8 W0= 2.1e-6
+K3b= -0.24 Prwg=-0.001 Prwb=-0.323
+Vsat= 103503.2 Ua= 1.39995E-09 Ub= 1.e-19 Uc=-2.73e-11
+ Rdsw= 460 U0= 138.7609
+A0= .4716551 Ags=0.12
+Keta=-1.871516E-03 A1= .3417965 A2= 0.83
+Voff=-.074182 NFactor= 1.54389 Cit=-1.015667E-03
+Cdsc= 8.937517E-04
+Cdscb= 1.45e-4 Cdscd=1.04e-4
+ Dvt0w=0.232 Dvt1w=4.5e6 Dvt2w=-0.0023
+Eta0= 6.024776E-02 Etab=-4.64593E-03
+Dsub= .23222404
+Pclm= .989 Pdiblc1= 2.07418E-02 Pdiblc2= 1.33813E-3
+Drout= .3222404 Pscbe1= 118000 Pscbe2= 1E-09
+Pvag= 0
+kt1= -0.25 kt2= -0.032 prt=64.5
+At= 33000
+Ute= -1.5
+Ua1= 4.312e-9 Ub1= 6.65e-19 Uc1= 0 Kt1l=0
```

126

6.5 收敛性

使用BSIM SPICE模型的主要问题是收敛性的问题。假设电路没有任何连接上的问题，基本上只有三个可调节的参数来帮助收敛（对于特定的分析，将在本书中其他地方讨论帮助收敛的方法），这三个参数是ABSTOL、VNTOL和RELTOL[10]。

ABSTOL是绝对电流容差，它的缺省值是1pA。这就意味着，在电路仿真时，电流的计算值和实际值的差在1pA以内时，SPICE就认为电流已经收敛，将进行下一个时间点的计算，或者开始下一个AC（或DC）值的计算。VNTOL是节点电压的容差，缺省值是1μV。RELTOL是相对容差参数，缺省值是0.001（即0.1%）。RELTOL用来解决同一电路在仿真大的电学量和小的电学量时可能出现的问题。例如：假设某节点的实际电压值为1V，电路仿真时使用了RELTOL和

VNTOL的缺省值。当节点电压与1V的误差小于1mV时，RELTOL就让仿真结束；而对于VNTOL，只有当节点电压与1V的误差小于1μV时，才会让仿真结束。SPICE会采用两者中数值较大的一个。因此，在这里，满足RELTOL参数的误差要求会被认为节点已经收敛，就要让仿真结束。

增加这三个参数的值可以提高仿真速度并有助于解决收敛问题，其代价是降低了精确度。为了帮助收敛，可把下面的语句加到SPICE网表文件中去：

```
.OPTIONS ABSTOL=1uA VNTOL=1mV RELTOL=0.01
```

为了强制收敛，这些数值可以增大为：

```
.OPTIONS ABSTOL=1mA VNTOL=100mV RELTOL=0.1
```

下面是在用SPICE做电路仿真时容易出现的错误：

1. SPICE网表中第一行必须是注释行，在网表文件中的第一行会被SPICE忽略。

2. 1兆欧一定要写成1MEG，而不是1M、1m或者1 MEG（数字和MEG之间不要有空格）。

127

3. 1法拉应写成1，而不是1f或者1F。1F表示10^{-15}法拉。

4. MOSFET源区和漏区的面积在大多数情况下写成pm^2的形式。宽长分别为6μm和8μm的区域的面积应写为48pm^2或者48E−12。

5. 电压源的名字以字母V打头，电流源的名字以字母I打头。

6. 瞬态分析结果是以时间为轴，即x轴为时间。如果本来是正弦波，看着却像三角波，或者曲线看着不平滑。这是因为没有设置好打印数据点的数目，或者给出的打印步长太大了。例如：想在SPICE中得到一个1kHz的正弦波形，最大打印步长应该设为10u（十微秒）。

7. 当显示AC仿真结果时，x轴是频率，指针显示的是电压（或电流）的幅值或相位。例如：指针显示“voltage drop at a node”时，它会把此节点电压的实部和虚部加起来，显示一个毫无意义的结果。不同仿真软件的指针的作用也不同。有些仿真软件的功能很强大，可以在完成AC仿真后进入幅度模式。

8. MOSFET的长和宽应使用字母“u”来代表微米。常见的错误是忘记写这个字母。例如：CN20工艺允许的MOSFET最小尺寸为$L = 2u$、$W = 3u$，而不是$L = 2$、$W = 3$。后者意味着一个2米长、3米宽的MOSFET。

9. 通常PMOS管的“体”接到VDD，NMOS管的“体”接到VSS。例如：CN20工艺是n阱工艺，所有的NMOS管的“体”必须接到VSS。这个错误在SPICE网表中很容易查出。

10. DC扫描中的收敛问题可以通过改变电压的边界值来解决。比如：电路从0到5V进行扫描可能不收敛，但是从0.1V到4.9V进行扫描就可能会收敛。

参考文献

[1] J. R. Pierret, *A MOS Parameter Extraction Program for the BSIM Model*, Electronics Research Laboratory, University of California, Berkeley, Calif. 94720. Memorandum No. UCB/ERL M84/99, November 21, 1984.

[2] G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd ed., McGraw-Hill, 1993. ISBN 0-07-002469-3.

128

[3] J. H. Huang, Z. H. Liu, M. C. Jeng, P. K. Ko, and C. Hu, *A Robust Physical Predictive Model for Deep-Submicron MOS Circuit Simulator*, Electronics

Research Laboratory, University of California, Berkeley, Calif. 94720. Memorandum No. UCB/ERL M93/57, July 21, 1993.

[4] D. Foty, *MOSFET Modeling with SPICE: Principles and Practice*, Prentice-Hall, 1997. ISBN 0-13-227935-5.

[5] M. Bohr, "MOS Transistors: Scaling and Performance Trends," *Semiconductor International*, pp. 75-79, June 1995.

[6] K. Y. Toh, P. K. Ko, and R. G. Meyer, "An Engineering Model for Short-Channel MOS Devices," *IEEE Journal of Solid State Circuits*, Vol. 23, No. 4, August 1988.

[7] C. Hu, *ULSI Device Scaling and Reliability*, Research and Development seminar at Micron Semiconductor, Boise, Idaho, 1995.

[8] J. H. Huang, Z. H. Liu, M. C. Jeng, P. K. Ko, and C. Hu, *A Physical Model for MOSFET Output Resistance*, Electronics Research Laboratory, University of California, Berkeley, Calif. 94720. Memorandum No. UCB/ERL M93/56, July 21, 1993.

[9] http://www-device.eecs.berkeley.edu/~bsim3/intro.html

[10] R. Kielkowski, *Inside SPICE: Overcoming the Obstacles of Circuit Simulation*, McGraw-Hill, 1994. ISBN 0-07-911525-X.

习题

6.1 使用PMOS管的CN20 BSIM模型参数，手算零偏置下的阈值电压。

6.2 使用CN20 BSIM模型参数，分别计算NMOS管和PMOS管的KP值和C'_{ox}的值。

6.3 使用SPICE和CN20 BSIM模型参数，在V_{GS}=1V、2V、3V、4V和5V时，画出NMOS管和PMOS管（L = 2μm，W = 3μm）的I_D随V_{DS}（V_{SD}）的变化曲线。SPICE模型位于C:\Lasi6\Wcn20目录下的spice.inf文件中。

6.4 对L=W=10μm的NMOS管，用SPICE和BSIM模型画出图6-5中的曲线。其亚阈值斜率是多少?

6.5 计算一个t_{ox}=75Å、V_{THN} = 0.5V、V_{GS} = VDD = 2.5V、$V_{DS,sat}$ =1.5V的短沟道MOSFET的I_{drive}，说明对于短沟道MOSFET，为什么$V_{DS,sat}$不等于$V_{GS}-V_{THN}$（见第5章）？

6.6 根据图6-8，估算在10^5V/cm时，电子和空穴的迁移率。

6.7 证明使用Level 1 SPICE MOSFET模型得到的小信号输出电阻为:

129

$$r_o=\frac{1}{\lambda I_D}=\frac{L}{\lambda\cdot K}$$

式中，K对于V_{GS}的微小变化保持恒定。这个式子表明：在恒定的漏电流下，MOSFET的输出电阻与沟道长度呈线形关系。增加MOSFET的沟道长度就可以增加输出电阻。根据本章的讨论可知这个结果是不正确的（因为Level 1模型忽略了λ_m）。参考习题8的结果。

6.8 利用.OP分析的结果（工作点分析），用BSIM模型画出图P6-8电路中的MOSFET的输出电阻与沟道长度的关系曲线。沟道长度从2μm变到10μm。在仿真结束后，SPICE的输出文件中应该给出了MOSFET的小信号参数。MOSFET的输出电阻是文件中“gds”参数的倒数。

6.9 使用CMOS14TB BSIM模型参数，计算NMOS管和PMOS管的KP和C'_{ox}的值。

6.10 使用SPICE和CMOS14TB BSIM模型参数，在V_{GS}（V_{SG}）=1V、2V和3V时，画出NMOS管和PMOS

管的I_D-V_{DS}（V_{SD}）图。MOSFET的$L = 0.6\mu m$、$W = 0.9\mu m$。SPICE模型位于C:\Lasi6\Wcp20目录下的spice.inf文件中。

6.11 估算CMOS14TB工艺的NMOS管和PMOS管的I_{drive}。

6.12 在扫描电子显微镜（SEM）得到的图片（图P6-12）中，标出场氧化区，LDD隔离物、栅区、漏/源区和横扩区。

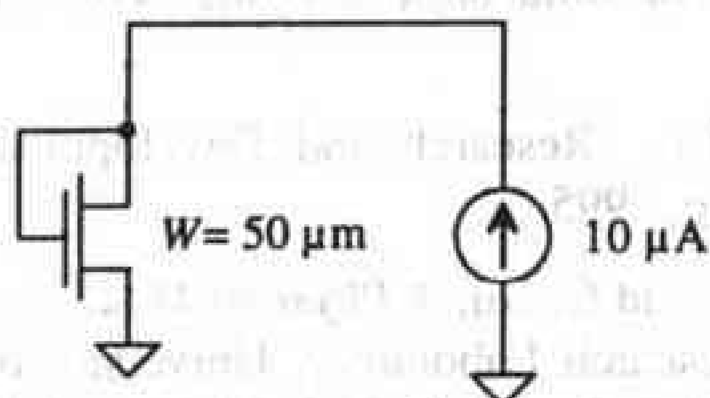


图 P6-8

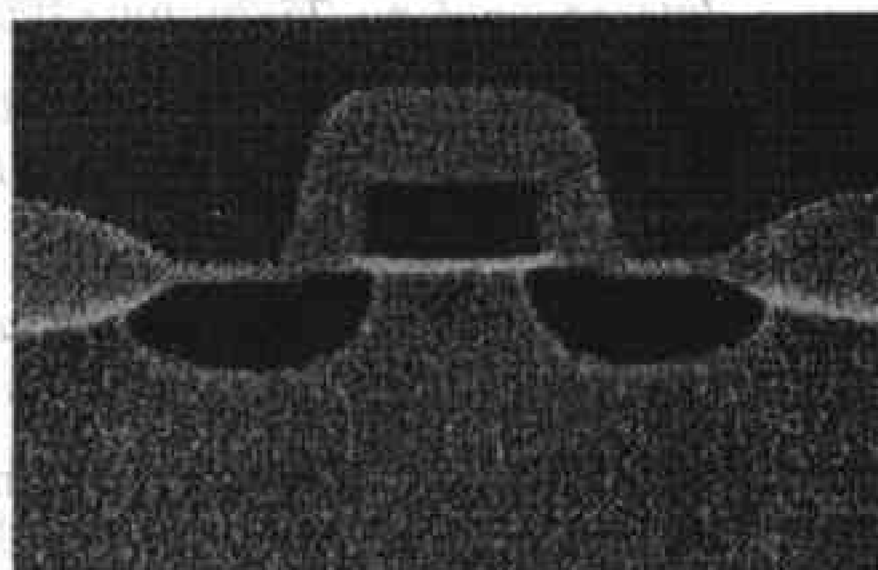


图 P6-12

第7章 CMOS无源元件

本章将首先讨论一下poly1-poly2电容的版图设计，再分析电阻和电容随温度和电压的变化关系，最后讨论电阻-电容电路的噪声分析。

7.1 第二层多晶硅

在CMOS工艺中，通常要加上poly2这一层多晶硅（第二层多晶硅），用于MOSFET和电容的制作。poly2的设计规则和poly1类似。与poly2层接触的为“contact”这一层（接触孔），在LASI CN20配置中为“cont”层。在制作MOSFET时，可以用poly2代替poly1；可从MOSIS提供的CN20参数数据中得到用poly2制作的MOSFET的电学特性参数。

7.1.1 多晶硅电容的设计规则

本章使用的设计规则都是Orbit的设计规则。下面给出了电容结构的设计规则。

4.1 Width	3 μm
4.2 Space	3 μm
4.3 Poly1 overlap of poly2	2 μm
4.4 Space to active or well edge	2 μm
4.5 Space to contact	3 μm

在图7-1中，用一个电容的剖面图作例子解释了这些设计规则。

例7.1

估算图7-1所示电容的电容值。

从Orbit的电学参数中可得到，单位面积的poly1-poly2电容一般在443aF/μm^{2}到557 aF/μm^{2}之间。而该图中，poly1和poly2的交迭部分为64μm^2。因此，这个电容的电容值在28.4fF到35.6fF之间。 ■

7.1.2 多晶硅电容的寄生效应

除了两层多晶硅之间会存在电容外，poly1和衬底之间、poly1（或poly2）与metal1之间也会存在寄生电容，甚至metal2和poly1、poly2、metal1之间也存在寄生电容。图7-2给出了所有这些电容。在设计多晶硅电容时，并不需要对每一个部分的寄生电容都分析地很仔细，只需对其近似值有个概念即可。

另外可能存在的寄生效应还包括metal1和poly之间的接触电阻，以及电容板的分布电阻。为了减小这些寄生电阻，应在多晶硅的各个部分尽可能多做接触孔。poly1的接触孔一般排布在电容板的边缘，有时也可以深入到电容板的中心位置，甚至采取类似大尺寸MOSFET版图

那样的叉指结构。图7-3是一个电容版图的例子。poly的每一个接触孔都会有一个接触电阻，可看成是metal1和电容板之间的接触电阻。这些接触孔的接触电阻是并联关系，增加接触孔可使总接触电阻减小。由于多晶硅的方块电阻大约是20Ω/方块，因此，电容板实际就是一个分布式的*RC*，*R*是多晶硅的电阻阻值，*C*是电容值。

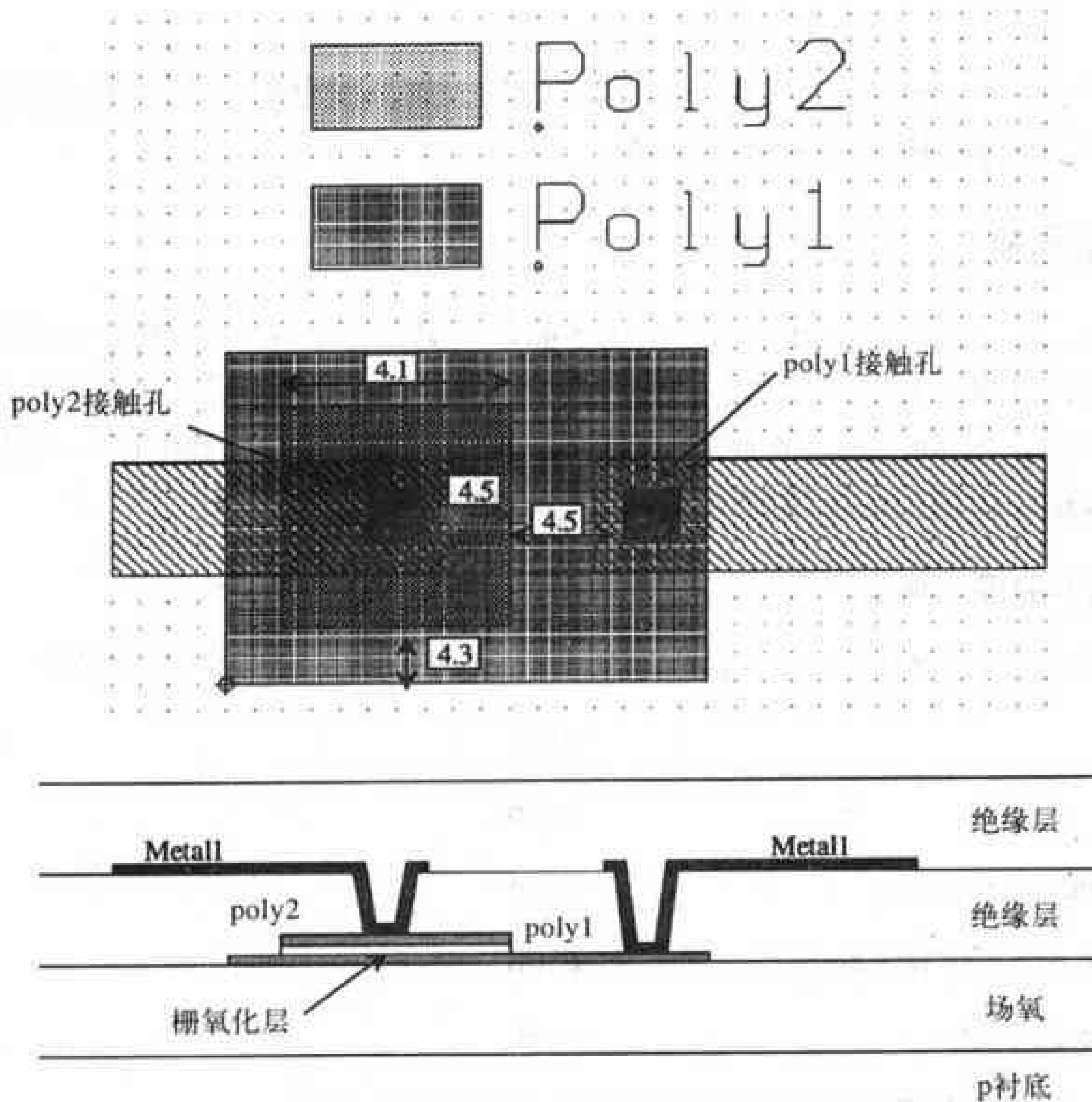


图7-1　poly1-poly2电容的设计规则和剖面图

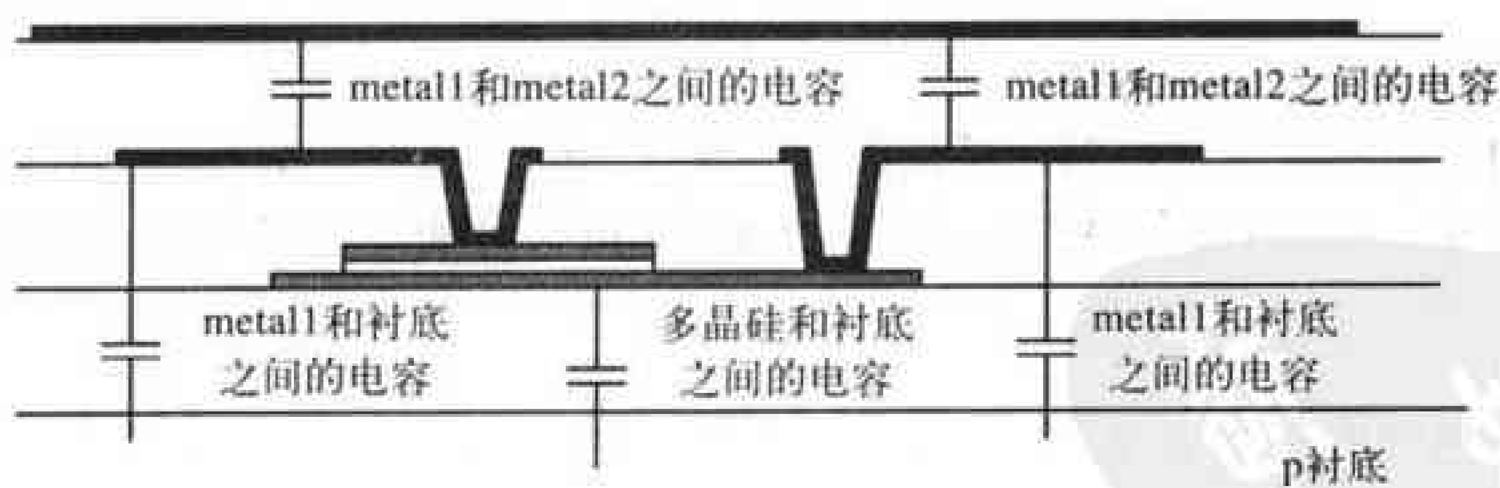


图7-2　与poly1-poly2电容相关的寄生电容

7.1.3　其他类型的电容

除了多晶硅电容外，还可以用metal1和metal2来做电容；源漏短接的MOSFET在$V_{GS} > V_{THN}$（工作于强反型区）时也可用做电容；还可以用n+（或p+）注入区与p衬底（或n阱）来做电容。

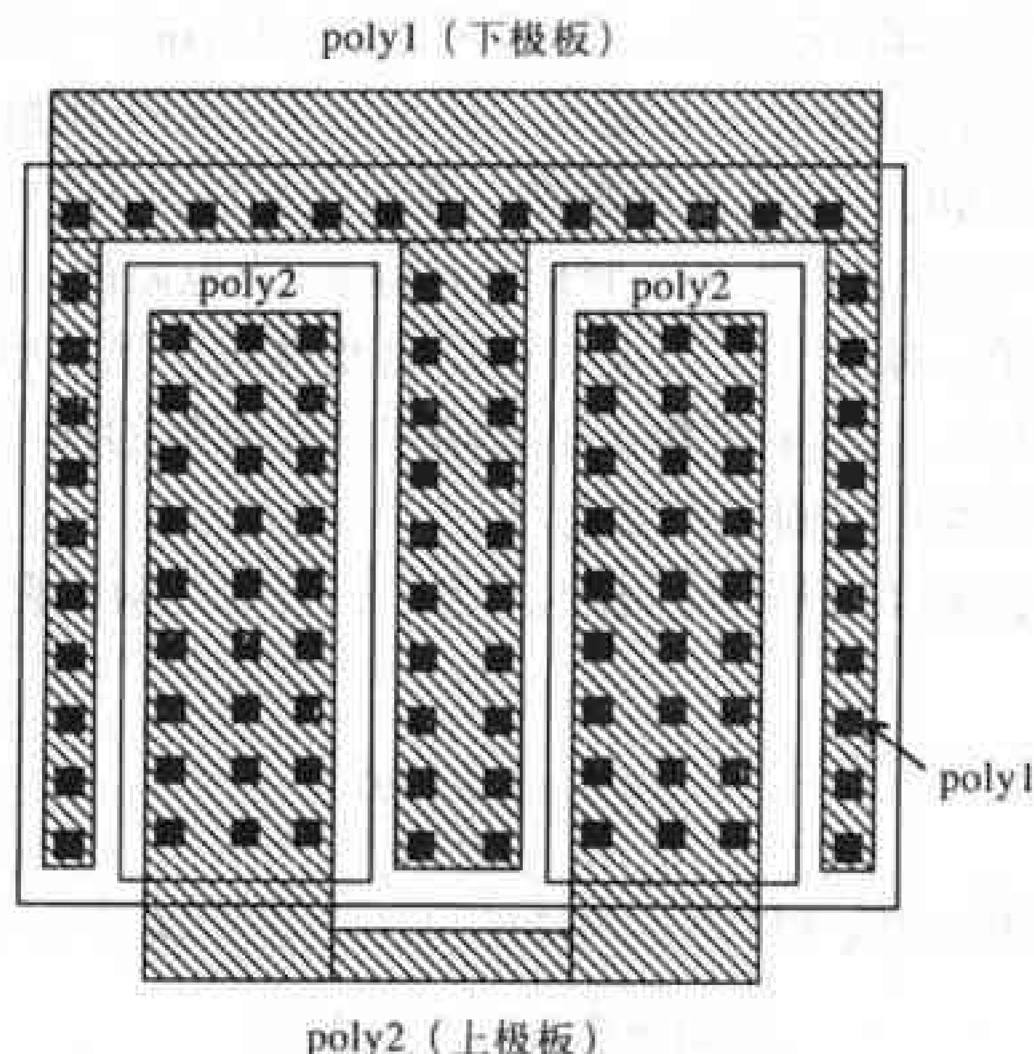


图7-3 1pF多晶硅电容的版图（增加接触孔数目以减小串联接触电阻）

7.2 电阻、电容与温度和电压的关系

在CMOS工艺中，电容的电容值和电阻的阻值会随温度或电压的变化而发生改变。这个改变通常用ppm/°C（parts per million per degree C）表示。ppm/°C相当于10^{-6}/°C。

7.2.1 电阻

电阻的一阶温度系数TCR为：

$$TCR = \frac{1}{R} \cdot \frac{dR}{dT} \tag{7-1}$$

n阱电阻、n+/p+电阻和多晶硅电阻的TCR的典型值分别为10 000、2000和1000ppm/°C。SPICE中除考虑一阶效应外，还考虑了二阶效应以便更精确地模拟电阻的温度特性：

$$R(T) = R_{T0} \cdot [1 + TCR \cdot (T - T_0) + TCR2 \cdot (T - T_0)^2] \tag{7-2}$$

式中，R_{T0}是温度为T_0（通常是27°C）时的电阻值。手算时可假定$TCR2$为0。

例7.2

若温度变化范围为0°C到100°C，估算一个长100μm、宽10μm的n阱电阻的最小值和最大值。假设n阱电阻的TCR为10 000ppm/°C。

n阱电阻的方块电阻为2000到3000Ω/方块。那么，此例中，电阻在27°C的阻值为20kΩ到30kΩ。由此，利用上面的式（7-2）可以求得电阻的最小阻值：

$$R_{min} = 20\ 000 \cdot [1 + 0.01 \cdot (0 - 27)] = 14.6\ \text{k}\Omega$$

最大阻值为：

$$R_{max} = 30\ 000 \cdot [1 + 0.01 \cdot (100 - 27)] = 51.90\ \text{k}\Omega$$

■

同一个电阻被加工到不同的硅片上，测量不同硅片上的同一个电阻的阻值，我们会发现：与设计值相比，实测的阻值会存在一定偏差，偏差的大小和上例给出的数据相当。制作在同一个硅片上的n阱电阻之间的匹配度会好很多，典型匹配误差大约为1%。例如，对一个25kΩ的n阱电阻，和它同在一块管芯内并且外形尺寸相同的n阱电阻的阻值在24 750Ω到25 250Ω之间。当然，这是一个近似。实际上，温度、电压以及电阻在管芯中的位置等因素都会对电阻间的匹配程度有一定影响。如果电阻和一个大功率放大器靠的很近，那么，这个电阻的工作温度就容易高于其他位置的电阻的工作温度。

132~134

另一个影响电阻阻值的重要因素是电压。为了分析电压对电阻阻值的影响，先定义电压系数如下：

$$VCR=\frac{1}{R}\cdot\frac{dR}{dV} \tag{7-3}$$

式中，V是电阻上电压的平均值（即电阻两端的电压之和除以二）。电阻阻值是电压V的函数：

$$R(V)=R_{V0}\cdot(1+VCR\cdot V) \tag{7-4}$$

式中，R_{V0}是温度为T_0（典型值是27°C）时的电阻阻值。n阱电阻的VCR的典型值为200ppm/°C。影响电压系数的主要因素是n阱和p衬底之间的耗尽层宽度。这个耗尽层延伸到n阱里，使得n阱的方块电阻增大。随着n阱和衬底之间电压的增大，对导电电流有用的n阱厚度就会相应减小。

例7.3

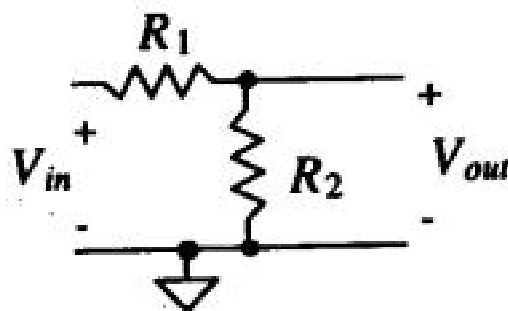
如果一个n阱电阻在27°C时的典型电阻值为50kΩ，估算电阻上平均电压分别为0、5V和10V时的电阻平均值。

$$R(0)=50\ 000\cdot(1+0.0002\cdot 0)=50\ \text{k}\Omega$$
$$R(5)=50\ 000\cdot(1+0.0002\cdot 5)=50.05\ \text{k}\Omega$$
$$R(10)=50\ 000\cdot(1+0.0002\cdot 10)=50.10\ \text{k}\Omega$$

和温度对阻值的影响相比，电压对阻值的影响很小。但在下面这个例子中，电压对电路性能的影响就比温度的影响大。 ■

例7.4

假设图Ex7-4这个电路中的电阻为n阱电阻，比较该电路的V_{out}随VCR的变化以及V_{out}随TCR的变化。



135

图 Ex7-4

首先写出V_{out}的表达式，然后代入R随温度或电压变化的关系式。V_{out}与温度的关系为：

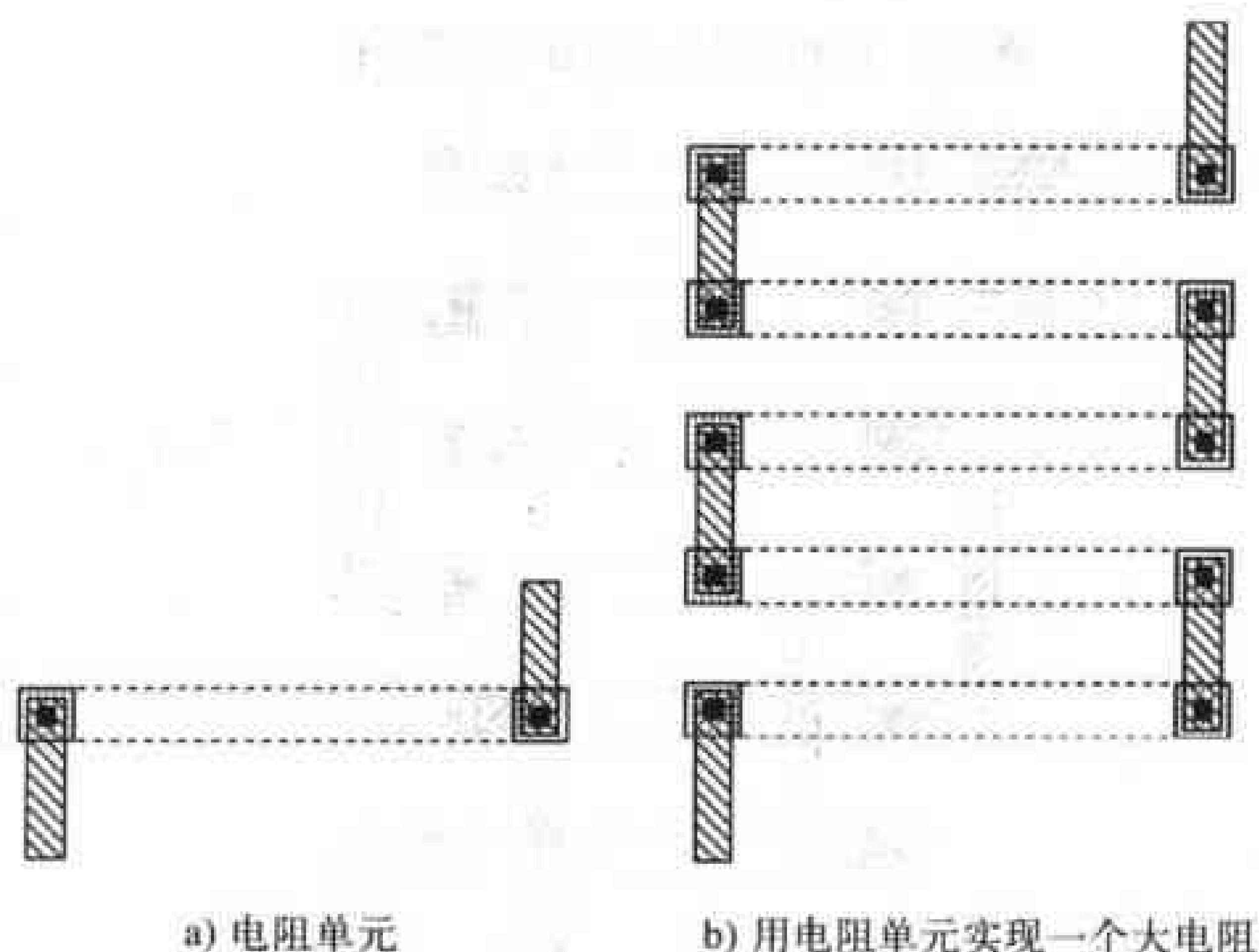
$$V_{out}=V_{in}\cdot\frac{R2(T)}{R1(T)+R2(T)}=V_{in}\cdot\frac{R2\cdot[1+TCR(T-T_0)]}{(R1+R2)\cdot[1+TCR(T-T_0)]}=V_{in}\cdot\left[\frac{R2}{R1+R2}\right]$$

V_{out} 与电压的关系为:

$$V_{out} = V_{in} \cdot \frac{R2(V)}{R1(V)+R2(V)} = V_{in} \cdot \frac{R2 \cdot (1+VCR \cdot V_2)}{R1 \cdot (1+VCR \cdot V_1)+R2 \cdot (1+VCR \cdot V_2)}$$

若假设衬底电压为零，则 $V_1 = \frac{V_{in}+V_{out}}{2}$， $V_2 = \frac{V_{out}}{2}$。由上面两式知，如果只考虑一阶效应，分压器的输出电压与电压有关，但与温度无关。 ■

上例中的电路输出与两个电阻的阻值的比率有关，称这种器件为比例器件。由上面这个例子可以看出，使用比例器件能提高电路的性能。特别是在设计工作温度范围很大、对匹配精度要求很高的电路时，采用比例元件有助于提高电路性能。例如，在设计一个阻值很大的电阻时，通常会用一些小电阻单元来构成它；图7-4a给出了一个阻值为20kΩ的电阻单元，图7-4b就是用这种电阻单元实现的一个100kΩ的电阻。在计算电阻阻值之间的比例时，通常忽略拐角等因素引入的阻值误差。比例元件的一个重要应用就是放大器电路（如带反馈的运算放大器），在后面章节中会进行相关讨论。



a) 电阻单元　　b) 用电阻单元实现一个大电阻

图7-4　用电阻单元实现一个大电阻

另一个值得注意的问题是衬底噪声。衬底噪声会使得相邻排布的电路之间互相注入电流，因此，在设计高精度电路时，需要仔细考虑衬底噪声的影响。最简单的抑制衬底噪声的办法就是在两个相邻电路之间放置一个接地（*VSS*）的p+注入区（对p衬底硅片而言）。理想情况下，这个接固定电平（*VSS*）的p+注入区能吸收注入的载流子，使衬底保持为一个固定电压。图7-5所示的电阻版图就采用了这一方法来抑制衬底噪声的影响，图中的p+注入区使电路不受通过衬底注入的载流子的侵扰。由于这些注入区呈环状，一般被称为保护环。

136

使用图7-6的版图结构有利于提高两个电阻之间的匹配程度。这样，同一块管芯上由于n阱注入区所处的位置不同而产生的工艺梯度偏差就可以在两个电阻之间进行平衡。还要注意电阻单元的排列方向，这里电阻单元之间的排列方向是一致的，即，所有的单元要么水平摆放，要么竖直摆放。在实际的版图设计中，为了进一步提高电阻之间的匹配程度，图7-6中的电阻单元周围还会放置保护环；此外，还要尽量保证每个电阻的寄生效应也基本相同。

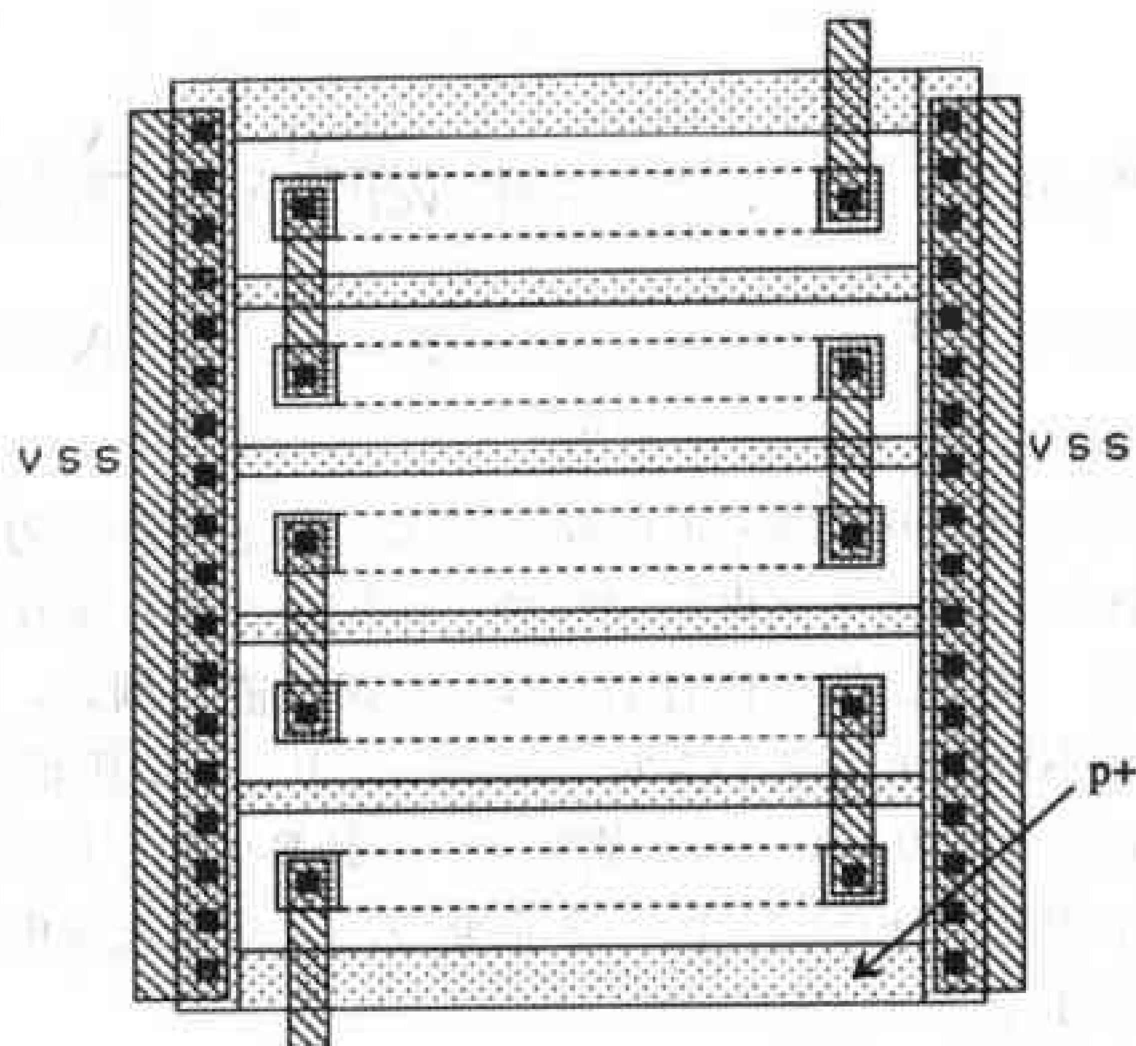


图7-5 使用了保护环的电阻版图

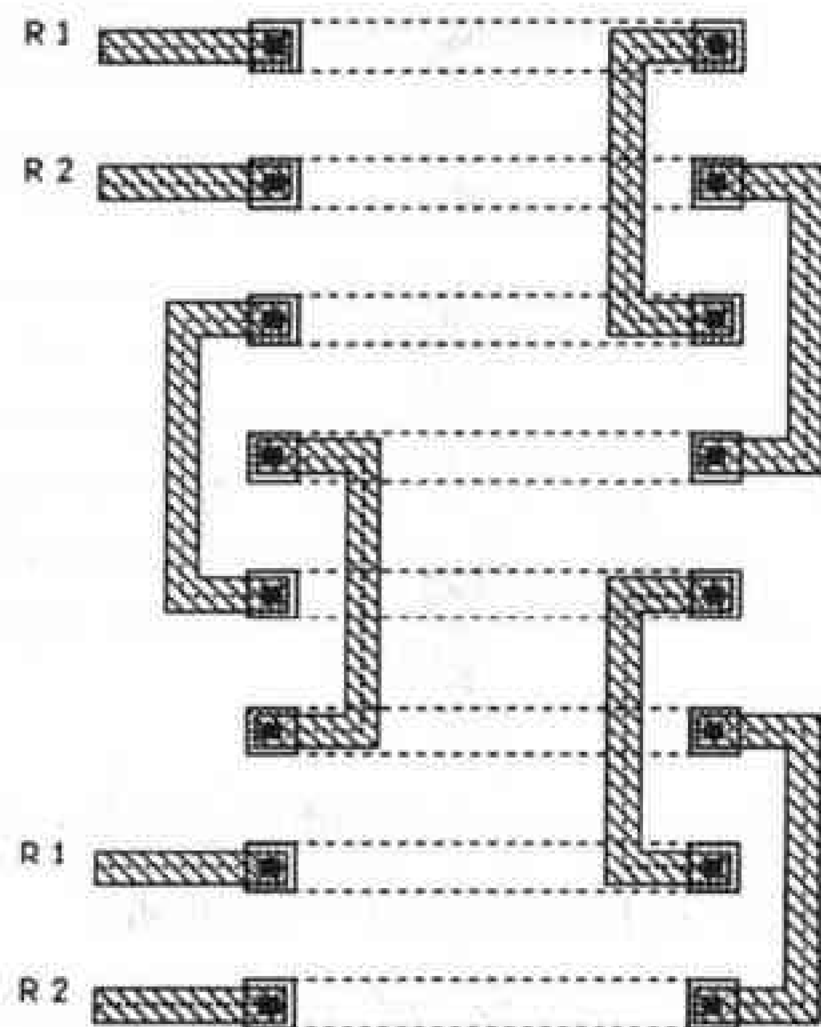
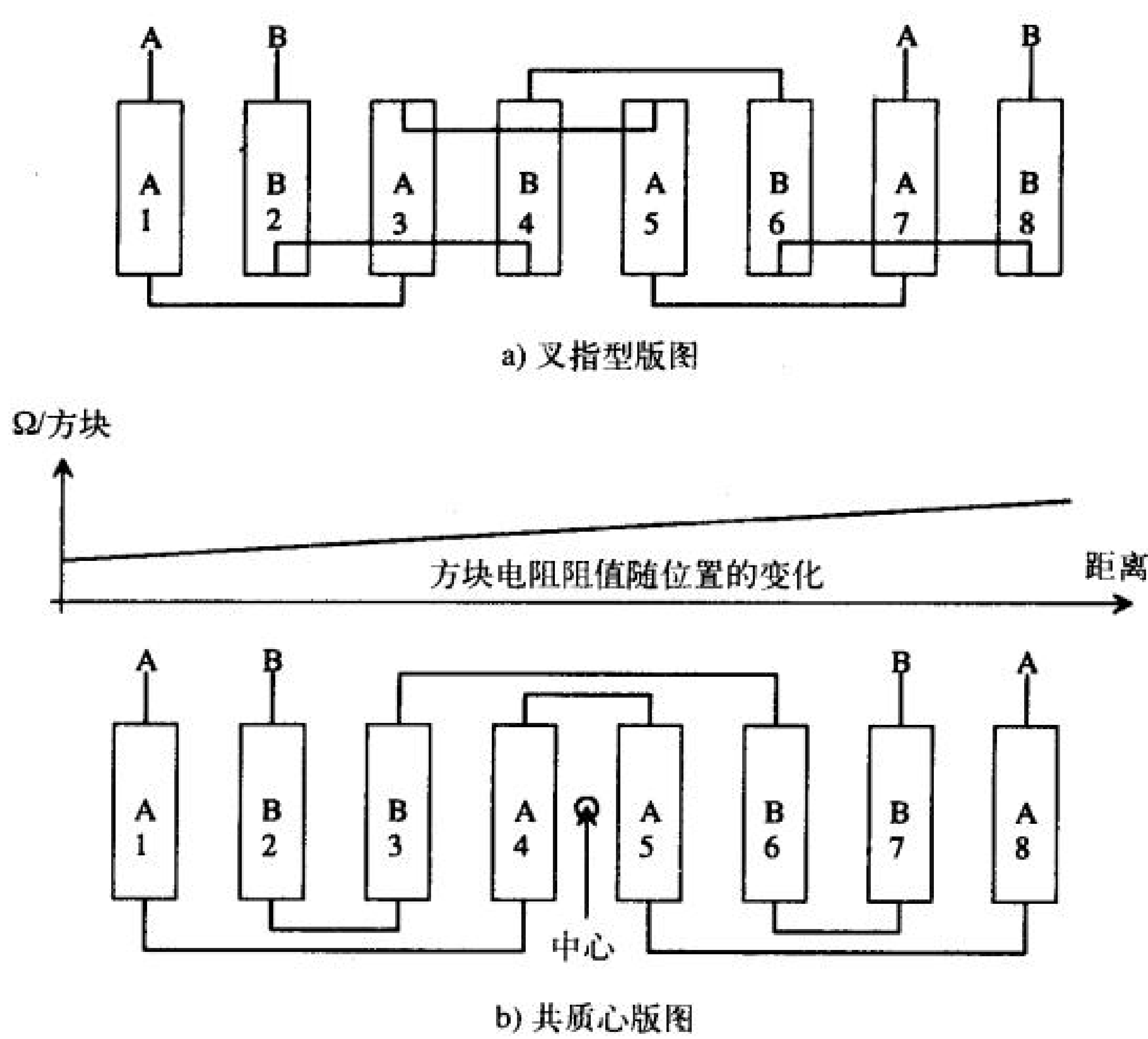


图7-6 匹配度较好的两个电阻的版图（每个电阻的metal1和衬底之间的寄生电容基本相同）

共质心版图设计

采用共质心（共中心）的版图设计可以提高两个电阻之间的匹配[2]（其代价是牺牲了两个器件之间寄生效应的一致性）。如图7-7a所示的电阻单元，这种摆放方式的电阻有时也被称为叉指型电阻，它和图7-6类似。实际上，在加工电阻的过程中，工艺梯度偏差会导致方块电阻阻值随位置不同而有一个线性变化（如图7-7b所示）。考虑到这一因素，叉指型结构在保证匹配度方面就会有不足之处。例如，考虑图7-7a所示的两个电阻A和B，我们的设计期望是两者阻值相等。但由于存在工艺梯度偏差，使得每个电阻单元的阻值并不相同；假定每个电阻单元的阻值如图中所示，那么，把各电阻单元的阻值加起来后，可得到电阻A的阻值为16，电阻B的阻值为20，这不符合我们的设计期望（A和B阻值相同）。

137



a) 叉指型版图

b) 共质心版图

图 7-7

为了进一步提高电阻之间的匹配度，下面考虑图7-7b的共质心版图。图中，电阻A和B的版图是中心对称的，称这种版图为共质心（或共中心）版图。该图中的电阻A和B的阻值都是18。因此，共质心结构（电阻单元的排布方式是ABBAABBA）比叉指型结构（电阻单元的排布方式为ABABABAB）有更高的匹配度。图7-8给出了四个匹配电阻的共质心版图（有两种不同的布图方式）。另外，采用共质心版图结构也可以提高MOSFET之间或电容之间的匹配度。

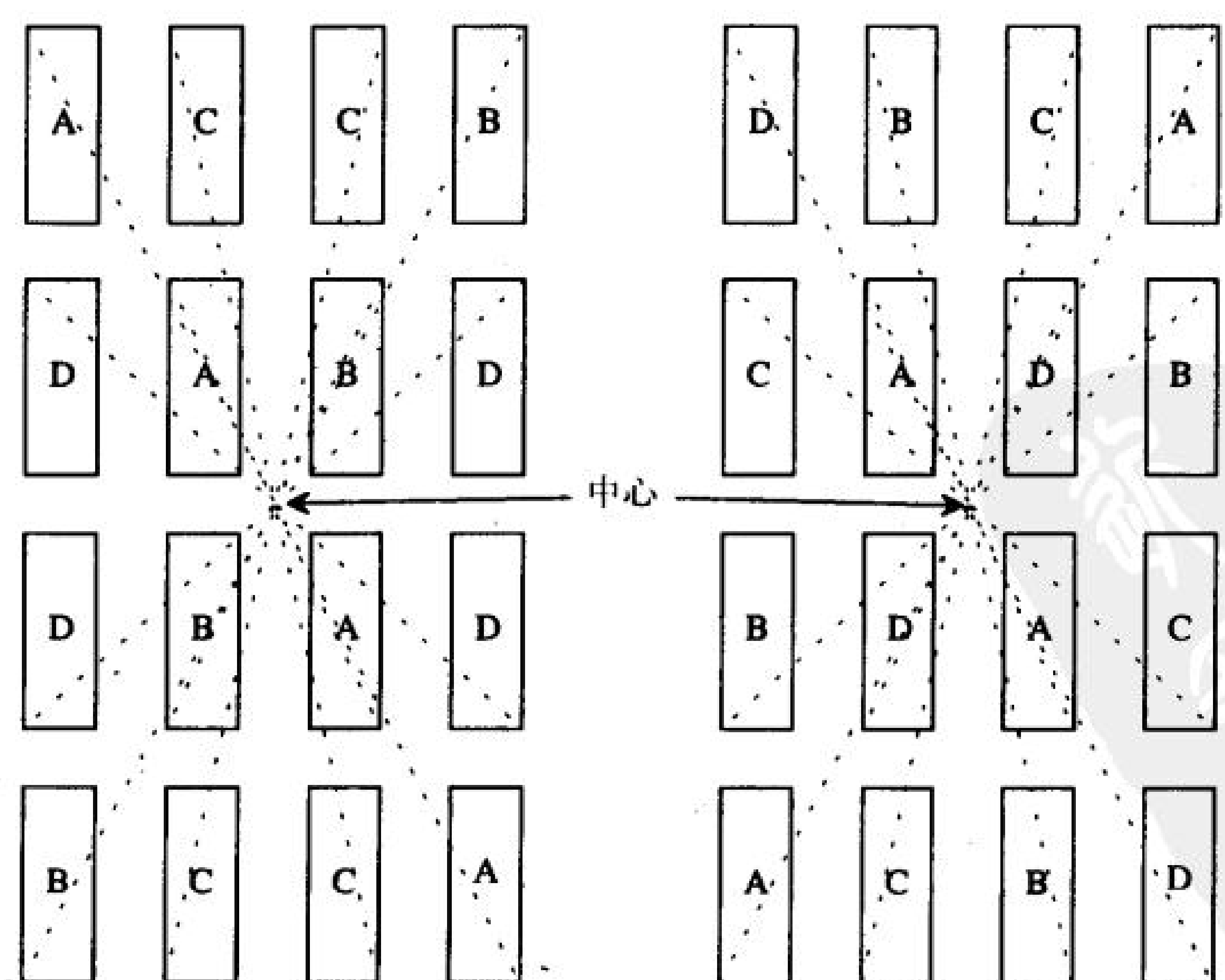
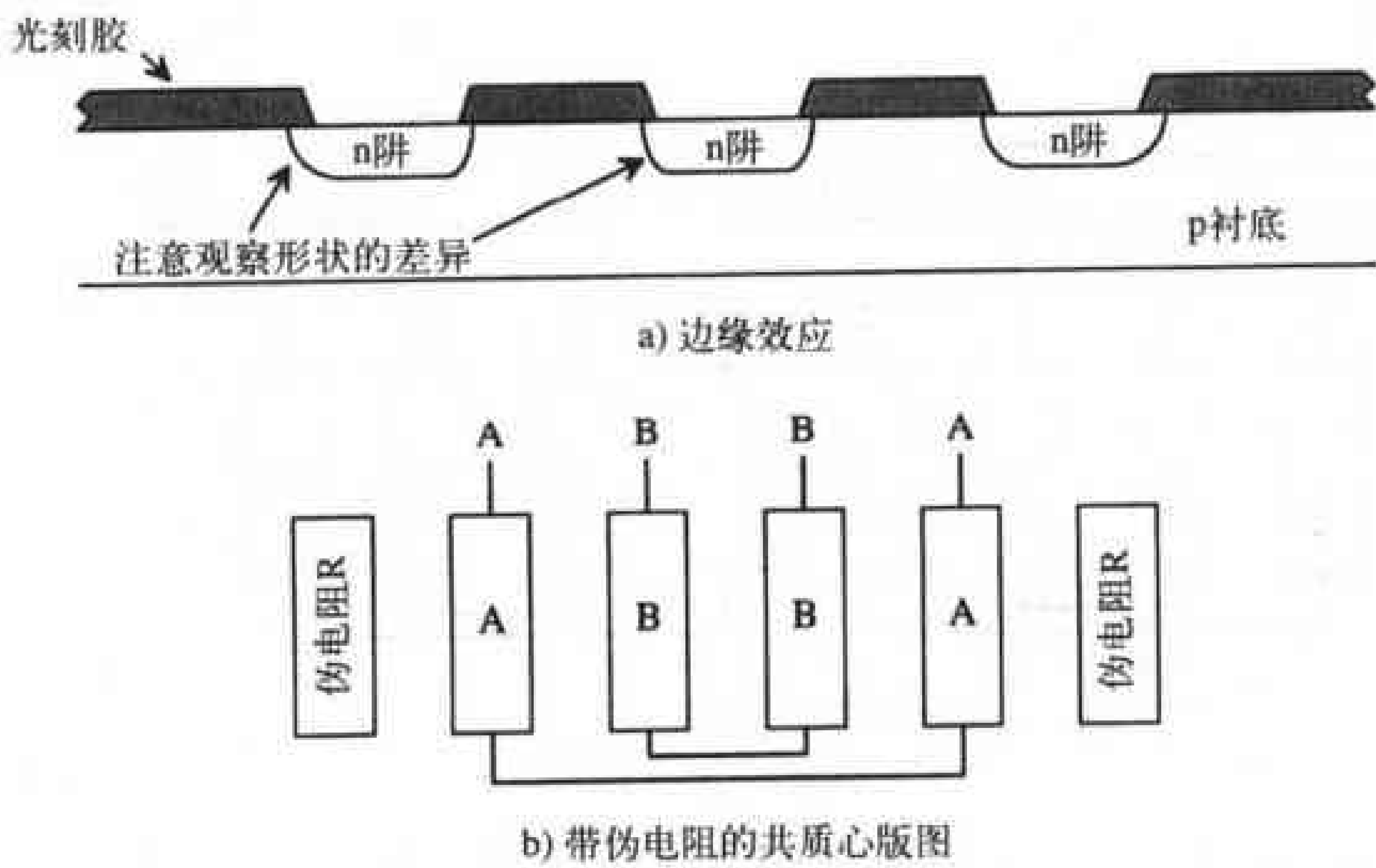


图7-8 四个有良好匹配度的电阻（或其他器件）的共质心版图

伪单元

为了提高器件之间的匹配度，再介绍一种很有用的技术，就是使用伪单元（dummy elements）。图7-9a给出了一个n阱的剖面图。仔细观察该图可知：通过扩散形成阱的过程中会存在光刻胶下面的横向扩散，内部阱单元和外部阱单元的横向扩散并不相同；横向扩散不同的原因在于，扩散时硅片表面不同位置处的扩散杂质的浓度不相同。内部阱单元和外部阱单元之间的横向扩散差异，会导致n阱电阻单元之间的失配。

138~139



a) 边缘效应

b) 带伪电阻的共质心版图

图 7-9

为了抑制边缘效应引起的失配，可以在叉指型结构或共质心结构的版图中加上伪单元（如图7-9b所示）。伪单元没有任何电学性质，只是用来保证每个n阱电阻单元的周边环境相同。

7.2.2 电容

电容的一阶温度系数TCC由下式定义：

$$TCC=\frac{1}{C}\cdot\frac{\mathrm{d}C}{\mathrm{d}T} \tag{7-5}$$

poly1-poly2电容的TCC典型值为20ppm/°C。制作在同一块管芯上的poly1-poly2电容的失配度小于0.1%。电容对温度的函数如下：

$$C(T)=C_{T0}\cdot[1+TCC\cdot(T-T_0)] \tag{7-6}$$

式中，C_{T0}为温度为T_0时的电容。电容的电压系数定义为：

$$VCC=\frac{1}{C}\cdot\frac{\mathrm{d}C}{\mathrm{d}V} \tag{7-7}$$

多晶硅电容的电压系数一般在10ppm/V左右。电容对电压的函数如下：

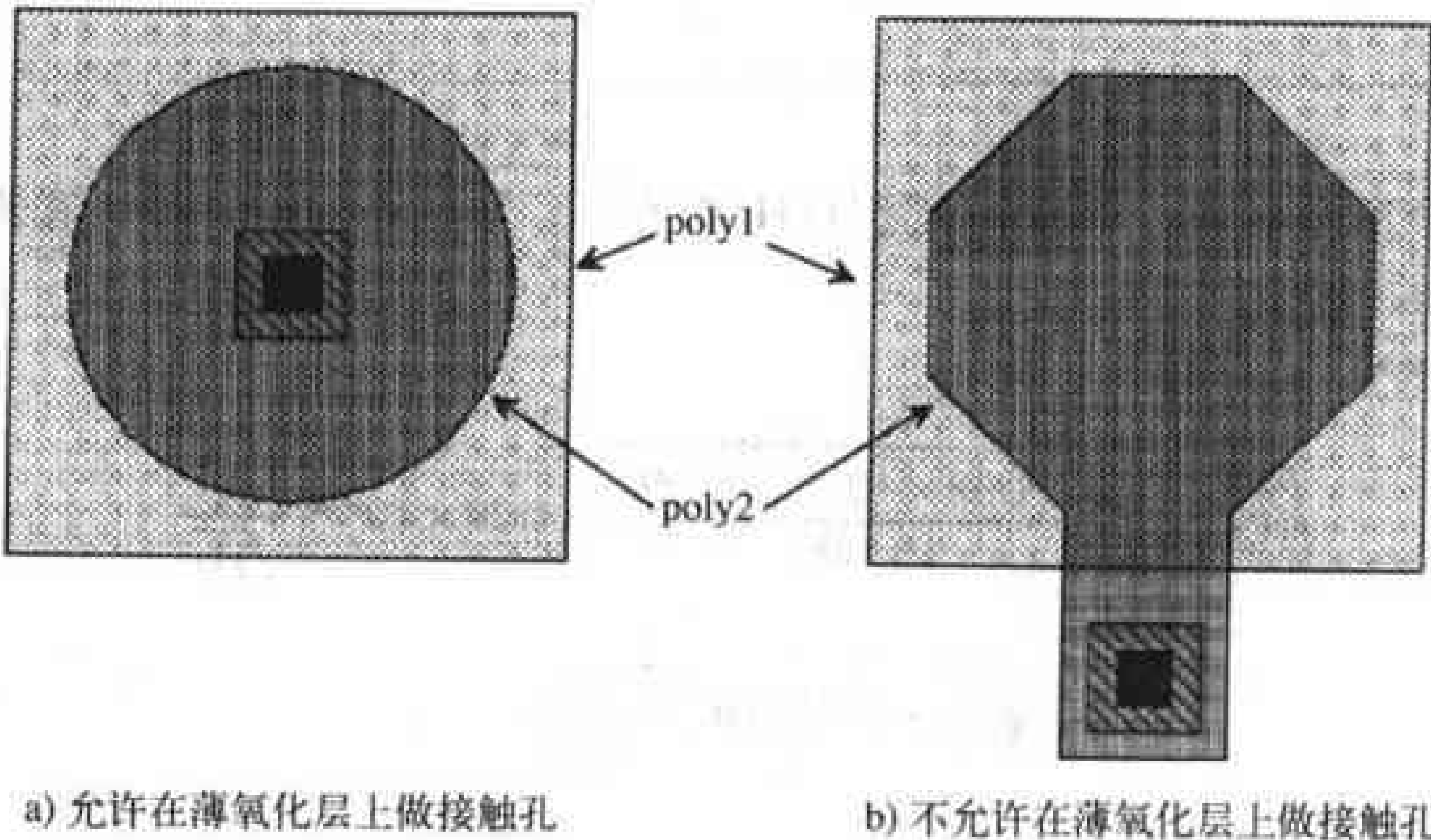
$$C(\mathrm{V})=C_{V0}\cdot(1+VCC\cdot \mathrm{V}) \tag{7-8}$$

140

式中，C_{V0}是零偏压时两层多晶硅之间的电容，V是两电容板之间的电压。

在设计电容的版图时也使用电容单元。图7-10是两个标称值为100fF的电容单元（这是CN20工艺实际使用的最小的电容）。图7-10a中的电容单元允许多晶硅接触孔直接开在薄氧化

层（或栅氧化层，即两块多晶硅电容极板之间的氧化层）上面。两种电容单元都是由poly1构成下极板，由poly2构成上极板，上极板的面积决定电容的大小。图7-10a中的poly2采用了圆形结构，其好处是：在刻蚀poly2时，对圆周上每一处多晶硅的暗侵蚀量是相同的。如果poly2的接触孔必须放置在电容区域以外，可以使用图7-10b所示的电容单元；这种电容单元的版图也避免了尖锐拐角的出现。图7-10中的两种电容单元都没有画出poly1（下极板）的接触孔。



a) 允许在薄氧化层上做接触孔　　b) 不允许在薄氧化层上做接触孔

图7-10　两种标称值为100fF的电容单元的版图

7.3　电阻的噪声

噪声参数用来表征电路中不希望出现的信号（电压或电流）的大小。电阻的噪声主要来源于热效应引起的电子的随机运动，因此，这种噪声被称为热噪声或Johnson噪声（因J. B. Johnson对热噪声进行了实验研究而得名）。

电阻的热噪声可以用一个与电阻并联的电流源来表示。这个电流源的均方根（Root Mean Squared，RMS）值由下式给出：

$$\sqrt{\overline{i^2}} = \sqrt{\frac{4kT}{R}} \cdot \sqrt{B} \tag{7-9}$$

式中，k为Boltzmann常数（1.38×10^{-23} W · s/ °K），T为温度（单位为°K），R为电阻阻值（单位Ω），B为带宽（单位Hz）。

通常，在计算噪声时，开始并不考虑噪声的带宽，因此，RMS噪声电流的单位为 $\mathrm{A}/\sqrt{\mathrm{Hz}}$。噪声还可以用RMS电压来表征：

$$\sqrt{\overline{v^2}} = \sqrt{4kTR} = \sqrt{\overline{i^2}} \cdot R \tag{7-10}$$

图7-11是考虑了RMS噪声源后的电阻电路图。在分析一个电路的噪声时，首先是在该电路中加入各个RMS噪声源；然后运用叠加原理，得到每个噪声源的RMS输出噪声，平方后就得到均方噪声电压；将这些均方噪声电压相加就得到了总的均方噪声。这样，总的RMS输出噪声为 $\sqrt{\overline{v_{on}^2}}$，就是在工作带宽内，对所有均方输出噪声积分后的方根。下面这个例子用来演示噪声分析的全过程。

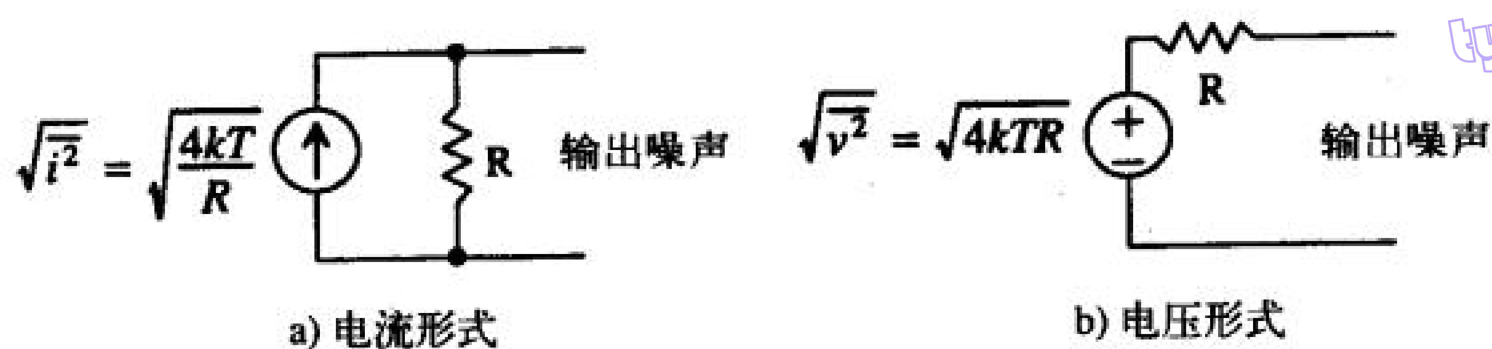


图7-11　噪声源

例7.5

考虑图Ex7-5所示电路，求出从DC到1kHz带宽下，该电路的RMS输出和输入噪声，并用SPICE验证计算的结果。

两个电阻的RMS噪声电流分别为:

$$\sqrt{\overline{i_{10k}^2}} = \sqrt{\frac{4 \cdot (1.38 \times 10^{-23}) \cdot (300)}{10\ 000}} = 1.29 \times 10^{-12} \frac{\text{A}}{\sqrt{\text{Hz}}}$$

142

$$\sqrt{\overline{i_{1k}^2}} = 4.1 \times 10^{-12} \frac{\text{A}}{\sqrt{\text{Hz}}}$$

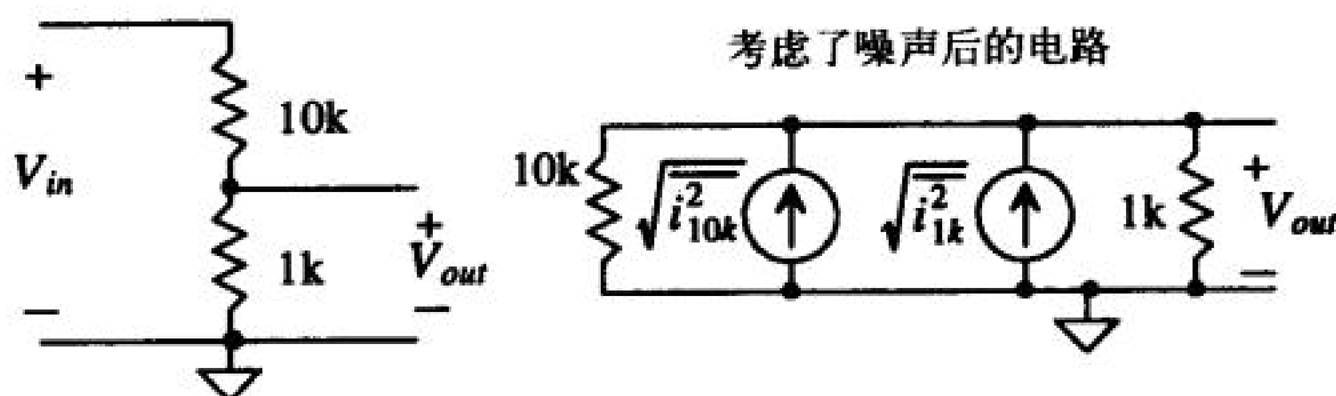


图　Ex 7-5

由$\sqrt{\overline{i_{10k}^2}}$可以得到RMS输出噪声电压$\sqrt{\overline{v_{10k}^2}}$为$1.29 \times 10^{-12} \frac{\text{A}}{\sqrt{\text{Hz}}} \cdot \frac{1\text{k} \cdot 10\text{k}}{1\text{k} + 10\text{k}}$或1.2 nV/$\sqrt{\text{Hz}}$；而1k电阻的RMS输出噪声电压$\sqrt{\overline{v_{1k}^2}}$为3.7 nV/$\sqrt{\text{Hz}}$。在1kHz带宽下，总的均方输出噪声电压为

$$\overline{v_{on}^2} = \int_{f_L}^{f_H} \overline{v_T^2} \cdot df = \int_0^{1\text{kHz}} (\overline{v_{10k}^2} + \overline{v_{1k}^2}) \cdot df = 15.1 \times 10^{-15}\ \text{V}^2$$

由上式也可以看出带宽在噪声计算中的作用。该电路的RMS输出噪声为:

$$\sqrt{\overline{v_{on}^2}} = 123\ \text{nV}$$

把该噪声电压源串联在理想无噪声电路的输出端，就是实际电路考虑了噪声后的等效电路。噪声电压是电路能处理的电压信号的底线，被处理的电压信号如果小于电路的噪声电压，信号将“淹没”于噪声之中而无法处理。

另一个要说明的概念是接到输入源的等效输入噪声。如果结合本例来说明这个概念，那么等效输入噪声就是输出端出现123nV的噪声电压时所需的输入端的串联噪声电压。在本例中:

$$\sqrt{\overline{v_{in}^2}} = 123\text{nV} \cdot \frac{10\text{k} + 1\text{k}}{1\text{k}} = 1.35\ \mu\text{V}$$

这就是该电路的RMS等效输入噪声。对上述电路用SPICE3进行了仿真验证，仿真得到的输出均方噪声为$15.1\times10^{-15}V^2$（=123nV RMS），对应的等效输入噪声为$1.8\times10^{-12}V^2$（=1.35μV RMS）。SPICE3网表文件如下：

```
*** top level netlist ***
.noise   v(2,0)  vin dec  100 1 1k
r1       1 2 10k
r2       2 0 1k
vin      1 0     dc 0 ac 1
.print noise all
.probe
.end
----------------------------------------------------------------------------
index   inoise_total      onoise_total
----------------------------------------------------------------------------
0       1.821510e-012 1.505380e-014
```

143

分析上述SPICE网表文件知，仿真时的带宽不是从DC（0Hz）到1kHz，而是从1Hz到1kHz。另外，这里选择了一个电压作为参照，因此，SPICE输出结果也是以V^2为单位。输入信号的交流成分的大小为1V，因此，SPICE给出的输入总噪声被1V的平方除；如果输入信号交流成分的大小设为1mV，那么输入总噪声将为$1.82\times10^{-6}V^2$。

下面给出了上述电路的PSPICE网表文件：

```
*** top level netlist ***
.noise v(2,0) vin
.ac dec 100 1 1k
r1 1 2 10k
r2 2 0 1k
vin 1 0 dc 0 ac 1
.probe
.end
```

在SPICE3中，仿真结果给出的输出噪声的大小会受到输入信号（网表中的vin）交流成分大小的影响。而在PSPICE中，仿真结果给出的输出噪声的大小不受输入信号交流成分的大小的影响，仅与电路本身的结构有关。在PSPICE中，输入和输出噪声电压谱密度（单位为$V/\sqrt{Hz}$）分别由v(inoise)和v(onoise)表示，输入和输出噪声电流谱密度也用类似的形式表示。用PROBE命令来计算输出总噪声的过程是：先用v(onoise)*v(onoise)求均方输出噪声电压，再用s(v(onoise)*v(onoise))对每个均方输出噪声电压在工作频率段内积分求和，最后用sqrt(s(v(onoise)*v(onoise)))求方根。图7-12给出了PSPICE的仿真结果。 ■

下面总结一下噪声分析的过程：

1. 在电路中加上RMS噪声源。
2. 运用叠加原理，确定每个噪声源产生的RMS输出噪声。
3. 将各噪声源产生的RMS输出噪声求平方，得到均方输出噪声。
4. 将各噪声源的均方输出噪声相加，得到总的均方输出噪声。

对输出噪声：

5. 在带宽内对这个总的均方输出噪声积分。
6. 对积分结果取平方根，就得到了RMS输出噪声。

对等效输入噪声（一般都在电路的输出端测量噪声）：

144

5. 接着上面的第4步，将总的均方输出噪声除以电路传输函数的平方值，即$|H(j\omega)|^2=\left|\frac{V_o(j\omega)}{V_i(j\omega)}\right|^2$。

这里假定我们只关心噪声电压。

6. 在工作带宽内对上一步得到的结果积分。
7. 对积分结果求平方根，就得到了RMS等效输入噪声。

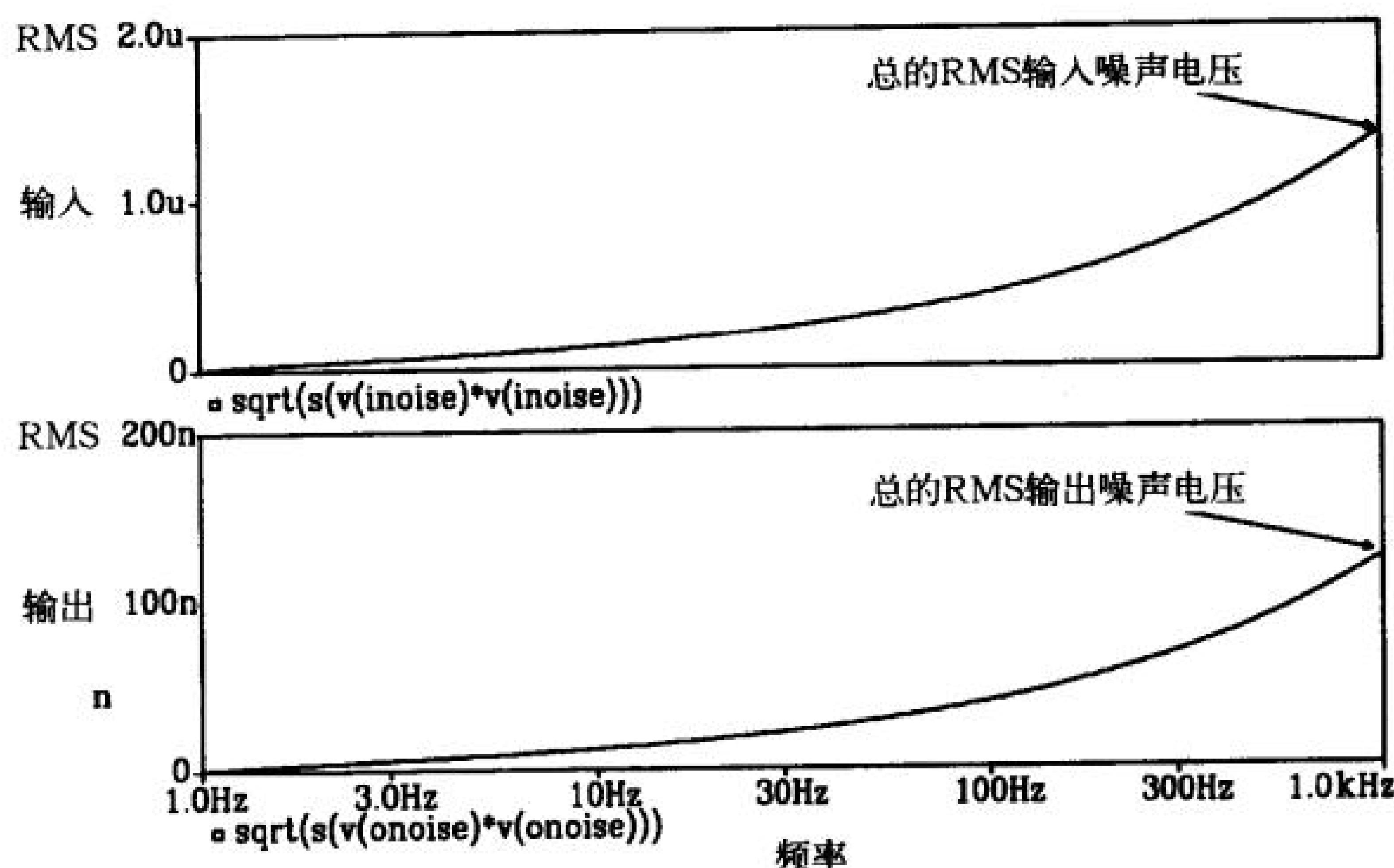


图7-12 例7.5中的PSPICE仿真结果

例7.6

从DC到10MHz和100MHz带宽内，求下面这个RC电路的RMS输入和输出噪声电压，并用SPICE验证手算结果。

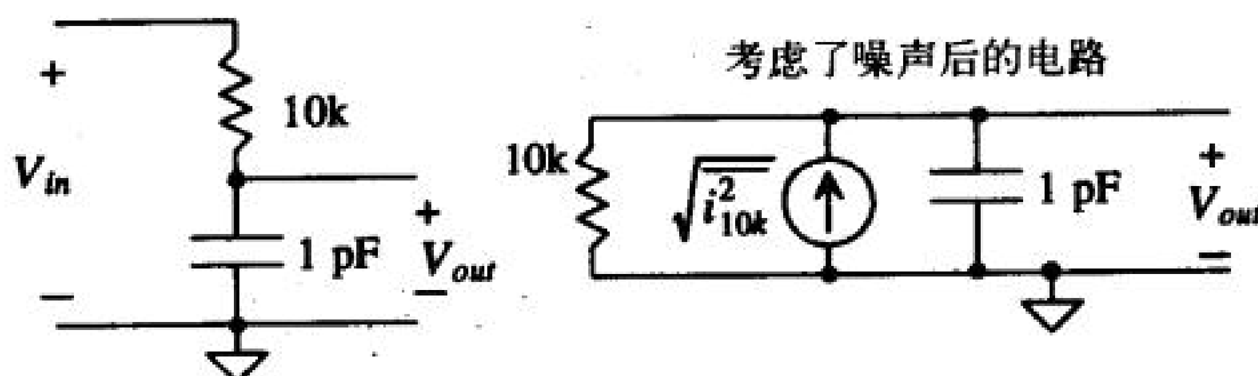


图 Ex7-6

145 第1步，在电路中加入噪声源。由前一个例子知，阻值为10k的电阻的RMS热噪声为:

$$\sqrt{\overline{i^2_{10k}}} = 1.29\times10^{-12}\ \frac{\mathrm{A}}{\sqrt{\mathrm{Hz}}}$$

它在输出端产生的RMS噪声电压为:

$$\sqrt{\overline{v^2_{10k}}} = \sqrt{\overline{i^2_{10k}}}\cdot\frac{R}{\sqrt{1+(2\pi RCf)^2}}$$

以上是第2步。第3步和第4步合在一起是:

$$\overline{v^2_T} = \overline{v^2_{10k}} = \overline{i^2_{10k}}\cdot\frac{R^2}{1+(2\pi RCf)^2}$$

第5步是求出输出噪声:

$$\overline{v_{on}^2} = \int_{f_L}^{f_H} \overline{i_{10k}^2} \cdot \frac{R^2}{1 + (2\pi RCf)^2} \cdot \mathrm{d}f$$

这样得到的均方输出噪声的单位为V^2（SPICE中给出的结果也是这样）。在上式积分中，可利用下面这个很有用的公式:

$$\int \frac{\mathrm{d}u}{a^2+u^2} = \frac{1}{a}\tan^{-1}\frac{u}{a} + C \tag{7-11}$$

利用上式可求出 $\overline{v_{on}^2}$:

$$\overline{v_{on}^2} = \frac{\overline{i_{10k}^2} \cdot R^2}{2\pi RC} \cdot [\tan^{-1}(2\pi RC \cdot f_H) - \tan^{-1}(2\pi RC \cdot f_L)$$

该例中的f_L =0，因此:

$$\overline{v_{on}^2} = \frac{1.66\times 10^{-24} \cdot 10\mathrm{k}}{2\pi \times 10^{-12}} \cdot \tan^{-1} 2\pi 10\mathrm{k} \cdot 10^{-12} \cdot f_H$$

对于10MHz的带宽，均方输出噪声电压 $\overline{v_{on}^2}$ =1.48nV²；对于100 MHz的带宽，均方输出噪声电压 $\overline{v_{on}^2}$ =3.73nV²。这些结果都在SPICE中验证过了。由此，RMS输出噪声电压在10MHz和100MHz带宽下分别为38.5μV和61.07μV。

为了求出等效输入噪声，首先要得到该电路的传输函数（这是计算等效输入噪声过程的第5步）:

$$H(j\omega) = \frac{1}{1+j\omega RC} = \frac{V_o(j\omega)}{V_i(j\omega)}$$

由此得到:

$$\frac{\overline{v_T^2}}{|H(j\omega)|^2} = R^2 \cdot \overline{i_{10k}^2}$$

这是一个与频率无关的常数。第6和第7步可以求出等效输入噪声:

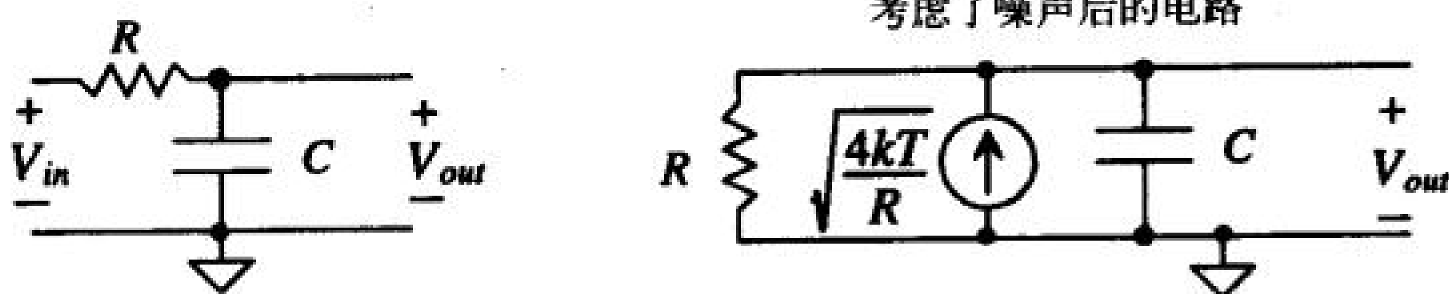
146

$$\sqrt{\overline{v_{in}^2}} = \sqrt{\int_{f_L}^{f_H} \frac{\overline{v_T^2}}{|H(j\omega)|^2} \cdot \mathrm{d}f} = \sqrt{\int_0^{f_H} R^2 \overline{i_{10k}^2} \cdot \mathrm{d}f} = R \cdot \sqrt{\overline{i_{10k}^2}} \cdot \sqrt{f_H}$$

从DC到10MHz和100MHz的RMS等效输入噪声电压分别为40.8μV和129μV。分析上面的输出噪声电压和等效输入噪声电压的计算公式，我们会发现一个比较有趣的现象：当f_H已经很大时（相对于 $\frac{1}{2\pi RC}$ ），如果增大f_H，等效输入噪声会随频率的增大而进一步增大，但输出噪声的增幅会越来越小，最终不再增大而趋近于一个恒定值。其原因在于，电容把噪声的高频部分短接到地，滤掉了高频部分。下面这个例子就是求RC电路在带宽无限大的情况下的最大输出噪声。 ■

例7.7

估算下面这个RC低通电路从DC到无穷大带宽下的输出噪声。



图Ex 7-7

总的均方输出噪声如下：

$$\overline{v_T^2} = \frac{4kT}{R} \cdot \frac{R^2}{1+(\omega RC)^2}$$

RMS输出噪声为：

$$\sqrt{\overline{v_{on}^2}} = \sqrt{\int_0^\infty \overline{v_T^2} \cdot df} = \sqrt{\lim_{f_H \to \infty} \frac{4kT}{R} \cdot \frac{R^2}{2\pi RC} \cdot \tan^{-1}(2\pi RC \cdot f_H)} = \sqrt{\frac{kT}{C}}\ \mathrm{V} \tag{7-12}$$

由上式知，均方输出噪声电压的最大值是kT/C，因此，该噪声也被称为kT/C噪声。这样，例7.6中RC电路的最大RMS输出噪声为：

$$\sqrt{\overline{v_{on,\max}^2}} = \sqrt{\frac{kT}{C}} = \sqrt{\frac{(1.38\times 10^{-23})\cdot 300}{10^{-12}}} = 64\ \mu\mathrm{V}$$

最大RMS输出噪声与100MHz带宽时的RMS输出噪声相近（100MHz的带宽远大于该电路的3dB带宽）。 ■

147

参考文献

[1] D. J. Allstot and W. C. Black, "Technology Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems," *Proceedings of the IEEE*, Vol. 71, No. 8, August 1983, pp. 967-986.

[2] R. A. Pease, J. D. Bruce, H. W. Li, and R. J. Baker, "Comments on Analog Layout Using ALAS!" *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 9, September 1996, pp. 1364-1365.

习题

7.1 画出一个时间常数为100ns的RC电路的版图并做DRC检查。由于存在工艺偏差，RC值的最大值和最小值各为多少？

7.2 一个n阱电阻在室温（27°C）下的阻值为20kΩ（使用CN20工艺中的n阱电阻），画出从−50°C到100°C温度范围内，电阻阻值随温度变化的关系图。

7.3 假设一个1pF的电容在室温下的温度系数为100ppm/°C，估算−40°C到100°C温度范围内的电容的最小值和最大值，并画出电容值随温度变化的关系图。

7.4 两个50kΩ电阻要求精确匹配，画出电阻的版图并做DRC检查。要求在版图中加上保护环。用第四章给出的压点单元的版图，画出这两个电阻到四个压点的连接以及VSS到VSS压点的连接。

7.5 求下面这个电路从DC到100kHz带宽下的RMS输入和输出噪声电压。

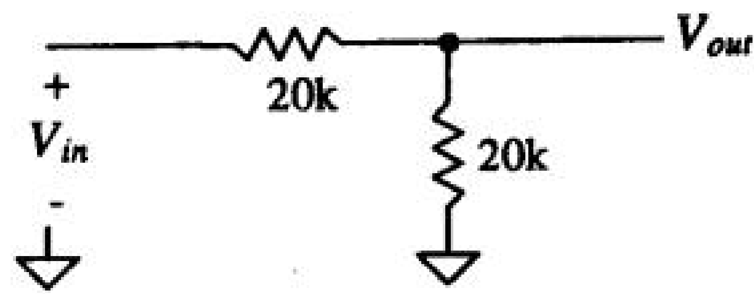


图 P7-5

7.6 针对下面这个电路重做习题7.5。

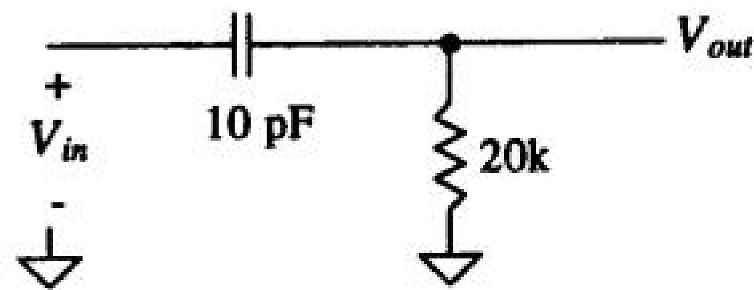


图 P7-6

148

第8章　用LasiCkt做设计验证

验证集成电路的版图和电路图是否匹配是设计流程中的一个很重要的环节。要验证电路图和版图是否匹配，需要先从电路图和版图各生成一个SPICE网表文件；再通过对这两个网表文件中的节点和连接关系进行比较，来验证电路图和版图是否匹配。从电路图和版图生成的SPICE网表文件也能用来进行电路性能的仿真验证。本章将介绍如何用LasiCkt程序做设计验证。

目录C:\Lasi6\W2uchip下有一个芯片设计的实例，我们将以该例来演示用LasiCkt程序设计、验证版图和电路图的过程。该例遵循的是MOSIS按比例设计规则（见附录B），λ取为1μm。MOSIS按比例设计规则所使用的图层与CN20设计规则（见附录A）所使用的图层略有不同。例如，用CN20设计规则画一个n+矩形，只需要先选择n+层，然后再画一个矩形即可，如图8-1a所示。而在MOSIS按比例设计规则中，则要先选用“active”层画一个矩形（表明要在场氧中的这个位置开一个孔），然后再选用“n-select”层，在active矩形外再画一个大矩形来说明这个acitve矩形是n+注入区。设计规则要求n-select矩形要比active矩形至少大2λ，即active矩形的任何一边距离n-select矩形的对应边至少要有2λ的间距。最后画出的版图如图8-1b所示。同样，使用MOSIS按比例设计规则，画一个p+注入区的图形时，也要先画一个active矩形，然后再在该矩形外面画一个大的p-select矩形。

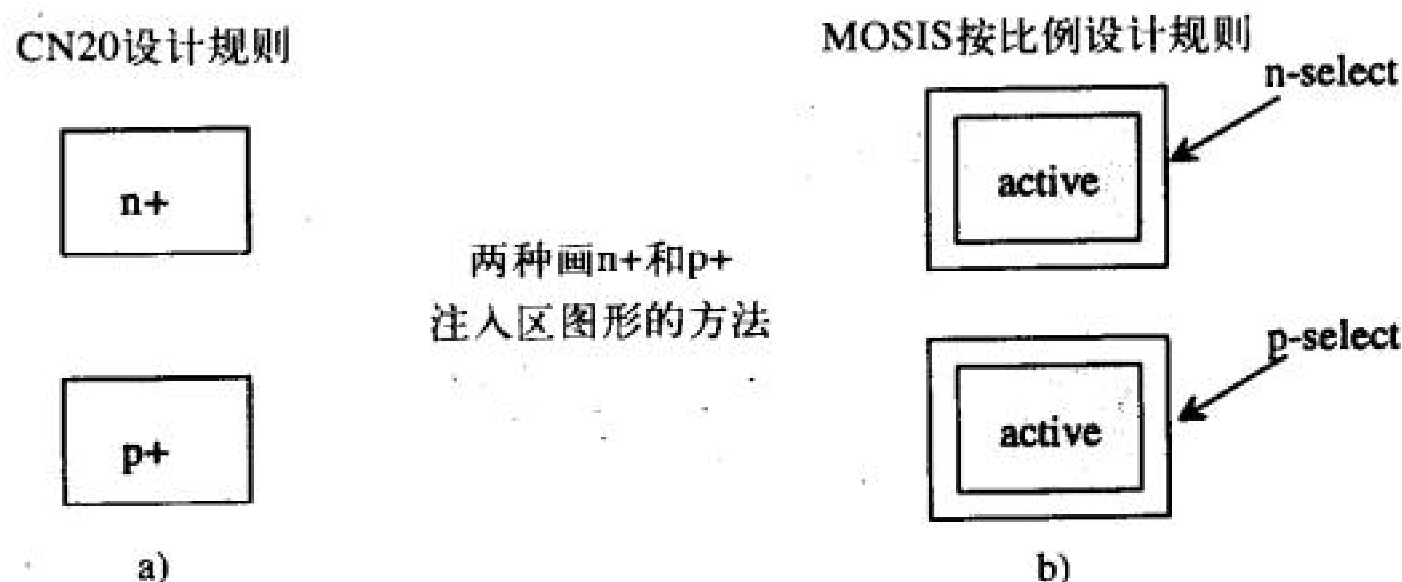


图8-1　用CN20设计规则和MOSIS按比例设计规则画出的n+和p+注入区版图

8.1　LasiCkt基础

图8-2给出了一个标注了引脚和引脚名称的NMOS管符号图，引脚名分别为：“1D”、“2G”、“3S”、“4B”。该单元的名字为NMOS_SCH，层级为1。电路的符号图要画在电路图层上（即layer 3）。符号图所采用的线条是零宽度的路径或多边形。本章下面给出的符号图或电路图都能在C:\Lasi6\W2uchip目录下找到。

标出符号图中的引脚

在符号图中，需要标出该电路单元可以通过哪些点与外部电路进行互连，这些点被称为该电路单元的引脚（pin）。每个引脚要有自己的名字；要为引脚标注名字，只需要在引脚文

本层（layer 5）上添加引脚的名字即可。仔细观察图8-2会发现，每个引脚名字的附近都有一个小菱形，这个小菱形是每个名字的定位点，也是每个引脚的精确位置。设计者可以通过按键盘上的“t”键然后再执行Draw命令，来打开或关闭定位点的显示。

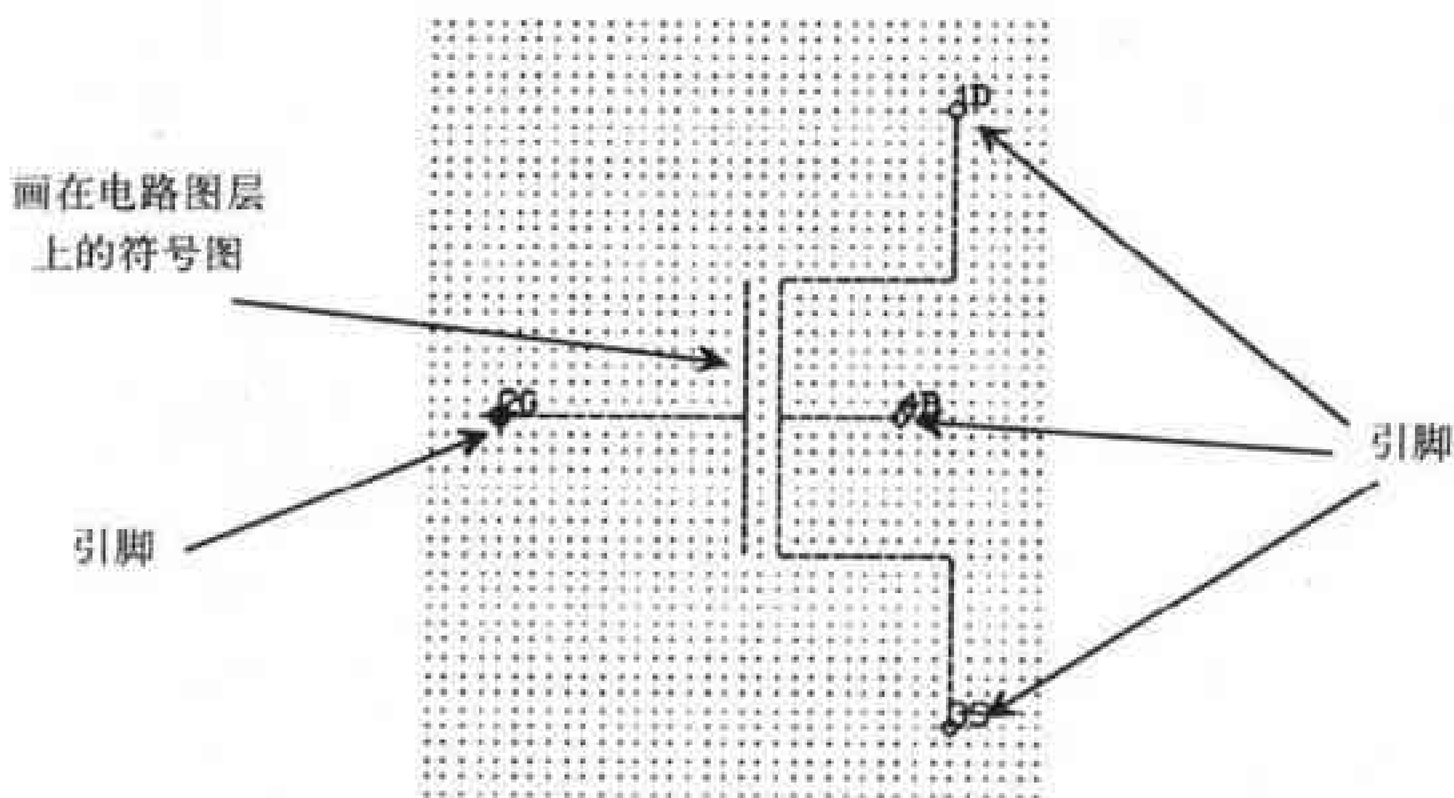


图8-2 一个NMOS管的符号图

MOSFET的版图

图8-3给出了两个NMOS管的版图，对应的单元名称分别为N3x2和N15x5，宽长比分别为3/2和15/5，层级都设为1。在版图中，引脚名（在layer 5上）用来标注MOSFET的漏、栅、源和衬底。特别要提醒的是：MOSFET各引脚名中都有一个数字（即1、2、3、4），漏、栅、源、衬底引脚名中的数字必须由小到大排列，与SPICE网表文件所要求的MOSFET各端点的排列顺序一致。

149
~
150

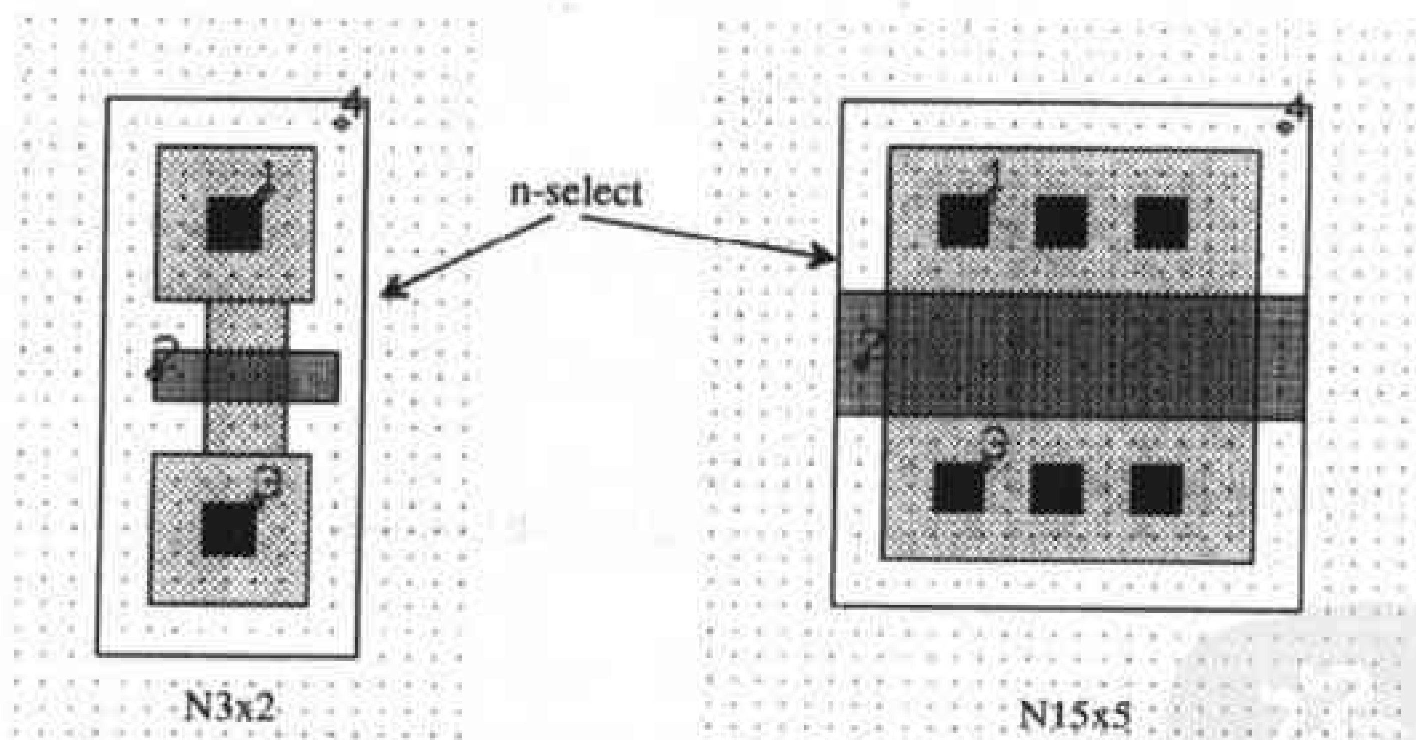


图8-3 标注了引脚名的NMOS管版图

8.2 反相器

为了理解从电路图或版图中提取电路网表文件的过程，我们先看一个反相器的电路图和版图的设计。首先，将NMOS_SCH和PMOS_SCH单元放入一个名为INVERT_SCH的单元中，INVERT_SCH单元的层级设为2，如图8-4所示。观察图8-5，可以发现：在NMOS_SCH单元和PMOS_SCH单元周围有一圈虚线（按键盘上的“i”键可打开或关闭该虚线框的显示），该虚线框用于标明单元的实际边界。接下来的一步是标明器件信息和参数信息。在器件文本层

(layer 6）上将NMOS_SCH单元命名为M1、PMOS_SCH单元命名为M2，如图8-5所示；在参数文本层上标出每个MOS管的尺寸和模型名。注意：参数文本和器件文本的定位点必须放在对应单元的边界之内。

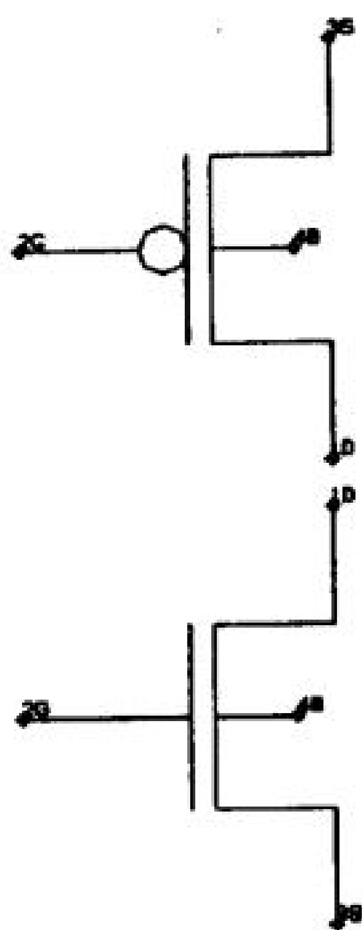


图8-4　画一个反相器电路图的第一步

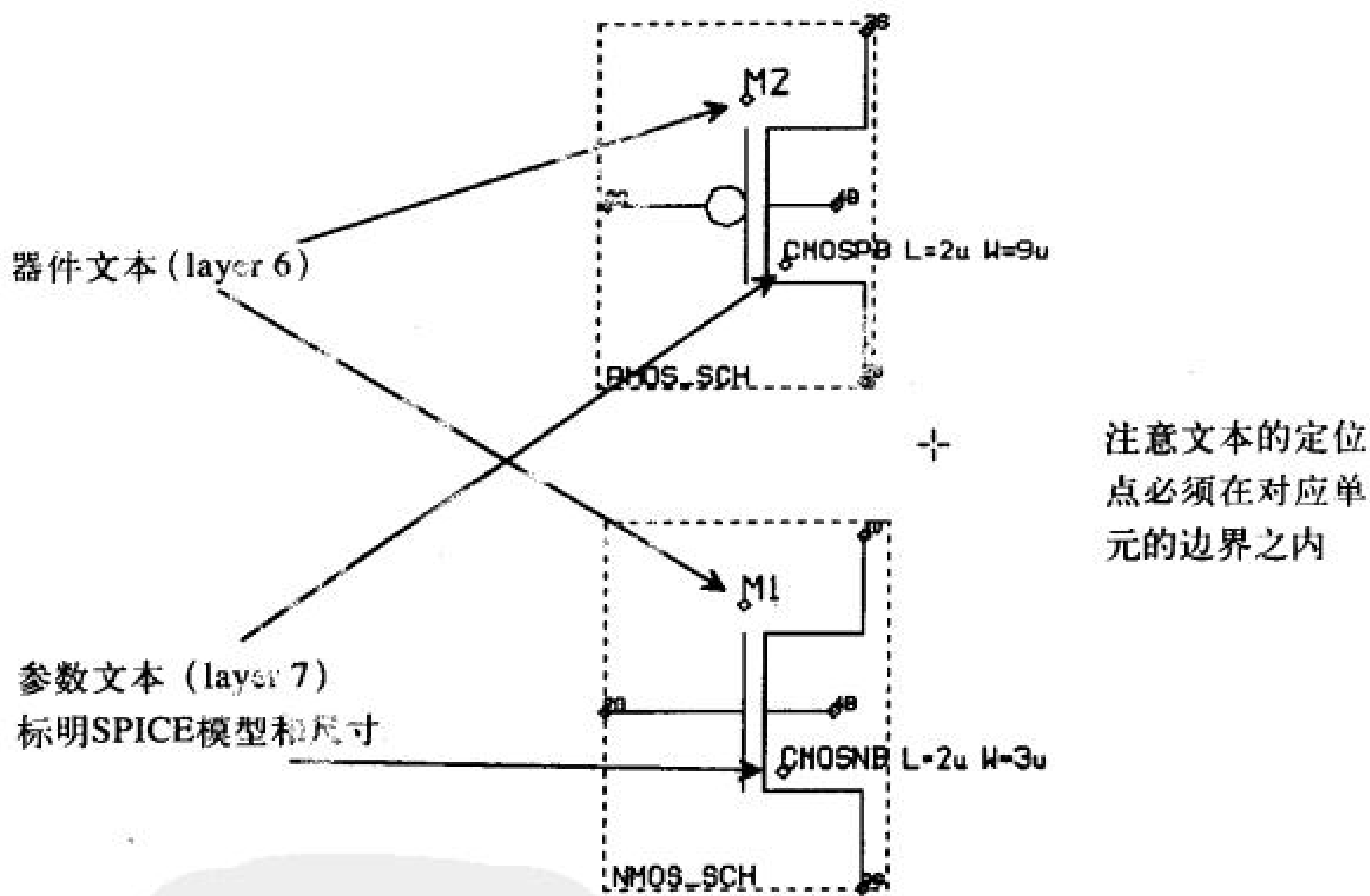


图8-5　将器件信息和参数信息添加到电路图中

标注版图

图8-6给出了与图8-5所示电路图对应的版图，其单元名为INVERT，层级为2。单元P9X2、SFRAME和N3X2都被添加到INVERT单元中。器件文本和参数文本用来指定器件名（M1和M2）和参数信息（SPICE模型名、宽和长）。电路图中的器件名必须和版图中对应器件的名称一致，这一点很重要。

实现互连

画电路图中的互连线时，可以选用任何一个图层，这里我们使用metal1（layer 49）来画

互连线。把宽度为零的路径（我们称之为互连线）和器件的引脚名的定位点（layer 5文本）接在一起，就实现了互连。只要互连线经过引脚名所对应的定位点，互连线和引脚连在一起了。除使用互连线外，还可以直接用节点文本层（layer 4）为器件的引脚指明连接关系。例如，用节点文本层将图8-7a中NMOS管的衬底命名为“0”，就表明：NMOS管的衬底连接到节点“0”（即SPICE中的“地”）。图8-7b说明互连线之间如何实现连接。该图表明，两根互连线交叉，它们未必相连；只有交叉点处有互连线的顶点，才表示这两根互连线相连。用fGet命令选中某一根互连线上的任一顶点，就可以显示出该互连线上的所有顶点。图8-8是一个实现了互连的反相器电路图。

151
~
152

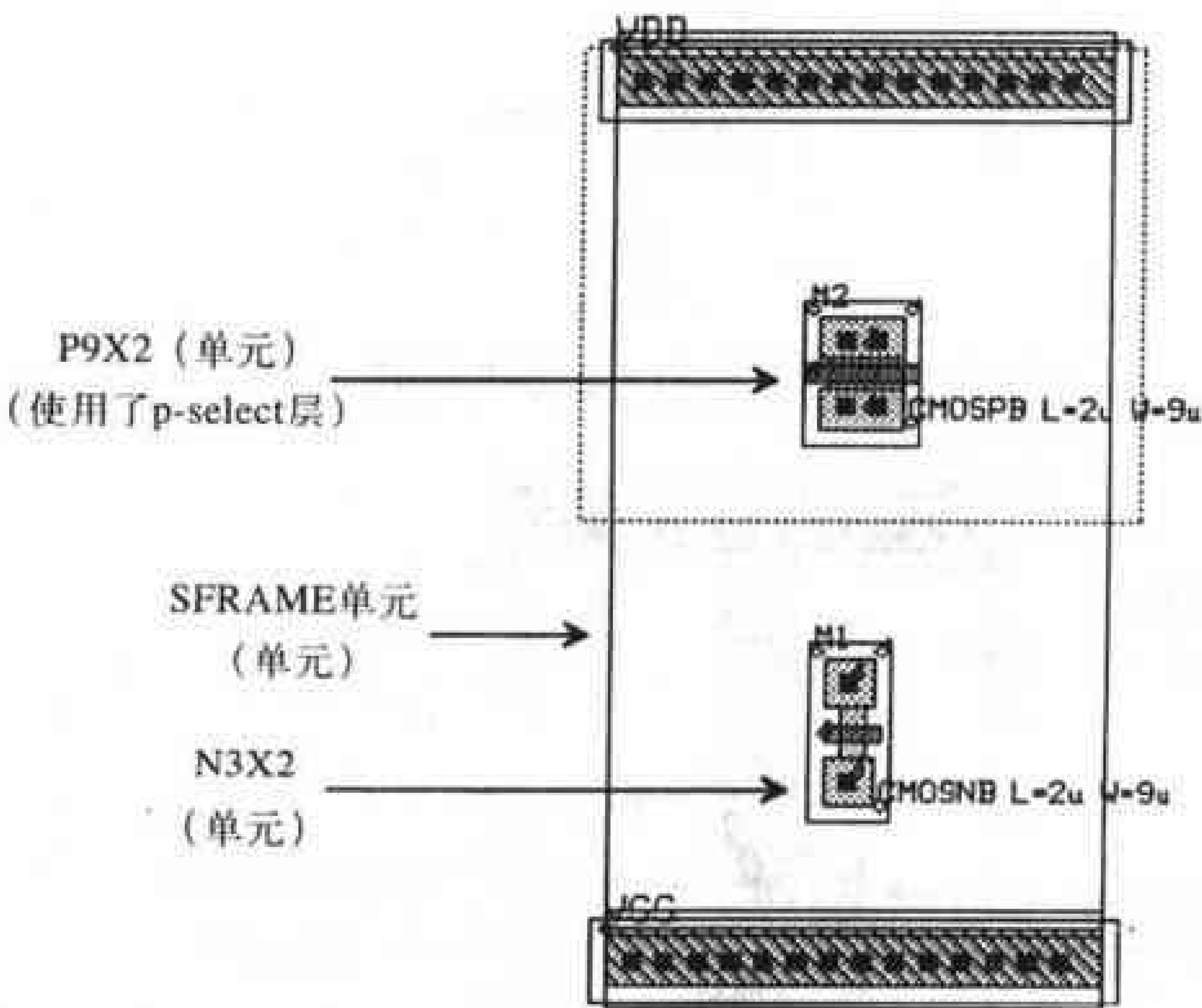


图8-6 把MOSFET单元放入一个标准单元框内并做文本标识

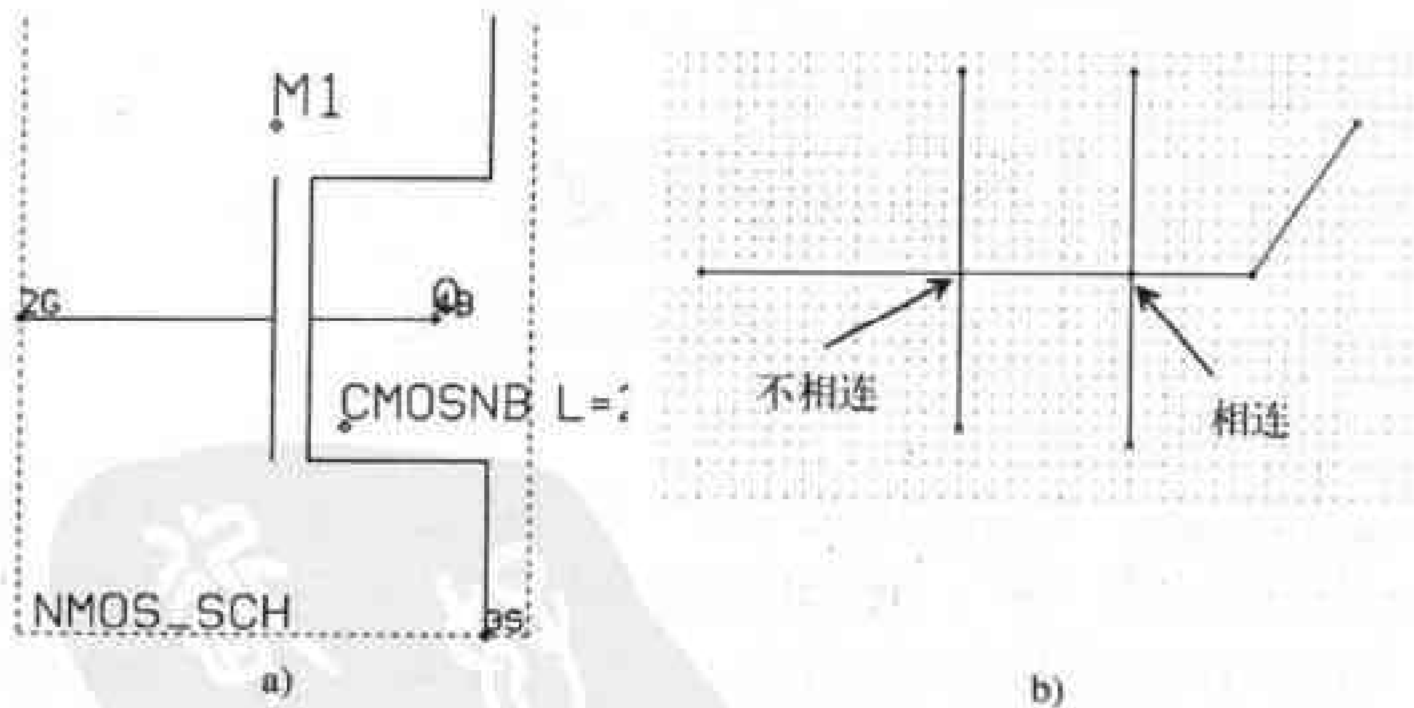


图8-7 互连线的连接

图8-9给出了实现了互连的反相器版图。图中，poly1、metal1或metal2都可以用来将两个MOSFET的端口连接到*VDD*、地、输入和输出上。MOSIS按比例设计规则是用层号来指定可用于互连的层，可用于互连的层为46层（poly1）、49层（metal1）、51层（metal2）。我们或许会问：“LasiCkt怎么知道哪些节点是输入、哪些是输出、哪些是电源或地呢？”答案是：我们在版图和电路图中给节点命名，告诉LasiCkt哪些是输入、哪些是输出。

153

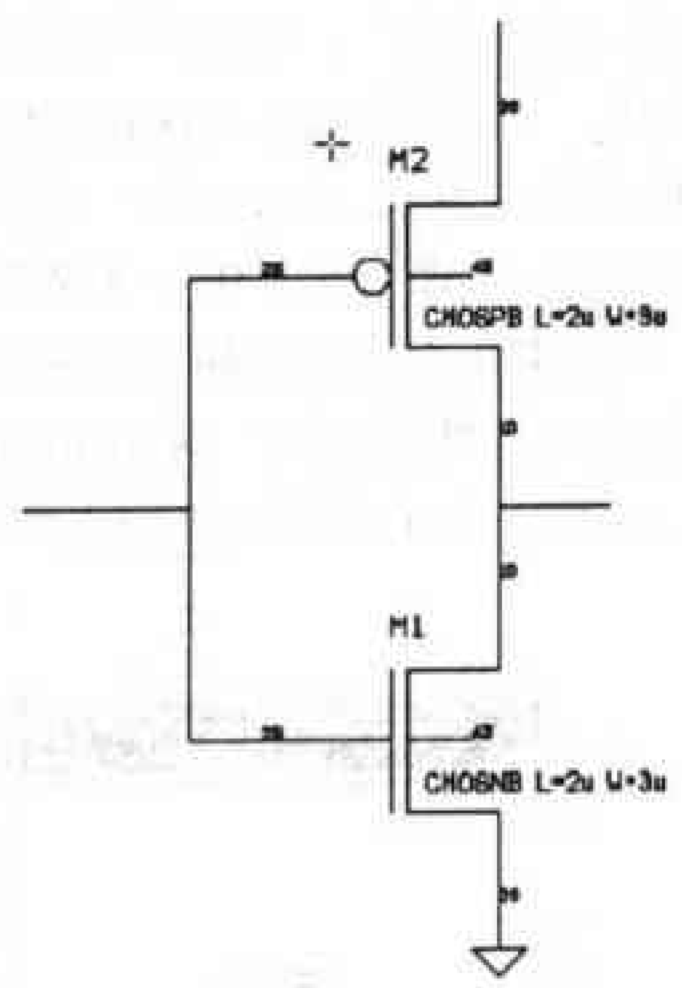


图8-8 实现了互连的反相器电路图

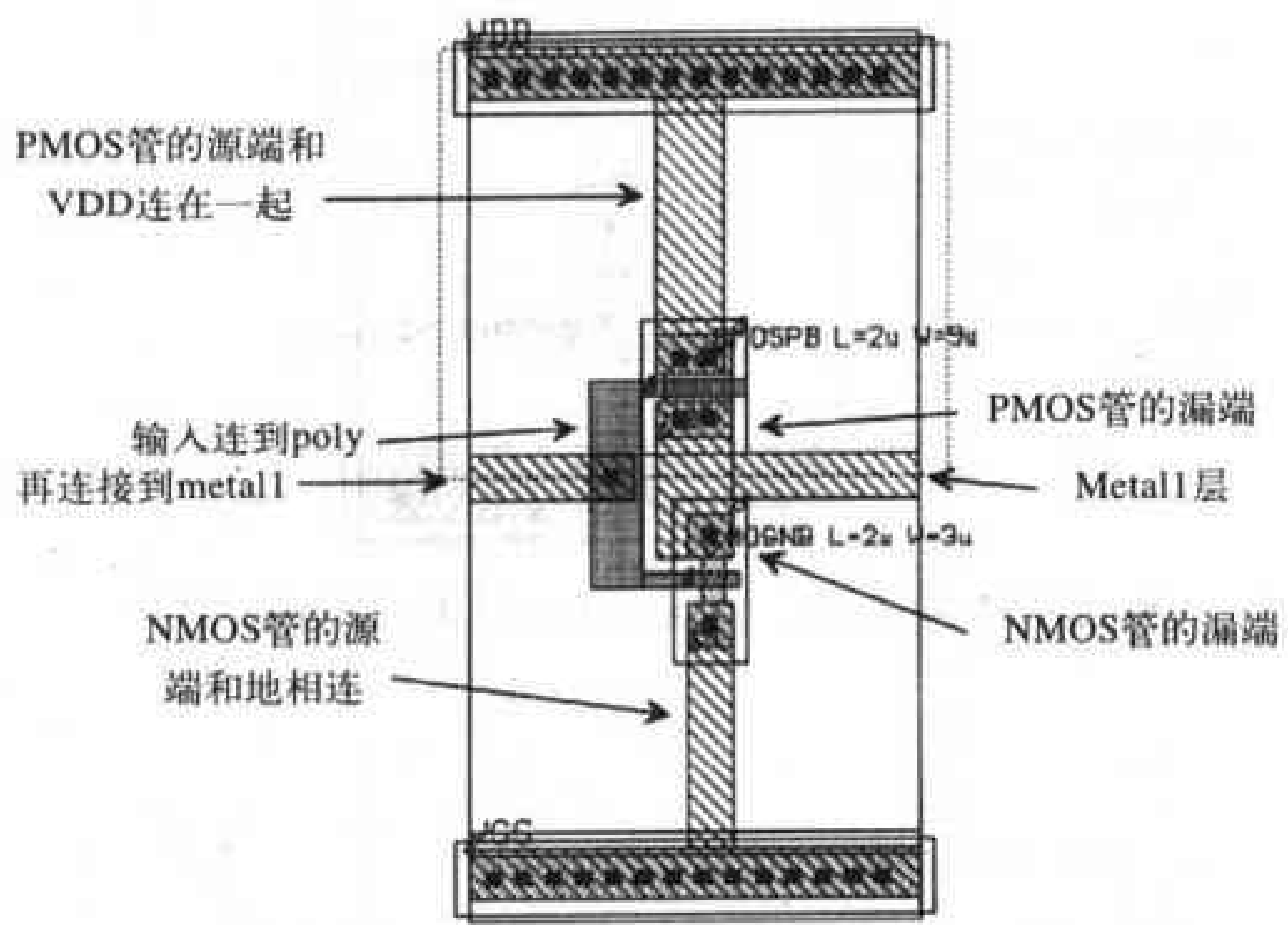


图8-9 实现了互连的反相器版图

标注节点名

接下来的一步是标注输入、输出和电源节点。用节点文本层（layer 4）把电源节点命名为“VDD”，把输入节点命名为“A”，把输出节点命名“A_”，把地命名为“0”。如果设计者没有为节点命名，LasiCkt可以自行为节点命名。但设计者本人为输入和输出节点命名是非常重要的；只有这样，设计者在写仿真激励时才知道激励电压源（或电流源）应该和电路的哪个节点相连。图8-10是标注了节点名称后的反相器电路图。

154

在这个电路图中，也同样用引脚文本层（layer 5）标出了该电路的输入、输出和VDD引脚。由于节点0一般是地电位，所以，地不需用单独的引脚。只有在反相器电路图中加入引脚，它才能作为子电路被更高层级单元调用。

标出了节点名和引脚名的反相器版图如图8-11所示。可以看到，版图和电路图中的文本是一致的。反相器的电路图和版图可以被高层级单元调用，可以在目录C:\Lasi6\W2uchip下找

到这些高层级单元。

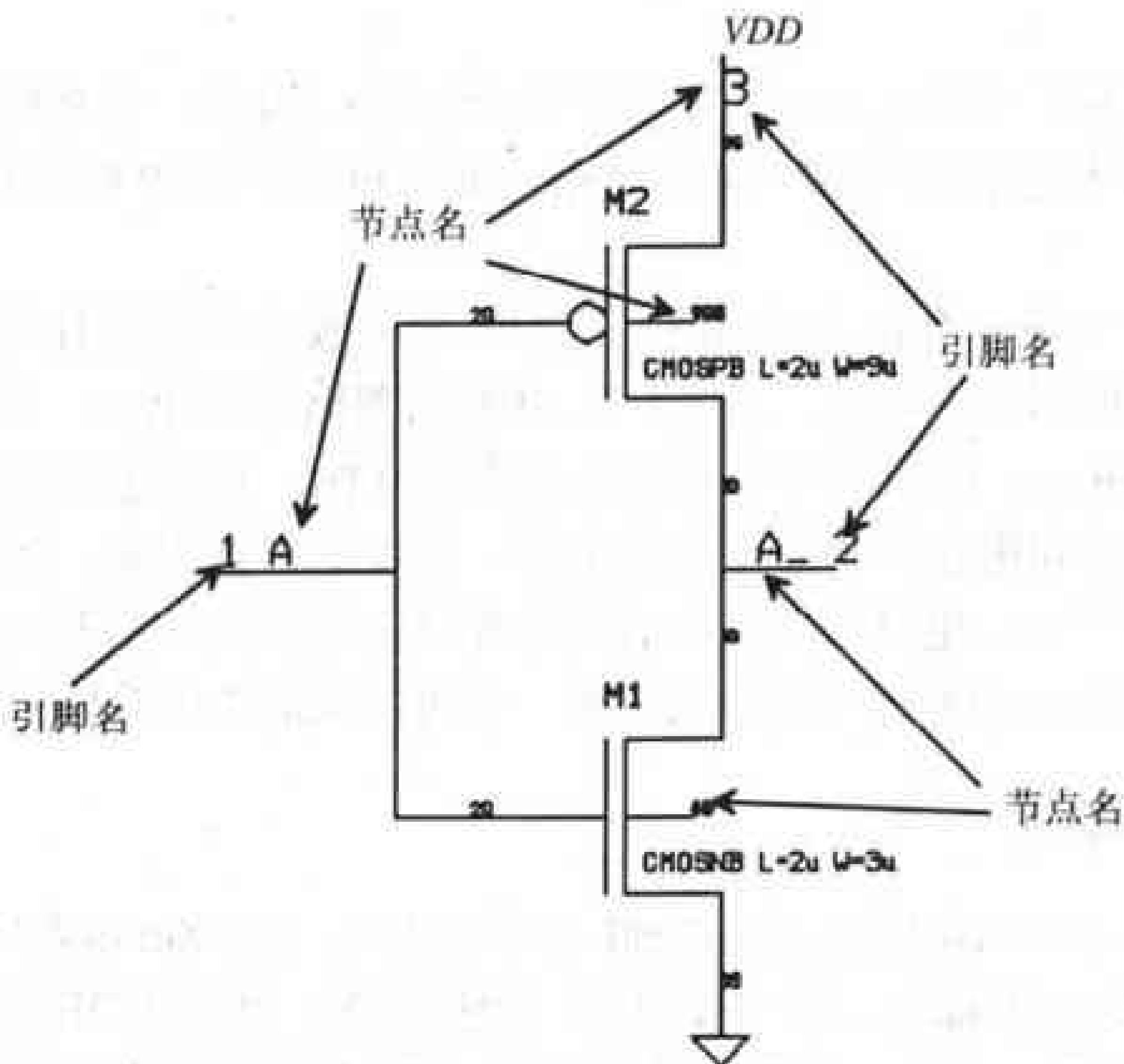


图8-10　为节点和引脚命名后的反相器电路图

由这个版图可以看到:

1. 单元中每个节点文本的定位点都必须位于用作互连的矩形或路径上。例如，图8-11中“VDD”的定位点必须放在连接PMOS管源端和SFRAME（标准单元框）单元的metal1上。如果把它放在SFRAME单元的metal1上，该节点就不能命名为“VDD”。

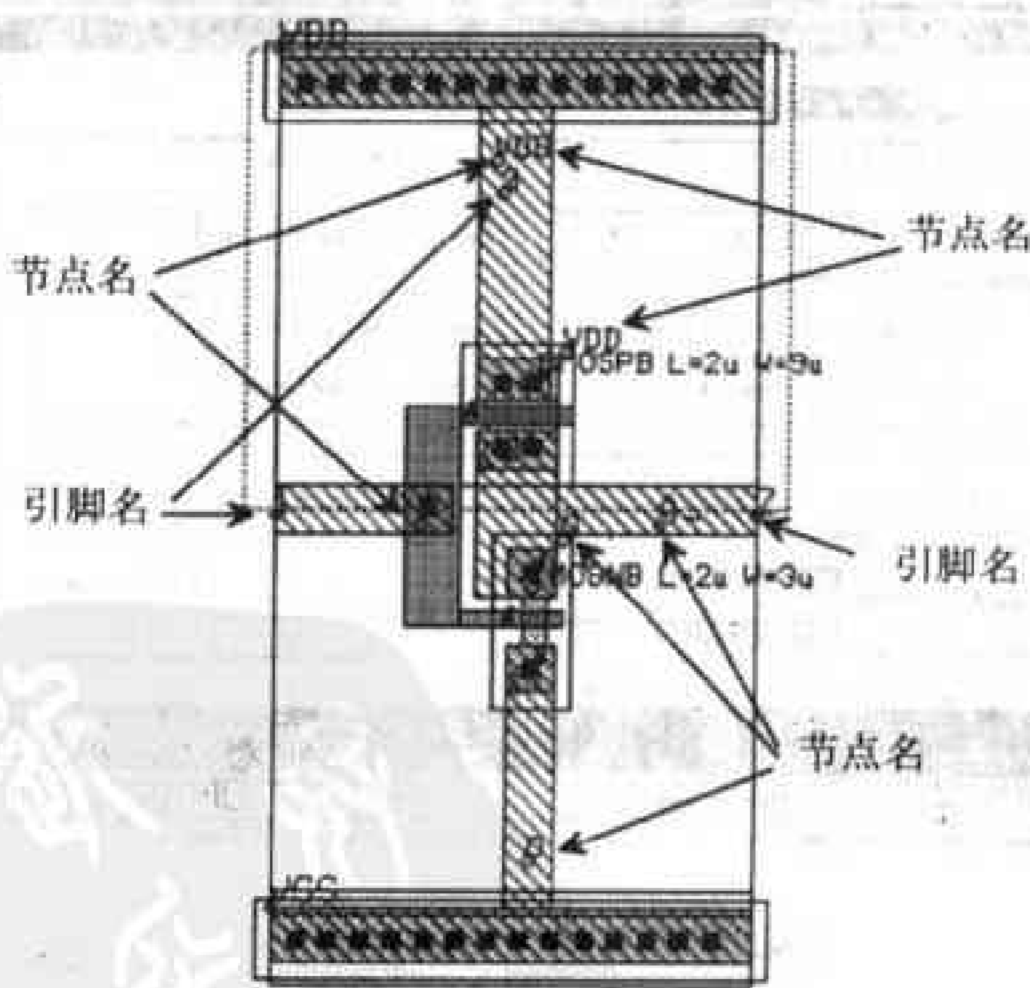


图8-11　标注了节点名和引脚名的反相器版图

2. 必须为体（衬底或阱）节点命名，以区别于电路中的其他节点。

3. 图8-11中节点A的定位点放在了poly1和metal1的交迭处。在版图中，poly1、metal1和metal2都是互连层。这些层在没有接触孔的情况下可以相互交叉。如果这些层要相连，则需使用接触孔或通孔，并用节点名标出这些连接。

4. 引脚名可以放在单元中与高层级单元相连的任何地方。一般放在和高层级单元相连的互连层上。

5. 由于引脚的作用是标出该单元如何与高层级单元互连，因而，最高层级的单元不必有引脚，否则，LasiCkt编译时会报告引脚开路的错误。如果单元INVERT为最高层级单元，那么，它不必有引脚。

6. 由于SFRAME单元不是一个独立的电路，因而，它的版图中既没有节点名，也没有引脚名。除非它有一个对应的SPICE模型，否则，LasiCkt会忽略掉该单元。如果设置LasiCkt，让它检查是否存在浮置的单元，LasiCkt就会对该单元进行检查，不再忽略该单元。

前面讲述了如何在版图和电路图中添加相关文字，以说明器件参数、器件类型、节点名和引脚名。添加了这些文字后，电路图和版图有时会显得比较杂乱，看起来会比较费劲。这时，可以在LASI中用View命令限制某些图层的显示，使版图或电路图看起来比较清楚。

156

8.3 用LasiCkt做设计验证

在系统菜单中，点击LasiCkt按钮就可以启动LasiCkt程序。选择Setup菜单会弹出图8-12所示窗口。根据下面对各输入项的描述，填写弹出窗口的相关项，然后点OK关闭setup窗口。这时，再点击Go菜单就将启动LasiCkt。如果电路图和版图都是用前面所介绍的步骤画出来的，那么LasiCkt就会产生该电路的SPICE网表文件。Comp命令按钮可以执行电路图和版图的节点表（由LasiCkt产生的*.NOD文件）的比较，这样就可以检查电路图和版图是否一致。用SPICE分别仿真由电路图和版图生成的电路网表文件，可以比较电路图和版图的性能差异。

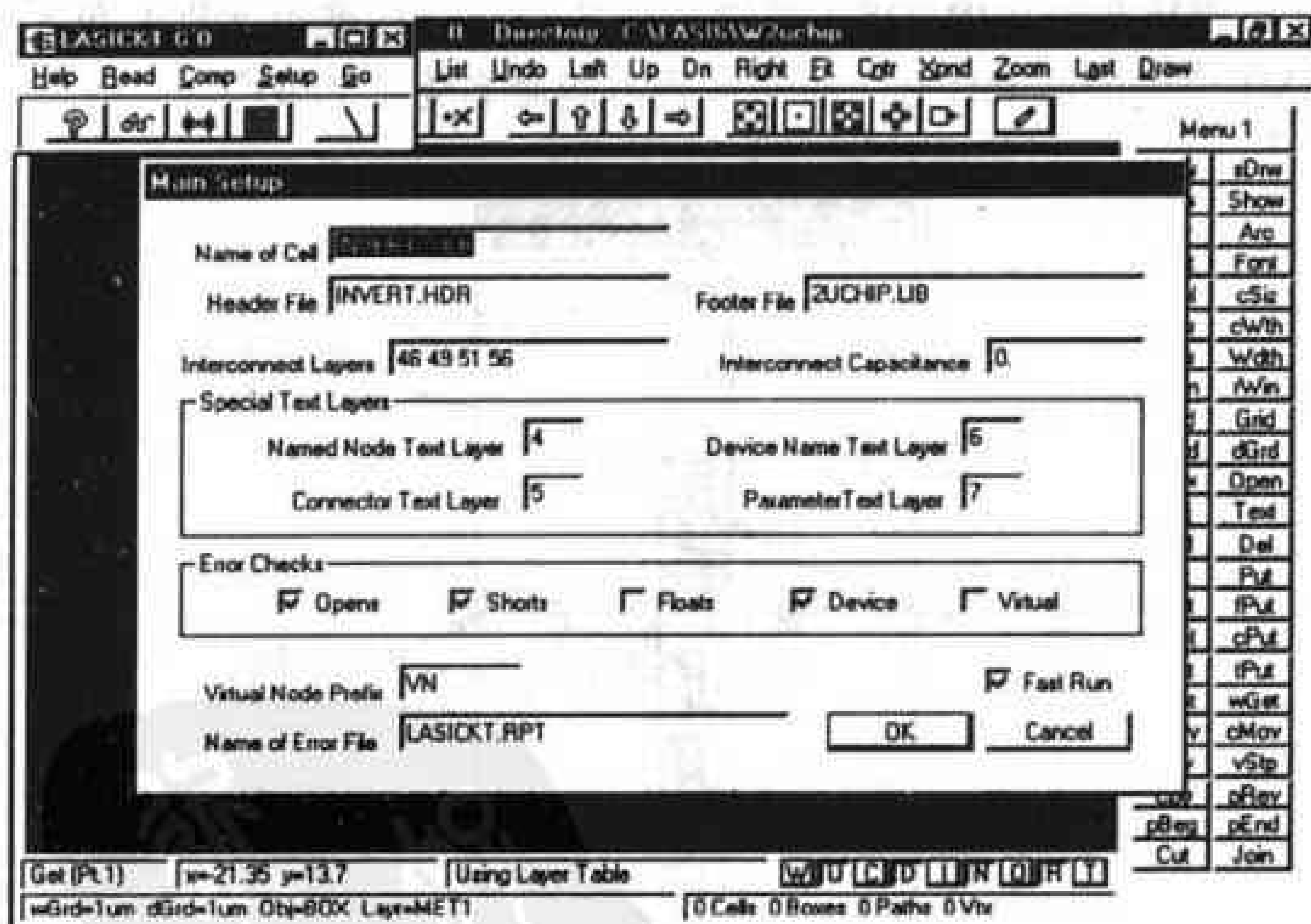


图8-12 LasiCkt的系统界面

LasiCkt的输入

Name of Cell——在此项中填入LasiCkt将要编译的电路单元的名字。

Header File——在此项中填入头文件的名字。LasiCkt从电路图或版图中提取出的电路网表文件只是电路的连接信息，要用SPICE仿真电路的性能，还需要在提取出的网表文件中加入电源电压和仿真激励源等相关信息。电源电压和仿真激励源等相关信息可以写在一个文件

中，该文件一般被称为头文件（head file）。这样，LasiCkt会把头文件的内容自动添加到提取生成的电路网表文件中。

Footer File——在此项中填入脚文件的名字。LasiCkt会自动将脚文件的内容放置到提取生成的电路网表文件中。一般该文件中会包括SPICE模型等信息，并且该文件为工作目录下的所有单元公用。

Interconnect Layers——在此项中填入互连层的层号。C:\Lasi6\W2uchip目录下的单元都遵循MOSIS按比例设计规则，其互连层为layer 46（poly1）、layer 49（metal1）、layer 51（metal2）和layer 56（poly2）。其他层（如n+或p+）也可以用作互连层，但需要在版图中给出相应的标注。

157

Interconnect Capacitance——在此项中填入一个数值。根据这一数值和互连层的面积，可以估算互连电容的大小。

要想对LasiCkt的使用、上图中各输入项的含义有更多了解，可以查阅在线帮助。在LasiCkt命令菜单中按Help即可进入在线帮助。

头文件

C:\Lasi6\W2uchip目录给出了多个头文件，它们用于对应电路单元的SPICE仿真。这些单元包括：

INVERT	简单的反相器；
COMP1	带运算放大器和一个简单缓冲输出级的比较器；
COMP2	带锁存器和双缓冲输出级的比较器；
DFF	D型触发器；
NAND	简单的二输入与非门；
OR	简单的二输入或门（NOR + INVERT）；
SRFF	SR型触发器；
TRANGATE	传输门；
WSOTA	宽摆幅运算跨导放大器。

头文件INVERT.HDR的内容如下：

```
V1 VDD 0 DC 5V AC 0 0
V2 A 0 DC 0 AC 0 0 PULSE (0 5V 10n 1ns 1ns 50ns 100ns)
.options reltol=0.1 abstol=1u vntol=50mv
.probe
.tran 1ns 150ns
```

该文件的第一行用来说明这个电路使用的是直流电压源。可以看到，“VDD”这个节点名对应反相器版图和电路图中相应的节点名。该文件的第二行是这个反相器的仿真激励源，这是一个脉冲电压源，下面会进一步详细介绍脉冲电压源。.options语句中的设置用来帮助收敛。

.tran 1ns 150ns

这个语句用来说明：对该电路做一个从0ns到150ns的、最大时间步长为1ns的瞬态分析（仿真结果图中的x轴为时间）。增大时间步长会使得输出波形不平滑，减小时间步长会使输出数据文件很大。瞬态分析语句的格式如下：

158

```
.tran (print-step) (stop-time) (delay-time) (maximum step size) (UIC)
```

delay-time（延迟时间）指仿真结果数据开始被存入输出数据文件的时间。如果要仿真验证电路从0ns到100ns这一时间段的性能，但又只需要50ns到100ns这一时间段的输出结果，那么就可以使用下面这个语句：.tran 1ns 100ns 50ns。这样只有50ns到100ns这一时间段的输出数据被存入输出数据文件中。SPICE对电路进行仿真时，maximum step size（最大步长）会限制仿真过程中时间点之间的增长量，使SPICE输出波形比较平滑。如果在.tran语句中加上“UIC”，则表示用电路中给出的初始条件（例如，电容上的初始电压）做SPICE仿真。

脉冲源语句

语句的一般格式：

```
PULSE(VI V2 TD TR TF PW  PER)
```

实例：

```
VIN 3 0 PULSE(-1 1 2n 2n 2n 50n 100n)
```

参数	缺省值	单位
V1（初始值）		V或A
V2（脉冲值）		V或A
TD（延迟时间）	0.0	s
TR（上升时间）	TSTEP	s
TF（下降时间）	TSTEP	s
PW（脉冲宽度）	TSTOP	s
PER（周期）	TSTOP	s

分段线性源语句

语句一般格式：

```
PWL (T1 V1 <T2 V2 T3 V3 T4 V4 ...>)
```

实例：

```
VCLOCK 7 5 PWL (0 -7 10NS -7 11NS -3 17NS -3 18NS -7 50NS -7)
```

从反相器电路图中提取电路网表文件

在图8-12所示的LasiCkt系统界面中，按Go命令按钮就可以产生反相器电路的网表文件INVERT_SCH.CIR。下面给出了该文件的内容。从INVERT单元中产生出一个电路网表文件，并将其放入文本文件INVERT.CIR中，也可以得到一个与INVERT_SCH.CIR完全相同的电路网表文件。

```
*** SPICE Circuit File of $INVERT***
* START OF INVERT.HDR
V1  VDD 0  DC 5V AC 0 0
V2  A 0  DC 0 AC 0 0 PULSE (0 5V 10n 1ns 1ns 50ns 100ns)
.options reltol=0.1 abstol=1u vntol=50mv
.probe
.tran 1ns 150ns
.plot tran all
.print tran all
* END OF INVERT.HDR
* MAIN CIRCUIT
M1 A_ A 0 0 CMOSNB L=2u W=3u
M2 A_ A VDD VDD CMOSPB L=2u W=9u
省略了SPICE模型部分
.end
```

159

SPICE仿真结果

用SPICE3来仿真上面给出的电路网表文件，得到图8-13所示的仿真结果。如果从反相器的电路图和版图产生的SPICE文件相同，那么，SPICE仿真结果也相同。

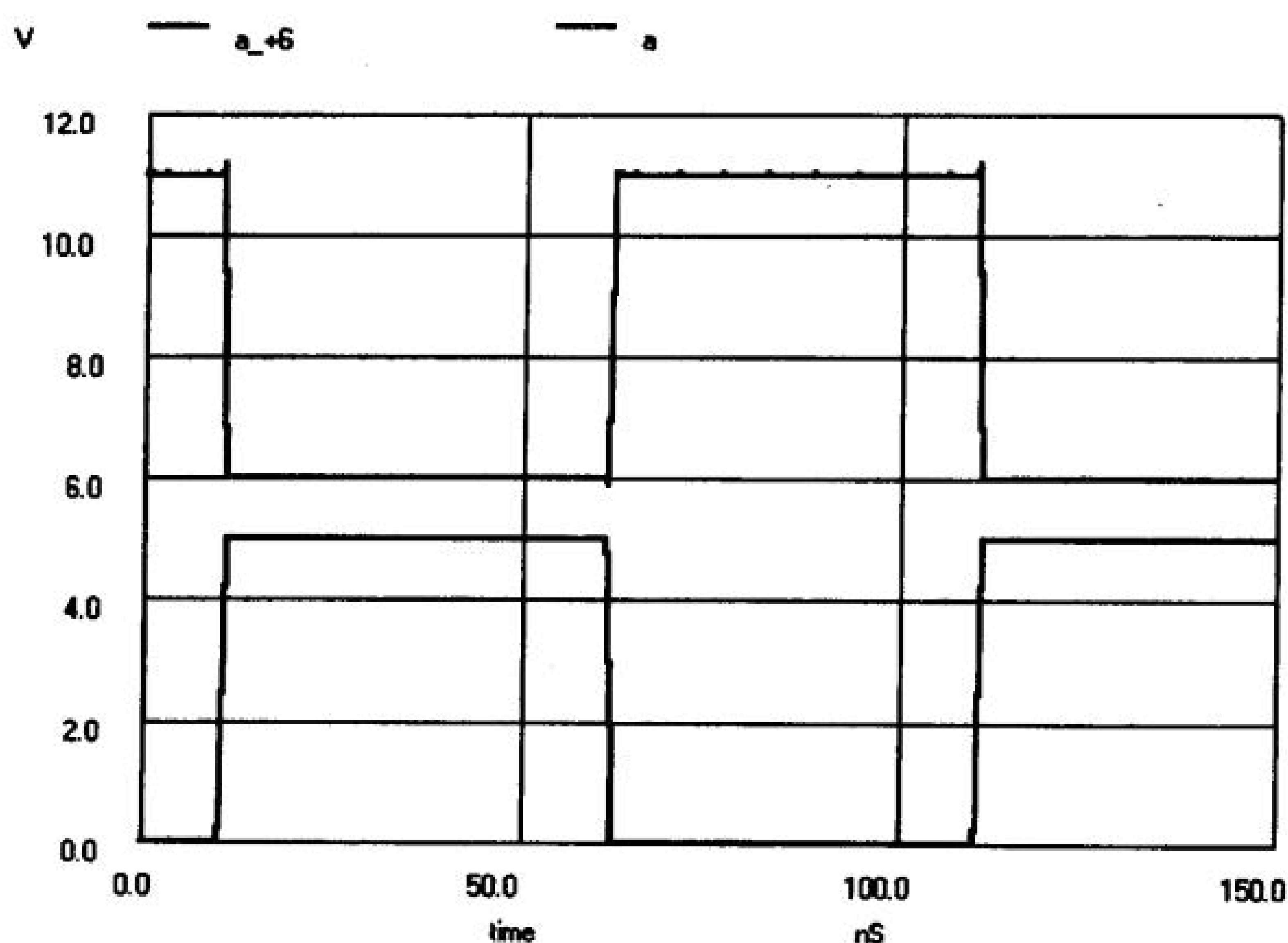


图8-13　图8-10（或图8-11）所示反相器的仿真结果

8.4 更高层级的单元：OR门

上述反相器的电路图和版图可以被更高层级的单元调用。下面用一个NOR门和一个反相器实现一个OR门，来演示反相器的调用。NOR门的层级设为2，其电路图和版图分别对应C:\Lasi6\W2uchip目录下的NOR_SCH.TLC文件和NOR.TLC文件；图8-14给出了NOR单元的电路图和版图。这些单元的创建方法和前面讨论过的反相器单元的创建方法相同。LasiCkt可由这些单元生成对应的SPICE网表文件并进行仿真；当然，生成SPICE网表文件时，头文件要换成NOR.HDR。

要用LASI创建OR门的电路图，先要创建一个名为OR_SCH的单元（层级为3）。在新创建的这个单元中，画OR门电路图的第一步是调用低层级的单元，即把INVERT_SCH和NOR_SCH单元放在该电路图中，如图8-15所示。观察该图可知：该图中已添加了节点名和引脚名。图8-15中的INVERT单元和NOR单元可以显示成轮廓图的形式，如图8-16所示；这样就可以清晰地看出加在OR单元中的文字和互连线。下面我们来讨论在电路图中添加文本时该注意的问题。

160

标注器件名和参数

这个单元所调用的子电路被命名为“XNOR”和“XINVERT”。由于NOR和INVERT单元在SPICE中作为子电路来用，所以，它们名字的第一个字母必须是X。这一点和MOS管的使用规则类似：如果要标注一个MOS管，MOS管名字的第一个字母必须是M。参数文本用来告诉LasiCkt该单元的名字，此处是NOR_SCH和INVERT_SCH；参数文本的定位点要放在单元轮廓线之内。

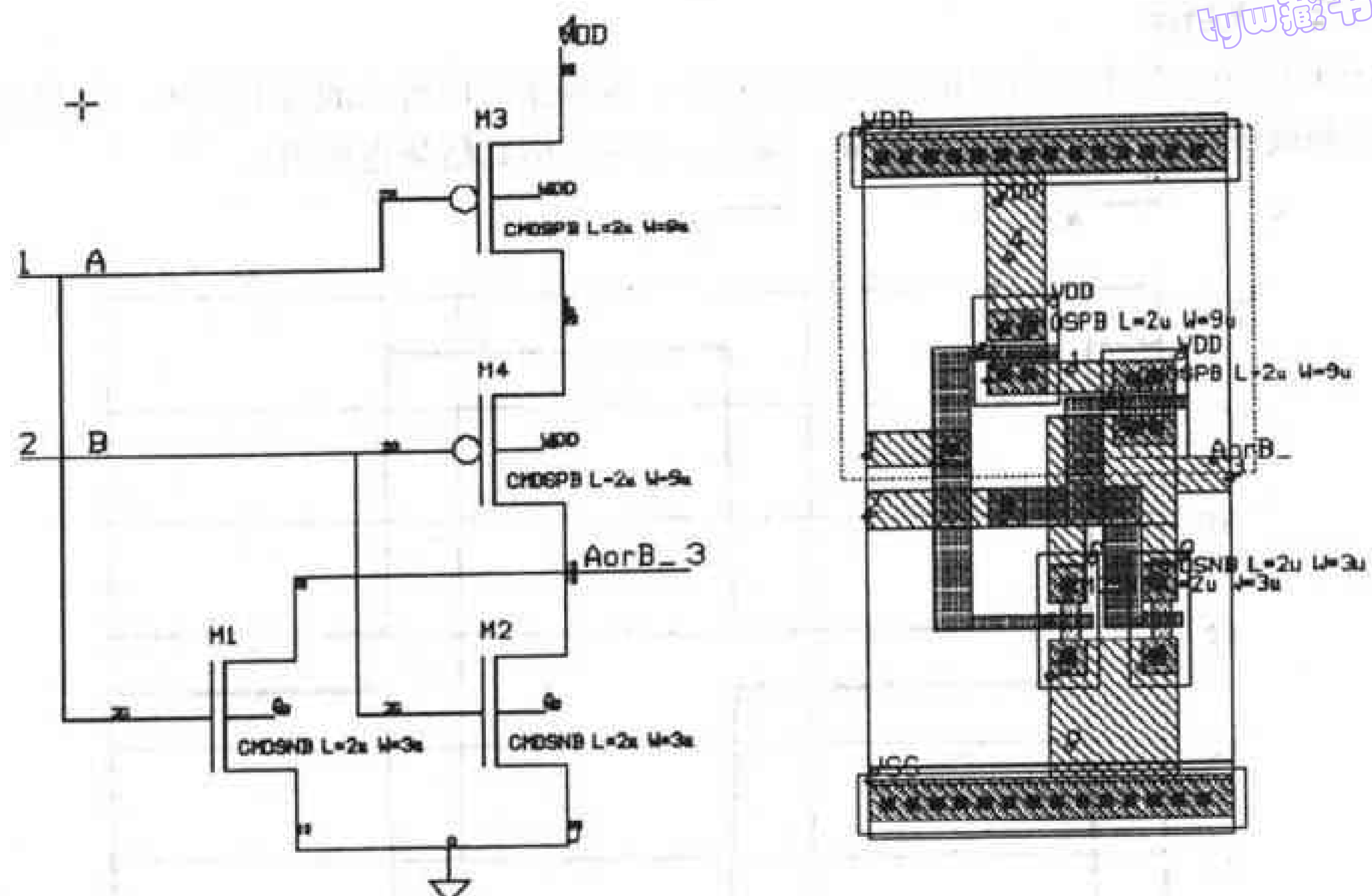


图8-14　NOR门的电路图和版图

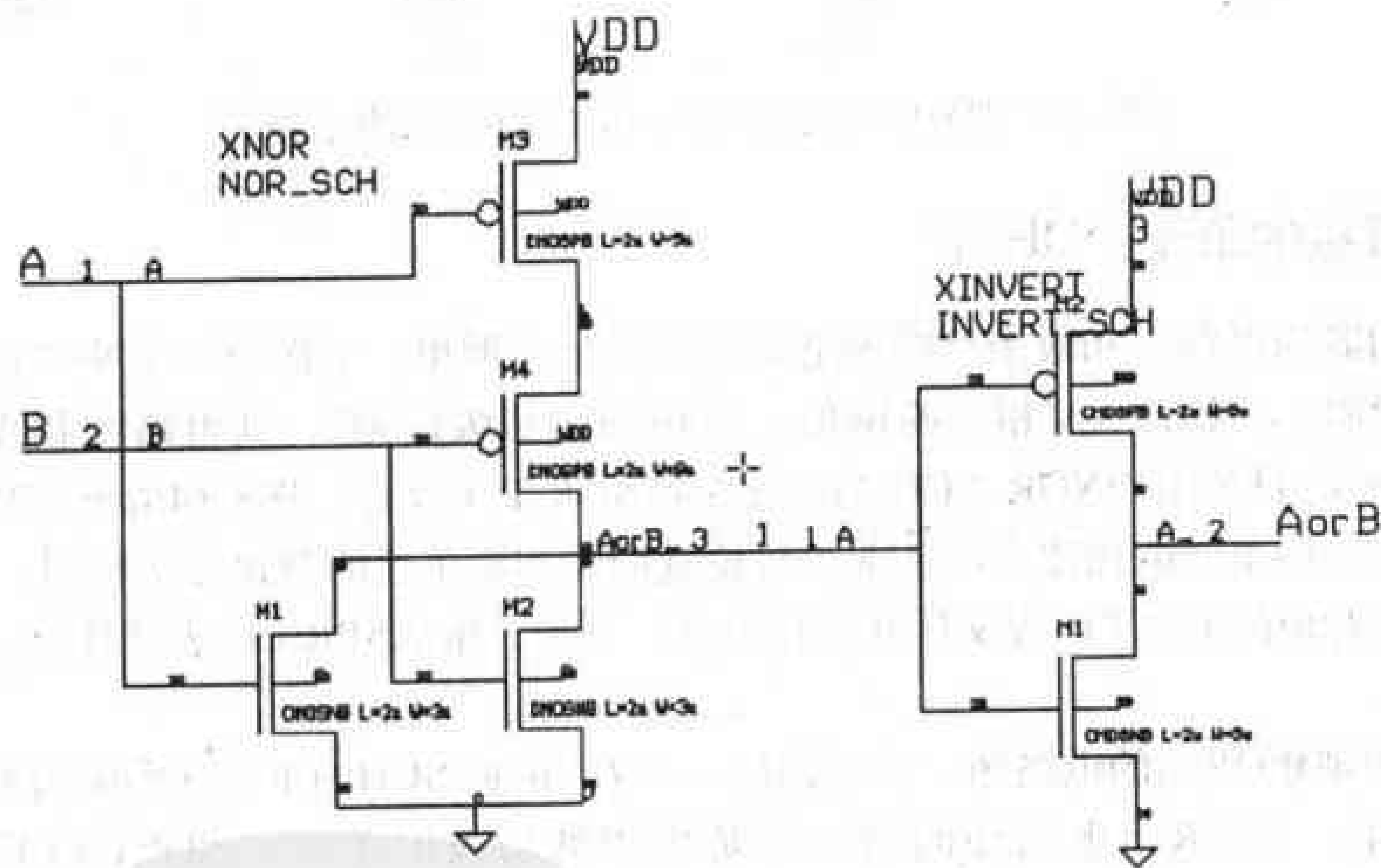


图8-15　OR门的电路图

标注节点名

在电路中标注任何一个节点时要注意：节点名的定位点必须放在矩形、多边形或路径上，这点很重要。放在一个单元中的节点文本，如果不是恰好放在一个引脚上，它就没有任何意义。

要把VDD连接到NOR_SCH和INVERT_SCH单元中，只需在电路图层（layer 3）上画一条宽度为零的路径并让该路径穿过电源引脚名的定位点即可。对NOR_SCH单元，接电源的是引脚名为“4”（在引脚文本层上）的引脚。对INVERT_SCH单元，接电源的是引脚名为“3”（在引脚文本层上）的引脚。下一步是将节点名标注到电路图层中的路径上。由图8-15可看出，NOR单元中的M3管的源端两次被标记为“VDD”。这是正确的，层级化单元中的每一层级的

电路图中，都必须标出VDD节点。

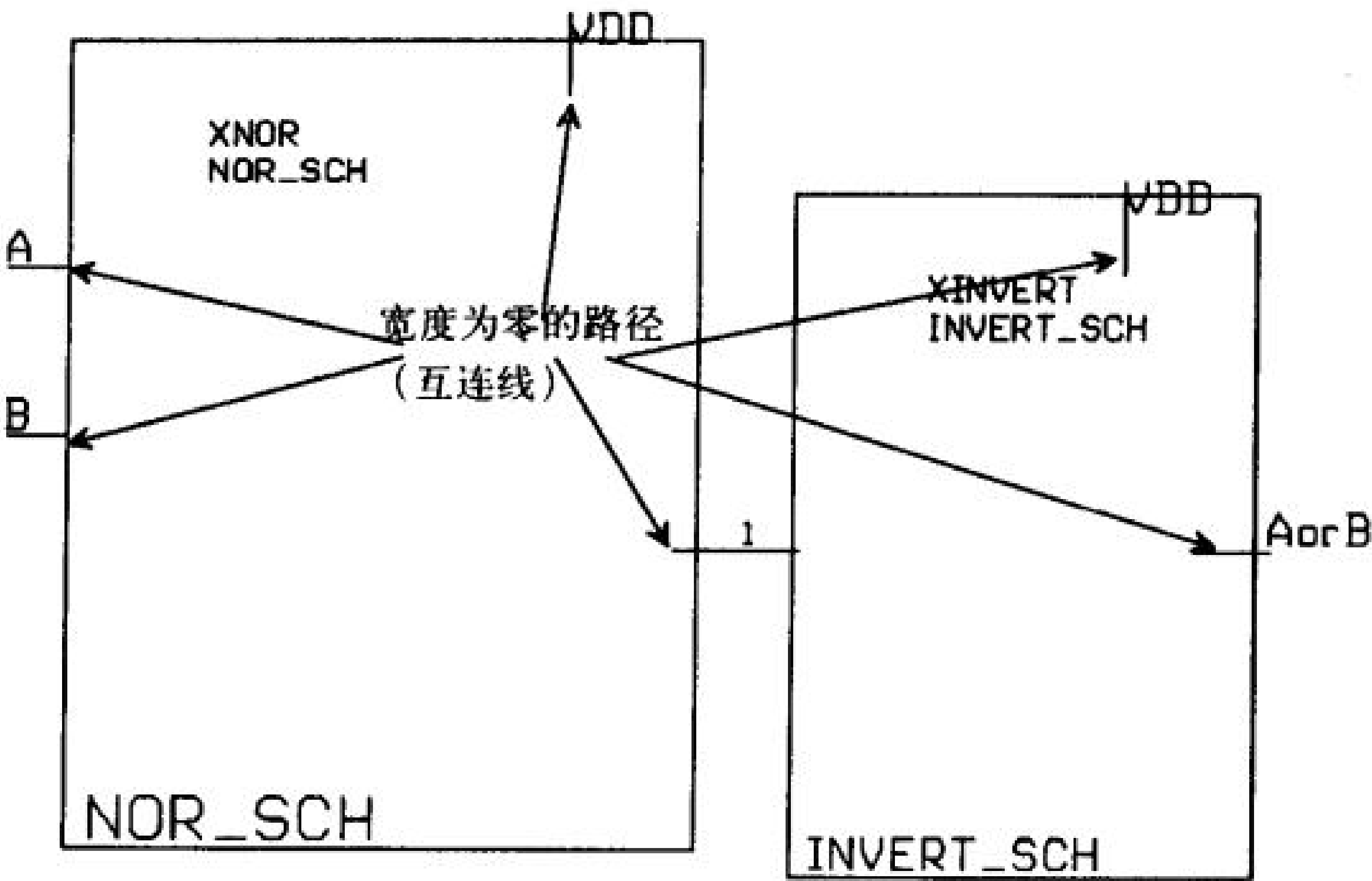


图8-16 在OR门单元中添加的互连线和文本

161~162

画出OR电路图的下一步就是将调用的单元连接在一起，并在宽度为零的路径上标注节点名。在这个电路图中，将连接NOR_SCH单元和INVERT_SCH单元的节点命名为“1”。当然，我们也可以不为该节点命名。如果节点名的定位点没有放在互连线上，LasiCkt会给该节点分配一个虚拟节点号。图8-15中，OR_SCH的输入节点被命名为“A”和“B”，输出节点被命名为“AorB”。图中没有用引脚文本层标出OR单元的输入、输出和电源引脚。如果想在更高层级的单元中调用OR_SCH单元，则必须再标注该单元的引脚。

标注版图

图8-17是OR单元版图的轮廓图。观察该图会发现，版图中有一些metal1矩形。这些矩形被放置在低层级单元的引脚名上。注意到，图中的节点1并没有放在矩形中，而是直接放在了两个低层级单元引脚的定位点上。

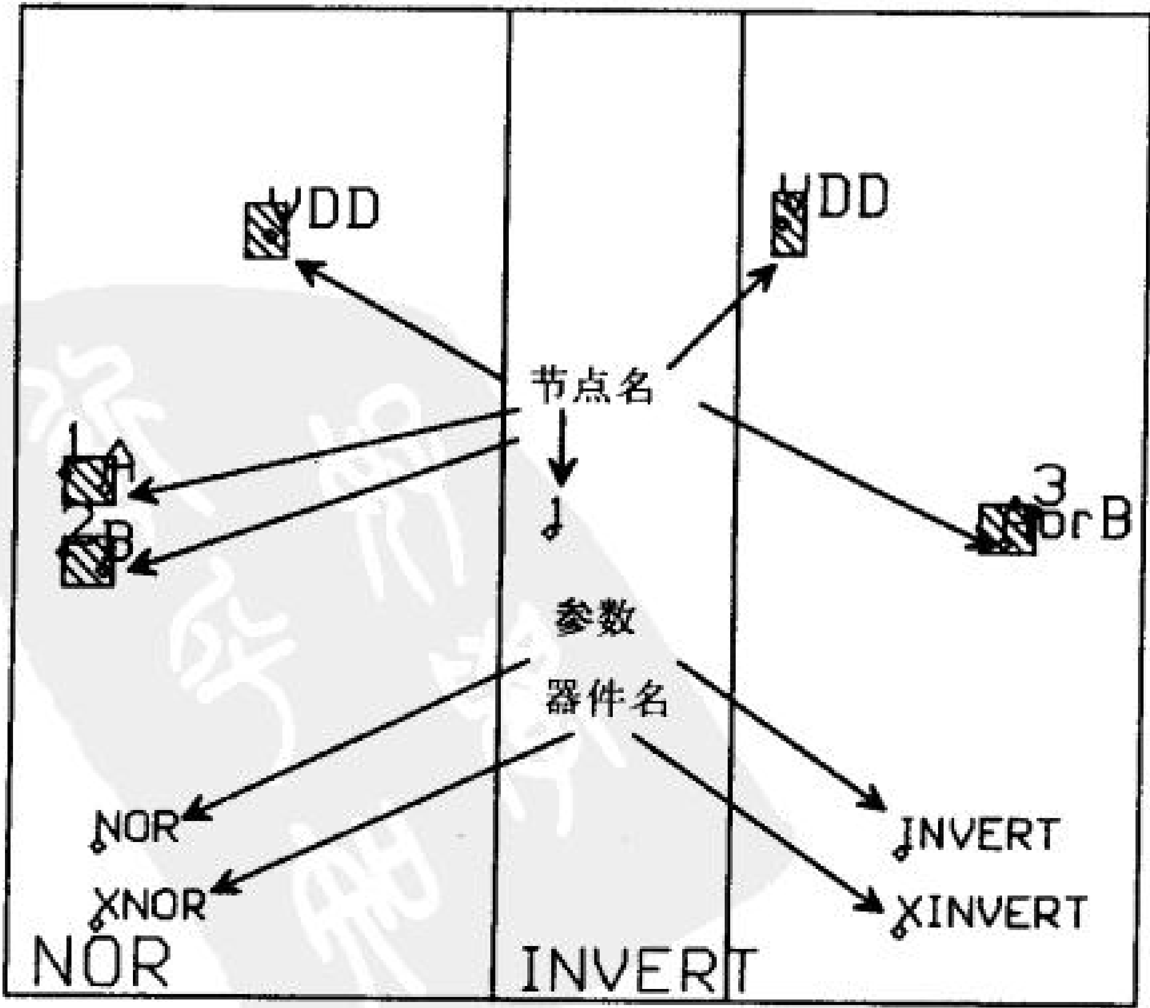


图8-17 带文本标注的OR单元版图

仿真OR门

下面给出了用LasiCkt产生的OR门的SPICE网表文件，它用OR.HDR做头文件。用SPICE仿真了该网表文件，仿真结果如图8-18所示。

163

```
* START OF OR.HDR
V1  VDD 0  DC 5V AC 0 0
V2  A 0  DC 0 AC 0 0 PULSE (0 5V 5ns 1ns 1ns 50ns 100ns)
V3  B 0  DC 0 AC 0 0 PULSE (0 5V 10ns 1ns 1ns 100ns 200ns)
.options reltol=0.1 abstol=10u vntol=10mv
.probe
.tran 1ns 200ns
.plot tran all
.print tran all
* END OF OR.HDR

.SUBCKT INVERT A A_ VDD
M1 A_ A 0 0 CMOSNB L=2u W=3u
M2 A_ A VDD VDD CMOSPB L=2u W=9u
.ENDS

.SUBCKT NOR A B AorB_ VDD
M3 1 A VDD VDD CMOSPB L=2u W=9u
M4 AorB_ B 1 VDD CMOSPB L=2u W=9u
M1 AorB_ A 0 0 CMOSNB L=2u W=3u
M2 AorB_ B 0 0 CMOSNB L=2u W=3u
.ENDS

* MAIN CIRCUIT
XINVERT 1 AorB VDD INVERT
XNOR A B 1 VDD NOR

省略了SPICE模型部分
.END
```



图8-18　OR门的仿真结果

参考文献

164

[1]　Boyce, D.E. *LASICKT Help Manual*, Available by pressing Help while running LasiCkt.

第9章 MOSFET的模拟模型

本章将推导MOSFET的交流小信号模型。该模型包括MOSFET的跨导、输出电阻和电容等参数。此外，还将讨论噪声和温度对MOSFET的影响。

9.1 MOSFET的低频模型

在推导MOSFET小信号模型之前，先来回顾一下第6章中与BSIM模型参数相关的公式，这对下面的推导很有帮助。NMOS管的阈值电压为：

$$V_{THN} = VFB + PHI + K1 \cdot \sqrt{PHI + V_{SB}} - K2 \cdot (PHI + V_{SB}) \tag{9-1}$$

NMOS管工作于饱和区（$V_{DS} > V_{GS} - V_{THN}$）时的漏电流由下式给出：

$$I_D = \frac{MUZ \cdot C_{ox} \cdot W}{2 \cdot L}(V_{GS} - V_{THN})^2[1 + (\lambda_c + \lambda_m)(V_{DS} - V_{DS,sat})] \tag{9-2}$$

式中，λ_c是沟道长度调制系数，λ_m是迁移率修正系数。现定义：

$$\beta = MUZ \cdot C'_{ox} \cdot \frac{W}{L} = KP \cdot \frac{W}{L} \tag{9-3}$$

假设$V_{DS,sat}$大约为0，$\lambda = \lambda_c + \lambda_m$，则饱和区的漏电流公式可以写为：

$$I_D = \frac{\beta}{2}(V_{GS} - V_{THN})^2(1 + \lambda \cdot V_{DS}) \tag{9-4}$$

工作于线性区（$V_{DS} < V_{GS} - V_{THN}$）的MOSFET的漏电流可由下式得：

$$I_D = \beta \cdot \left[(V_{GS} - V_{THN}) \cdot V_{DS} - \frac{V_{DS}^2}{2}\right] \tag{9-5}$$

当$V_{GS} < V_{THN}$、MOSFET工作在亚阈值区时，假设$V_{DS} > 100\text{mV}$，$V_{GS} < V_{THN} - 100\text{mV}$，则漏电流由下式给出：

$$I_{D,weak} = KP \cdot \frac{W}{L} \cdot \left(\frac{kT}{q}\right)^2 e^{1.8} e^{q(V_{GS} - V_{THN})/N0 \cdot kT} = I_{D0} \cdot \frac{W}{L} \cdot e^{q(V_{GS} - V_{TH})/N0 \cdot kT} \tag{9-6}$$

饱和区的MOSFET的小信号模型

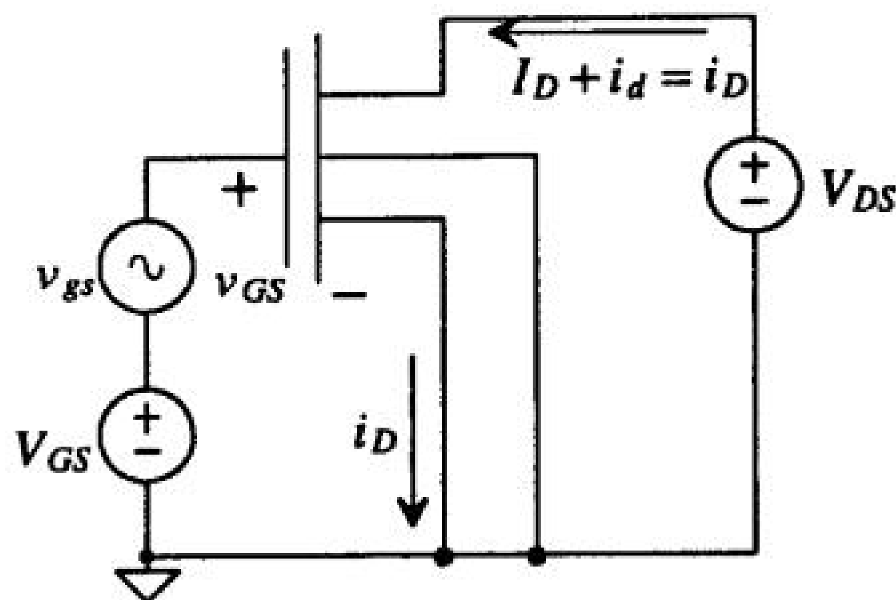
考虑图9-1所示电路，信号直流量的符号用大写字母和大写角标（如V_{GS}），交流量的符号用小写字母和小写角标（如v_{gs}），直流量和交流量的总和则用小写字母和大写角标（如v_{GS}）。结合图9-1，我们来推导施加交流信号v_{gs}时漏电流的变化。假设$V_{GS} >> v_{gs}$，换句话说，相对于直流偏置电压（或电流），交流信号是一个小信号。因为$V_{DS} > V_{GS} - V_{THN}$，MOSFET工作在饱和区，交流和直流电流的总和由下式给出：

$$i_D = i_d + I_D = \frac{\beta}{2}(\overbrace{V_{GS} + v_{gs}}^{v_{GS}} - V_{THN})^2(1 + \lambda \cdot V_{DS}) \tag{9-7}$$

MOSFET的正向跨导g_m为:

$$g_m = \left[\frac{\partial i_{DS}}{\partial v_{GS}}\right]_{V_{GS}=常数}^{I_{DS}=常数} = \beta(V_{GS}+v_{gs}-V_{THN})(1+(\lambda_c+\lambda_m)\cdot V_{DS}) \tag{9-8}$$

用上面推导出的结果，可以为图9-1所示电路建立一个模型，如图9-2所示。图9-2中已经去掉了直流量，即，该电路是MOSFET的交流小信号模型。由该图知，可以将MOSFET看成是一个压控电流源或者是一个跨导放大器。如果我们做一些简化假设，可使公式（9-8）更好理解；在做这些简化假设之前，我们先来考察一下跨导随信号电平的变化关系。



166

图9-1 MOSFET电路（用于推导正向跨导）

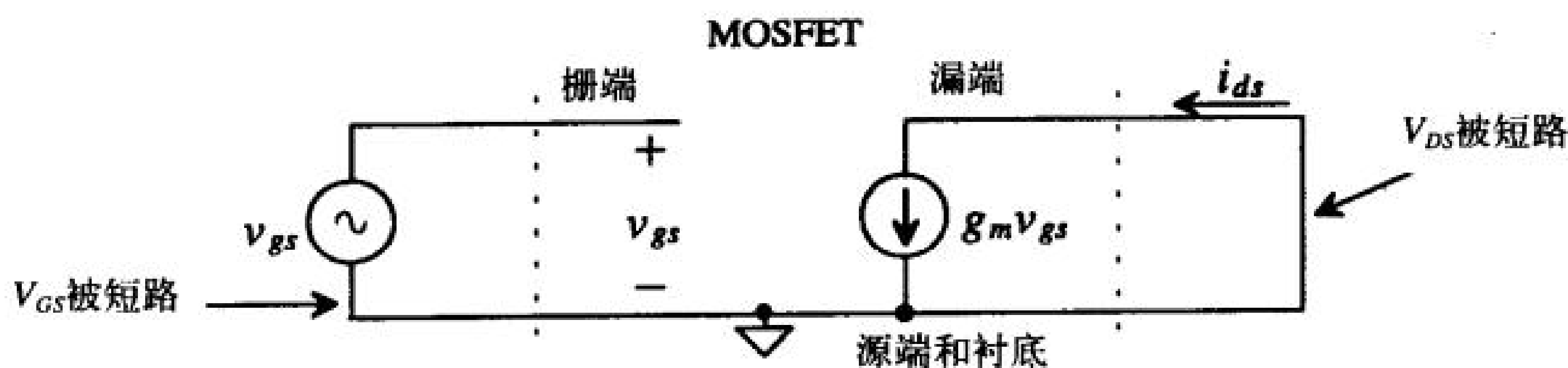


图9-2 图9-1所示电路的小信号模型

当v_{gs}的幅值可以和V_{GS}的幅值相比拟时（二者的比值小于10），就可以从放大器的增益中观察到跨导随v_{gs}的变化；这时，如果给放大器输入一个单一频率的正弦波，放大器的输出信号就会有失真。另外，源-漏电压也对跨导有调制作用。由于这些因素的影响，使得用CMOS工艺设计一个性能良好（低失真）的高增益电压放大器有一定难度。使用反馈有助于减小失真；此外，采用新电路结构有助于设计一个高性能放大器。

如果放大器的交流电压足够小可以满足$v_{gs} << V_{GS}$，同时源-漏电压的交流成分与直流成分的总和与调制系数的乘积远小于1，即$1 >> (\lambda_c+\lambda_m)(v_{ds}+V_{DS})$，则式（9-8）可以写成:

$$g_m = \beta(V_{GS}-V_{THN}) = \sqrt{2\cdot\beta\cdot I_D} \tag{9-9}$$

从图9-2可知，交流漏电流为:

$$i_d = g_m v_{gs} \tag{9-10}$$

下面来推导工作在弱反型区（亚阈值区）的MOSFET的跨导。进一步整理一下公式（9-6），得到:

$$\overbrace{v_{gs}+V_{GS}}^{v_{GS}} = \frac{kT\cdot N0}{q}\cdot\ln\left(\frac{I_{D,weak}}{I_{D0}\cdot\frac{W}{L}}\right)+V_{THN} \tag{9-11}$$

因此，跨导为：

$$g_m^{-1}=\left[\frac{\partial v_{GS}}{\partial i_D}\right]_{I_D=常数}^{V_{GS}=常数}=\frac{\frac{kT\cdot N0}{q}}{I_{D,weak}}\Rightarrow g_m=\frac{I_D}{V_T\cdot N0} \tag{9-12}$$

由该式知，弱反型时的跨导可由I_D和$V_T=\frac{kT}{q}=26\text{mV}$（300K时）求得，而且亚阈值区的MOSFET跨导随I_D线性增长，而工作于强反型区的跨导是随I_D的平方根增长的。图9-2中的模型在强反型区和亚阈值区均适用。

167

例9.1

考虑下面给出的电路，使用第6章给出的CN20 BSIM模型参数或者附录A中的模型参数，求i_d，并找到一种可以更加直观地理解该电路的方式。

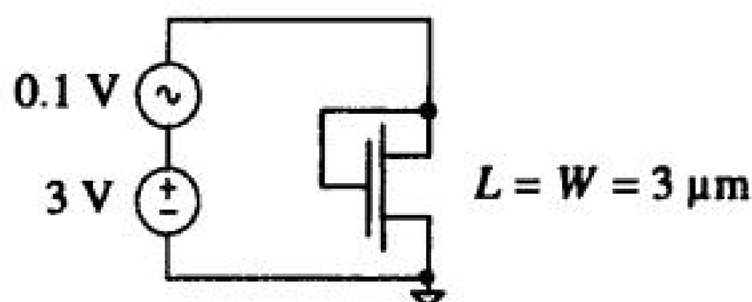


图 Ex9-1

图中没有画出衬底连接，因此，可以假设衬底连接到电路中的最低电位，即接地。因为$V_{DS}=V_{GS}$（称MOSFET的这种接法为二极管接法），所以$V_{DS}>V_{GS}-V_{THN}$，MOS管工作在饱和区。根据式（6-40）可得阈值电压为：

$$V_{THN}=-0.22+1.49\sqrt{0.75-0}-0.315\cdot(0.75-0)=0.83\ \text{V}$$

根据式（9-9），可求得跨导：

$$g_m=50\frac{\mu\text{A}}{\text{V}^2}\cdot\frac{3\ \mu\text{m}}{3\ \mu\text{m}}(3-0.83)=109\frac{\mu\text{A}}{\text{V}}$$

交流漏电流i_d为：

$$i_d=g_m v_{gs}=(109\frac{\mu\text{A}}{\text{V}})\cdot(100\ \text{mV})=10.9\ \mu\text{A}$$

电路中的漏电流同时流过直流电压源和交流电压源。理解该电路的更直观方式是：MOSFET的交流电压（v_{gs}）和交流电流（i_d）的比值为$1/g_m$。这样，理解该电路的交流小信号特性时，把MOSFET直接当成一个9.2kΩ(（即$1/g_m$）的电阻即可。而且，这种直观理解对工作于弱反型区和强反型区的二极管接法的MOSFET都有效。■

现在来研究当衬底、栅端和漏端都接交流地电位而源端电压接一个交流信号时，电路有什么特性。图9-3给出了一个测试电路，用来分析源-衬底电压如何影响漏电流。但在这个分析中，为了简化分析，我们忽略了正向跨导的影响；实际上，由于$v_{sb}=-v_{gs}$，正向跨导对漏电流是有影响的。体跨导由下式给出：

$$g_{mb}=-\left[\frac{\partial i_D}{\partial v_{sb}}\right]_{V_{DS}=常数}^{I_D=常数}=\overbrace{\beta(V_{GS}-V_{THN})(1+(\lambda_c+\lambda_m)V_{DS})}^{g_m}\cdot\frac{\partial V_{THN}}{\partial v_{sb}} \tag{9-13}$$

由于存在体效应，源-衬底之间电压有变化时，阈值电压不再是恒定值，V_{THN}的改变会调制沟道电流。根据公式（6-4）得：

168

$$\frac{\partial V_{THN}}{\partial v_{sb}}=\frac{K1}{2\sqrt{PHI+V_{SB}}}-K2=\eta \tag{9-14}$$

式中，$K1$实质上是第5章中的γ。联合公式（9-8）、（9-13）和（9-14），可得到体跨导：

$$g_{mb} = g_m \cdot \eta \tag{9-15}$$

η因子描述了阈值电压随反向体偏压的变化。η的典型数值范围是从0.6到一个负值；当源-衬电压很大时，η就是个负值。对于比较大的源-衬偏压，一般我们取η=0。图9-4是考虑体跨导后的MOSFET小信号模型。图中的小信号参数η是源-衬底直流电压的函数。实际上，在这一小节中推导出的小信号模型参数都是直流偏置的函数。

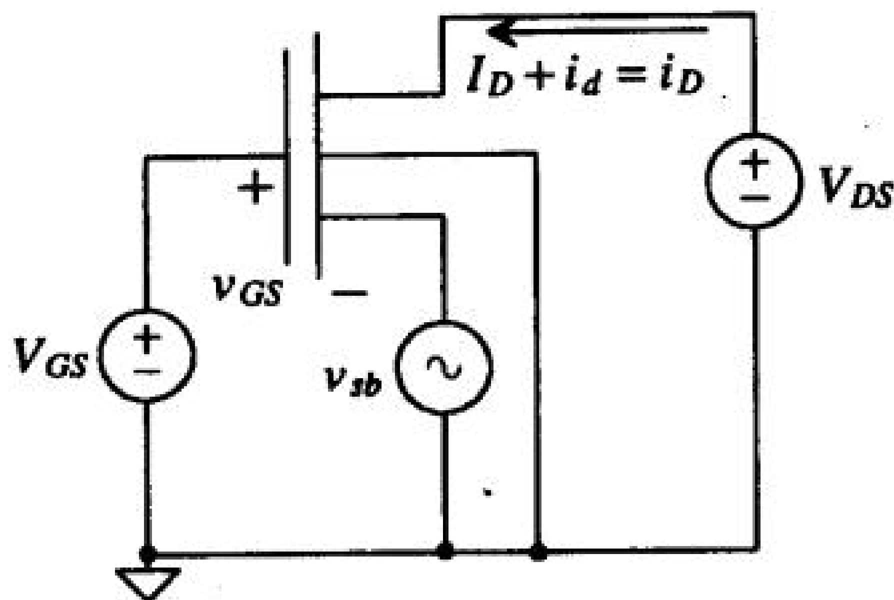


图9-3 求体跨导的电路

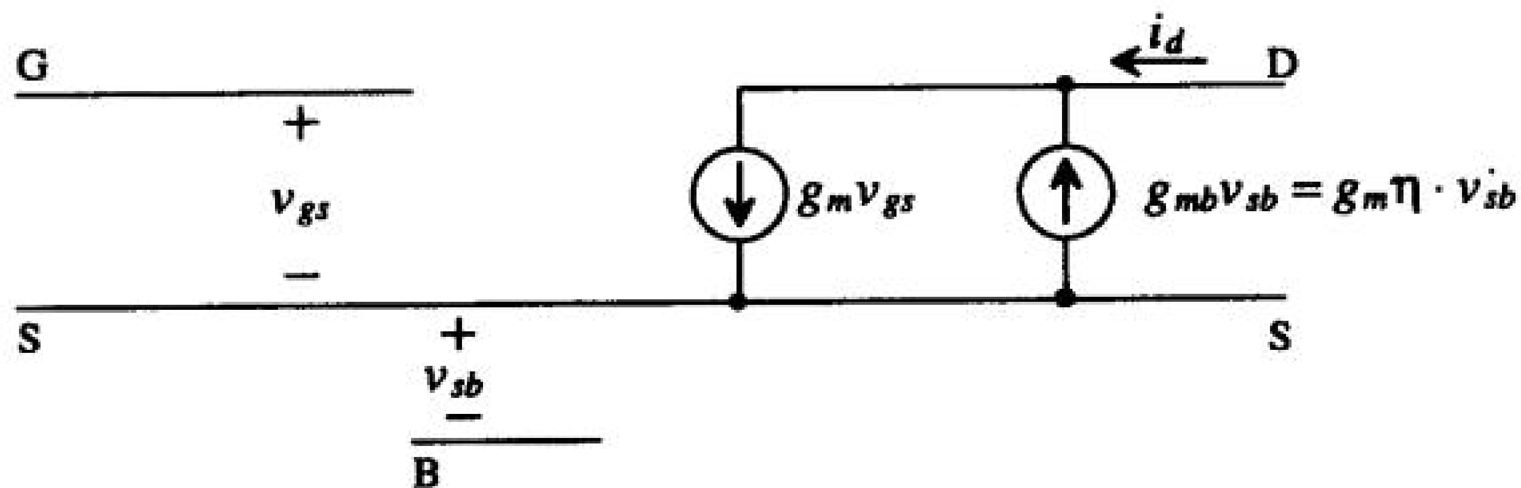


图9-4 加入体效应电流源后的MOSFET小信号模型

MOSFET的输出电阻可由图9-5所示电路求出。在源端和漏端之间加入一个很小的交流电压v_{ds}，电导则由下式给出：

$$g_{ds} = r_o^{-1} = \left[\frac{\partial i_D}{\partial v_{DS}}\right]_{V_{DS}=常数}^{I_D=常数} = \frac{\beta}{2}(V_{GS} - V_{THN})^2(\lambda_c + \lambda_m) = I_D \cdot (\lambda_c + \lambda_m) \tag{9-16}$$

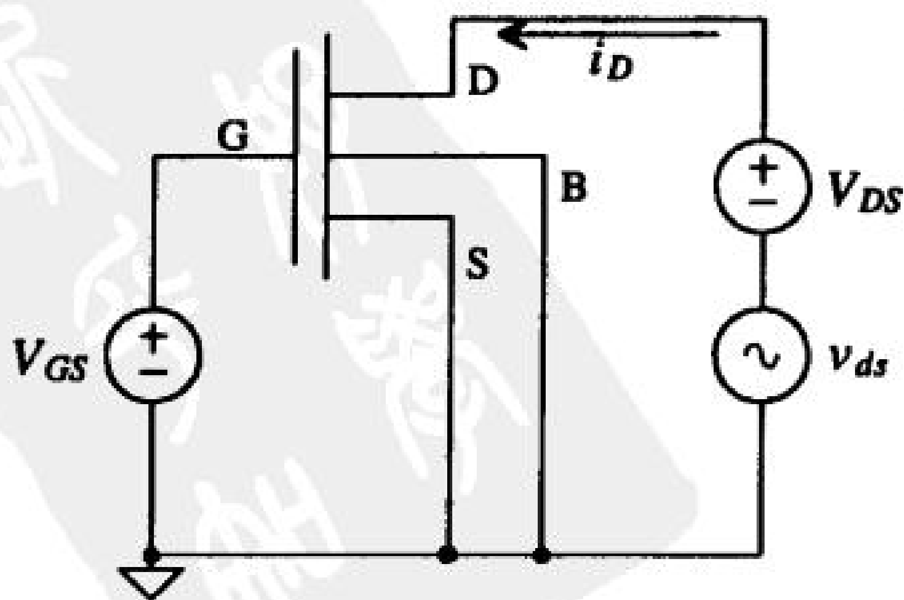


图9-5 求MOSFET输出电阻的电路

结合公式（9-9），可以得到MOSFET增益的最大值。图9-6中给出了包含输出电阻的MOSFET小信号模型。假设源端和衬底连到一起（$v_{sb}=0$，无体效应），可得到工作于强反型区的MOSFET的最大电压增益:

$$\frac{v_{ds}}{v_{gs}}=\frac{-i_d\cdot r_o}{\frac{i_d}{g_m}}=-g_m\cdot r_o=-\frac{\sqrt{2\beta I_D}}{I_D(\lambda_c+\lambda_m)}=-\frac{\sqrt{2\beta}}{\sqrt{I_D}\cdot\lambda} \tag{9-17}$$

式中:

$$\lambda=\lambda_c+\lambda_m \tag{9-18}$$

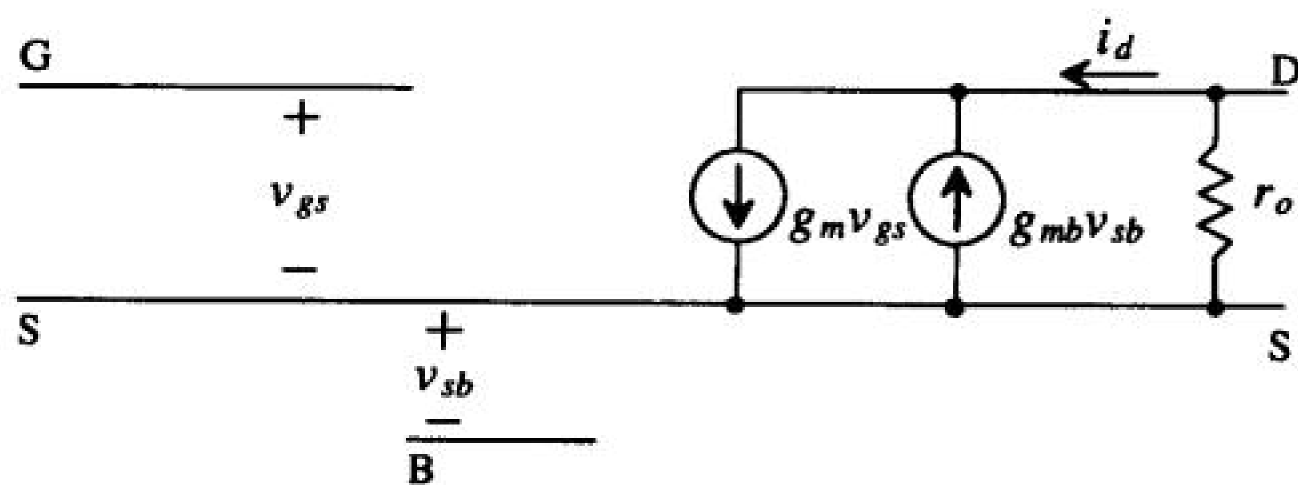


图9-6 带输出电阻的MOSFET小信号模型

例9.2

使用BSIM模型参数，求出$L=W=10\mu m$的NMOS管在$V_{GS}=3V$时的输出电阻，并用SPICE验证计算的结果。

根据例9.1，假设不存在体效应，则$V_{THN}=0.83V$。假设$KP=50\mu A/V^2$、$\lambda\approx\lambda_m=0.06V^{-1}$（根据例6.4的计算结果），则漏电流$I_D=118\mu A$，输出电阻 $r_o=\frac{1}{0.06\cdot118\times10^{-6}}\approx140k\Omega$。使用BSIM模型，SPICE给出的仿真结果为：在$V_{DS}=3V$时，$I_D=88\mu A$，$r_o=285k\Omega$。这些结果都依赖于V_{DS}的取值。该例还说明手算得到的是近似值。 ■

170

工作于线性区的MOSFET的小信号输出电阻（或者沟道电阻）由下式确定:

$$R_{ch}^{-1}=\left[\frac{\partial i_D}{\partial v_{DS}}\right]_{V_{DS}=常数}^{I_D=常数}=\frac{\partial}{\partial v_{DS}}\beta\left[(V_{GS}-V_{THN})v_{DS}-\frac{v_{DS}^2}{2}\right] \tag{9-19}$$

因此有:

$$R_{ch}=\frac{1}{\beta(V_{GS}-V_{THN})-\beta V_{DS}}\approx\frac{1}{\beta(V_{GS}-V_{THN})}\quad 当 V_{DS}\ll V_{GS}-V_{THN} 时 \tag{9-20}$$

9.2 MOSFET的高频模型

为了得到MOSFET的高频模型，需要在图9-6给出的低频模型中加入MOSFET电容。在第5章中曾讨论过的漏端和源端的扩散区电容分别记为C_{db}和C_{sb}，场区上的栅电容记为C_{gb}，这三个电容都可以直接加到小信号模型中。栅端和漏端之间的电容记为C_{gd}，栅端和源端之间的电容记为C_{gs}。图9-7是MOSFET的高频模型。

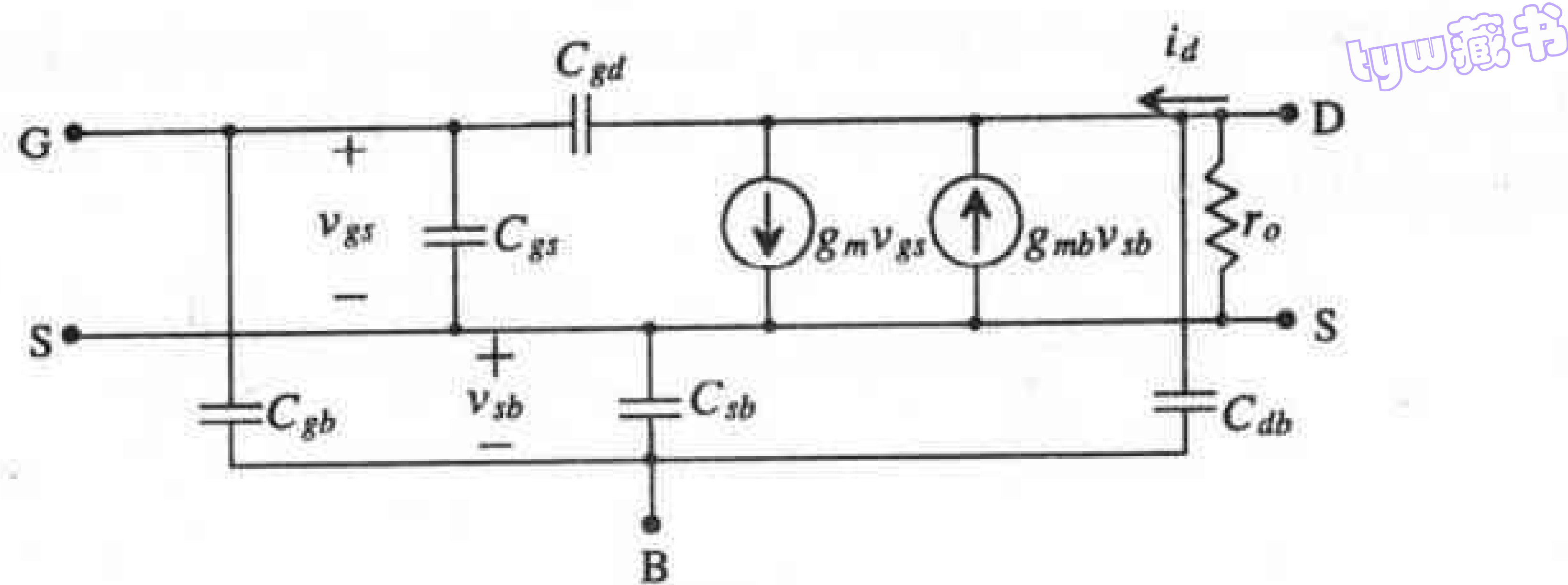


图9-7 MOSFET高频小信号模型

例9.3

图Ex9-3是一个NMOS管的版图（图中没有画出衬底连接），使用CN20模型参数，估算该NMOS管对应于图9-7的各电容大小。

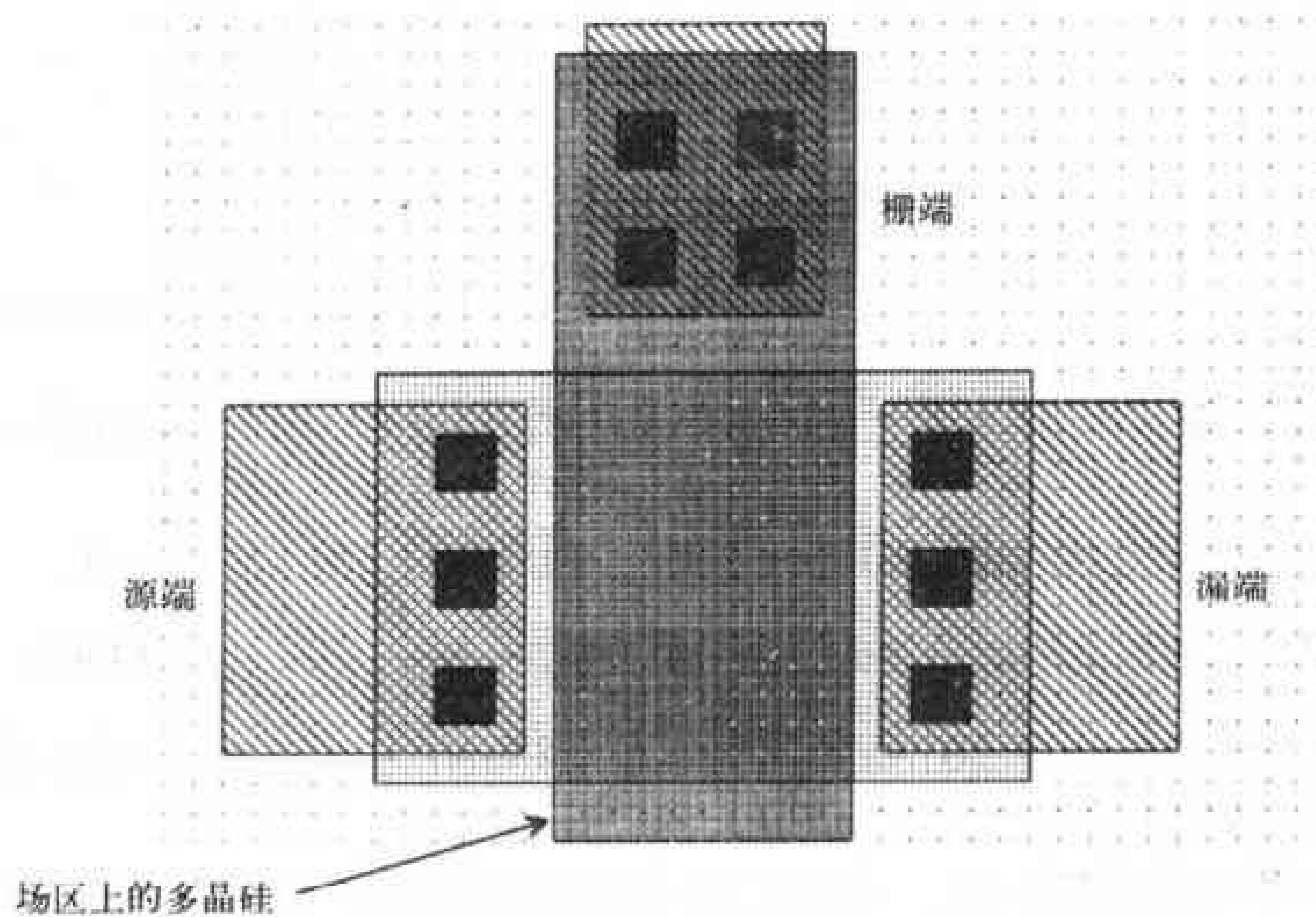


图 Ex9-3

首先来计算C_{sb}和C_{db}。漏区和源区的面积是6μm乘14μm。由于没有给出漏端和源端的直流电压，所以假设$V_{DB}=V_{SB}=0\text{V}$，这会使得这些扩散区中的耗尽电容达到最大值。根据BSIM模型参数和第5章中的讨论，可得：

171

$$C_{sb}=C_{sb,\text{底部}}+C_{sb,\text{侧壁}}$$

$$C_{db}=C_{db,\text{底部}}+C_{db,\text{侧壁}}$$

式中：

$$C_{sb,\text{底部}}=C_{db,\text{底部}}=\frac{CJ\cdot AD}{\left(1+\frac{V_{DB}}{PB}\right)^{MJ}}=\frac{(1.04\times10^{-4}\frac{F}{m^2})\cdot(84\ \mu\text{m}^2)}{\left(1+\frac{0}{0.8}\right)^{0.66}}=8.8\ \text{fF}$$

$$C_{sb,侧壁} = C_{db,侧壁} = \frac{CJSW \cdot PD}{\left(1+\frac{V_{DB}}{PBSW}\right)^{MJSW}} = \frac{(2.2\times10^{-10}\frac{F}{m})\cdot(40\ \mu m)}{(1+\frac{0}{0.8})^{0.18}} = 8.8\ fF$$

所以，$C_{sb} = C_{db} = 17.6fF$。

在场区上覆盖的多晶硅（即伸展到n+区域之外的多晶硅）形成电容C_{gb}。估算该电容的方法为：C_{gb} = CGBO · L= (3.8 × 10^{-10}F/m) · 10μm=3.8fF。MOSFET工作在饱和区时，栅-漏之间的电容C_{gd} = CGDO · W = (3.8 × 10^{-10}F/m) · 14μm=5.3fF。但在线性区时，$C_{gd}=\frac{1}{2}C'_{ox}\cdot W\cdot L$，代入有关数据，得：$C_{gd}=\frac{1}{2}\cdot 800\cdot 10^{-18}\frac{F}{\mu m^2}$ · 10μm · 14μm = 56fF。最后计算工作在饱和区的MOSFET的栅-源之间的电容：$C_{gs}=\frac{2}{3}\cdot C'_{ox}\cdot W\cdot L$，可得$C_{gs}$ = 75fF。 ■

172

跨导随频率的变化

考虑图9-8所示电路。因为C_{db}和C_{sb}上的电压固定，所以把它们从下面的频率分析中略去。图9-9中给出了图9-8的小信号等效电路。MOSFET栅-源之间的交流电压由下式给出：

$$v_{gs}(f) = v_s \cdot \frac{\frac{1}{j\omega(C_{gb}+C_{gs}+C_{gd})}}{Z_s+\frac{1}{j\omega(C_{gb}+C_{gs}+C_{gd})}} = v_s \cdot \frac{1}{1+j\omega\cdot Z_s(C_{gb}+C_{gs}+C_{gd})} \quad (9\text{-}21)$$

假设$g_m v_{gs} >> v_{gs} j\omega C_{gd}$，则跨导为：

$$g_m(f) = \frac{i_d}{v_s} = \frac{g_{m0}}{1+j\omega\cdot Z_s(C_{gb}+C_{gs}+C_{gd})} \quad (9\text{-}22)$$

式中，$g_{m0}=\frac{i_d}{v_{gs}(0)}$是低频跨导。

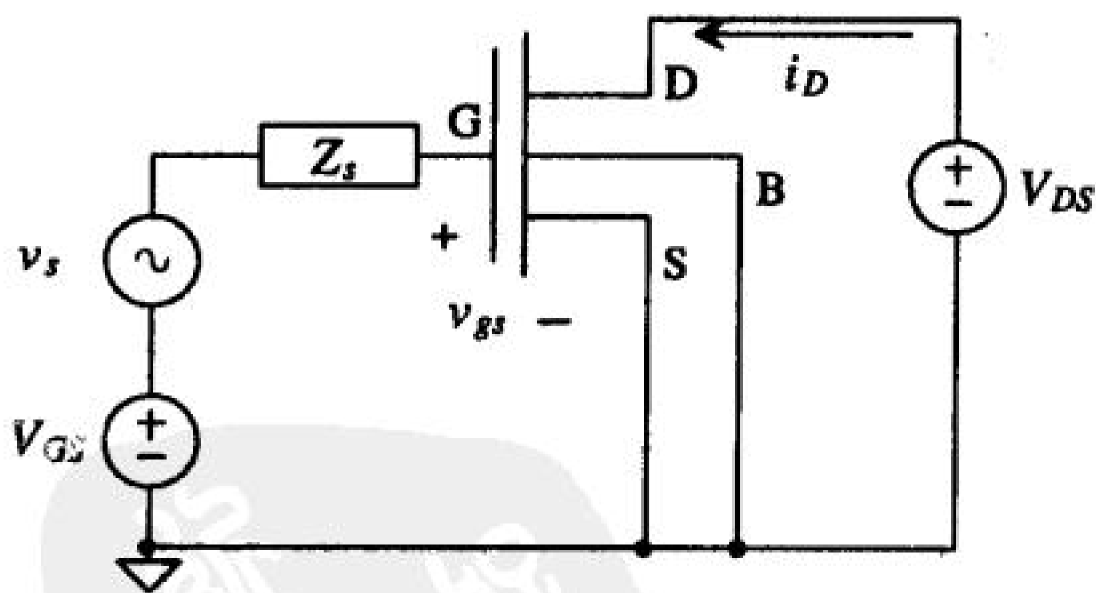


图9-8 分析正向跨导和频率的关系

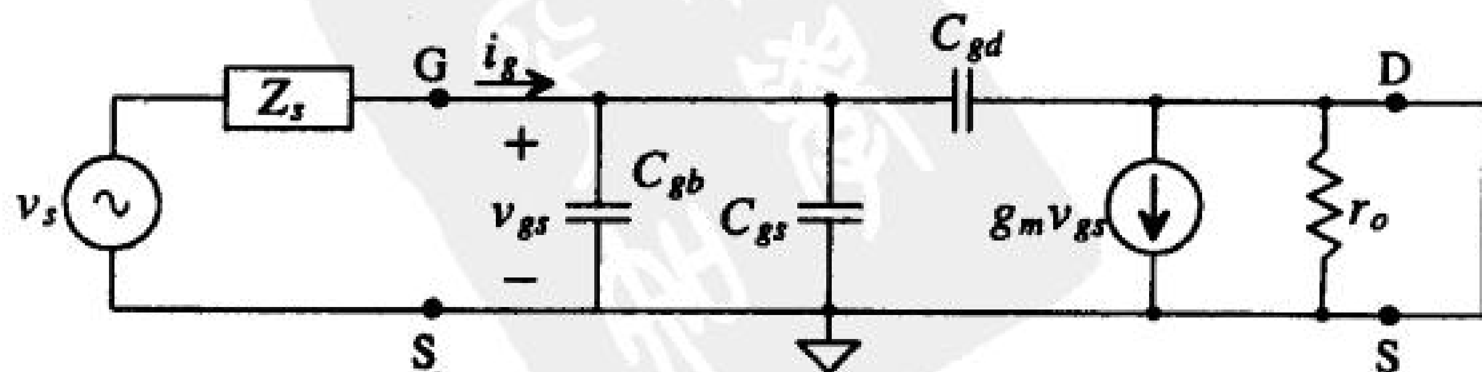


图9-9 图9-8所示电路的小信号等效电路

173

MOSFET的电流增益可定义为：

$$\frac{i_d}{i_g}=\frac{g_m\cdot v_{gs}}{v_{gs}\cdot j\omega(C_{gb}+C_{gs}+C_{gd})}=\frac{KP\cdot\frac{W}{L}\cdot(V_{GS}-V_{THN})}{j\omega(C_{gb}+C_{gs}+C_{gd})} \tag{9-23}$$

下面介绍一个很有用的名词：单位电流增益转换频率 f_T。定义MOSFET的电流增益为1时的工作频率为单位电流增益转换频率 f_T。如果MOSFET的工作频率高于 f_T，其电流增益将小于1，MOSFET的作用也会由放大变为衰减。由 f_T的定义可推导出 f_T的表达式。由：

$$\left|\frac{i_d}{i_g}\right|=1=\frac{KP\cdot\frac{W}{L}\cdot(V_{GS}-V_{THN})}{2\pi f_T\cdot(C_{gb}+C_{gs}+C_{gd})} \tag{9-24}$$

得：

$$f_T=\frac{KP\cdot W(V_{GS}-V_{THN})}{2\pi L(C_{gb}+C_{gs}+C_{gd})}\approx\frac{KP\cdot W}{2\pi LC_{gs}}(V_{GS}-V_{THN}) \tag{9-25}$$

上式忽略了载流子穿过沟道时的渡越时间；一般而言，只要沟道长度与最小沟道长度在同一个量级之内，载流子穿过沟道时的渡越时间都可以忽略。另外要说明的是，可以用 f_T来衡量一个工艺的先进程度，工艺越先进，f_T越大。

例9.4

在$V_{GS}-V_{THN}=1\text{V}$时，估算CN20工艺中，尺寸最小的NMOS管和PMOS管的 f_T。

对于$L=2\mu\text{m}$、$W=3\mu\text{m}$的NMOS管：

$$f_T\approx\frac{KP\cdot W}{2\pi L\cdot\frac{2}{3}WLC'_{ox}}=\frac{50\frac{\mu A}{V^2}\cdot 3\mu m}{2\pi\cdot 2\mu m\cdot\frac{2}{3}\cdot 2\mu m\cdot 3\mu m\cdot 800\times 10^{-18}\frac{F}{\mu m^2}}=3.74\text{ GHz}$$

对于PMOS管，$KP=17\frac{\mu A}{V^2}$，$f_T=1.27\text{GHz}$ 。■

这个例子告诉我们一个重要信息：单位电流增益转换频率与MOS管宽度无关，即：

$$f_T=\frac{3\cdot KP}{4\pi L^2C'_{ox}}(V_{GS}-V_{THN}) \tag{9-26}$$

设计高速电路时应该采用最小沟道长度的MOS管。

例9.5

对于图Ex9-5所示电路，忽略体效应并假设在我们感兴趣的频率范围内$i_d\approx i_s$，求从MOSFET源端看进去的阻抗。

由$i_d\approx i_s$、$v_s\approx -v_{gs}$、$i_d\approx -g_m v_s$，可求出从源端看进去的阻抗：

174

$$Z_{into\ source}=\frac{-v_s}{i_s}=\frac{1}{g_m}=\frac{1}{g_{m0}}\cdot[1+j\omega R_s(C_{gb}+C_{gs}+C_{gd})]$$

整理为：

$$Z_{into\ source}=\frac{1}{g_{m0}}+j\omega\frac{R_s(C_{gb}+C_{gs}+C_{gd})}{g_{m0}} \tag{9-27}$$

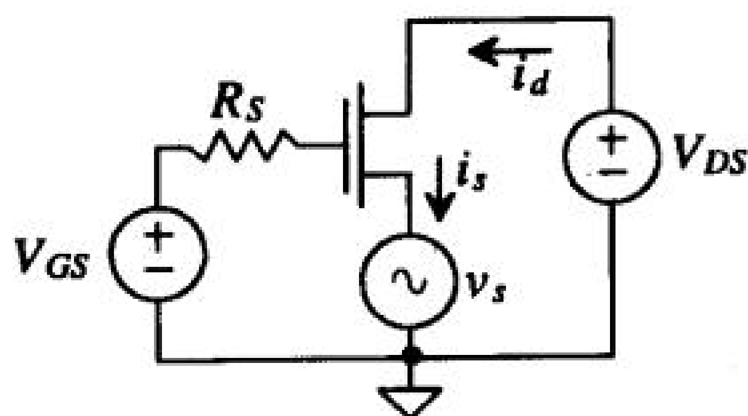


图 Ex9-5

从MOSFET源端看进去的阻抗是阻值为$\frac{1}{g_{m_0}}$的电阻与大小为$\frac{R_s(C_{gb}+C_{gs}+C_{gd})}{g_{m0}}$的电感的串联。 ■

这个例子的结果有几个比较重要的结论。第一，如果MOSFET的栅极阻抗可以忽略，那么，低频时，从MOSFET源端看进去的阻抗是一个电阻，阻值为$1/g_{m0}$。如果不考虑跨导随频率的变化，该电阻阻值等于$\frac{1}{g_m}=\frac{1}{\beta(V_{GS}-V_{THN})}$。第二，如果MOSFET的栅极阻抗不可忽略且为纯电阻（当MOSFET被一个带内阻的源驱动时就是这种情形）时，那么，从MOSFET源端看进去的阻抗就有了高度的电感性（即存在电感分量）；如果源跟随器电路驱动的是电容负载，那么源跟随器电路就会出现振荡。第三，如果MOSFET栅极的阻抗有电感分量（当两个源跟随器级联时，第二级源跟随的栅极阻抗就是这种情形），那么，第二级源跟随器的输出阻抗可能为负值；只需把式（9-27）中的R_s用电感阻抗$j\omega L$替代，就会发现输出阻抗可能为负值。负阻抗意味着功率源（如电池一样），会导致电路振荡和比较差的阶跃响应。

9.3 MOSFET的温度效应

阈值电压和跨导参数都会随温度发生变化。阈值电压随温度的变化与表面势随温度的变化有关。表面势与温度的关系如下:

$$\phi_s(T)=PHI(T)=\frac{PHI\cdot T}{T_0}-\frac{3kT}{q}\cdot\ln\left(\frac{T}{T_0}\right)-\frac{E_g(T_0)\cdot T}{T_0}+E_g(T) \tag{9-28}$$

式中，E_g是硅的带隙能，单位是eV（$1\text{eV}=1.6\times10^{-19}\text{J}$），由下式给出:

$$E_g(T)=1.16-(702\times10^{-6})\cdot\frac{T^2}{T+1108} \tag{9-29}$$

在−100℃到100℃的温度范围内，阈值电压的温度系数可以估算为:

$$TCV_{THN}=\frac{1}{V_{THN}}\cdot\frac{dV_{THN}}{dT}\approx-3,000\,\frac{ppm}{°\text{C}} \tag{9-30}$$

阈值电压由下式给出: 175

$$V_{THN}(T)=V_{THN}(T_0)[1+TCV_{THN}\cdot(T-T_0)] \tag{9-31}$$

用CN20工艺加工的NMOS管，阈值电压随温度变化的PSPICE模拟结果如图9-10所示。在这些小电流情况下，阈值电压随温度的变化决定了漏电流的变化。根据图中阈值电压的改变幅度，可知阈值电压随温度的绝对变化量约等于−2.4mV/℃。注意，Berkeley提供的SPICE 2和SPICE 3

以及BSIM1模型，都不具备对噪声和温度建模的能力。


```
*** Top Level Netlist ***
M1_10u_10u     3 4 0 0 CMOSNB L=10u W=10u
Vdd      2 0     DC 5
Vgs      4 0     DC 0
VIMTR1 2 3      0V
***** Spice models and macro models *****
.MODEL CMOSNB NMOS LEVEL=4
+VFB=-9.73820E-01, LVFB=3.67458E-01,WVFB=-4.72340E-02
+ ... BSIM model parameters
+pbsw=0.8   mj=0.66036   mjsw=0.178543   wdf=0   dell=0
***** End of spice models and macro models *****
.probe
.DC Vgs .5 1.5 .05 temp -100 101 50
.end
```

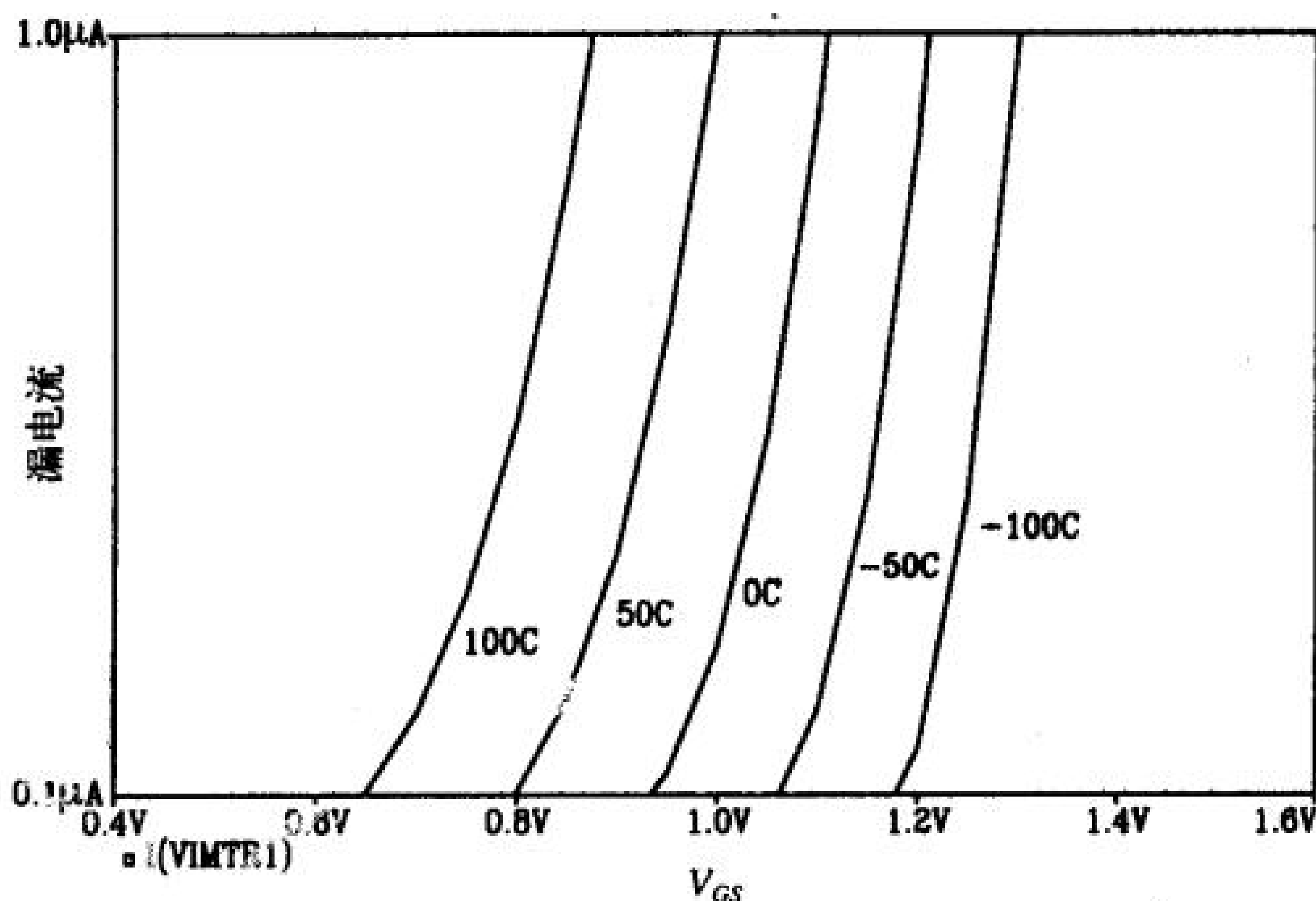


图9-10　V_{GS}近似为V_{THN}时阈值电压随温度的变化

跨导对温度的依赖关系是从迁移率对温度的依赖关系中推导得来的。迁移率与温度的关系如下:

$$\mu(T)=\mu(T_0)\cdot\left(\frac{T}{T_0}\right)^{-1.5} \tag{9-32}$$

跨导参数与温度的关系为:

$$KP(T)=KP(T_0)\cdot\left(\frac{T}{T_0}\right)^{-1.5} \tag{9-33}$$

式中，温度T的单位为K。

由图9-11可知：在漏电流很小时，表面势的影响决定漏电流的变化；而在漏电流较大时，迁移率的影响决定漏电流的变化。在设计数字电路时，相对于迁移率的变化，阈值电压的变化通常被忽略，即迁移率的改变对门延迟的影响相对于阈值电压对门延迟的影响要大的多。从图9-11还可发现：在V_{GS} = 1.8V时，漏电流保持恒定；由此可以得到如下结论：若将器件偏置在这个栅-源电压下，能得到一个与温度无关的电路。事实的确如此。但是，要真正应用该结论实现一个与温度无关的电路，就需要精确地把电路偏置在这一电压下；此外，还存在工

艺加工偏差。这些因素都使得在很多情况下，应用这个结论非常困难。第21章要介绍的β倍乘基准自偏置电路利用了跨导参数与温度的关系，产生基准电流。

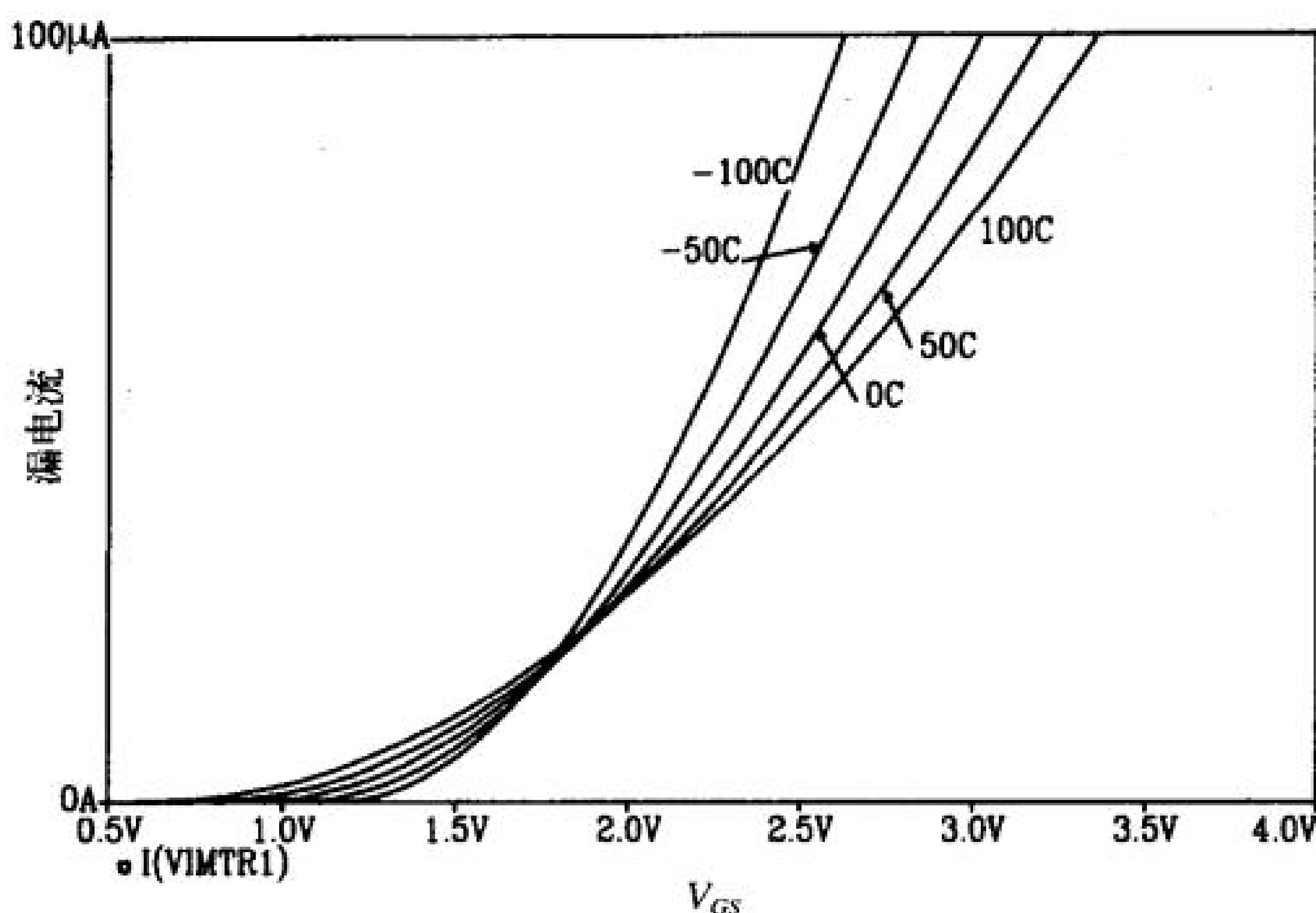


图9-11　$V_{GS} >> V_{THN}$时迁移率的影响

例9.6

随温度的升高，MOSFET的漏电流会下降，因此，可以防止MOS管发生热失控。利用MOSFET的这一特性，可将MOSFET用于电源电路。利用图9-11证明这个推测。

176～177

如果保持栅-源之间电压为2.5V，根据图9-11可知，漏电流会随着温度的升高而减小。在V_{GS} = 2.5V时，迁移率的变化起主导作用。在V_{GS} = 1.25V时，表面势决定漏电流的温度特性，漏电流会随温度的升高而增大。因此，除非$V_{GS} >> V_{THN}$，否则，MOSFET的热失控问题仍然存在。 ■

9.4 MOSFET的噪声

MOSFET中的噪声源包括热噪声和闪烁噪声（即1/f噪声）。MOSFET中的热噪声来自于有效沟道电阻、寄生漏电阻（R_D）、源电阻（R_S）、栅电阻（R_G）和衬底电阻（R_B）。寄生电阻产生的热噪声可由下式给出：

$$\sqrt{\overline{i_{RX}^2}} = \sqrt{\frac{4kT}{R_X}} \tag{9-34}$$

式中，X代表了D、S、G或者B端，T的单位为K，$k = 1.38 \times 10^{-23}$W · s/°K，测量时的带宽为B。

在饱和区的沟道电阻阻值为$\frac{3}{2}\cdot\frac{1}{g_m}$，而在线性区则为$R_{CH}$。饱和区时，由沟道电阻引入的热噪声为：

$$\sqrt{\overline{i_{therm}^2}} = \sqrt{4kT\cdot\frac{2g_m}{3}} = \sqrt{\frac{8kT}{3}\cdot\sqrt{2\beta\cdot I_D}} \tag{9-35}$$

这是一个位于MOSFET漏端和源端之间的噪声源。

闪烁噪声是由反型沟道中栅氧化层-硅表面的电荷陷阱引起的。存在电荷陷阱的原因是在栅氧化层和硅界面存在硅的晶格缺陷。在陷阱附近会发生载流子的复合和产生，从而使沟道电流存在涨落。由于硅中载流子的寿命在几十微秒量级，所以，陷阱附近的载流子复合和产生所导致的电流起伏集中在低频波段。在SPICE中，闪烁噪声可以用RMS噪声源建模，见下式:

$$\sqrt{\overline{i_{1/f}^2}} = \sqrt{\frac{KF \cdot I_D^{AF}}{f \cdot (C'_{ox} \cdot L)^2}} \tag{9-36}$$

式中，KF是闪烁噪声系数，典型值是$10^{-30}\mathrm{A}^{2-\mathrm{AF}}\ (\mathrm{F/m})^2$；$I_D$是直流漏电流，$AF$是闪烁噪声指数，取值范围从0.5到2；$f$是频率。图9-12中给出了MOSFET的噪声模型，所有的噪声源都是RMS类型（可以参考7.3节中的噪声计算）。另外，如果在SPICE中设置$NLEV = 1$，则SPICE在计算噪声时，会将式（9-36）中的L^2项替换为LW。

178

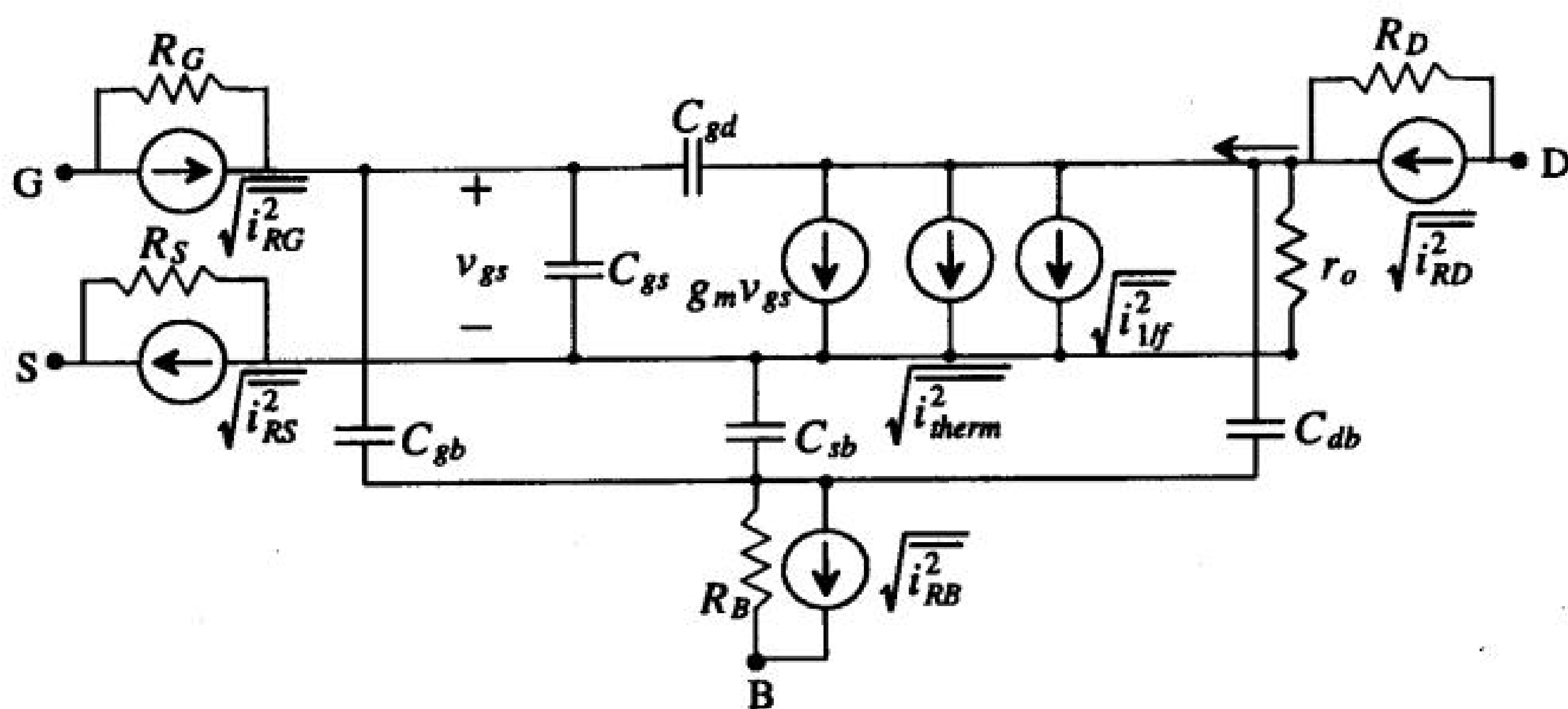


图9-12 MOSFET的噪声模型

由于热噪声的影响都来源于寄生电阻，所以，手算时可忽略寄生电阻引入的噪声，只需考虑沟道热噪声和闪烁噪声这两部分噪声。这两个噪声源都可以换算到MOSFET的栅端。如果忽略体效应，串联在栅端的噪声电压的均方根幅值为:

$$\sqrt{\overline{v_{therm}^2}} = \frac{\sqrt{\overline{i_{therm}^2}}}{g_m} \tag{9-37}$$

$$\sqrt{\overline{v_{1/f}^2}} = \frac{\sqrt{\overline{i_{1/f}^2}}}{g_m} \text{ 或 } \overline{v_{1/f}^2} = \frac{\overline{i_{1/f}^2}}{g_m^2} = \frac{KF \cdot I_D^{AF-1}}{2 \cdot KP \cdot C'^2_{ox} \cdot W \cdot L \cdot f} \tag{9-38}$$

如果源端没有接到衬底，则上面公式中的g_m要换成（$g_m - g_{mb}$）。有时候可以用式（9-37）和式（9-38）直观地估算出放大器输入端的MOSFET噪声所决定的最小可探测输入信号。

例9.7

使用CN20工艺参数，在1到1kHz的频带范围内，估算图Ex9-7所示电路的RMS输出噪声。$L = W = 10\mu\mathrm{m}$，$KF = 10^{-30}$，$AF = 1.3$，并假设MOSFET寄生电阻所产生的热噪声可忽略。

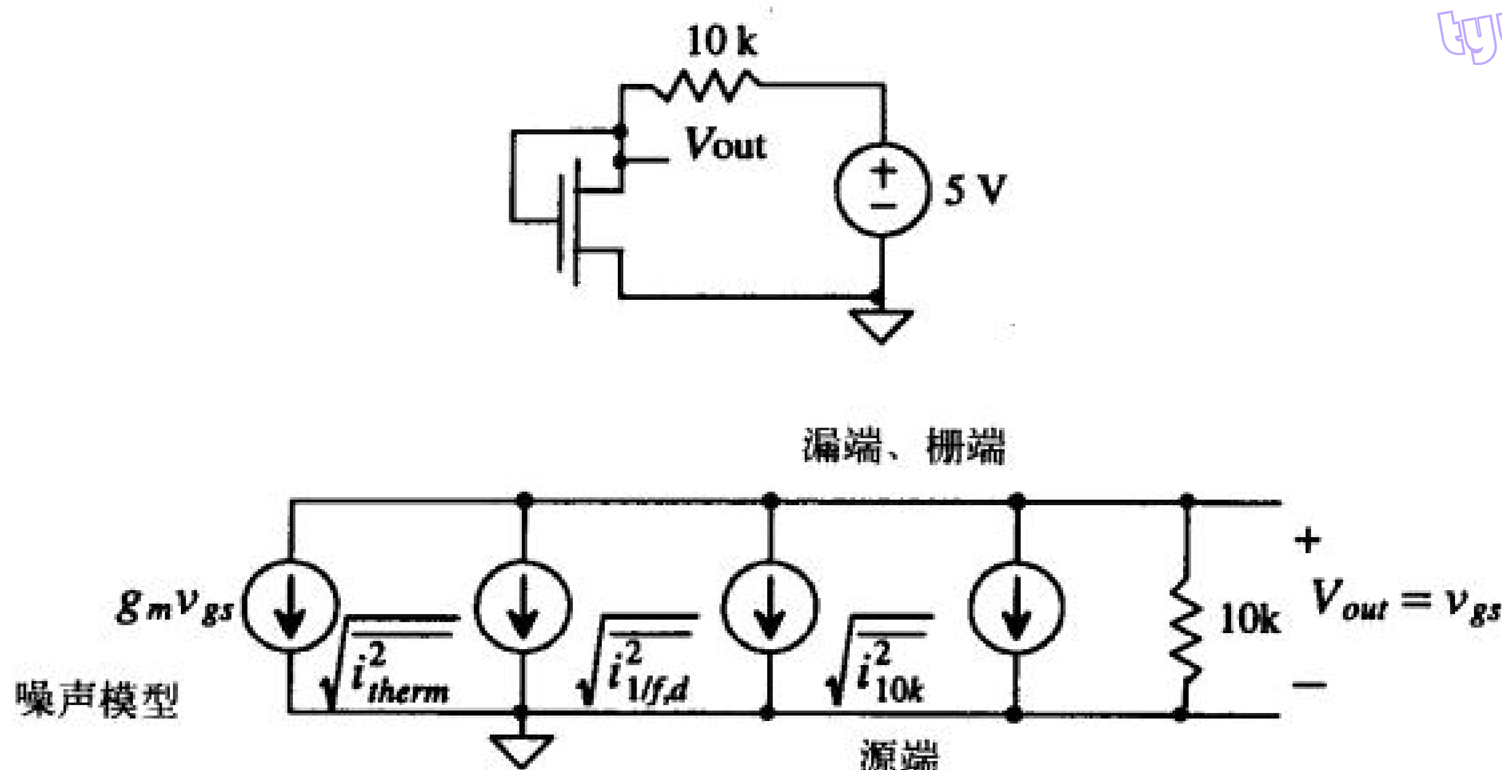


图　Ex9-7

通过求解下式，可得到直流栅压约为3.3V:

$$\frac{5-V_{GS}}{10\text{k}} = \frac{\beta}{2}(V_{GS}-V_{THN})^2 = 25\frac{\mu\text{A}}{\text{V}^2}(V_{GS}-0.83)^2$$

179

漏电流为153μA。根据第7章所述的噪声分析方法，可得到图Ex9-7所示的电路噪声模型。根据叠加原理，可以得到每个噪声源的RMS输出噪声。注意到，栅-源之间的电压和输出电压是相同的信号，于是，由10kΩ电阻产生的噪声为:

$$10\text{k}\left(\sqrt{\overline{i^2_{10k}}} + g_m v_{gs}\right) = -v_{gs}$$

整理为:

$$v_{gs} = V_{out} = -\sqrt{\overline{i^2_{10k}}} \cdot \frac{\frac{1}{g_m}\cdot 10\text{k}}{10\text{k}+\frac{1}{g_m}}$$

这表明，当MOSFET的栅端和漏端接在一起时，它相当于一个阻值为$\dfrac{1}{g_m}$的电阻。因此，为了节省时间和精力，可将上面的电流源（$g_m v_{gs}$）用一个无噪声的电阻替代，然后再进行下面的噪声计算。

下面继续进行噪声分析来求出每个噪声源的RMS输出噪声。注意到，不能直接将噪声源加到一起，除非先把每一项进行平方运算。沟道电阻引入的热噪声为:

$$\sqrt{\overline{i^2_{therm}}} = \sqrt{4\cdot 1.38\times 10^{-23}\cdot 300\cdot \frac{2}{3}\sqrt{4\cdot 25\mu\text{A/V}^2\cdot 153\mu\text{A}}} = 1.2\frac{\text{pA}}{\sqrt{\text{Hz}}}$$

由于$\dfrac{1}{g_m} = 8.1\text{k}\Omega$，所以:

$$\sqrt{\overline{v^2_{therm,out}}} = 1.2\frac{\text{pA}}{\sqrt{\text{Hz}}}\cdot 10\text{k}\|8.1\text{k} = 5.4\frac{\text{nV}}{\sqrt{\text{Hz}}}$$

RMS $1/f$ 噪声电流为:

$$\sqrt{\overline{i^2_{1/f,d}}} = \sqrt{\frac{10^{-30}\cdot(150\mu A)^{1.3}}{f\cdot(10)^2\cdot(800\times10^{-18})^2}} = \frac{408\ pA}{\sqrt{f}}$$

由$1/f$噪声引起的RMS输出噪声电压为:

$$\sqrt{\overline{v^2_{1/f,out}}} = 408\frac{pA}{\sqrt{f}}\cdot 10k\|8.1k = 1.82\frac{\mu V}{\sqrt{f}}$$

10kΩ电阻引入的输出RMS噪声电压为:

180

$$\sqrt{\overline{v^2_{10k}}} = 10k\|8.1k\cdot\sqrt{\frac{4kT}{10k}} = 5.8\frac{nV}{\sqrt{Hz}}$$

这样，把每一项RMS平方，然后在感兴趣的频率范围上积分，即可得到总的输出噪声的均方值，即:

$$\overline{v^2_{on}} = \int_{f_L}^{f_H}\left(\overbrace{29.16\frac{aV^2}{Hz}}^{\text{沟道电阻引入的热噪声}} + \overbrace{\frac{3.33\times10^{-12}V^2}{f}}^{1/f} + \overbrace{33.6\frac{aV^2}{Hz}}^{10k\Omega\text{电阻引入的热噪声}}\right)df$$

积分后:

$$\overline{v^2_{on}} = \left(29.16\frac{aV^2}{Hz} + 33.6\frac{aV^2}{Hz}\right)\cdot(f_H - f_L) + \overbrace{3.33\ pV^2\cdot(\ln f_H - \ln f_L)}^{1/f}$$

在1Hz到1kHz的带宽范围内，总的RMS输出噪声电压为$\sqrt{\overline{v^2_{on}}} = 4.7\mu V$。RMS输出噪声中$1/f$噪声起决定作用。从上面的结果还可以发现：1Hz到1kHz带宽范围中的$1/f$噪声与1MHz到1GHz带宽范围内的$1/f$噪声相同。■

参考文献

[1] F. Maloberti, "Layout of Analog and Mixed Analog-Digital Circuits," in J. E. Franca and Y. Tsividis, eds., *Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing*, 2nd ed., Prentice-Hall, 1994. ISBN 0-13-203639-8.

[2] C. D. Motchenbacher and F. C. Fitchen, *Low-Noise Electronic Design*, John Wiley and Sons, 1973. ISBN 0-471-61950-7.

181

[3] H. L. Krauss, C. W. Bostian, and F. H. Raab, *Solid State Radio Engineering*, John Wiley and Sons, 1980. ISBN 0-471-03018-X.

习题

除非另做说明，否则，均使用CN20工艺提供的数据。

9.1 用PMOS管的变量v_{sg}和v_{bs}，画出对应PMOS管的图9-6。这些小信号电压是正数还是负数？可参考附录A。

9.2 用SPICE直流扫描功能，画出图P9-2中MOSFET的漏电流与V_{GS}的关系图。在曲线上V_{GS} = 2V处，正

切线的近似斜率是多少？该斜率的倒数有什么物理意义？

9.3 例9.1所示电路中，如果$L = 2\mu m$，$W = 5\mu m$，$V_{GS} = 1.5V$，$v_{gs} = 1 0mV$，求出此时的交流漏电流，并用SPICE仿真验证计算的结果。

9.4 通过手算来估计下面图P9-4电路中的交流漏电流的大小。MOSFET的$W=15\mu m$，$L=5\mu m$。

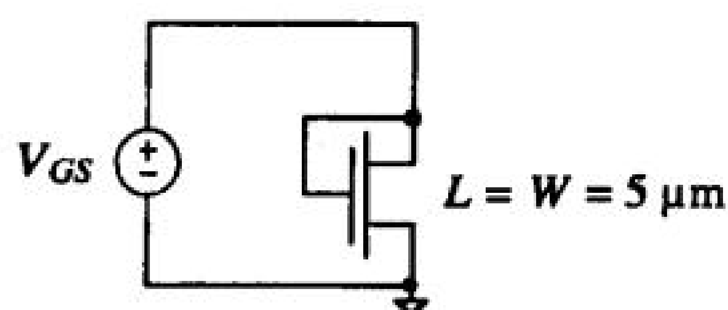


图 P9-2

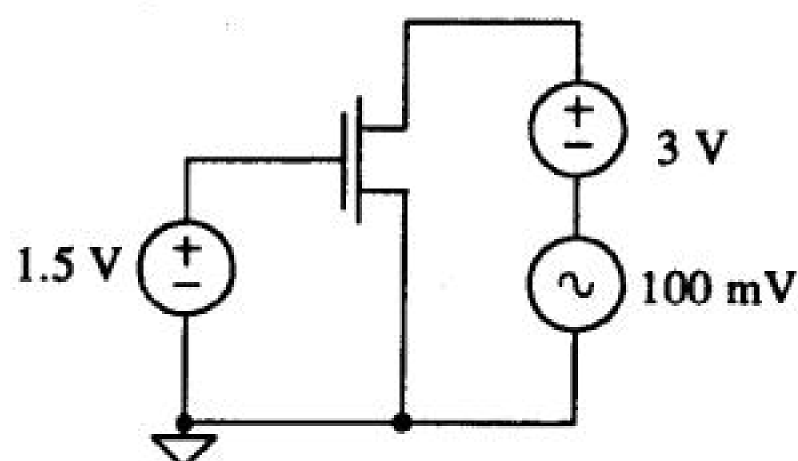


图 P9-4

9.5 用SPICE验证习题9.4的结果。

9.6 在$V_{GS} = 3V$、$V_{DS} = 1.5V$、v_{ds}仍为100mV的情况下，重做习题9.4。

9.7 使用SPICE的直流扫描功能，画出图P9-7中MOSFET的漏电流与V_{SG}的关系图。

9.8 估算图P9-8所示电路的交流漏电流的大小。图中PMOS管的$W = 70\mu m$，$L = 5\mu m$。如果$V_{SD} = 0$，即PMOS管的漏端接地，交流漏电流会什么变化？

182

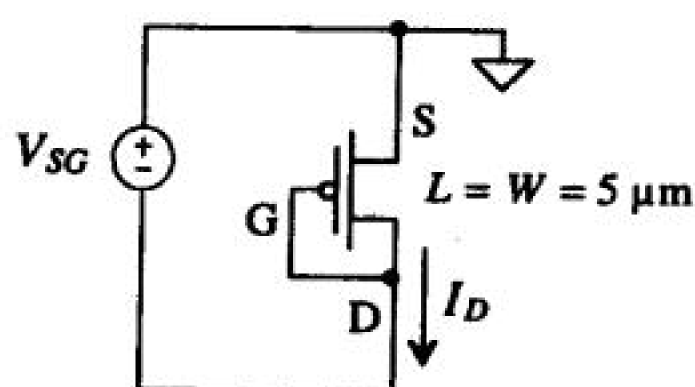


图 P9-7

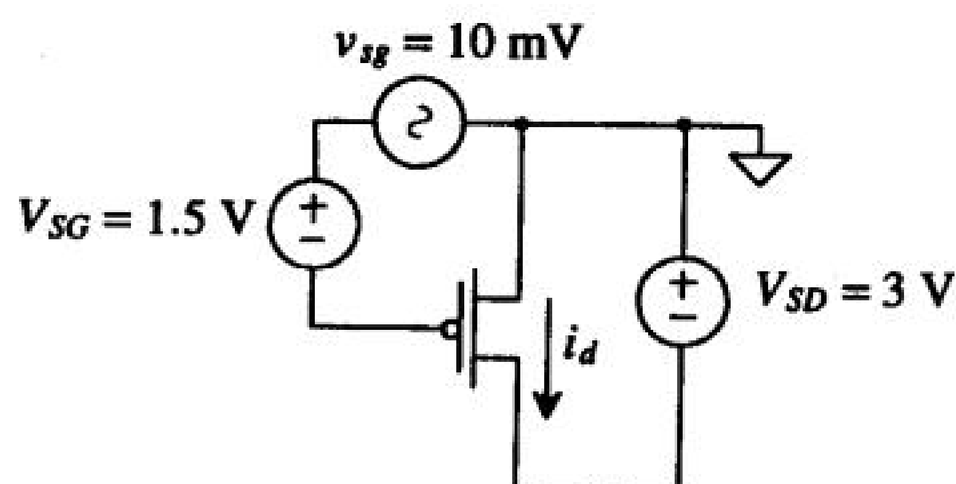


图 P9-8

9.9 用SPICE验证习题9.8的解答。

9.10 对于图P9-10所示电路，重新求解习题9.8并用SPICE仿真验证计算结果。

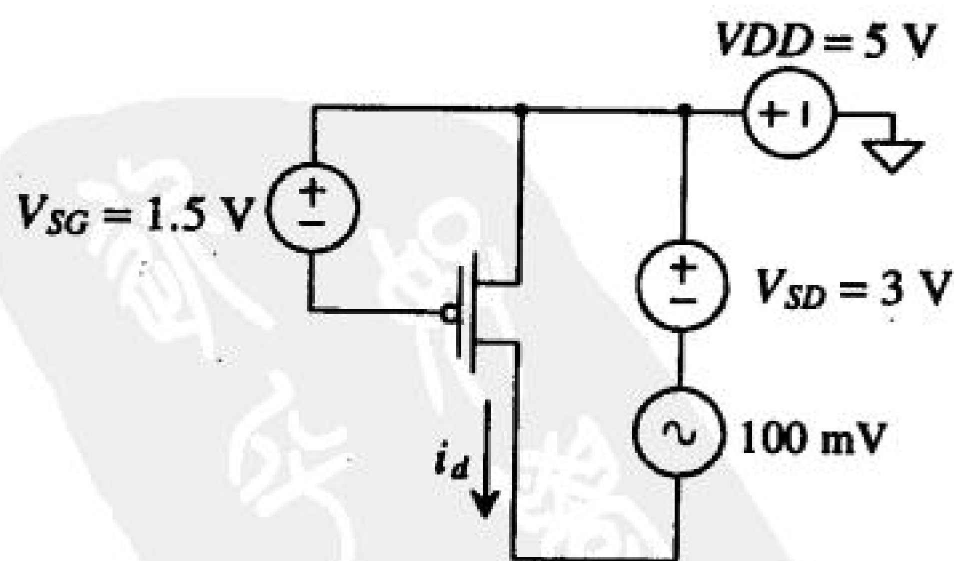


图 P9-10

9.11 如果图Ex9-3是n阱PMOS管的版图，重做例9.3。

9.12 图P9-12给出的是一个用来确定MOSFET的f_T的测试电路。用这个电路和SPICE来验证例9.4的计算结果。注意：MOSFET必须偏置在饱和区。另外，在频率f_T和直流情形下，漏电流和栅电流的关

系是什么?

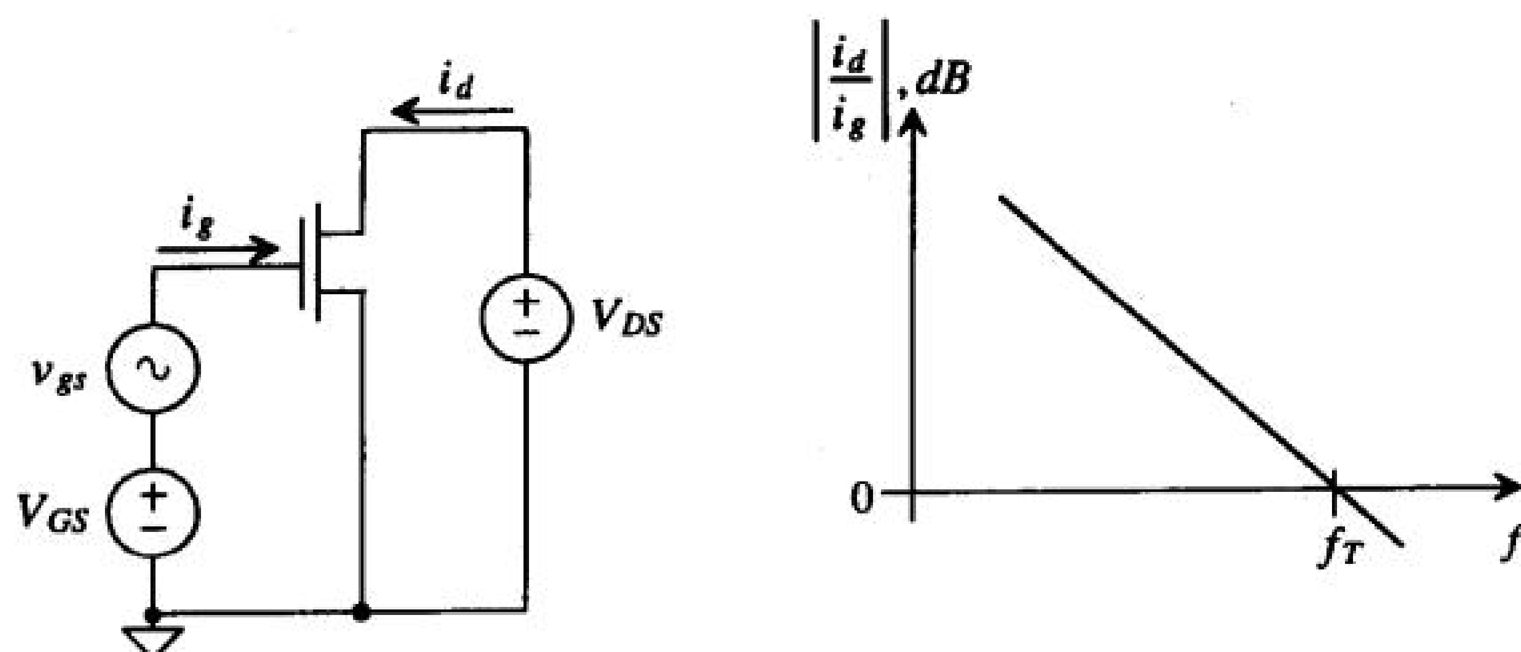


图　P9-12

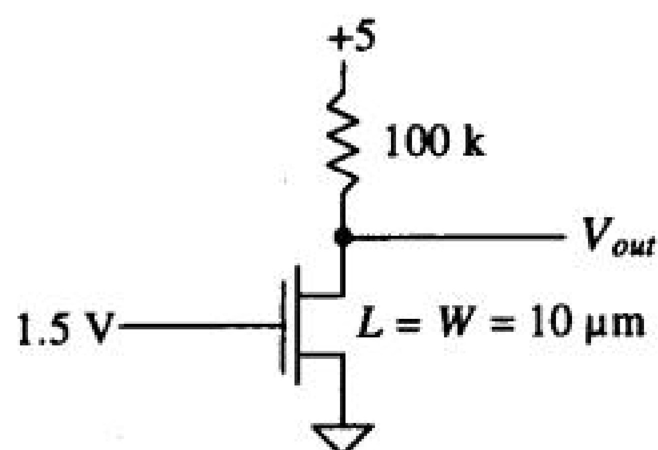
183

9.13　为了增大模拟电路的工作范围，通常会把$V_{GS}-V_{THN}$设置得很小，这样做对电路速度有什么影响?

9.14　随着温度的上升，NMOS管的阈值电压是上升还是下降? 在一些CMOS工艺中，MOSFET的阈值电压在0.5V左右；如果在一个CMOS工艺中，阈值电压下降到几百毫伏，会带来什么问题? 画图来说明这些问题。(提示：考虑温度的影响和亚阈值电流)。

9.15　用SPICE仿真验证例9.7中得到的大小为4.7μV的 RMS输出噪声电压。

9.16　频率在1Hz到10kHz范围内，求出下面电路的RMS输出噪声，并用SPICE仿真验证计算结果。忽略MOSFET的寄生电阻，并假设在这个频率范围内，器件的电容对噪声特性几乎没有影响。



184

图　P9-16

第10章 MOSFET的数字模型

通过前面几章的学习，我们对CMOS电路的仿真、版图设计以及与CMOS工艺相关的寄生效应已经比较熟悉了。从本章开始，我们转入数字电路设计领域。有了前面几章的基础，再理解数字电路设计就容易多了。本章将介绍MOSFET的数字模型。

10.1 MOSFET的数字模型

考虑图10-1所示MOSFET电路。最初$V_{GS}=0$，MOSFET关断，漏端电压为VDD。如果MOSFET的栅端电压从0V瞬时跳变到VDD，开始时流经MOSFET的电流为：

$$I_D=\frac{KP_n}{2}\cdot\frac{W}{L}\cdot(VDD-V_{THN})^2=\frac{\beta}{2}\cdot(VDD-V_{THN})^2 \tag{10-1}$$

图10-2中的A点是MOSFET的栅端电压跳变到VDD（=5V）之前的工作点。当MOSFET的栅端电压从0V瞬时跳变到VDD后，工作点移向B点，并沿$V_{GS}=VDD$这条曲线逐渐到达C点（$I_D\approx 0$、$V_{DS}=0$）。

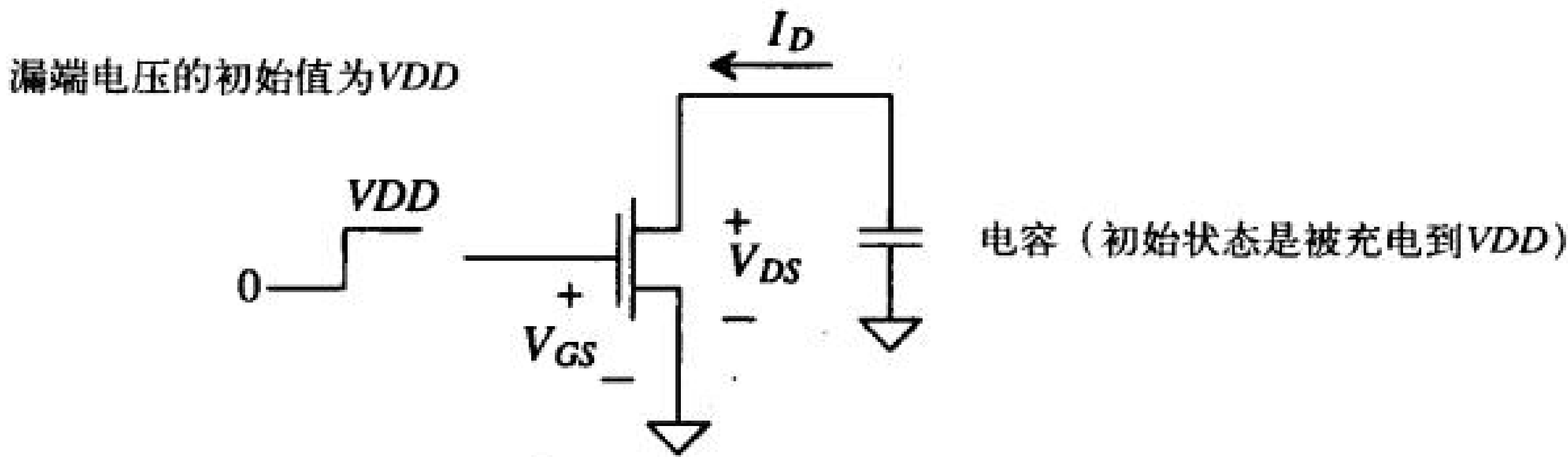


图10-1 MOSFET开关电路

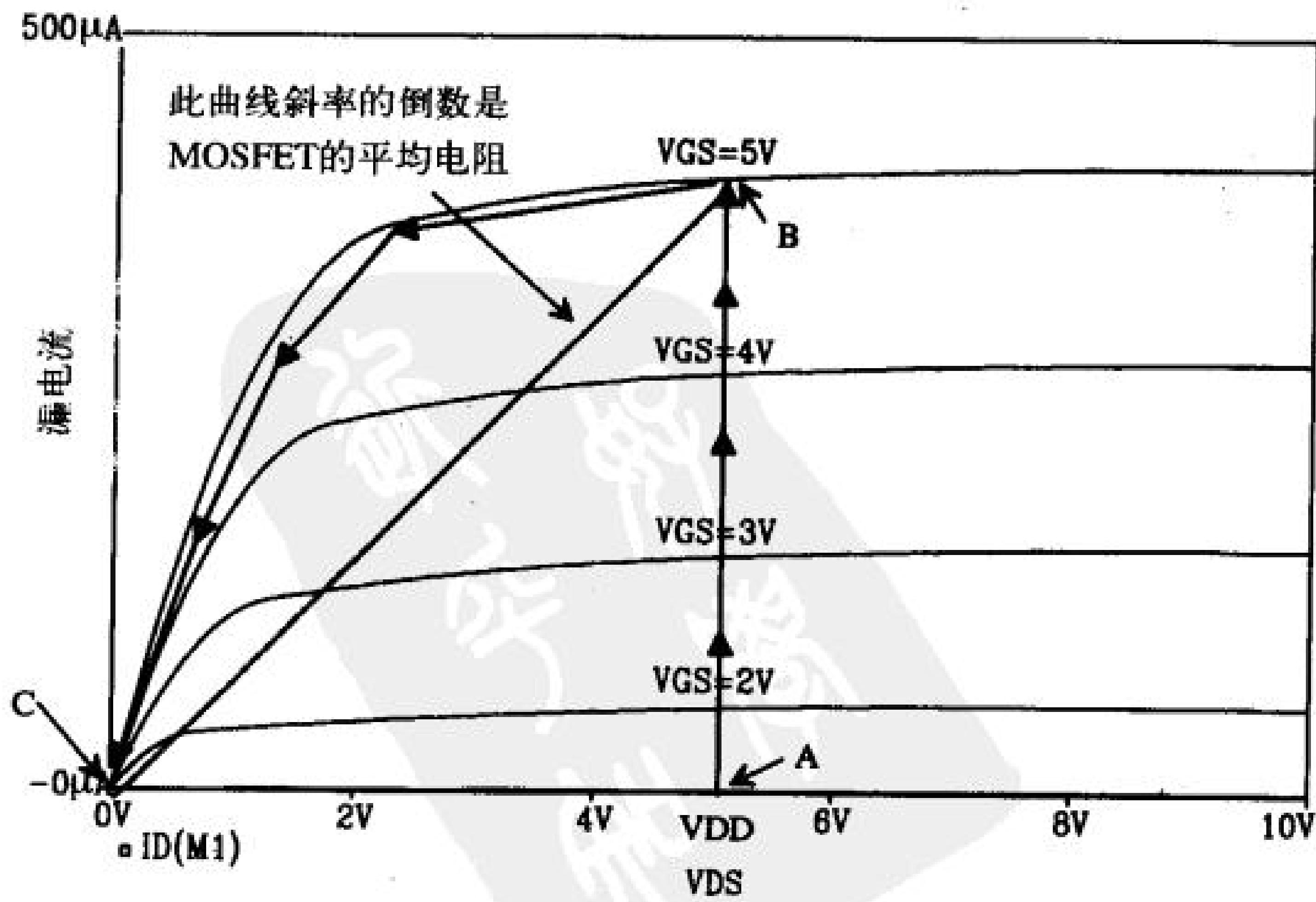


图10-2 计算开关过程中的MOSFET平均电阻

MOSFET源端和漏端之间的电阻可以用图10-2中BC段曲线斜率的倒数来估计，即：

$$R_n = \frac{VDD}{\frac{KP_n}{2}\frac{W}{L}\cdot(VDD - V_{THN})^2} = R_n' \cdot \frac{L}{W} \tag{10-2}$$

可用图10-3所示电路为MOSFET建模。当$V_{GS} > VDD/2$时开关导通，而V_{GS}小于$VDD/2$时开关关断。在这个模型中，假设输入端的阶跃转换是在零时间内完成（即上升时间为零），所以，很容易确定开关是处于导通状态还是处于关断状态。但在实际的电路中，不可能有上升时间为零的脉冲，因此，这个模型有其局限性。尽管如此，在分析和设计数字电路时，该模型仍得到广泛应用。通常，用该模型得到的结果与用仿真或测量得到的结果相比，比值在0.5到2之间。

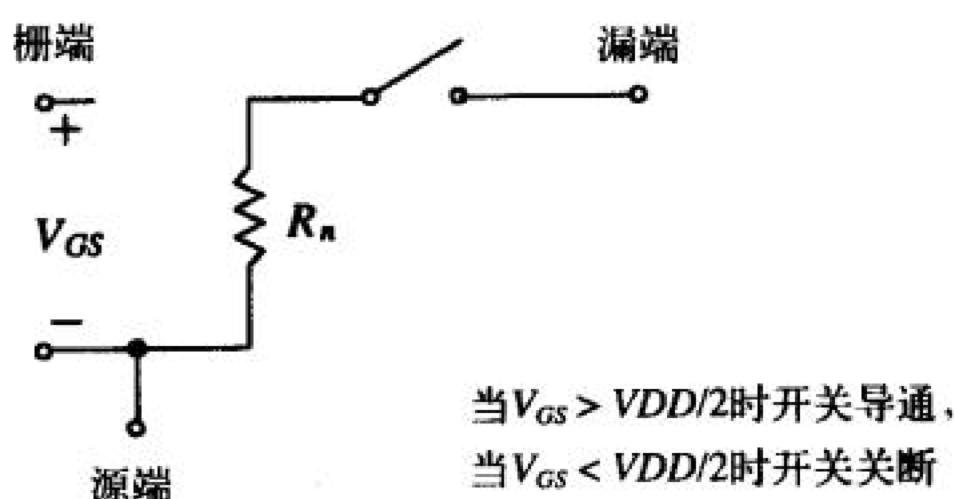


图10-3 MOSFET的简化数字模型

把BSIM模型参数用到这个数字模型中，可以初步预测出短沟道MOS管有效电阻的上升趋势。上升的原因在于，短沟道MOS管的漏电流随V_{GS}的增加是线性增加而不再是平方关系。相对于长沟道器件，短沟道MOS管BSIM模型中的MUZ参数的值通常要低一些，其原因是存在迁移率退化。已知BSIM模型参数，可以求出数字模型的电阻，即：

$$R_n = \frac{2L\cdot VDD}{MUZ\cdot C_{ox}'\cdot W\cdot(VDD - V_{THN})^2} = R_n' \cdot \frac{L}{W} \tag{10-3}$$

186

10.1.1 电容的影响

现在需要把开关MOSFET的电容加到图10-3所示的模型中。考虑图10-4所给出的MOSFET电路，栅-漏之间和栅-源之间的电容都是$C_{ox}/2$，这是MOSFET工作于线性区时的电容。在建立MOSFET数字模型时，通常忽略源区和衬底、漏区和衬底之间的耗尽层电容。当输入电压从0变为VDD时，输出电压则由VDD变成0。假设转换是线性的，那么流经C_{gd}（$= C_{ox}/2$）的电流由下式给出：

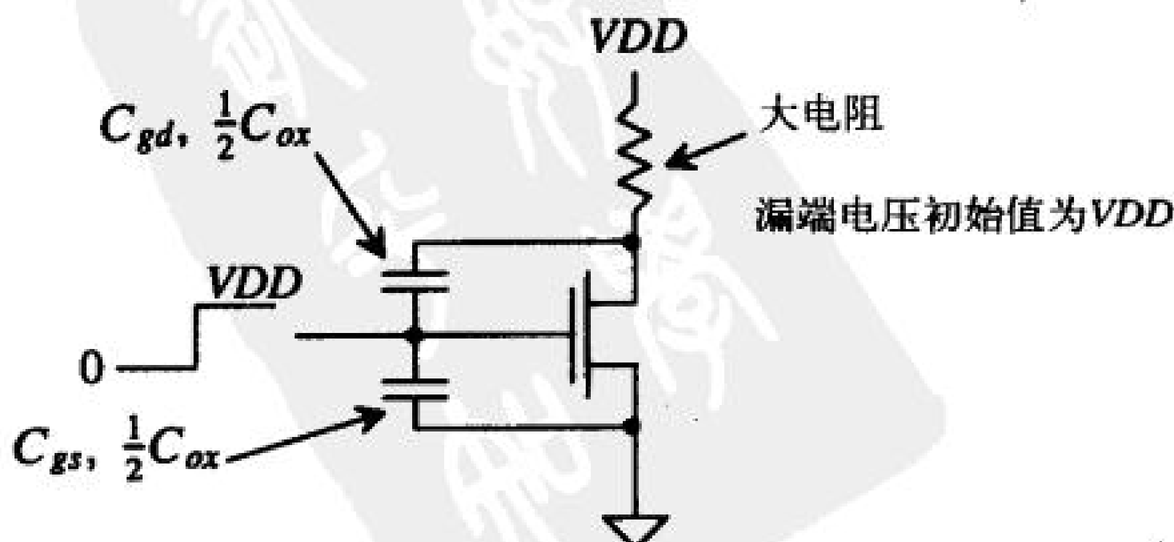


图10-4 带电容的MOSFET开关电路

$$I = C_{gd} \cdot \frac{dV_{gd}}{dt} = \frac{C_{ox}}{2} \cdot \frac{VDD-(-VDD)}{\Delta t} = C_{ox} \cdot \frac{VDD}{\Delta t} = C_{ox} \cdot \frac{dV_{DS}}{dt} \quad (10\text{-}4)$$

C_{gd}上的电压变化为$2 \cdot VDD$。在图10-4中，流经这个电容的电流是MOSFET的漏电流。还可以把C_{gd}分成从栅端到地和从漏端到地两部分电容，这两部分电容的值均为$2C_{gd}$（或C_{ox}）。图10-5中给出了开关MOSFET的完整模型。

10.1.2 MOS管的时间常数

学到这里，我们或许会问一个很重要的问题："一个MOS管的固有开关速度是多少？"观察图10-4和10-5可以发现，其固有时间常数为R_nC_{ox}，即：如果漏端初始时被充电到VDD（如图10-4所示），当输入从0转换到VDD时，输出电压会衰减下降，衰减的时间常数为R_nC_{ox}。对于一个NMOS管，该时间常数为：

$$\tau_n = R_nC_{ox} = \frac{2L \cdot VDD}{KP_nW(VDD-V_{THN})^2} \cdot C'_{ox}WL = \frac{2L^2C'_{ox} \cdot VDD}{KP_n \cdot (VDD-V_{THN})^2} \quad (10\text{-}5)$$

由上式知，MOSFET的时间常数与沟道长度L的平方成正比，与沟道宽度W无关；另外，VDD越大，时间常数越小。这与前面章节中讨论过的单位电流增益频率f_T非常相似。

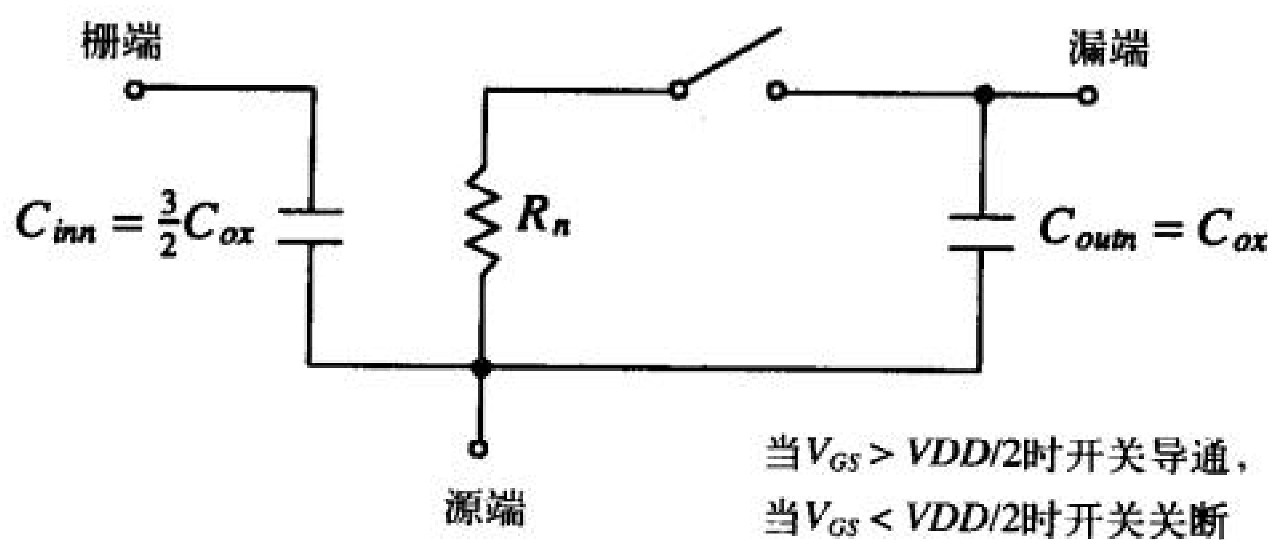


图10-5 MOSFET的简化数字模型

例10.1

用BSIM模型参数，估算CN20工艺中的NMOS管和PMOS管的时间常数。

要求时间常数，需先求出R'_n和R'_p。由公式（10-3）知，NMOS管的R_n为：

$$R_n = R'_n \cdot \frac{L}{W} = \frac{2 \cdot VDD}{MUZ \cdot C'_{ox}(VDD-V_{THN})^2} \cdot \frac{L}{W} = \frac{2 \cdot 5 \cdot (L/W)}{\left(598\frac{\text{cm}^2}{\text{V}\cdot\text{s}}\right)\left(800\frac{\text{aF}}{\mu\text{m}^2}\right)\left(\frac{10^8\mu\text{m}^2}{\text{cm}^2}\right)(5-0.83)^2}$$

$$= 12\ \text{k}\Omega \cdot \frac{L}{W}$$

PMOS管的R_p为：

$$R_p = R'_p \cdot \frac{L}{W} = \frac{2 \cdot 5 \cdot \frac{L}{W}}{\left(211\frac{\text{cm}^2}{\text{V}\cdot\text{s}}\right)\left(800\frac{\text{aF}}{\text{cm}^2}\right)\left(\frac{10^8\mu\text{m}^2}{\text{cm}^2}\right)(5-0.92)^2} \approx 36\ \text{k}\Omega \cdot \frac{L}{W}$$

187～188

最小沟道长度的MOS管的时间常数为：

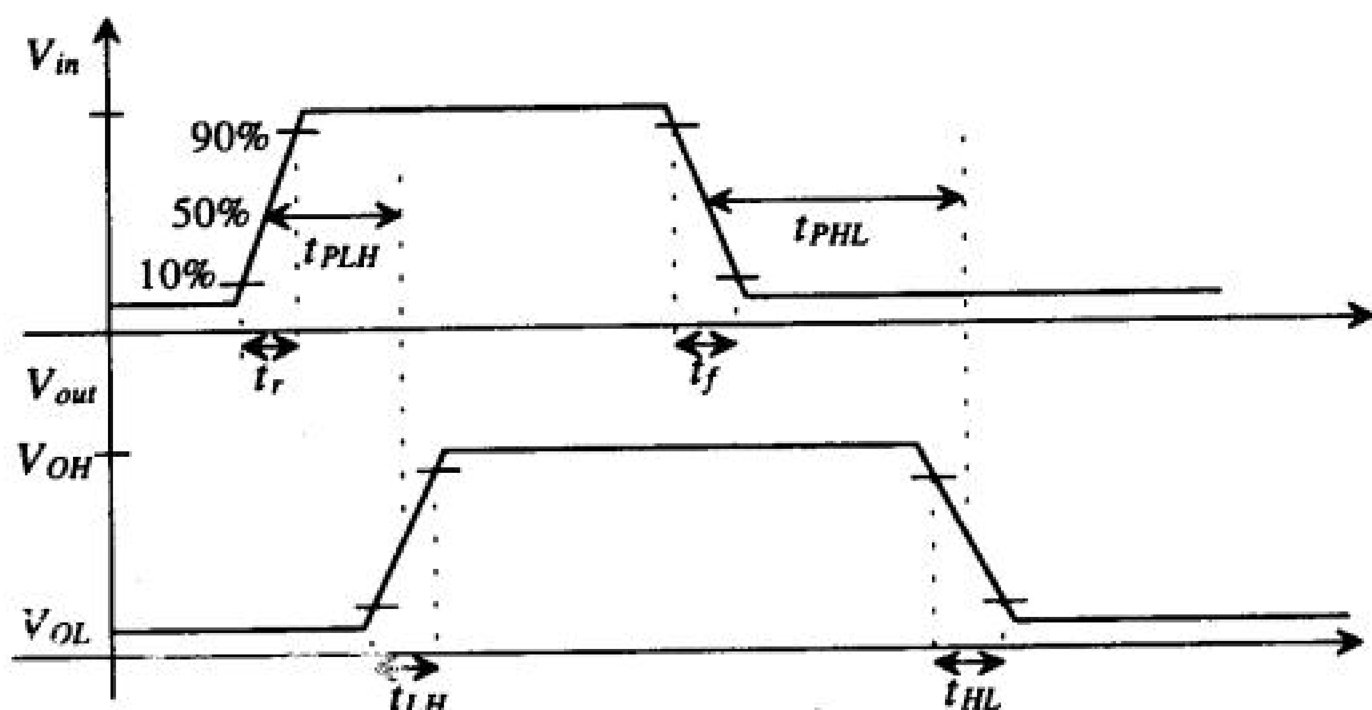
$$\tau_n = R_nC_{ox} = 12\text{k} \cdot \frac{2\ \mu\text{m}}{W} \cdot \left(800\frac{\text{aF}}{\mu\text{m}^2}\right)W(2\ \mu\text{m}) = 38\ \text{ps}$$

$$\tau_p = R_p C_{ox} = 3\tau_n = 114 \text{ ps}$$ ■

这个例子给出了一些比较有用的结果。在CN20工艺中，电子迁移率是空穴迁移率的三倍，因此，PMOS管的电阻是NMOS管电阻的三倍，使得时间常数也是三倍关系。另外，只要$VDD = 5V$，本例计算出的有效电阻结果可在后面章节中直接使用。

10.1.3 延迟时间和转换时间

在对数字模型做深入讨论之前，首先要定义逻辑电路中的延迟时间和转换时间（即上升/下降时间）。考虑图10-6，上面的曲线是一个逻辑门的输入信号，下面的曲线是输出信号。这里，输入信号和输出信号之间没有逻辑翻转。但是，下面的定义对存在翻转的情况也适用。输出信号的上升和下降时间分别记为t_{LH}和t_{HL}。输出的50%点和输入的50%点之间的延迟时间记为t_{PLH}和t_{PHL}，t_{PLH}和t_{PHL}分别对应输出从低变为高和从高变为低的情形。这些定义对于描述数字电路的时域特性非常重要。



189

图10-6　延迟和转换的时间定义

对于图10-7中的简单RC电路，延迟时间由下式给出：

$$t_{delay} = 0.7RC \tag{10-6}$$

上升或下降时间为：

$$t_{rise} = 2.2RC \tag{10-7}$$

对于图10-5所示MOSFET的简化数字模型，可以假设：无论从高变到低还是从低变到高，传输延迟时间都是同一个时间常数，即：

$$t_{PHL},\ t_{PLH} \approx R_{n,p} \cdot C_{tot} \tag{10-8}$$

输出的上升/下降时间由下式给出：

$$t_{HL},\ t_{LH} \approx 2R_{n,p} \cdot C_{tot} \tag{10-9}$$

式中，C_{tot}是MOSFET漏端到地的总电容，$R_{n,p}$是NMOS管或PMOS管的有效电阻。这些模型不能给出精确结果，但在确定延迟和转换时间的近似值时还是很有用的；通常，用该模型得到的结果与用仿真或测试得到的结果相比，比值在0.5到2之间。

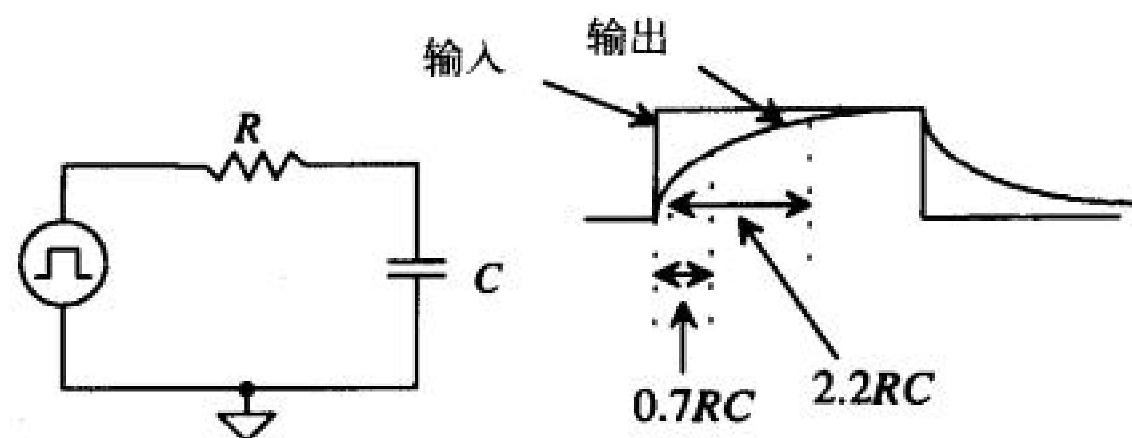


图10-7　一个简单RC电路的延迟和上升时间

例10.2

估算下面电路（图10-8）的上升时间和下降时间，并将计算结果与SPICE仿真结果比较。

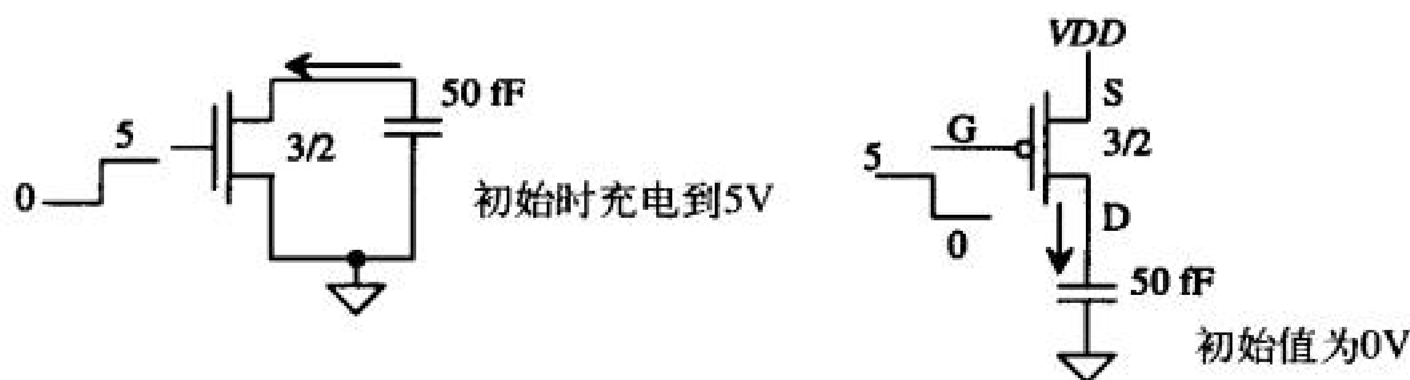


图10-8　例10.2用到的电路

根据例10.1，NMOS管的有效电阻为：$R_n = 12\text{k} \cdot \dfrac{2\mu\text{m}}{3\mu\text{m}} = 8\text{k}\Omega$，PMOS管的有效电阻为：$R_p$ = 24kΩ，C_{ox}等于2μm · 3μm · 800aF/μm² = 4.8 fF。图10-9给出了用数字模型表示的等效电路。PMOS管漏端和栅端之间的电容C_{ox}画在了漏端和地之间，而不是漏端和*VDD*之间。从电路的电学特性方面来讲，这两种画法之间没有任何区别；但画在漏端和地之间，C_{ox}和50fF的C_L电容并联，分析电路的工作原理时会更直观一些。

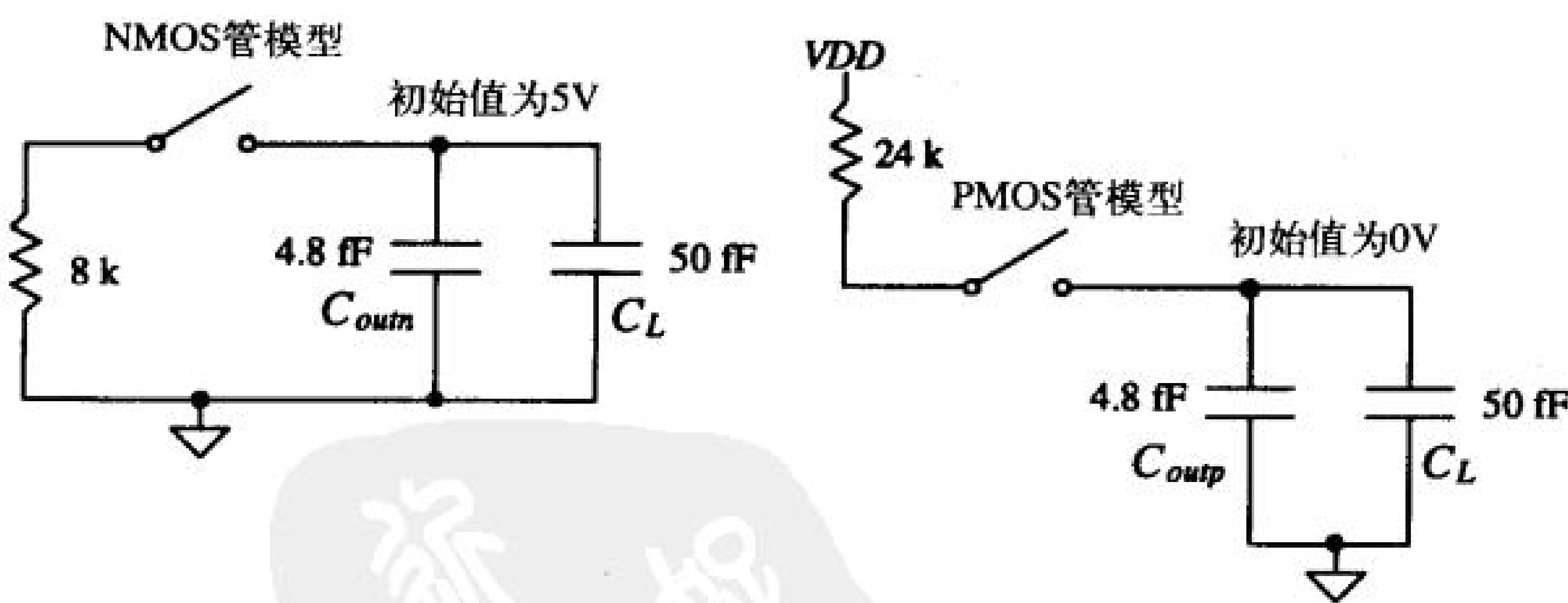


图10-9　计算例10.2中的开关时间所用到的模型

由图10-9，可以手算得到NMOS管的转换时间和延迟时间：t_{PHL}为438ps，下降时间t_{HL}为877ps。对于PMOS管：t_{PLH} = 1.3ns，t_{LH} = 2.6ns。图10-10给出了SPICE仿真结果。下面是仿真时所用到的PSPICE网表文件；其中的.OPTION语句用来帮助解决收敛问题（见第6章）。 ■

```
*** Top Level Netlist ***
C1      1 0 50f  IC=5
C2      2 0 50f  IC=0
M1      1 3 0 0 CMOSNB  L=2u W=3u
M2      2 4 5 5 CMOSPB  L=2u W=3u
```

```
V1     5 0     DC 5 AC 0 0
V2     3 0     DC 0 AC 0 0 PULSE(0 5 1n 1p)
V3     4 0     DC 0 AC 0 0 PULSE(5 0 1n 1p)

.MODEL CMOSNB NMOS LEVEL=4
.... BSIM model parameters of Appendix A
.MODEL CMOSPB PMOS LEVEL=4
.... BSIM model parameters of Appendix A

.OPTION ABSTOL=1u ITL4=100 RELTOL=0.01 VNTOL=.1mv
.probe
.tran 1n 5n 0 .01n uic
.end
```

191

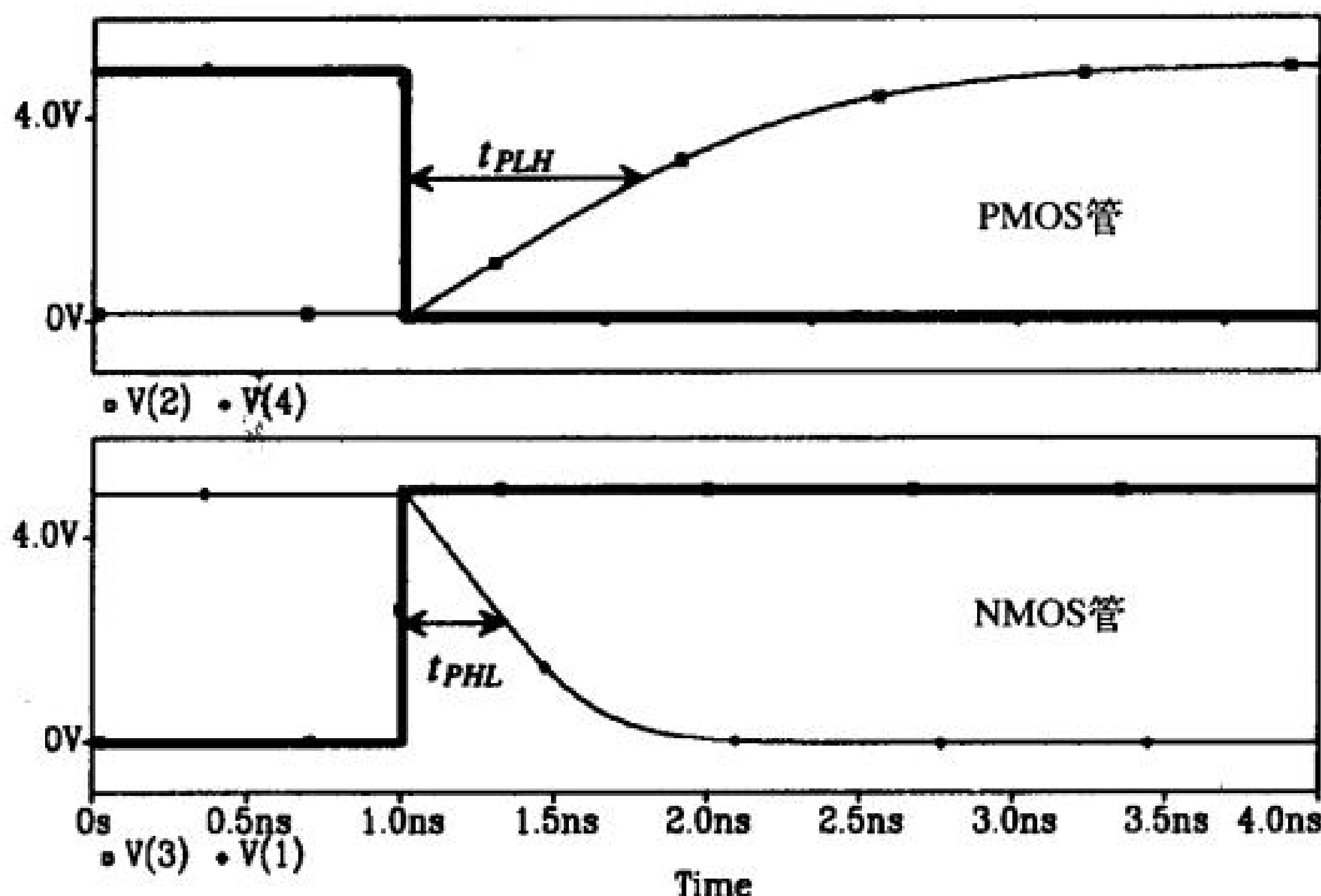


图10-10 例10.2的仿真结果

10.2 串联连接的MOSFET

考虑图10-11中串联连接的MOSFET。电路的输入为I，在$A=B=C=VDD$=逻辑“1”时，I被传输到输出Z。如果A、B或者C是接地（逻辑“0”），则输出处于高阻状态，即不是逻辑“0”也不是逻辑“1”。在CMOS数字电路设计中，MOSFET的串联连接经常出现。在这一节中就要分析串联MOSFET的直流和瞬态特性。

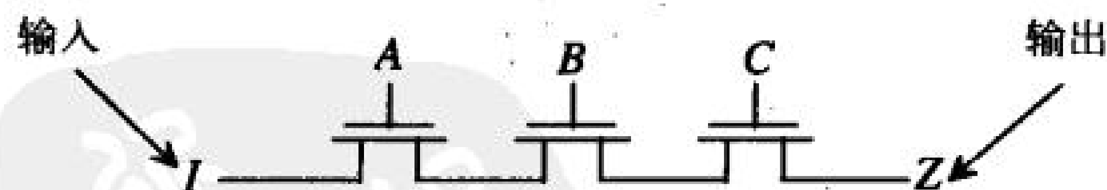


图10-11 MOSFET的串联连接

10.2.1 串联MOSFET的直流特性

为了说明串联MOSFET的直流工作特性，考虑图10-11所示电路并假设$I=A=B=C=VDD$（见图10-12a）。在任何一个MOSFET都不关断情况下，可以传输到输出的最大电压为$VDD-V_{THN}$（应考虑体效应对V_{THN}的影响）。现在来考虑图10-12b，输入现在是逻辑低（= 0V），输出Z会降到零。换句话说，串联的NMOS管可以很好地传输逻辑低（0V），传输逻辑高（VDD）时存在阈值电压损失。

192

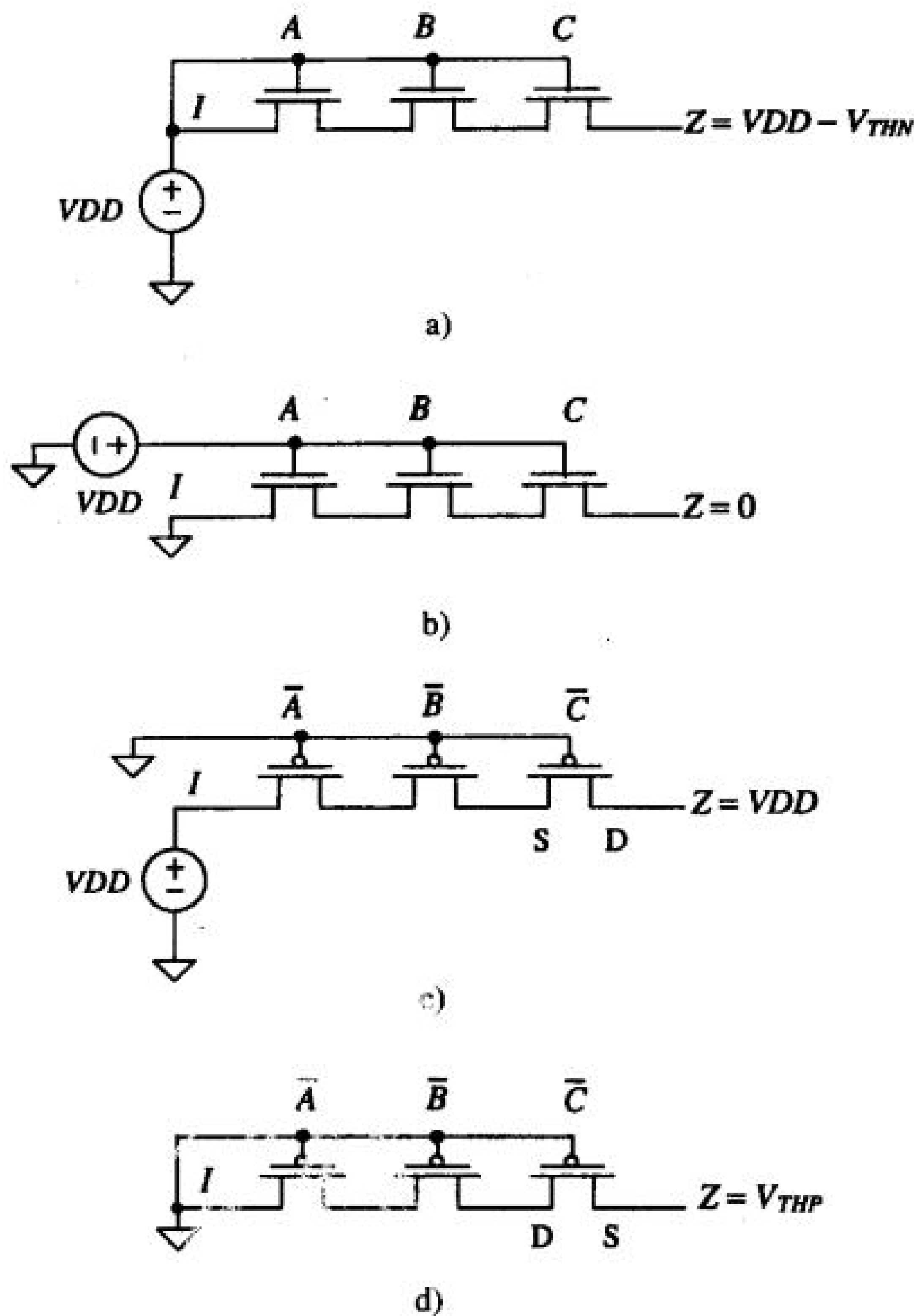


图10-12 串联MOSFET的直流特性

图10-12c和d是串联PMOS管情形。由于栅电压为低时PMOS管导通，所以 $\bar{A}=\bar{B}=\bar{C}=0$时，PMOS管导通。串联的PMOS管在传输高电平时没有阈值电压损失，但可以传输的最低电平是V_{THP}（应考虑体效应对V_{THP}的影响）。

例10.3

说明图10-13所示电路的逻辑功能。在电路输出端得到的最小电压和最大电压各是多少？

在A=B=C=1时，电路的逻辑输出Z为输入I，否则，至少有一个MOS管处于关断状态，输出为高阻态。输出Z在V_{THP}到$VDD-V_{THN}$之间变化。正是由于这个原因，使得该电路几乎没有实用价值。 ■

193

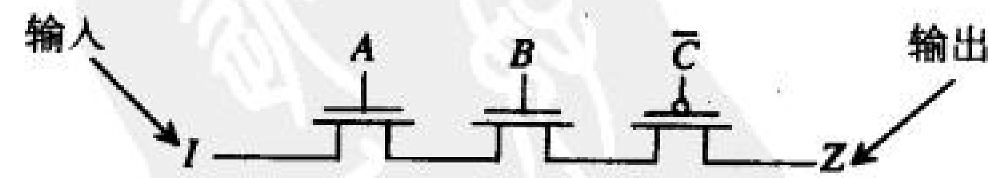


图10-13 例10.3所用的电路

10.2.2 串联MOSFET的延迟

在串联MOSFET中，延迟仍是需要重点考虑的问题。考虑图10-14所示电路及其等效模型。为了讨论方便，假设任一内部节点的电容都近似为：

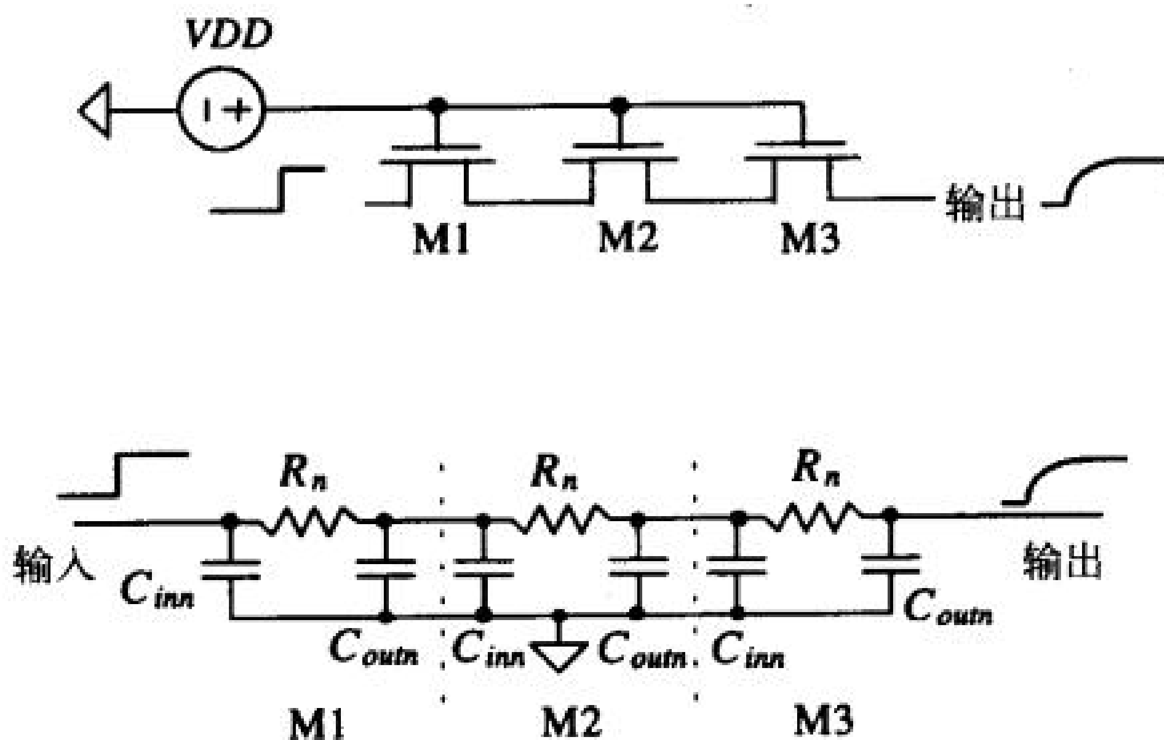
$$C_n = C_{inn} + C_{outn} = 2.5C_{ox} \tag{10-10}$$

当串联的MOS管的数目很多时，串联MOS管可以等效为RC传输线，其延迟由方程（2-11）给出：

$$t_d = 0.35C_nR_nl^2 \tag{10-11}$$

式中，l是串联连接的MOS管的数目。由式（10-10）和（10-11）得：

$$t_d = 0.35 \cdot 2.5 \cdot C_{ox} \cdot R_n \cdot l^2 \approx C_{ox}R_n \cdot l^2 = \tau_n \cdot l^2 \tag{10-12}$$



194

图10-14 串联MOS管的延迟模型

例10.4

使用CN20参数，分别估算并仿真验证十个串联NMOS管和十个串联PMOS管的延迟。假设MOS管取最小尺寸（L=2μm、W=3μm）。

NMOS管和PMOS管的数字模型电阻分别为：

$$R_n = 12\text{k} \cdot \frac{2\ \mu\text{m}}{3\ \mu\text{m}} = 8\ \text{k}\Omega\ , \quad R_p = 36\text{k} \cdot \frac{2\ \mu\text{m}}{3\ \mu\text{m}} = 24\ \text{k}\Omega$$

两种MOS管的栅氧化层电容都是 $C_{ox} = C'_{ox}LW = 800\text{aF} \cdot 2 \cdot 3 = 4.8\text{fF}$。用公式（10-12）可计算出十个串联NMOS管的延迟：

$$t_d = C_{ox}R_nl^2 = 4.8\ \text{fF} \cdot 8\text{k} \cdot (10)^2 = 3.8\ \text{ns}$$

十个串联PMOS管的延迟为：

$$t_d = C_{ox}R_pl^2 = 4.8\ \text{fF} \cdot 24\text{k} \cdot (10)^2 = 11.52\ \text{ns}$$

图10-15给出了仿真结果。串联NMOS在传输逻辑“1”时延迟最大；串联PMOS在传输逻辑“0”时延迟最大。而且，串联NMOS的输出最大值只能达到约3.5V（即$VDD - V_{THN}$），串联PMOS的输出最低只能低到1.7V（考虑了体效应对V_{THP}的影响）。串联NMOS管在输入从高到低变化时的延迟比输入从低到高变化时的延迟小；串联PMOS管在输入从低到高变化时的延迟比输入从高到低变化时的延迟小。提醒读者的是，图10-15中标注的延迟时间的位置并不十分准确。 ■

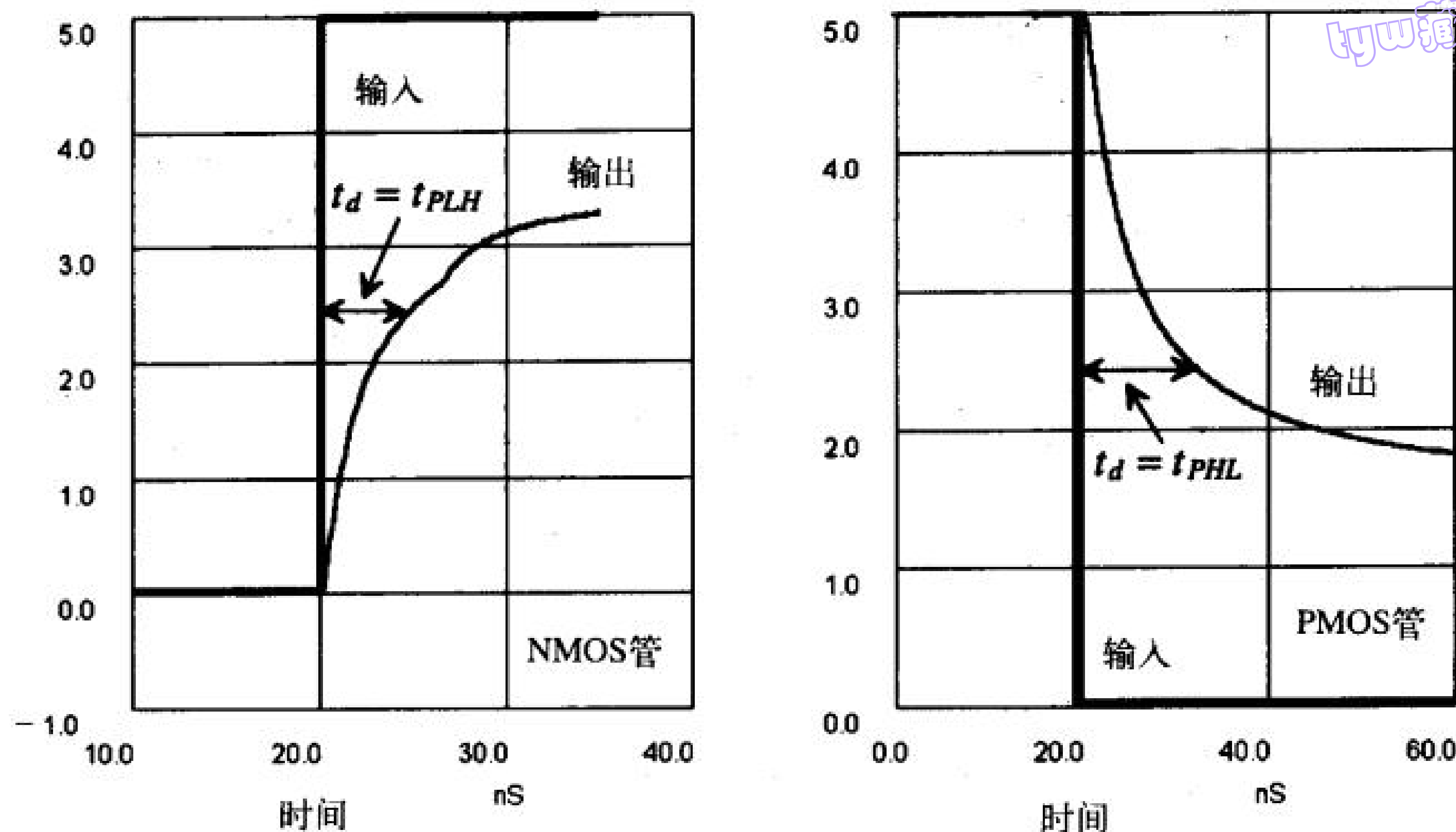


图10-15　例10.4的延迟仿真结果（这两个图时间轴的比例不同）

参考文献

[1] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI-Design Techniques for Analog and Digital Circuits,* McGraw-Hill Publishing Company, 1990. ISBN 0-07-023253-9.

习题

10.1　用BSIM SPICE模型参数，针对10μm/2μm的MOS管和150fF的电容，重做例10.2。

10.2　估算CMOS14TB工艺的 R'_n 和 R'_p。该工艺的MOS管的时间常数是多少?

10.3　用瞬态分析对图10-13中的电路做SPICE仿真。输入脉冲从0V 到5V再回到0V。给出电路的仿真结果并给予分析说明。注意，输出节点不能浮空，在输出节点和地之间接入一个100MEG的电阻。

10.4　估算经过7个串联NMOS管的延迟，连接形式与图10-11相似。MOS管尺寸取为10/2。

10.5　针对PMOS管，重做习题10.4。

10.6　用SPICE验证习题10.4的答案。

10.7　当图10-8中电路的电容增至1pF时，估算t_{PHL}和t_{PLH}并用SPICE验证手算结果。

10.8　图P10-8a给出了标准的示波器用10-1探测电缆的电路图，包括三部分（用虚线分隔）：探头、探头电缆和示波器接口。探头电缆的电容大约是每英寸（foot）30pF，即30pF/ft。图P10-8b是探测电缆的简化电路图。在计算探测电缆的负载效应时，我们可以用图P10-8c所给出的探测电缆的简化电路图做简单近似。针对图P10-8c所示示波器负载，重做习题10.7。说明：测量片上信号时，需要特殊探头，探头不能成为片上MOS管的负载；测量片外信号时，需要片上有缓冲驱动级，由缓冲驱动级把片上电路和片外电容隔开。

10.9　用CMOS14TB工艺参数，针对宽0.9μm、长0.6μm的MOSFET，重做例10.2。

课堂训练项目

这一部分列出了一些可选的课堂训练项目，由这些项目设计的芯片可以通过MOSIS进行加工。每个课堂训练项目都是要求设计一个功能电路。通常，两到四个课堂训练项目所设计的电路放到一个芯片上。

对提交的每个芯片设计，MOSIS会给MOSIS联系人（通常是授课教师）返回4个加工后的芯片。

195~196

学生除了提交已经通过设计规则检查的TLC文件之外，还要提交：（1）一页纸：在纸上画出电路的逻辑级框图、芯片管脚与内部电路的连接关系。这样，任何一个评估该芯片的人都可以很快知道它所实现的功能。（2）设计报告：包括电路框图、电路图、版图信息、手算结果、SPICE仿真结果、电路工作原理的说明。

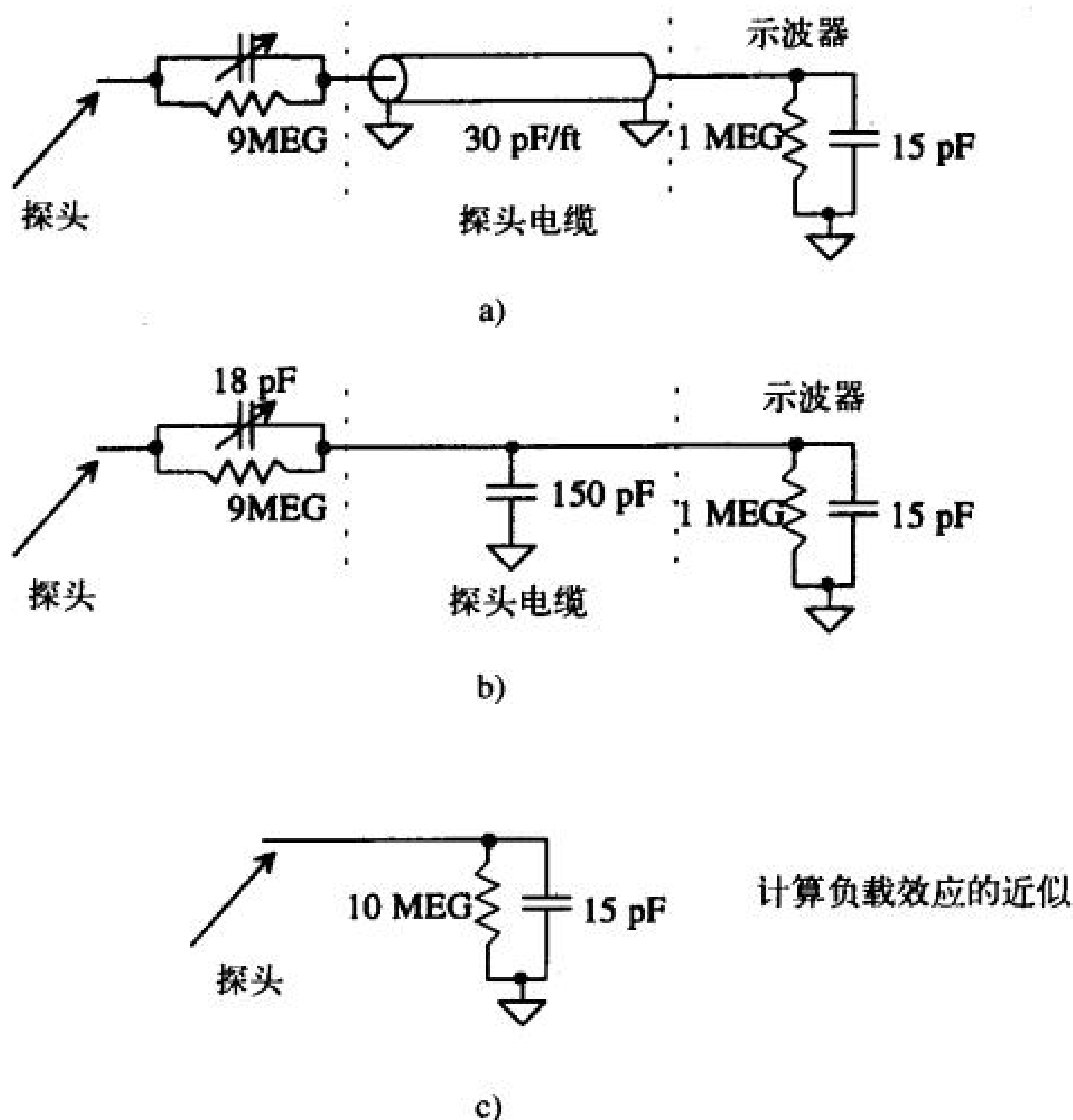


图 P10-8

把TLC文件存在软盘上，与两份设计报告一起提交。注意，要在软盘的标签上清楚标明要加工制作的TLC单元的名字。每一个组提交一个软盘，每个学生存入自己的设计数据。每个设计者都只需对他自己的设计负责，但是每个设计者都要保证芯片上没有致命错误（例如VDD与GND短接），因此，为了自己的利益，每个学生都要去检查其他学生的设计。

可选的课堂训练项目：

1. 四路二输入MUX；
2. 用XOR门实现的时钟倍频电路；
3. 带三态输出的八进制缓冲器；
4. 带三态输出的SR触发器；
5. 沿触发的T触发器；
6. 沿触发的D触发器；
7. 施密特触发器；
8. 1-4解码器；
9. 4位动态移位寄存器；
10. Bi-CMOS OR 门；
11. Bi-CMOS AND门；

197

12. 带进位的2位加法器；
13. 中心频率为20MHz的电流饥饿型VCO；
14. 2位双向收发器；
15. 用PE门实现 $X = \overline{A + BCD + EF}$ ；
16. 输出脉冲宽度由外部RC决定的单触发电路；
17. 驱动20pF负载的NMOS超级缓冲器；
18. 驱动20pF负载的NMOS输出驱动器。

高级课堂训练项目

19. 设计一个64位静态RAM。包括存储单元、寻址和译码电路、缓冲器、读/写使能和片选功能。

20. 设计一个电荷泵（电压产生器）。电路的输入是VDD（=5V），输出是-3V。要对整个电路进行仿真。要求把基准电路、振荡器和反馈电路合在一起仿真，并在提交的最终报告中给出仿真结果并进行相关讨论。

21. 设计一个64位DRAM。应包括存储单元、寻址和译码电路、缓冲器、读/写使能和片选功能。

22. 设计一个DPLL。输入为1MHz，输出为4MHz。当输入信号在900kHz到1.1MHz频率范围内变化时，输出应跟随输入变化。报告中要讨论该DPLL的瞬态特性以及鉴相器、VCO和环路滤波器的设计细节。整个设计应该是片内实现，不能用外部元件。

198



第二部分 CMOS数字电路

第11章 反 相 器

CMOS反相器是数字电路设计的基本模块，它所执行的逻辑功能是把A翻转为$\overline{A}$，如图11-1所示。由上一章介绍的数字模型知：当反相器的输入接地时，通过PMOS管，输出被上拉到5V；当输入连接到VDD时，通过NMOS管，输出被下拉到地。本章主要讨论CMOS反相器的几个重要特点，包括：输出电压摆幅是从VDD到地（有些类型的逻辑电路，输出电压摆幅没这么大）；静态功耗为零；合理设计MOS管的尺寸，可使反相器的充电和放电能力相同；通过改变MOS管的尺寸，可设置反相器发生逻辑翻转的转换点电压。

本章集中讲述反相器的直流转换特性，以及与负载电容和RC传输线有关的转换时间，同时还会给出可以用CMOS工艺实现的其他类型的反相器。



图11-1 CMOS反相器的电路图和逻辑符号

11.1 直流特性

考虑图11-2所示反相器的电路图及其转移特性曲线。在转移特性曲线中，区域“1”部分的输入电压足够低（通常不大于M1的阈值电压），所以，M1关断，M2导通（V_{SG}远大于V_{THP}）。随着V_{in}增加，M1和M2都导通（对应区域“2”）。进一步增加V_{in}会导致M2关断，M1完全导通，对应区域“3”。

把输出电压的最大值记为V_{OH}，最小值记为V_{OL}，曲线中的A点和B点是斜率为-1的点。当输入电压小于或等于A点电压V_{IL}时，认为反相器的输入是逻辑低电平；当输入电压大于或等于B点电压V_{IH}时，认为反相器输入是逻辑高电平；输入电压介于V_{IL}和V_{IH}之间时，认为不是有效的逻辑电平。理想情况下，V_{IL}和V_{IH}之间的电压差应为零，但在实际的逻辑电路中这是不可能的。

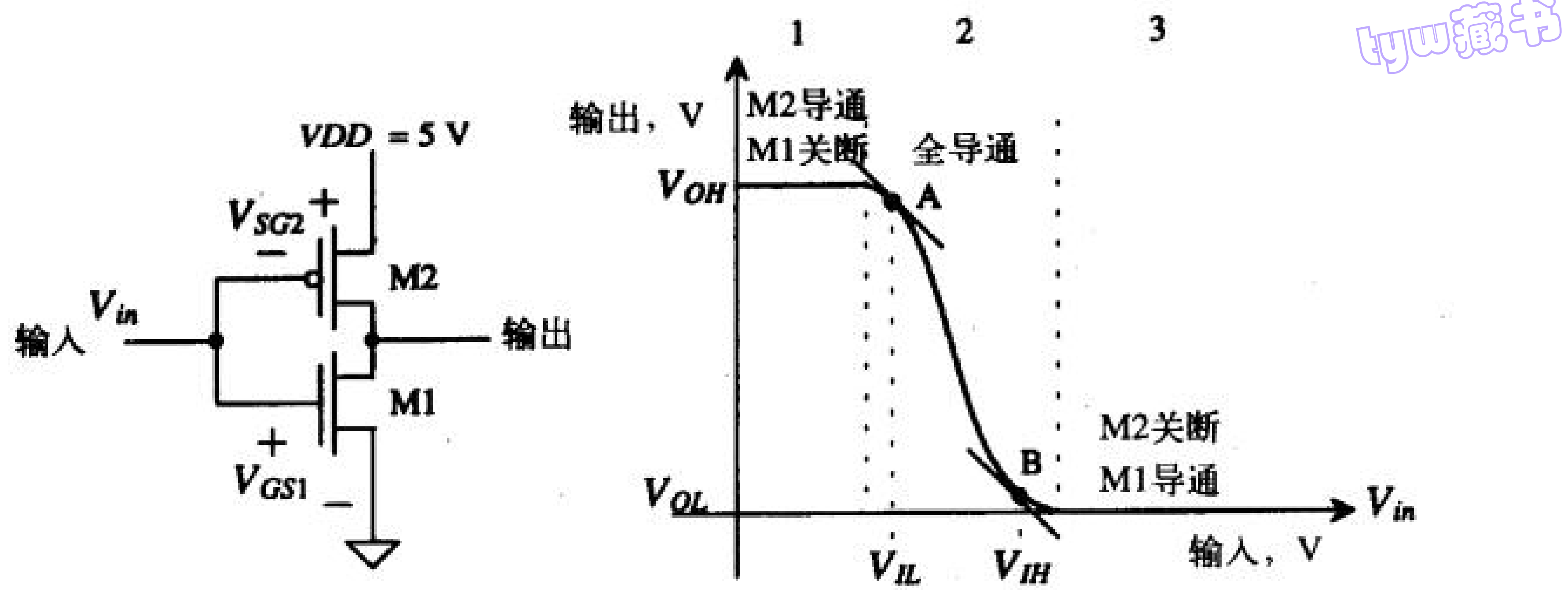


图11-2 CMOS反相器的转移特性曲线

例11.1

用SPICE仿真得到图Ex11-1所示反相器的转移特性曲线，并在图中标出V_{IH}、V_{IL}、V_{OH}和V_{OL}。

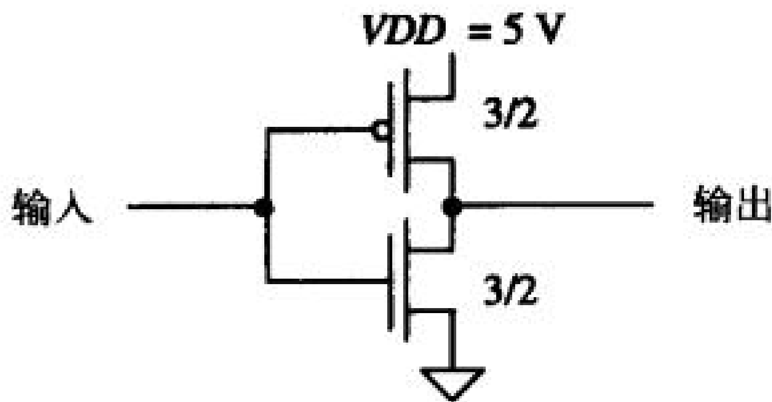


图 Ex11-1

SPICE仿真结果如图11-3所示。图中A点对应的V_{IL}约等于1.7V，B点对应的V_{IH}约等于2.4V。输出电压V_{OH}和V_{OL}分别等于5V和0V。注意，只有当NMOS管和PMOS管都导通时才有电流流过。下面给出了仿真用网表文件。■

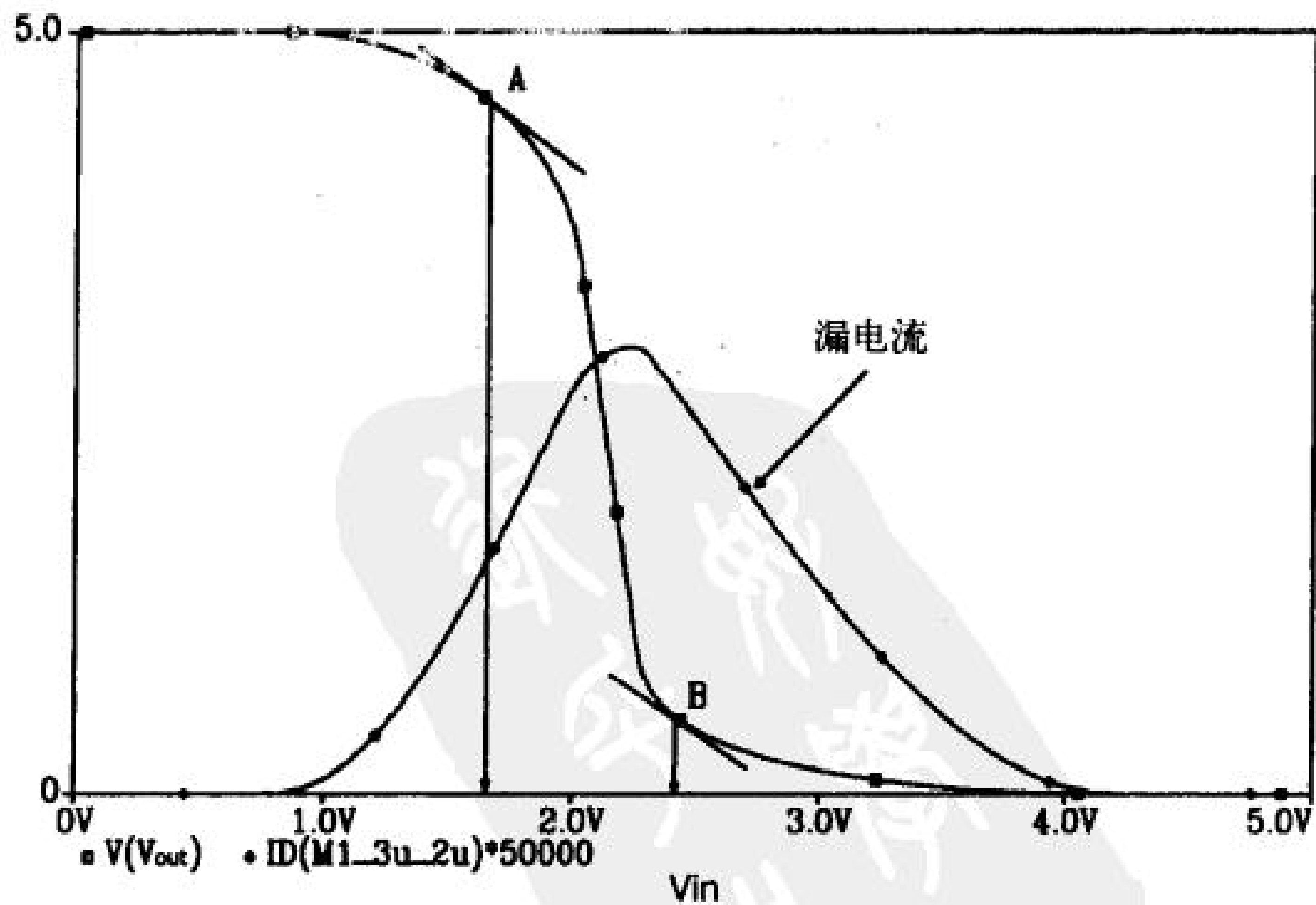


图11-3 例11.1中的最小尺寸反相器的转移特性曲线

```
*** Top Level Netlist ***
M1_3u_2u  Vout 2 0 0 CMOSNB  L=2u W=3u AD=42p AS=42p PD=26u PS=26u
M2_3u_2u  Vout 2 Vdd Vdd CMOSPB  L=2u W=3u AD=42p AS=42p PD=26u PS=26u
VDD      Vdd 0  DC 5
VIN       2 0     DC 0

.MODEL CMOSNB NMOS LEVEL=4
+vfb=-9.73820E-01, lvfb=3.67458E-01,wvfb=-4.72340E-02
... see Appendix A for complete listing of BSIM model parameters
.MODEL CMOSPB PMOS LEVEL=4
+ vfb=-2.65334E-01, lvfb=6.50066E-02, wvfb=1.48093E-01
... see Appendix A for complete listing of BSIM model parameters
.probe
.DC Vin 0 5 .01
.end
```

11.1.1 噪声容限

数字门电路在噪声环境中工作时，噪声会对门电路有干扰，甚至使门电路出现错误操作；噪声容限就反映了门电路对噪声的耐受程度。CMOS反相器的输入为高电平时的噪声容限为：

203

$$NM_H = V_{OH} - V_{IH} \tag{11-1}$$

输入为低电平时的噪声容限为：

$$NM_L = V_{IL} - V_{OL} \tag{11-2}$$

对于$VDD = 5\text{V}$的电路，理想的噪声容限是2.5V，即$NM_L = NM_H = VDD/2$。

例11.2

确定例11.1中的最小尺寸反相器的噪声容限，讨论如何使噪声容限接近理想值。

根据式（11-1）和式（11-2），$NM_H = 5 - 2.4 = 2.6$，$NM_L = 1.7 - 0 = 1.7$。NM_H比NM_L约大1V，这主要是因为反相器的转换点V_{SP}约等于2.2V，而不是理想的2.5V。这个问题接下来就会讨论到。

■

11.1.2 反相器的转换点

考虑图11-4所示反相器的转移特性曲线，点C是输入电压等于输出电压的点。把此点的电压称为反相器的转换点电压V_{SP}，此时，两个MOS管都工作在饱和区。由于两个MOS管的漏电流相等，因此：

$$\frac{\beta_n}{2}(V_{SP} - V_{THN})^2 = \frac{\beta_p}{2}(VDD - V_{SP} - V_{THP})^2 \tag{11-3}$$

求解上式得：

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \cdot V_{THN} + (VDD - V_{THP})}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \tag{11-4}$$

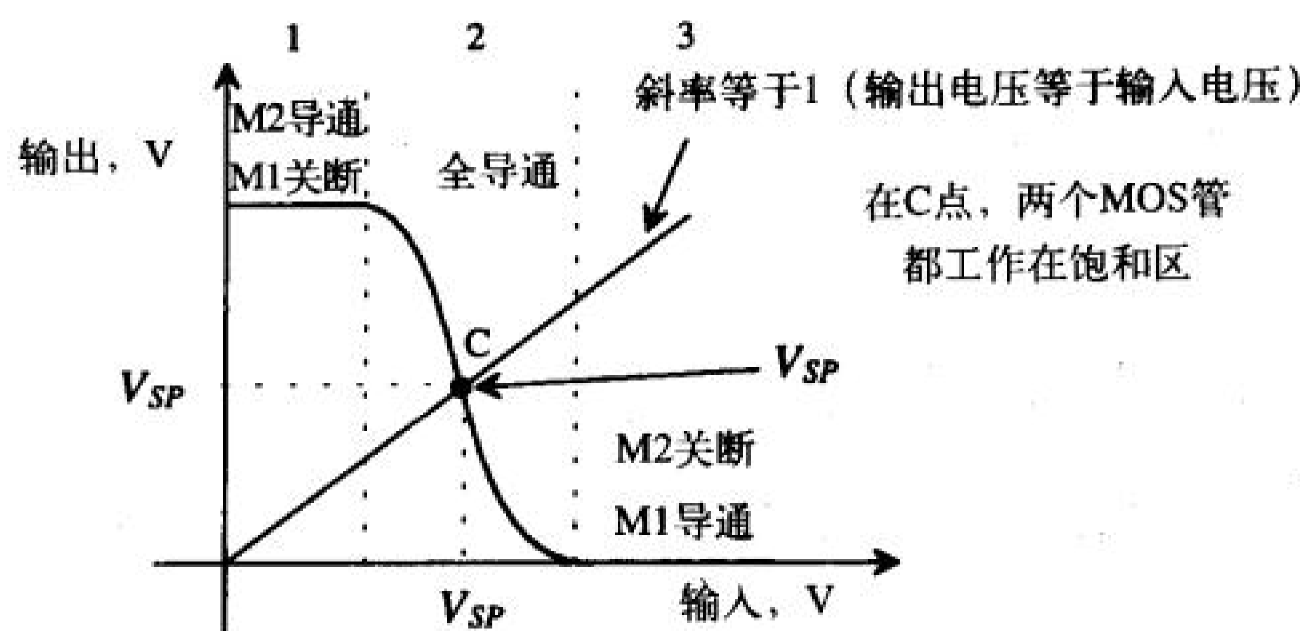


图11-4 反相器转移特性曲线中的转换点

例11.3

估算CMOS反相器的β_n和β_p，使得反相器的转换点电压为2.5V。采用CN20工艺参数，$VDD=5V$。

把$V_{SP}=2.5V$带入式（11-4）并解方程，得到β_n/β_p约等于1。因此有：

$$\beta_n=\beta_p=KP_n\frac{W_1}{L_1}=KP_p\frac{W_2}{L_2}$$

由于$KP_n=3KP_p$，在NMOS管和PMOS管沟道长度相等的情况下，PMOS管的沟道宽度应为NMOS管的3倍。即，要使$V_{SP}=2.5V$，需要：

$$W_2=3W_1$$

这也是使$R_n=R_p$的条件。 ■

例11.4

用SPICE仿真得到跨导比率β_n/β_p分别为3、1和1/3时的CMOS反相器的转移特性曲线，并总结反相器跨导比率的改变对转移特性曲线的影响。

假设MOS管的沟道长度是2μm。对于$\beta_n/\beta_p=3$，取$W_1=W_2=3\mu m$；对于$\beta_n/\beta_p=1$，取$W_1=3\mu m$，$W_2=9\mu m$；对于$\beta_n/\beta_p=1/3$，取$W_1=3\mu m$，$W_2=27\mu m$。利用类似例11.1的仿真可得到图11-5所示曲线。由该图知，随着跨导比率的增加，V_{SP}会向V_{THN}靠拢。在数字电路设计中，

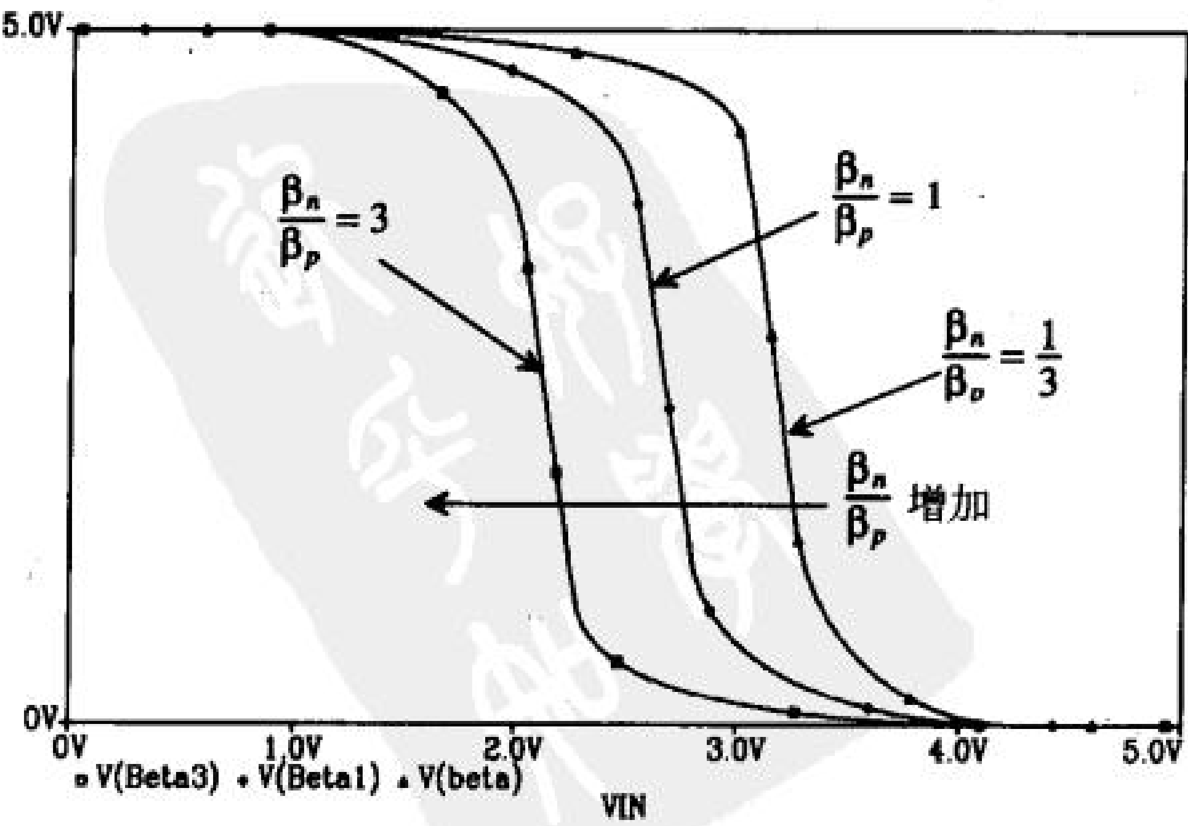


图11-5 CMOS反相器转换特性曲线与跨导比率的关系

通常根据所需的转换点电压来确定反相器中各MOS管的尺寸。 ■

11.2 开关特性

通过分析与反相器相关的寄生电容和寄生电阻，可归纳得到反相器的开关特性。考虑图11-6中反相器的等效数字模型。尽管给出的模型中两个开关都是关断的，但电路实际工作时，总会有一个开关是导通的，从而使输出接VDD或地。反相器的输入电容为：

$$C_{in} = \frac{3}{2}(C_{ox1} + C_{ox2}) = C_{inn} + C_{inp} \tag{11-5}$$

输出电容为：

$$C_{out} = C_{ox1} + C_{ox2} = C_{outn} + C_{outp} \tag{11-6}$$

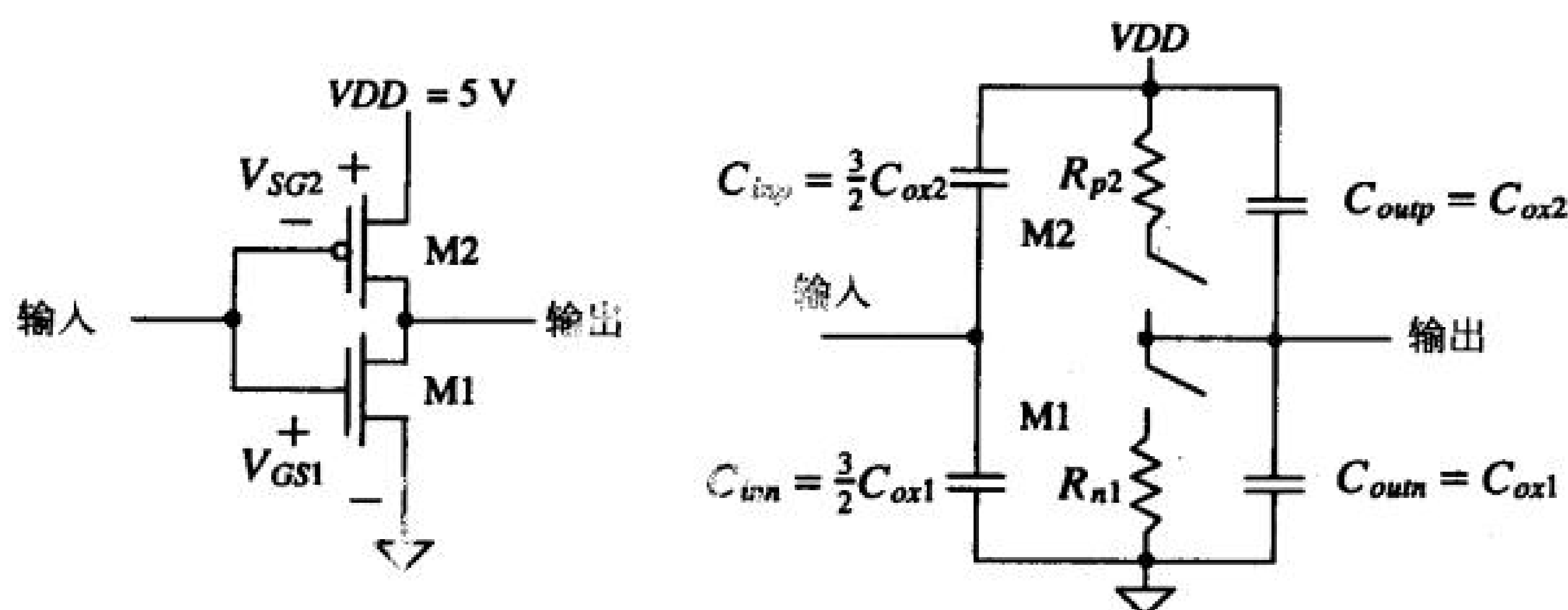


图11-6 CMOS反相器的开关特性及数字模型

204~206

反相器的固有传输延迟为：

$$t_{PLH} = R_{p2} \cdot C_{out} \tag{11-7}$$

$$t_{PHL} = R_{n1} \cdot C_{out} \tag{11-8}$$

例11.5

估算并仿真验证最小尺寸的反相器的固有传输延迟。

对于最小尺寸的反相器，$C_{ox1} = C_{ox2} = 3\mu m \times 2\mu m \times 800aF/\mu m^2 = 4.8fF$，$R_{n1} = 12k \times 2\mu m/3\mu m = 8\ k\Omega$，$R_{p2} = 24k\Omega$。固有传输延迟为$t_{PHL} = 77$ ps，$t_{PLH} = 230$ ps。图11-7给出了仿真结果。 ■

驱动电容负载时，反相器传输延迟为：

$$t_{PLH} = R_{p2} \cdot C_{tot} = R_{p2} \cdot (C_{out} + C_{load}) \tag{11-9}$$

$$t_{PHL} = R_{n1} \cdot C_{tot} = R_{n1} \cdot (C_{out} + C_{load}) \tag{11-10}$$

式中，C_{tot}是反相器输出端的总电容，它是反相器输出电容、连线电容和下一级门电路的输入电容的总和。

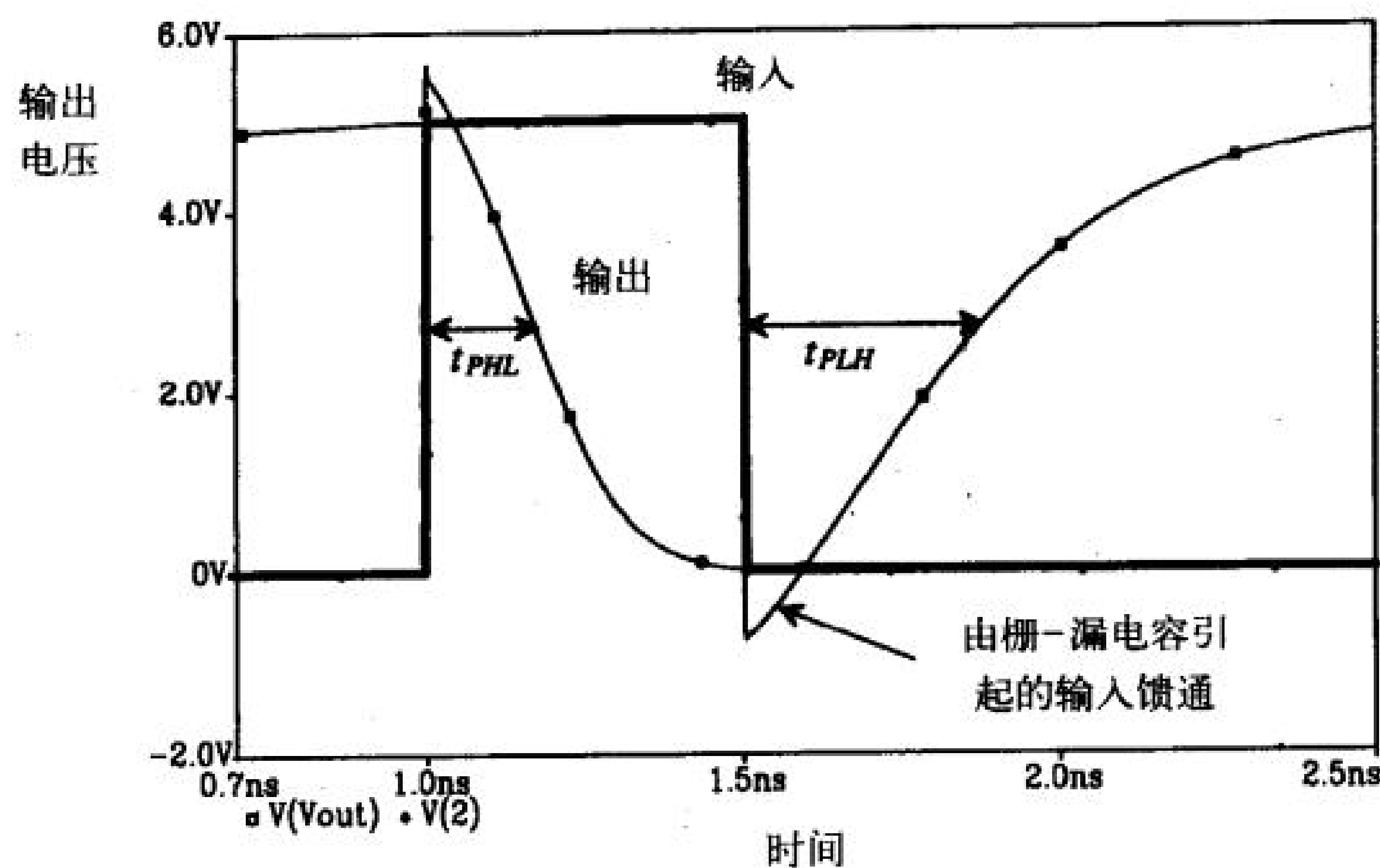


图11-7　反相器的固有传输延迟

例11.6

估算驱动一个100fF负载电容的最小尺寸反相器的传输延迟，并进行仿真验证。

图11-8给出了驱动100fF负载电容的最小尺寸反相器的电路图和逻辑符号。假设NMOS管和PMOS管的沟道长度相等。图中给出了PMOS管和NMOS管的宽长比。通常MOS管的沟道长度取工艺允许的最小值，对于CN20工艺是2μm。这样，反相器输出端的总电容C_{tot}为C_{out}、负载电容和连线电容之和。在此例中，假设连线电容为零，则$C_{tot}=109.6$ fF，传输延迟为$t_{PHL}=$ 877 ps，$t_{PLH}=2.63$ ns。图11-9给出了仿真结果。

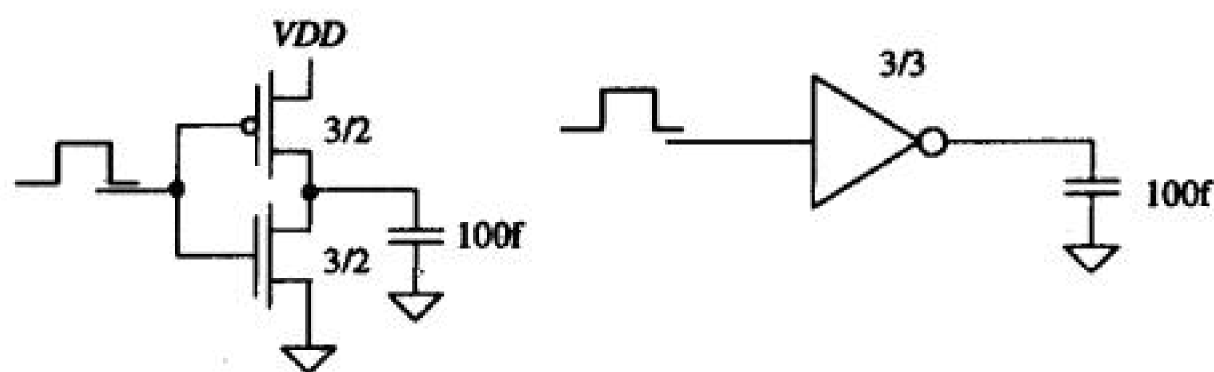


图11-8　例11.6中驱动100 fF电容负载的反相器

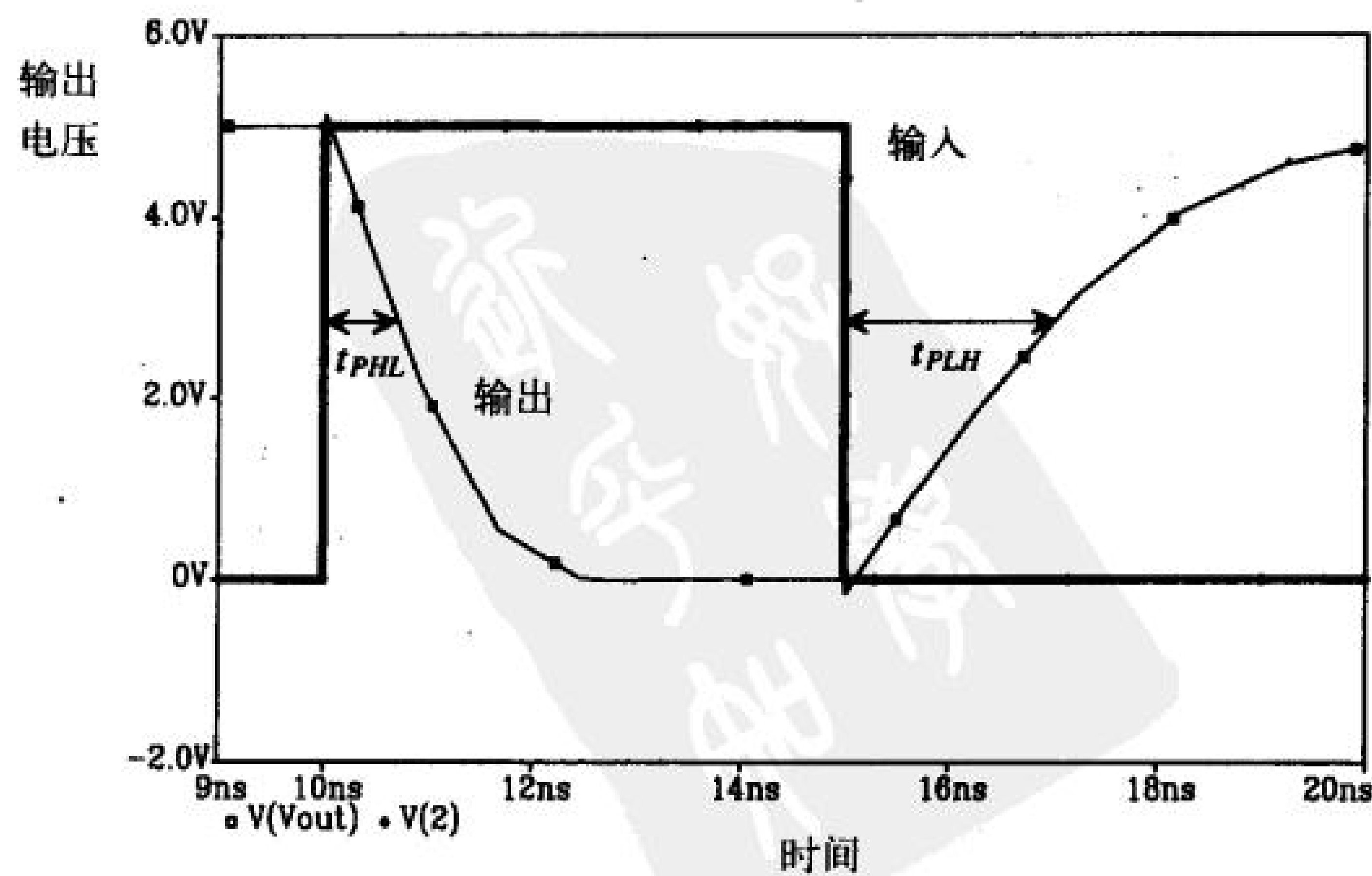


图11-9　驱动100 fF电容负载的最小尺寸反相器的仿真结果

由于仿真时取输入信号的上升时间为零，使得仿真得到的延迟时间略小于估算值。■

讲到这里，就可以回答前面提出的“如何设计反相器使$t_{PHL}=t_{PLH}$”这一问题了。如果$R_{n1}=R_{p2}$，则延迟时间相等，这就要求$W_2=3W_1$。这个条件也是前面$V_{SP}=VDD/2$的条件。

11.2.1 环路振荡器

图11-10所示电路由奇数个反相器构成的带正反馈的闭合环路，被称为环路振荡器。假设反相器都相同，则环路振荡器的振荡频率为：

$$f_{osc}=\frac{1}{n\cdot(t_{PHL}+t_{PLH})} \tag{11-11}$$

式中，n为环路振荡器中的反相器数目。由于环路振荡器是自启动，因此，经常把它放到硅片的测试电路中，通过测试环路振荡器的频率，来评估一个特定生产批中的电路工作速度。

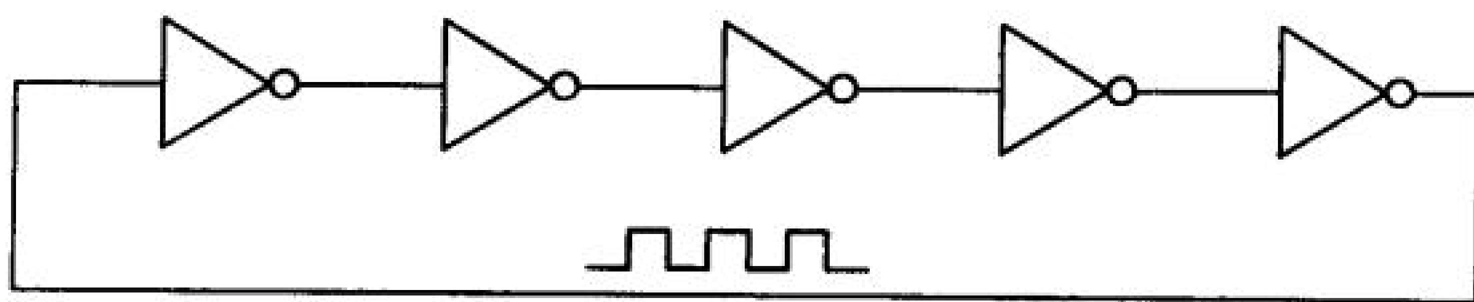


图11-10　五级环路振荡器

若采用最小尺寸的反相器，C_{tot}为：

$$C_{tot}=\overbrace{2C_{ox}}^{C_{out}}+\overbrace{3C_{ox}}^{C_{in}}=5C_{ox} \tag{11-12}$$

式中，$C_{ox}=2\mu\text{m}\cdot3\mu\text{m}\cdot C'_{ox}$，因此：

$$t_{PHL}+t_{PLH}=(R_{n1}+R_{p2})C_{tot}=(12\text{k}+36\text{k})\frac{2}{3}\cdot5C_{ox}=160\text{k}\cdot C_{ox} \tag{11-13}$$

考虑设计反相器尺寸使得$t_{PHL}=t_{PLH}$的情形。为了使延迟时间相等，W_2必须等于$3W_1$，这导致M_2氧化层电容变大：

$$C_{ox2}=3C_{ox1} \tag{11-14}$$

这样，总电容C_{tot}为：

$$C_{tot}=\overbrace{4C_{ox}}^{C_{out}}+\overbrace{6C_{ox}}^{C_{in}}=10C_{ox} \tag{11-15}$$

传输延迟为：

$$t_{PHL}+t_{PLH}=\left(12\text{k}\frac{2}{3}+36\text{k}\frac{2}{9}\right)10C_{ox}=160\text{k}\cdot C_{ox} \tag{11-16}$$

这与式（11-13）给出的结果相等。尽管M_2的有效电阻减少了3倍，但它的电容也增加了3倍，因此，两种情形时的传输延迟相等。通常，环路振荡器的振荡频率依赖于W。图11-10中，反相器的数目为5个；为了使振荡器频率在几十MHz范围内，采用的反相器的数目是31个（对CN20工艺）。

209

11.2.2 动态功耗

考虑图11-11所示带电容负载的反相器。每次反相器改变输出状态都要对负载电容进行充

放电。如果反相器的输入是周期为T、频率为f_{clk}的方波，反相器从VDD抽取的电流的平均值为：

$$I_{avg}=\frac{Q_{Ctot}}{T}=\frac{VDD\cdot C_{tot}}{T} \tag{11-17}$$

只有当PMOS管导通时，VDD才提供电流。

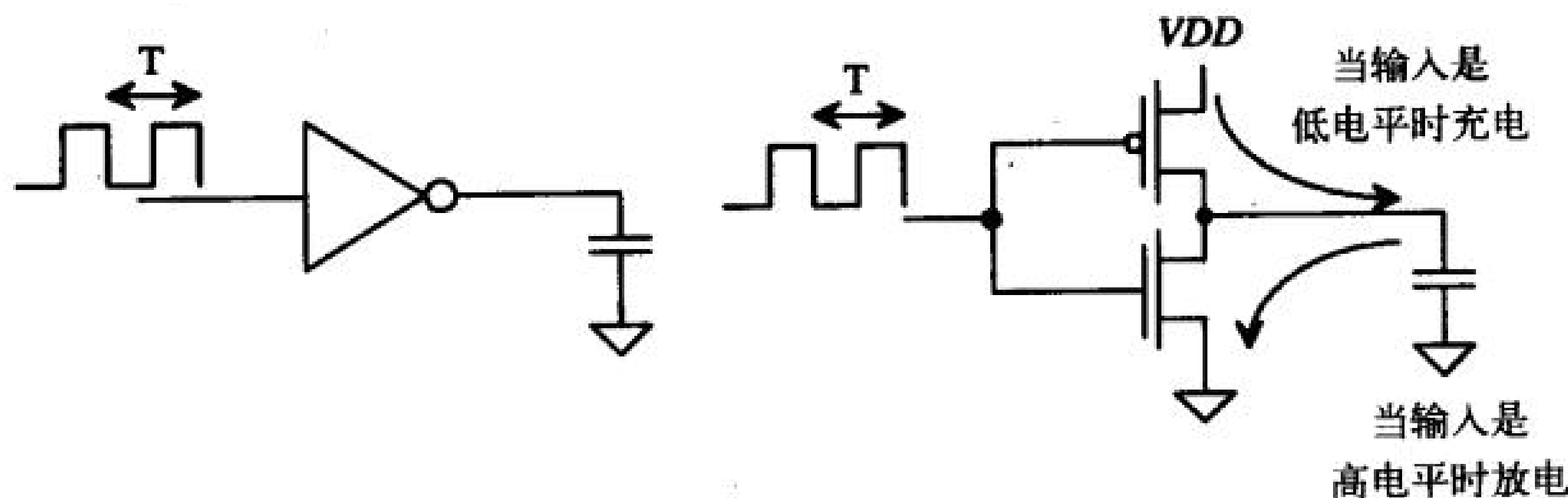


图11-11　CMOS反相器的动态功耗

反相器的平均动态功耗是：

$$P_{avg}=VDD\cdot I_{avg}=\frac{C_{tot}\cdot VDD^2}{T}=C_{tot}\cdot VDD^2\cdot f_{clk} \tag{11-18}$$

由上式知，动态功耗是时钟频率的函数。在CMOS电路中，采取了很多办法来降低功耗，动态电路的一个主要优点就是其低功耗特性（见第14章）。

210

为了表征数字电路的特性，通常用到功耗延迟积（Power Delay Product，PDP）这一概念。PDP的单位是焦耳，其定义式为：

$$PDP=P_{avg}\cdot(t_{PHL}+t_{PLH}) \tag{11-19}$$

由上式可估算出前一节环路振荡器的PDP。PDP通常用于不同工艺或不同尺寸的器件之间的比较，例如砷化镓工艺和0.8μm CMOS工艺相比，尽管砷化镓工艺的传输延迟可以很小，但是由于其功耗太大，使得PDP较大。

例11.7

针对$W_n=W_p=10\mu m$的五级环路振荡器，估算CN20工艺的PDP。用SPICE仿真环路振荡器，比较仿真结果和手算结果。

NMOS管和PMOS管的有效电阻分别为：

$$R_{n1}=12k\cdot\frac{2\ \mu m}{10\ \mu m}=2.4\ k\Omega$$

$$R_{p2}=36k\cdot\frac{2\ \mu m}{10\ \mu m}=7.2\ k\Omega$$

反相器的输入电容为：

$$C_{in}=C_{inn}+C_{inp}=\frac{3}{2}C'_{ox}(W_nL_n+W_pL_p)=\frac{3}{2}\cdot 800\ aF\cdot(10\cdot 2+10\cdot 2)=48\ fF$$

输出电容为：

$$C_{out}=C_{outn}+C_{outp}=C'_{ox}(W_nL_n+W_pL_p)=32\ fF$$

反相器输出总电容是反相器自身输出电容和下一级输入电容之和，因此，有：

$$C_{tot} = C_{out} + C_{in} = 80 \text{ fF}$$

得到：

$$t_{PHL} + t_{PLH} = (R_{n1} + R_{p2})C_{tot} = (2.4\text{k} + 7.2\text{k}) \cdot 80 \text{ fF} = 768 \text{ ps}$$

由公式（11-11）得到振荡频率：

$$f_{osc} = \frac{1}{5 \cdot 768 \text{ ps}} = 260 \text{ MHz}$$

图11-12给出了SPICE仿真结果，SPICE给出的振荡频率f_{osc}约为300 MHz。

通常情况下，PDP由最小尺寸器件确定；对于CN20工艺，应该是$W_1 = W_2 = 3\mu m$。但本例有特殊说明，用$W_n = W_p = 10\mu m$的器件来估算PDP。由式（11-18），每个反相器的平均功耗为：

211

$$P_{avg} = 80 \text{ fF} \cdot (5)^2 \cdot (260 \text{ MHz}) = 520 \ \mu W$$

根据上述手算结果，得到功耗延迟积为400fJ。SPICE仿真结果给出的PDP为330 fJ。 ■

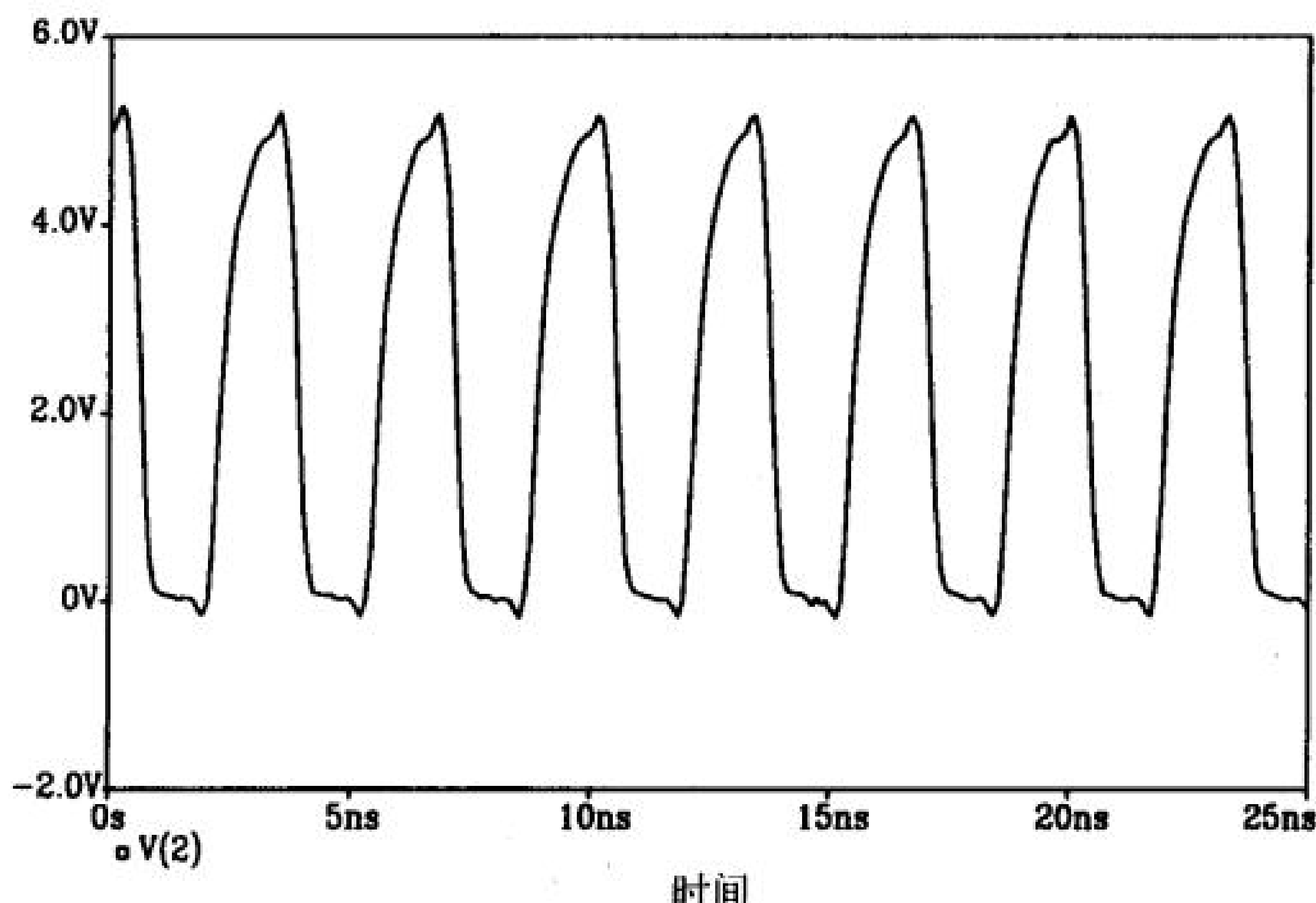


图11-12 例11.7中五级环路振荡器的SPICE仿真结果

11.3 反相器的版图

在设计CMOS电路版图时，必须十分小心，否则，寄生器件就会引起闩锁（latch up）效应。一旦发生闩锁效应，反相器的输出就不再随输入变化，输出被锁定在一个逻辑状态；这时，只有关闭电源，才能使输出解除锁定。在输出驱动电路中，闩锁效应带来的问题就更麻烦。为了消除闩锁效应，集成电路制造商通常采用NMOS反相器作输出驱动（本章后面会讨论这个问题）。

闩锁效应

图11-13给出的是最小尺寸反相器的两种不同版图。图11-14是构成反相器的NMOS管和PMOS管的剖面图。首先，观察图11-7可知，输入脉冲通过栅-漏电容馈通，使得反相器在开始翻转前，输出会跟随输入做同向改变。这种馈通和寄生双极晶体管会引发闩锁效应。

212

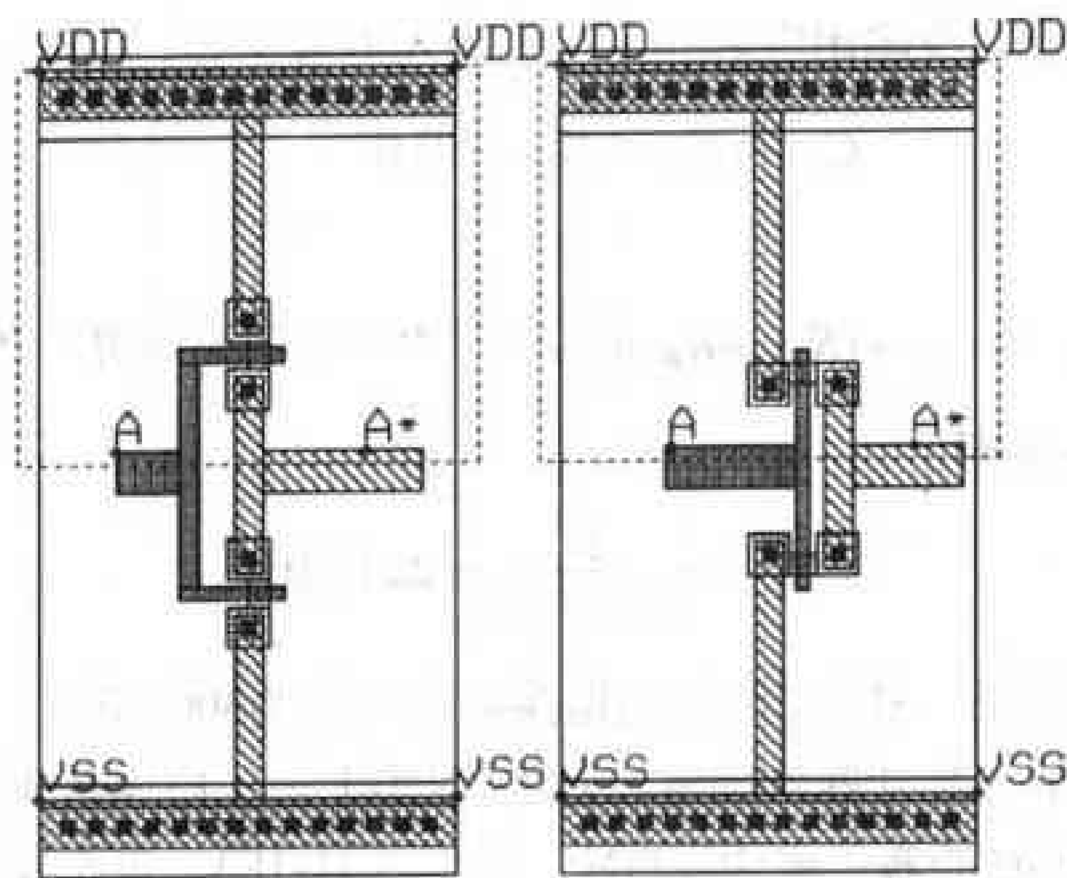


图11-13 反相器的两种不同版图

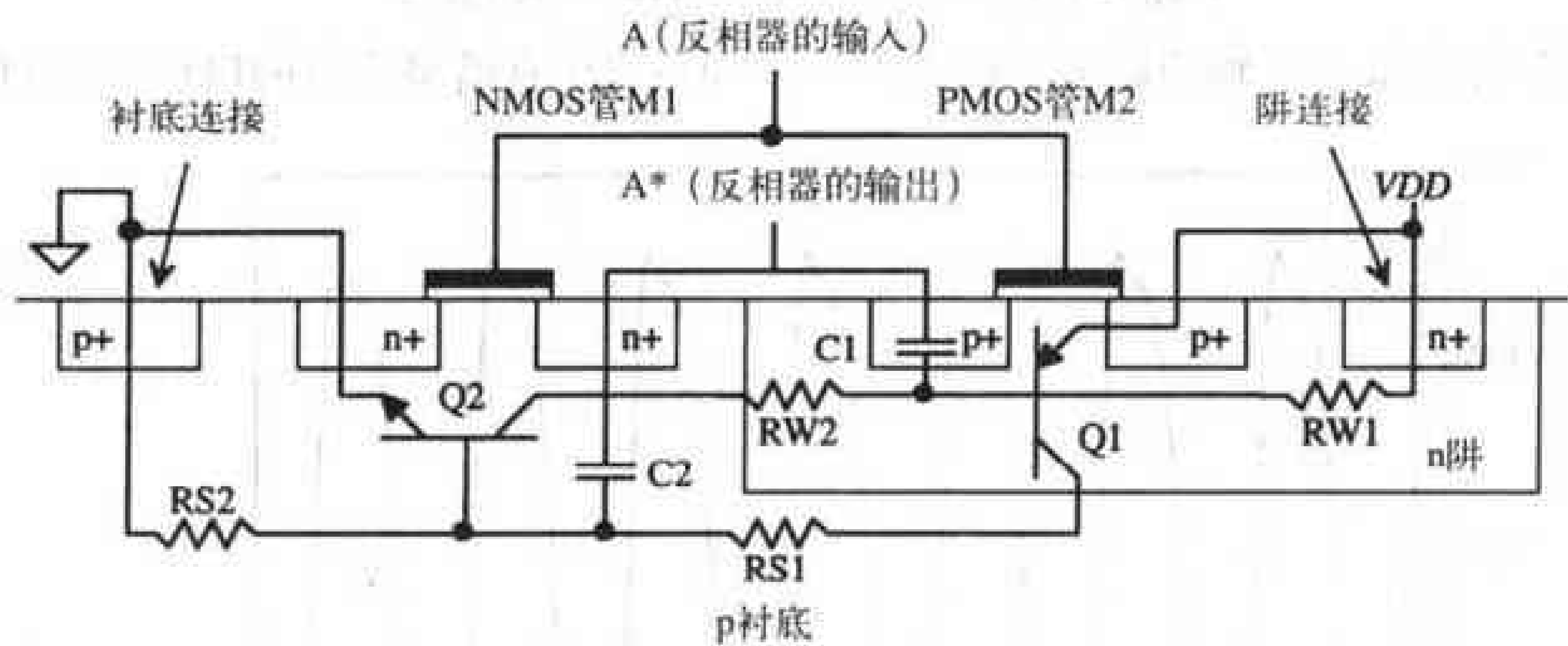


图11-14 反相器的剖面图(给出了寄生双极晶体管和寄生电阻)

在图11-14中，晶体管Q1的发射极、基极和集电极分别是PMOS管的源端、n阱和衬底，晶体管Q2的集电极、基极和发射极分别是n阱、衬底和NMOS管的源端。电阻RW1和RW2是n阱电阻，电阻RS1和RS2是衬底电阻。C1和C2表示漏端的耗尽层电容，即MOS管漏端和体端之间的电容。图11-15给出了由反相器版图提取出的寄生电路图。

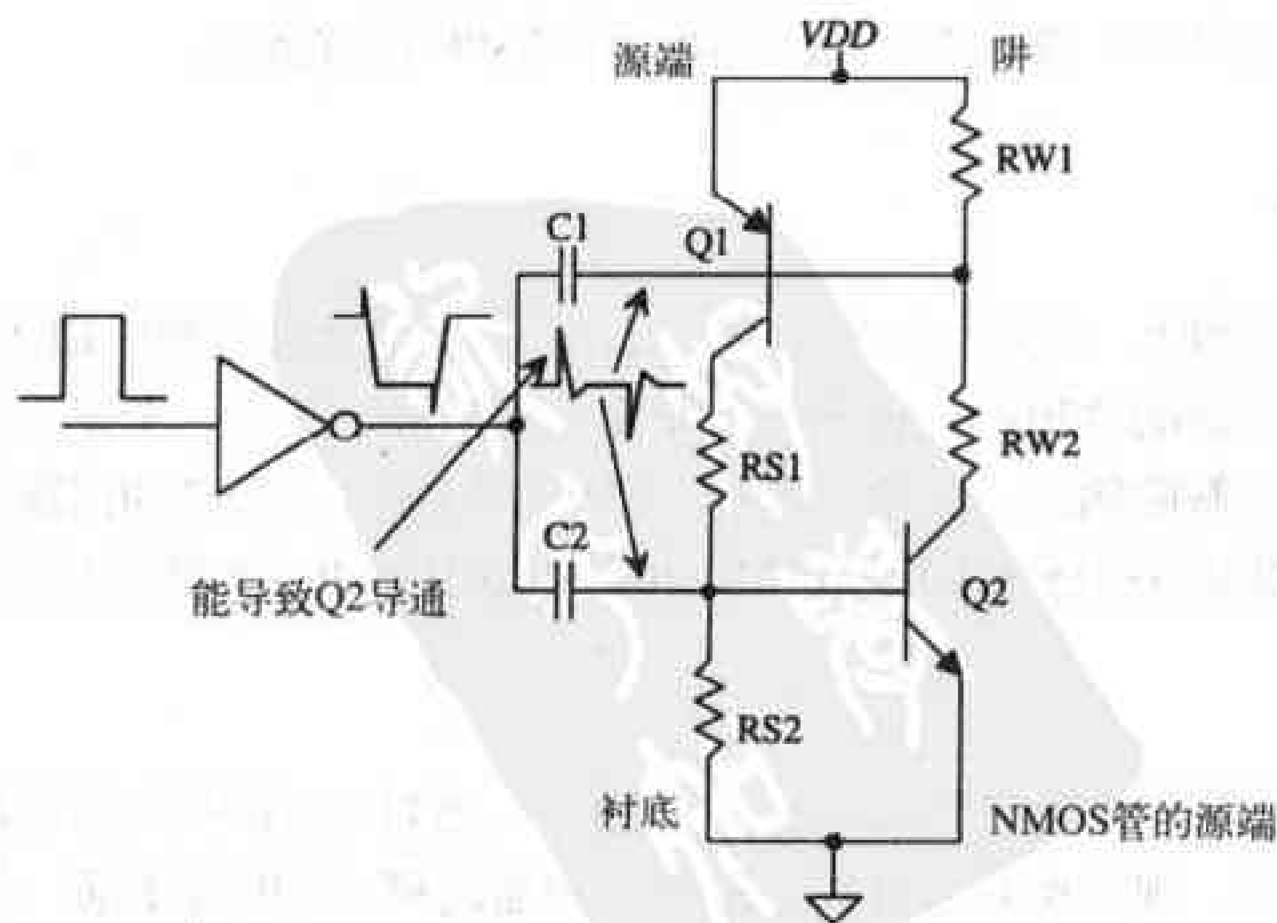


图11-15 由反相器版图提取出的寄生电路图(用来说明闩锁效应)

如果反相器的输出翻转得足够快，通过C2馈通过来的脉冲信号（对于正向输入）可能导致Q2的基极-发射极结正向偏置，这会使得流过RW1和RW2的电流增加，从而使Q1导通。当Q1导通后，流过RS1和RS2的电流增加，造成Q2进一步导通。这种正反馈最终使Q1和Q2完全导通，并且一直保持。通过C1馈通过来的脉冲信号（对于负向输入）有类似情形。

有几项技术可以抑制闩锁效应。首先，可以增大逻辑门的上升和下降时间，这会减少通过C1和C2馈通的信号量。其次，可以减少M1和M2的漏区面积，这会减小耗尽层电容和馈通的信号量。但抑制闩锁效应的最有效办法是减小寄生电阻RW1和RS2；如果这两个电阻为零，则Q1和Q2永远不会打开。由图11-14知，这两个电阻的阻值依赖于阱连接和衬底连接之间的距离。对于反相器，阱连接和衬底连接之间的距离越近，反相器形成闩锁的机会越少。阱连接和衬底连接不但要靠近，而且数目也要多。在PMOS管和NMOS管之间放置衬底连接与阱连接（图11-16）），能大大减小寄生电阻RW1和RS2的阻值，有效抑制闩锁效应。在电路之间或电路周围放置n+和p+区，还能减少电路之间的干扰；有时称这些n+和p+扩散区为保护环。由于多晶硅穿过p+或n+区域就被认为构成了一个MOS管，因此，不能用多晶硅实现反相器中NMOS管栅极和PMOS管栅极的互连。通常用metal2实现NMOS管和PMOS管之间的互连。采取上述措施抑制闩锁效应的代价是增大了版图面积和版图设计的复杂度。

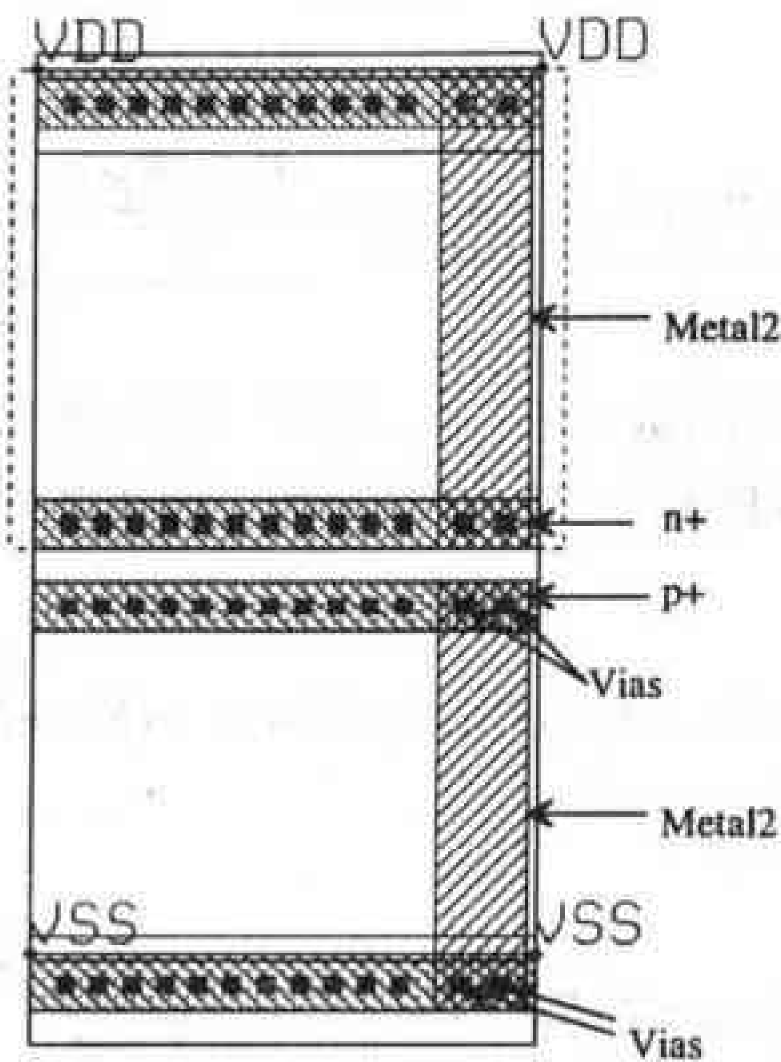


图11-16 能抑制闩锁效应的标准单元框

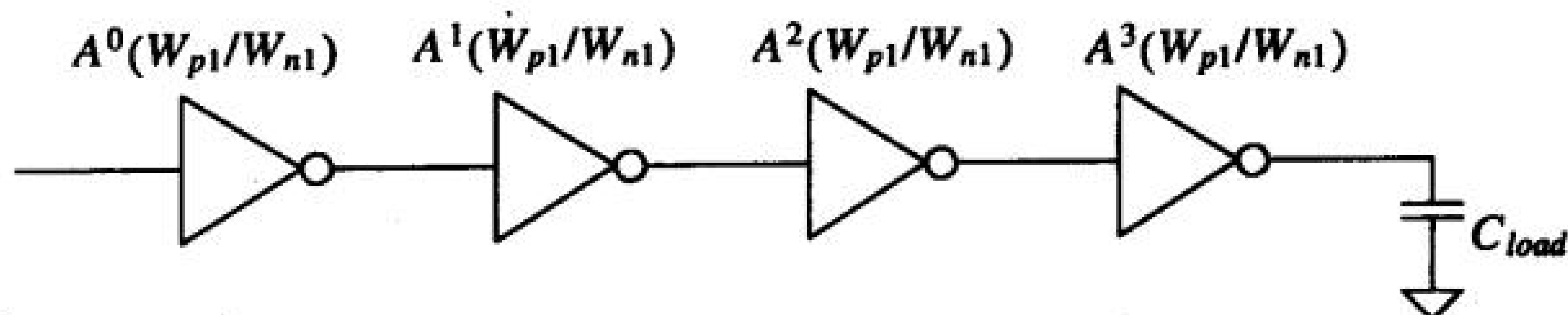
用于驱动片外负载的MOS管尺寸较大，有较大的漏端耗尽层电容，因此，容易受到闩锁效应的影响。设计无闩锁的输出驱动的唯一方法是仅采用一种类型的MOS管，一般是NMOS管。没有了n阱和PMOS管，也就消除了闩锁出现的前提条件。在下一部分中将对此做更多讨论。

213
~
215

11.4 驱动大电容负载时反相器的设计

在驱动片外负载时，驱动电路既要具备驱动大电容负载的能力，又要延迟最小。图11-17采用一个反相器链来驱动电容负载C_{load}。如果用单个反相器驱动此电容负载，延迟时间为:

$$t_{PHL}+t_{PLH}=(R_n+R_p)\cdot(C_{out}+C_{load}) \tag{11-20}$$



216

图11-17 用于驱动大电容负载的反相器链

如果采用N级反相器链来驱动（图11-17），每一级反相器的尺寸比前一级增大A倍（即每一个MOS管的宽度增大A倍），只要选择正确的A和N，就可以使得延迟最小。反相器链中，每一级反相器的输入电容比前一级增大A倍。假设负载电容是最后一级反相器的输入电容的A倍[⊖]，则有：

$$\text{最后一级反相器的负载电容}=C_{in1}\cdot A^N=C_{load} \tag{11-21}$$

式中，C_{in1}是第一级反相器的输入电容。整理式（11-21）得：

$$A=\left[\frac{C_{load}}{C_{in1}}\right]^{\frac{1}{N}} \tag{11-22}$$

反相器链的总延迟为：

$$(t_{PHL}+t_{PLH})_{total}=\underbrace{(R_{n1}+R_{p1})(C_{out1}+AC_{in1})}_{\text{第一级延迟}}+\underbrace{\frac{(R_{n1}+R_{p1})}{A}\cdot(AC_{out1}+A^2C_{in1})}_{\text{第二级延迟}}\cdots \tag{11-23}$$

式中，R_{n1}和R_{p1}是第一级反相器的有效电阻，C_{out1}是第一级反相器的输出电容。随着反相器尺寸按面积因子A增大，其输入电容和输出电容也按A增大，而其电阻则按A减小。式（11-23）可改写为：

$$(t_{PHL}+t_{PLH})_{total}=\sum_{k=1}^{N}(R_{n1}+R_{p1})(C_{out1}+AC_{in1})=N(R_{n1}+R_{p1})(C_{out1}+AC_{in1}) \tag{11-24}$$

由式（11-22）、式（11-24）得：

$$(t_{PHL}+t_{PLH})_{total}=N(R_{n1}+R_{p1})\left[C_{out1}+\left(\frac{C_{load}}{C_{in1}}\right)^{\frac{1}{N}}\cdot C_{in1}\right] \tag{11-25}$$

上式对N求导，可求得最小延迟时的N：

$$(R_{n1}+R_{p1})C_{out1}+(R_{n1}+R_{p1})C_{in1}\left[\left(\frac{C_{load}}{C_{in1}}\right)^{\frac{1}{N}}+N\cdot\left(\frac{C_{load}}{C_{in1}}\right)^{\frac{1}{N}}\frac{\ln(C_{load}/C_{in1})}{-N^2}\right]=0 \tag{11-26}$$

上式中的第一项是反相器链中第一个反相器的固有延迟。如果假设这个延迟很小，解方程（11-26）得：

$$N=\ln\frac{C_{load}}{C_{in1}} \tag{11-27}$$

⊖ 做此假设的目的在于，用负载电容来仿真后一级反相器的输入电容（如果后面再级联一级反相器的话）。

式（11-27）和式（11-22）用于驱动大电容负载的反相器链的设计。对于某一电容负载，第一级反相器越大，则反相器数目越少。74HCXX逻辑系列在整个芯片中采用了尺寸比较大的MOS管，因此，只采用两级到三级缓冲器就可以驱动大于50pF的电容。在超大规模集成电路设计中，MOS管的尺寸通常接近最小尺寸，因此，缓冲器的级数要多一些。下面的例子给出了最简单形式的输出缓冲器的设计。

例11.8

估算图Ex11-8 中驱动20 pF负载电容的反相器的$t_{PHL}+t_{PLH}$，再设计一个可以驱动此电容负载的延迟最小的缓冲器。用SPICE仿真这两个电路并比较其传输延迟。

反相器的传输延迟为:

$$t_{PHL}+t_{PLH}=\left(12\text{k}\frac{2}{3}+36\text{k}\frac{2}{9}\right)\cdot\left(\overbrace{2\cdot 3\cdot 800\text{ aF}+2\cdot 9\cdot 800\text{ aF}}^{C_{out1}=19.2\text{ fF}}+\overbrace{20\text{ pF}}^{C_{load}}\right)=320\text{ ns !}$$

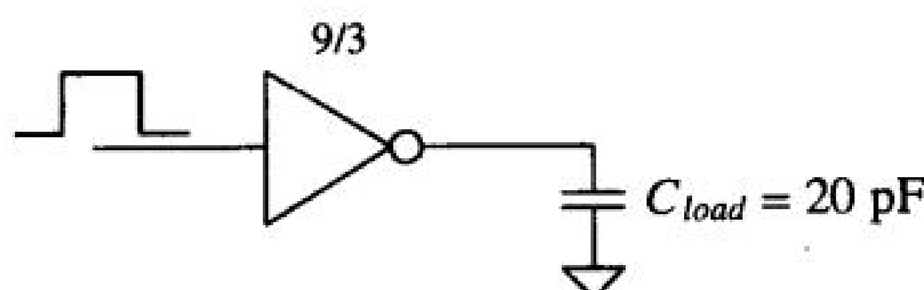


图 Ex11-8

217

要设计延迟最小的缓冲器，需先确定C_{in1}的值。对于图Ex11-8中的反相器，$C_{in1}=\frac{3}{2}C_{out1}=28.8\text{fF}$。由式（11-27）可得到缓冲器中反相器数目:

$$N=\ln\left(\frac{20\text{ pF}}{28.8\text{ fF}}\right)=6.54\rightarrow 7\text{ 级}$$

为了使缓冲器的输出是输入的反，可采用七级反相器。实际上，六级反相器与七级反相器的延迟差别可以忽略。如果不需要得到逻辑反，则可以采用六级反相器。如果采用七级反相器，则面积因子为:

$$A=\left[\frac{20\text{ pF}}{28.8\text{ fF}}\right]^{\frac{1}{7}}=2.55$$

由式（11-25），可得到总延迟为:

$$(t_{PHL}+t_{PLH})_{total}=7(16\text{k})(19.2\text{ fF}+2.55\cdot 28.8\text{ fF})=10.4\text{ ns}$$

比图Ex11-8中只用一个反相器时快了30倍。由于PMOS管的沟道宽度是NMOS管沟道宽度的三倍，因此，传输延迟时间t_{PHL}与t_{PLH}相等，即:

$$t_{PHL}=t_{PLH}=5.2\text{ ns}$$

图11-18是缓冲器的电路图。由面积因子A和第一个反相器中的NMOS管和PMOS管的沟道宽度，可计算出后面各级反相器中的MOS管沟道宽度；但为了简化版图设计，后面各级反相器中的MOS管实际沟道宽度取与计算结果接近的整数。图11-19是SPICE仿真结果。由仿真结果知，由

于输入在达到VDD后，经过15ns又降为0V，单个反相器驱动的负载电容没能充分放电。■

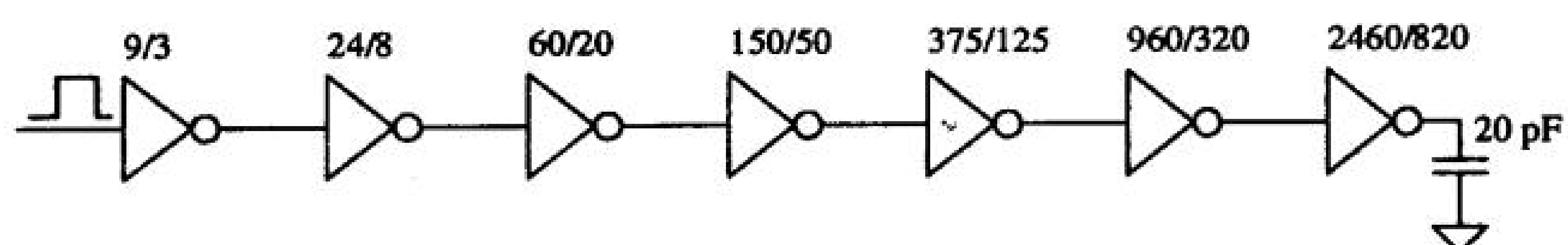
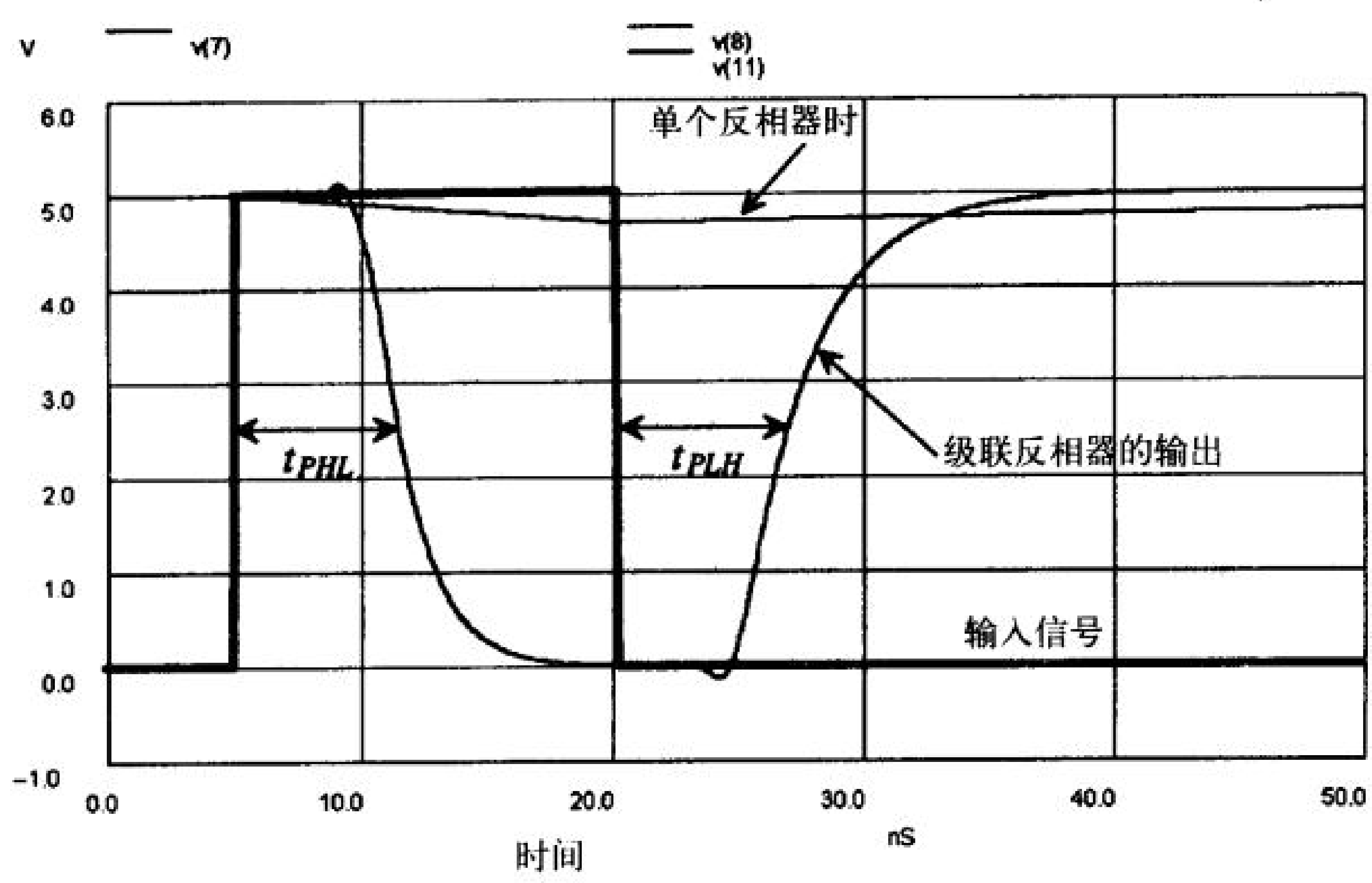


图11-18　例11.8中设计的缓冲器



218

图11-19　例11.8的仿真结果

尽管上例设计的缓冲器在驱动20pF负载时可以得到最小延迟，但是MOS管的尺寸必须很大。在很多情形下，并不需要缓冲器的延迟最小；通常的要求是延迟小于某些值即可。请看下面这个例子。

例11.9

重新设计例11.8中的缓冲器，使其延迟（$t_{PHL}+t_{PLH}$）小于15 ns即可（例11.8中的最小延迟为10.4 ns）。

为了保持输出是输入的逻辑反，采用三级或五级缓冲器均可。先来试验一下三级缓冲器。三级缓冲器的面积因子由下式得到：

$$A=\left[\frac{20\ \text{pF}}{28.8\ \text{fF}}\right]^{1/3}=8.86$$

利用式（11-25）可得到总延迟为：

$$t_{PHL}+t_{PLH}=3(16\text{k})(19.2\ \text{fF}+8.86\cdot 28.8\ \text{fF})=13.2\ \text{ns}$$

即：

$$t_{PHL}=t_{PLH}=6.6\ \text{ns}$$

图11-20给出了设计出的缓冲器。该缓冲器的版图尺寸远小于例11.8中所设计的缓冲器，而增加的延迟却很小。■

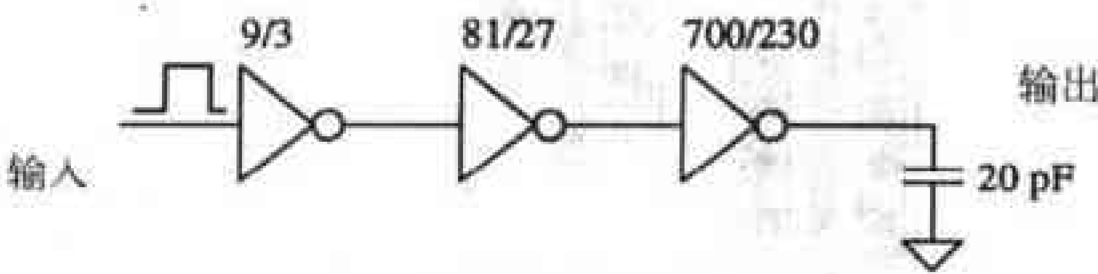


图11-20 例11.9所设计的缓冲器

大尺寸MOS管的版图设计

在设计输出缓冲器时，利用层级化的设计技术，可以极大地节省大尺寸MOS管的版图设计时间。下面举一个简单的例子，要求画出250/2的NMOS管的版图。首先，创建一个名为NAA25X2的单元，层级设为1，n+有源区的面积为25乘2，其版图如图11-21所示。 219

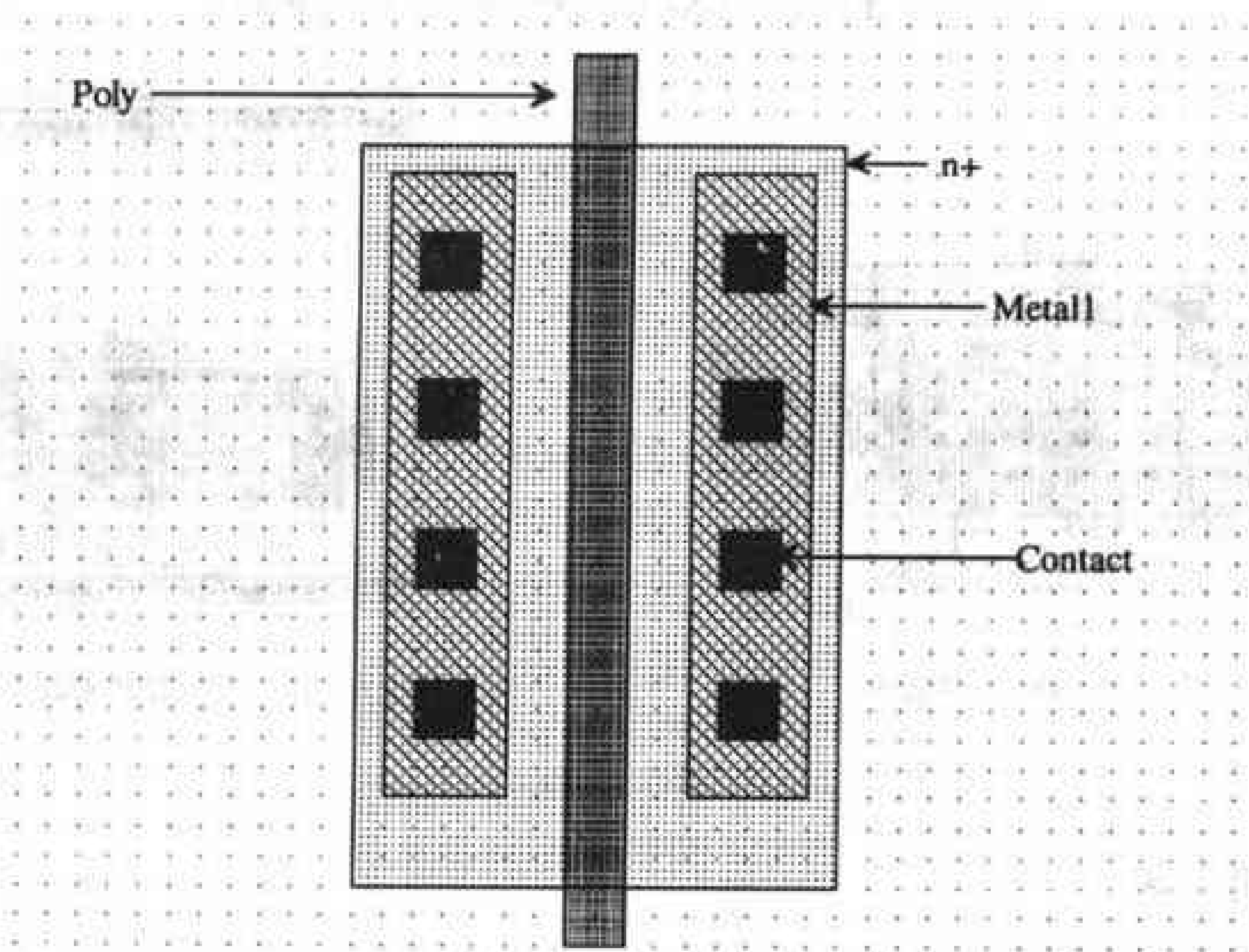


图11-21 宽度为25μm、长度为2μm的NMOS管版图

第二步是创建名为N250X2、层级为2的单元。把对象选为NAA25X2（用LASI中的obj命令），并用Add命令把四个NAA25X2单元添加到N250X2单元中，注意使相邻的NAA25X2单元的源/漏区重叠，如图11-22所示。在第5章中讨论过，源漏区共享可以减小衬底和源/漏注入区之间的耗尽层电容。图11-23a是250乘2的NMOS管版图，每个25乘2的MOS管的源、漏和栅分别连接在一起，构成250乘2的NMOS管。图中没有画出衬底连接（不提供阱或衬底连接是一个严重错误）。由于以前讨论过的标准单元框SFRAME（层级为1）中提供了阱和衬底连接，因此，只需把图11-23a中的版图放入标准单元框中，即可得到图11-23b所示的大尺寸MOS管的完整版图。 220

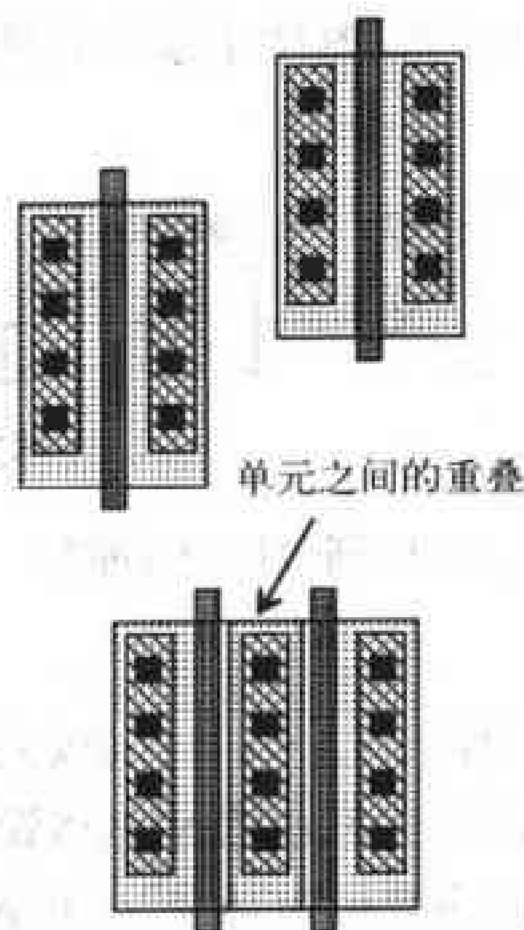
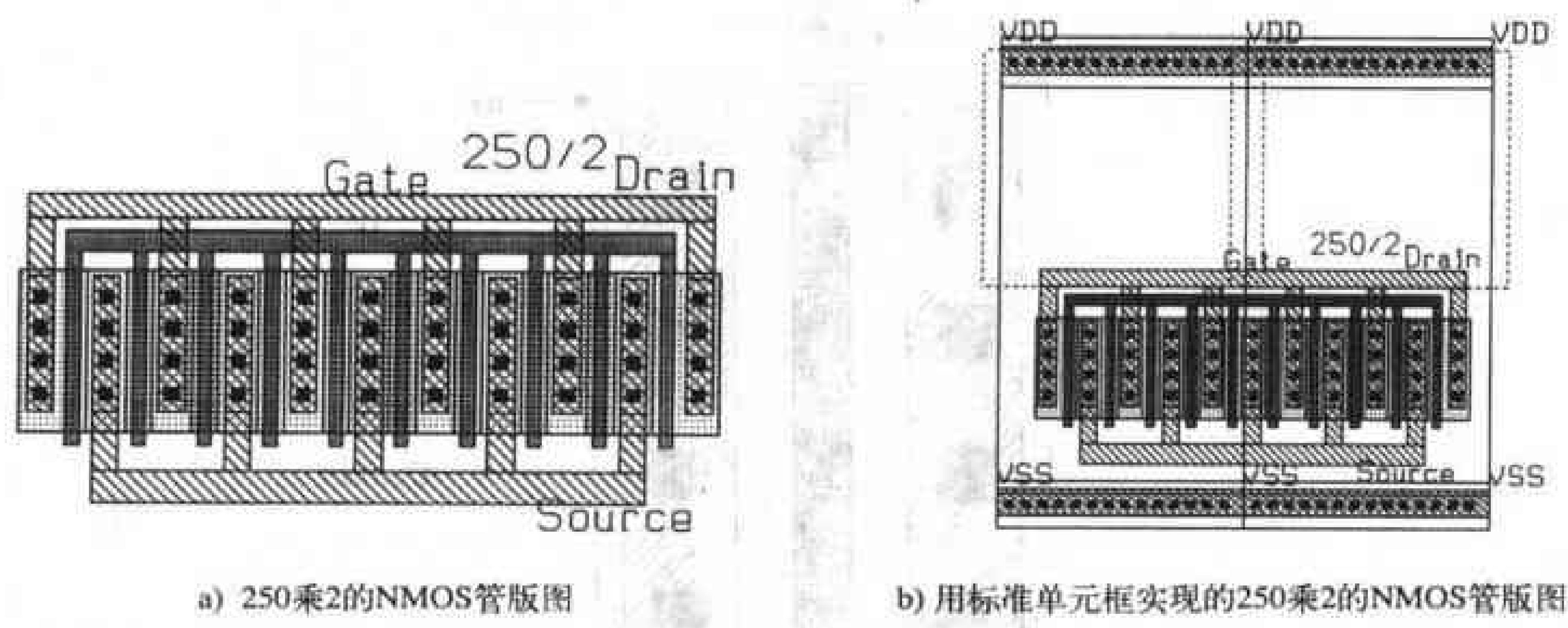


图11-22 把NAA25X2单元添加到N250X2单元中



a) 250乘2的NMOS管版图 b) 用标准单元框实现的250乘2的NMOS管版图

图 11-23

11.4.1 分布式驱动器

现在考虑图11-24a中的含有11个反相器的驱动电路。若图中所有反相器尺寸相同，则从输入到输出的总延迟为：

$$t_{PHL}+t_{PLH}=(R_n+R_p)(C_{out}+10C_{in}) \tag{11-28}$$

再考虑图11-24b给出的由13个反相器构成的驱动电路。若图中所有反相器尺寸相同，则从输入到输出的总延迟为：

$$t_{PHL}+t_{PLH}=(R_n+R_p)[(C_{out}+2C_{in})+(C_{out}+5C_{in})]=(R_n+R_p)[2C_{out}+7C_{in}] \tag{11-29}$$

这小于图11-24a所示驱动电路的延迟。通常，把信号分配到不同的路径上可降低传输延迟。这里可能会提出一个问题："为什么不通过增大图11-24中第一个反相器的尺寸来降低延迟呢？"答案很简单。如果增大第一个反相器的尺寸，就会增大它的输入电容。在SPICE仿真中，我们是用理想电压源来驱动电路中的第一个反相器。实际上，这个反相器是由芯片中其他门电路来驱动；增加第一个反相器的尺寸就会增大驱动该反相器的门电路的传输延迟。

221~222

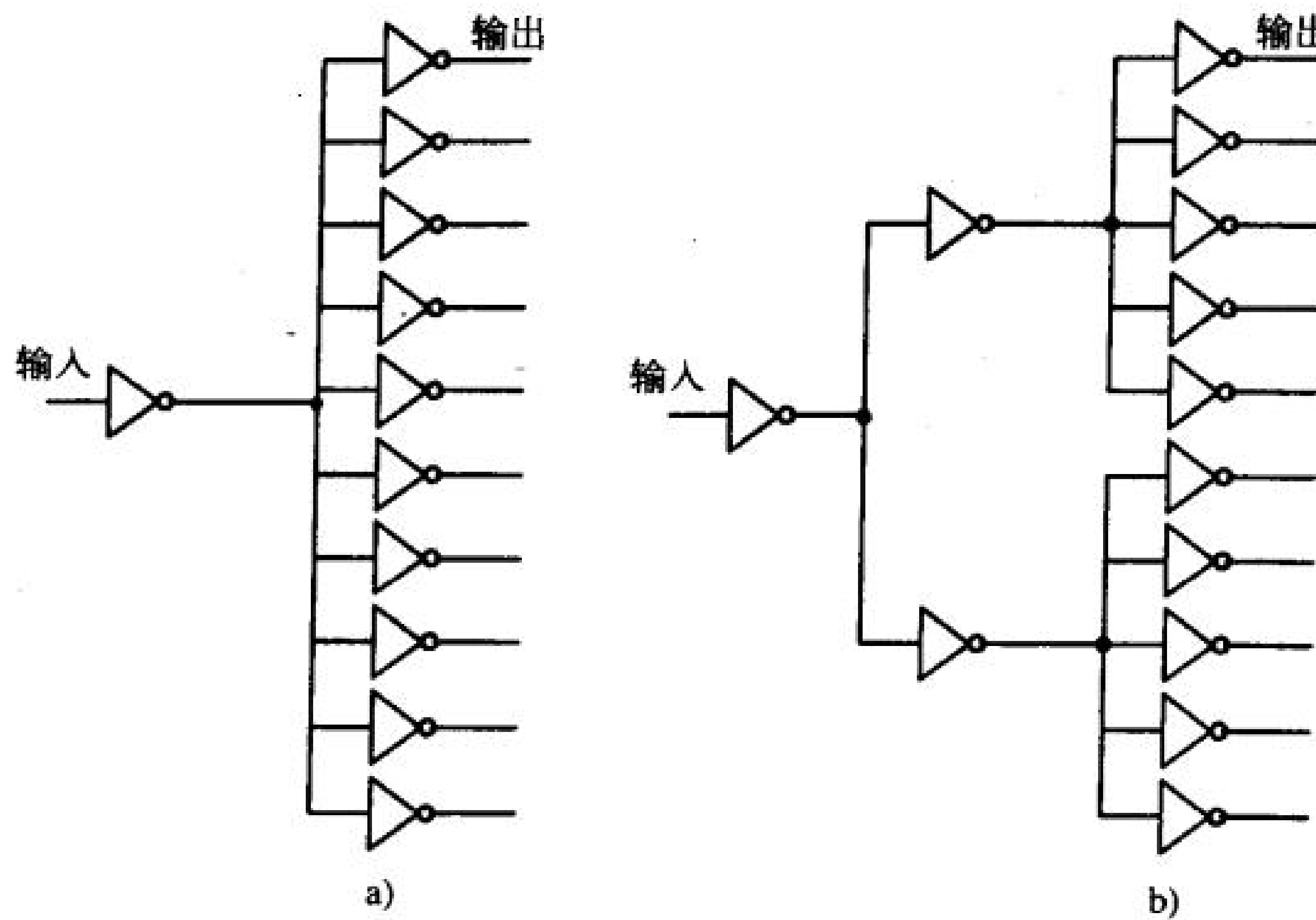


图11-24 分布式驱动器

11.4.2 驱动较长的互连线

在设计很大的电路系统时，如动态随机存储器（Dynamic Random-Access Memory，DRAM），常常需要穿过整个芯片来驱动一个信号。在这些设计中，必须通过一个带有很大寄生电阻和寄生电容的连线来传送信号。我们需要手算出连线的延迟，以决定如何设计驱动电路。

考虑图11-25所示驱动电路。传输线长度为l，单位长度的传输线的电阻和电容分别为r和c。考虑反相器延迟和传输线延迟后，从输入到输出的总延迟为：

$$t_{PHL}+t_{PLH}=2\cdot[(R_n+R_p)(C_{out}+c\cdot l+C_{load})+0.35\cdot rcl^2+(r\cdot l)(C_{load})] \tag{11-30}$$

式中，第一项是驱动输出总电容时的反相器延迟，第二项是通过传输线的延迟，第三项是通过带电阻的传输线驱动电容负载时的延迟。减小传输线延迟的最常见办法是在传输线的不同位置处插入缓冲器，这可以有效地降低总延迟。如果延迟主要由C_{load}引起，则可以在RC传输线和C_{load}之间插入缓冲器来减小延迟。

223

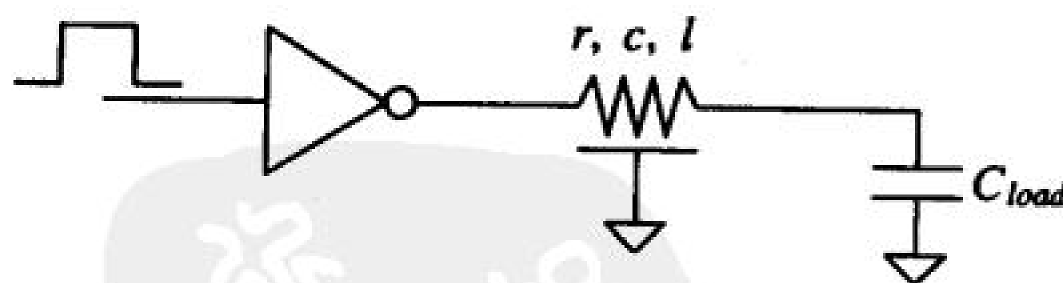
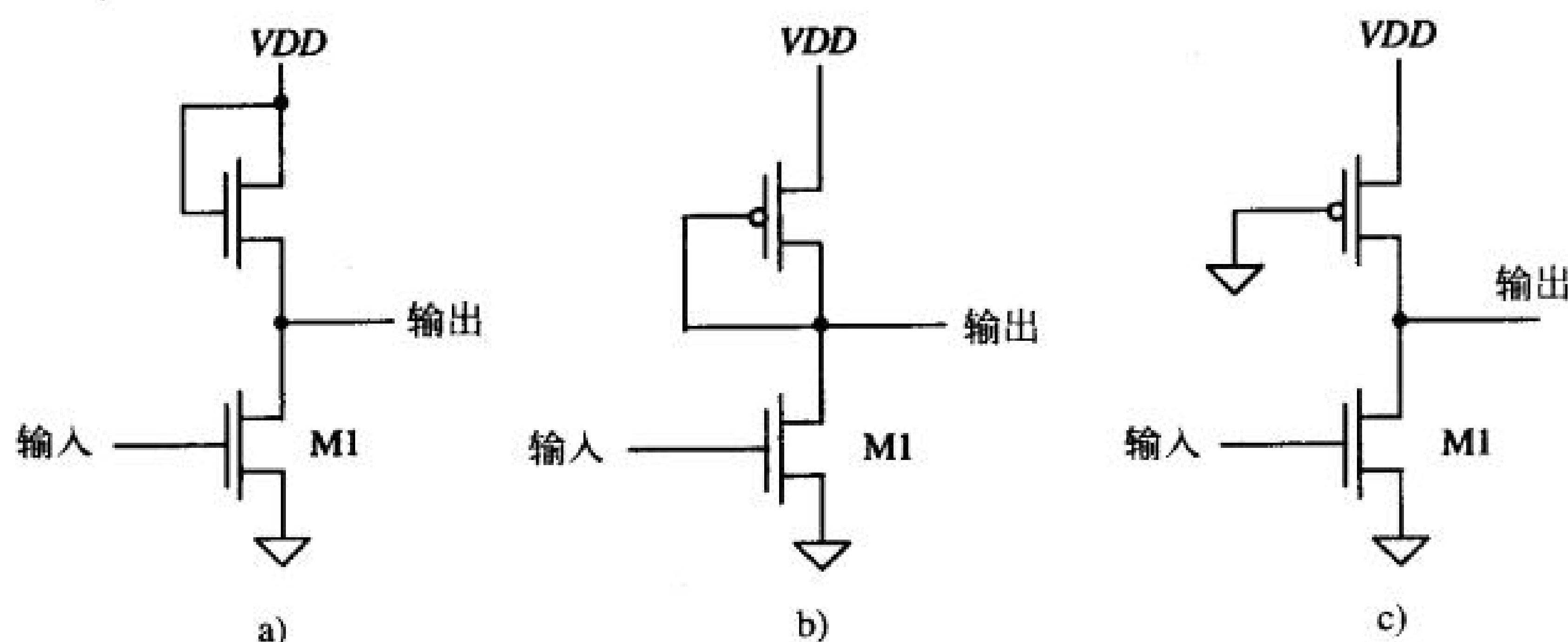


图11-25 驱动RC传输线

11.5 其他类型的反相器

图11-26给出的是三种其他类型的反相器。图11-26a是NMOS反相器，可以避免闭锁。图11-26b和11-26c是用PMOS管做负载管，通常用于输入数目较大的逻辑门电路（下一章对此有详细解释）。通常，MOS管尺寸的选择遵循4:1的规则，即：负载管的电阻（R_n或R_p）是M1管电阻的四倍。这些反相器的输出低电平不能达到0V，所以，其噪声容限要低于图11-1中的CMOS反相器。同时，当输出为逻辑低电平时，会有电流流过负载管和M1管，因此，存在直

流功耗。图11-26c的反相器的输出高电平可以达到VDD，而其他两个反相器的逻辑高电平要比VDD小一个阈值电压。由上面的叙述，可能会得出如下结论：图11-26中的反相器的功耗大于CMOS反相器的功耗。实际未必如此。图11-26中的反相器的输入电容小于CMOS反相器，并且输出电压摆幅也减小了，因此，哪个反相器的功耗最大由工作频率决定；在工作频率很高时，CMOS反相器的功耗最大。



224

图11-26　其他类型的反相器

11.5.1　仅由NMOS管构成的输出驱动器

由于CMOS反相器容易形成闩锁，所以，有时采用仅由NMOS管构成的输出驱动器。图11-27是基本的“NMOS 超级缓冲器”。当输入信号是低电平时，M1和M4关断，M2和M3导通，通过M2把输出拉到地。输入信号是高电平VDD时，M1和M4导通，把输出拉到$VDD-V_{THN}$。

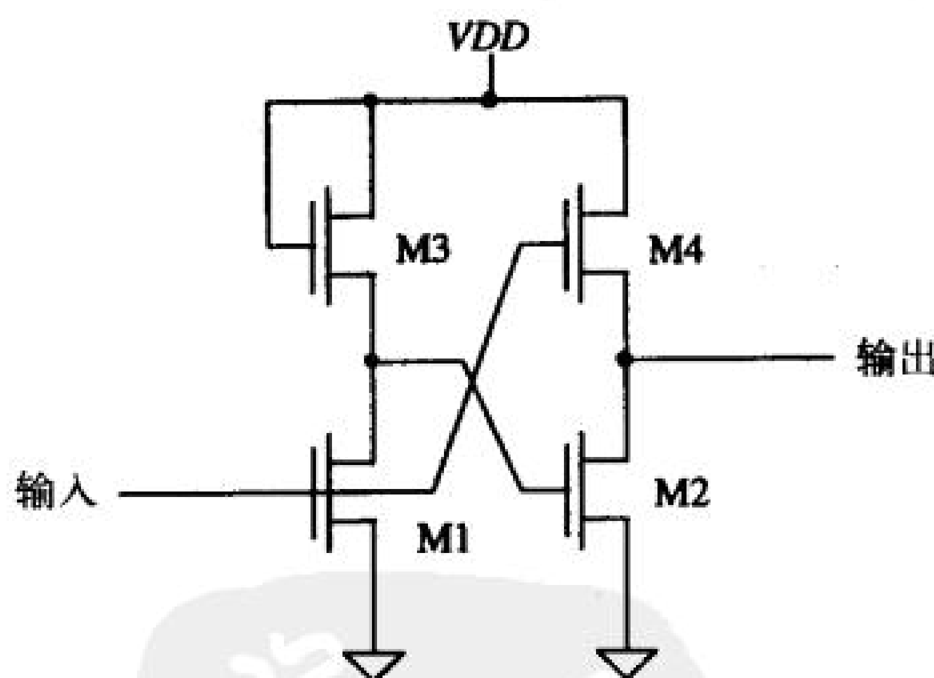


图11-27　NMOS超级缓冲器

由上述分析知，仅由NMOS管构成的输出缓冲器的最大输出电压为$VDD-V_{THN}$，不能达到VDD。为了提高输出摆幅，可采用图11-28所示电路。该电路中，片上产生的约为VDD+2V的直流电压接驱动M2栅极的反相器。这样使得最终输出信号可以达到VDD，得到与CMOS输出缓冲器一样的摆幅。如果进一步增加使能逻辑门，使得M1管和M2管的栅极可同时为低电平，则输出可被强制为高阻态；由于输出有1、0和高阻态三种状态，因此，也被称为三态输出。

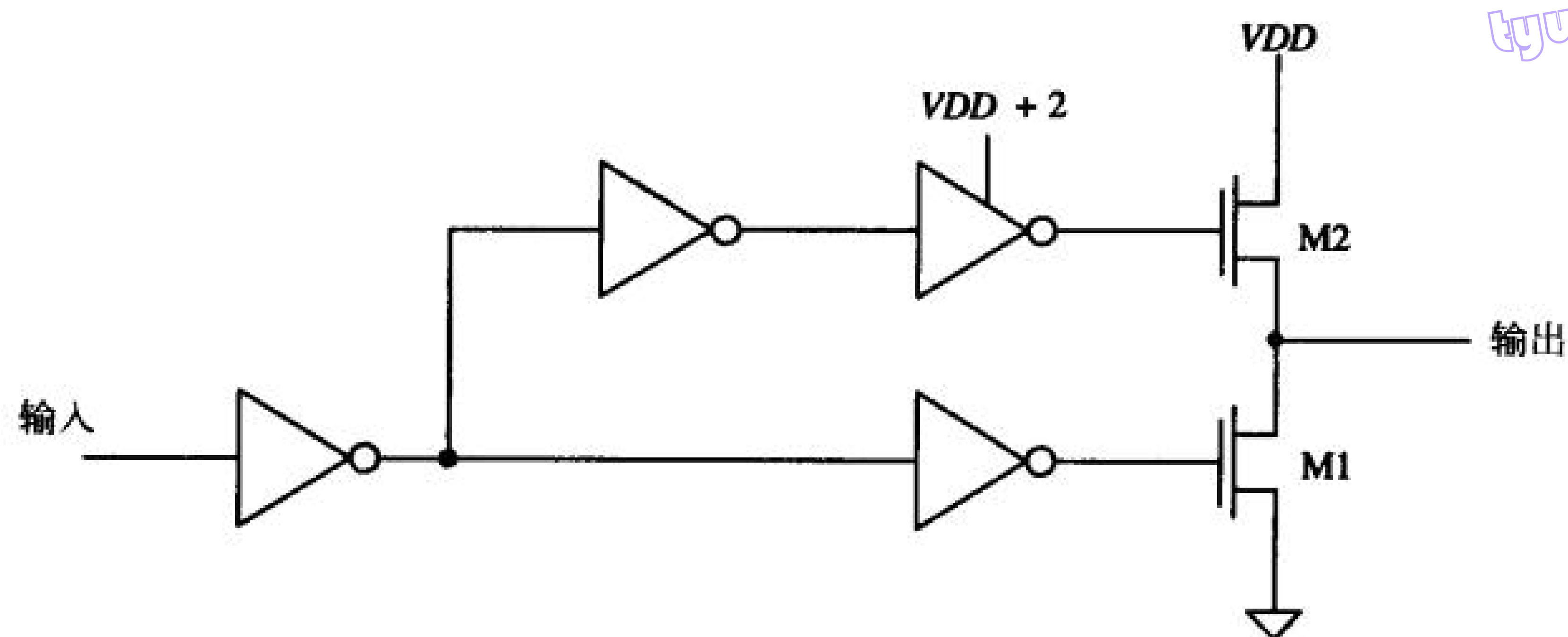


图11-28 另一种输出缓冲器

11.5.2 三态输出反相器

图11-29给出了两种带三态输出的反相器。在S端加高电平可以使电路按正常反相器工作，在S端加低电平就可以把输出强制为高阻态。这种电路可用于多个电路模块共享一条数据总线的情形。图11-29也给出了三态反相器的逻辑符号。

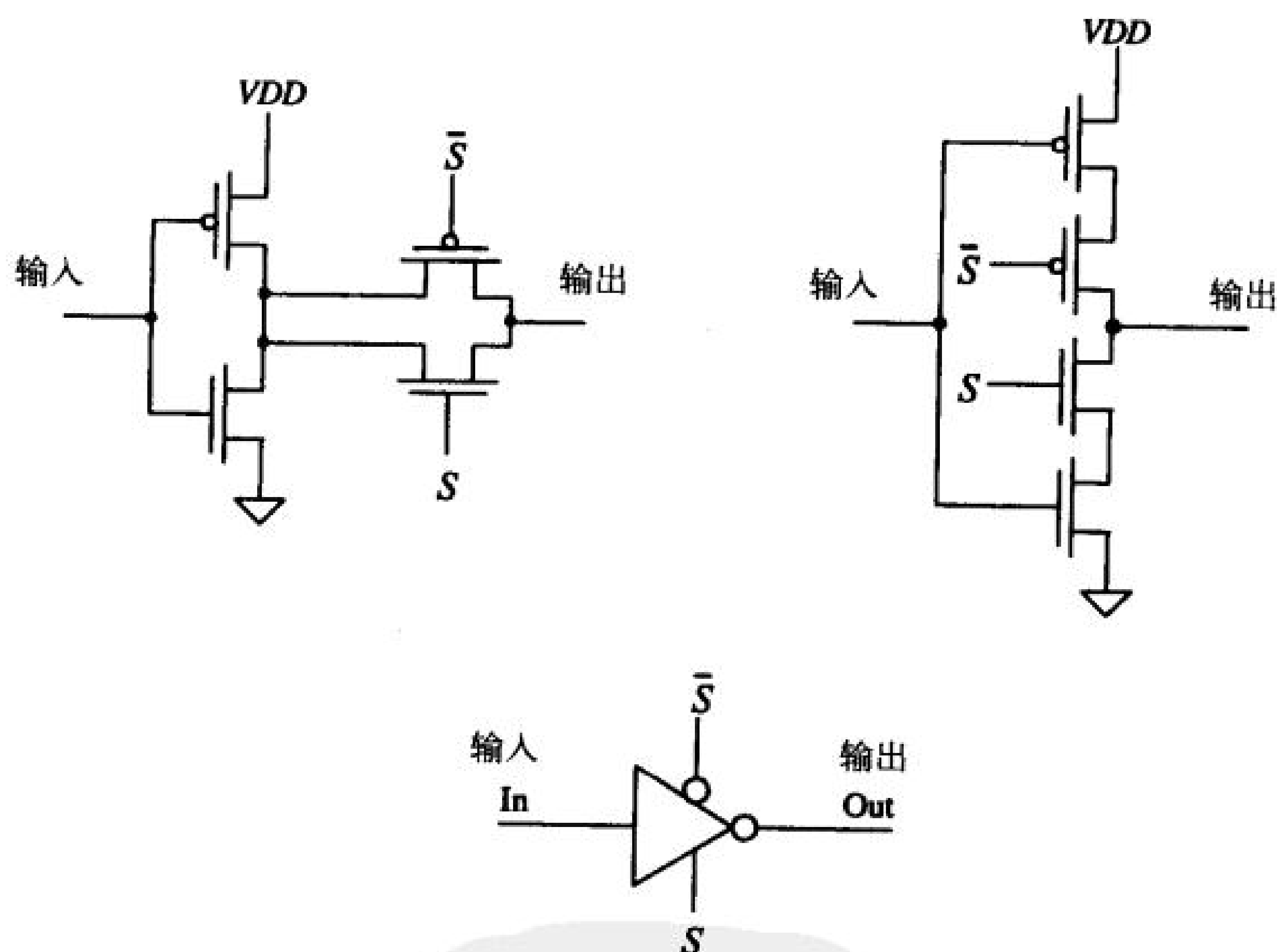


图11-29 三态反相器的电路图和逻辑符号图

11.5.3 自举NMOS反相器

图11-26的NMOS反相器经过改进可得到图11-30所示反相器，这种反相器结构被称为自举NMOS反相器，一般用于输出必须达到*VDD*的情形。其工作原理是：当反相器输入为逻辑高电平时，M1管导通，输出被下拉到的电压值约为：

225~226

$$V_{OL} = (VDD - 2V_{THN}) \cdot \frac{R_{n1}}{R_{n1} + R_{n2}} \tag{11-31}$$

对于图中所示器件尺寸，V_{OL}约为0.5V。当输入从高电平向低电平转换时，M4管用作电容，使输

出脉冲容性耦合到M2管的栅极，结果使得M2管栅电压增加到高于VDD，使得M2管完全导通（通过自举M2管的栅压把输出上拉到VDD）。为了更好的理解其原理，参看图11-31所示电路，M4管用做电容，等效为电容C_4（$=W_4L_4C'_{ox}$）。随着输入降低，M1管关断，在输出和M2的栅极之间形成一个电容性的分压器：

$$\text{M2栅极电压的变化}=(VDD-V_{OL})\cdot\frac{C_4+C_{inn2}}{C_4+C_{inn2}+C_{inn3}} \tag{11-32}$$

如果没有自举电路（由M3管和M4管构成），则M2的栅极接到VDD，输出最高电压为$VDD-V_{THN}$。如果M2栅极电压能被自举到VDD + 2V，则M2能完全导通，输出可以达到VDD，因此，M2栅极电压的变化应大于2V。通常，M4的尺寸要大于10倍的M3的尺寸，即$C_4>10\cdot C_{inn3}$。注意，上面的分析是针对动态过程。实际上，在直流情形下，M2栅极电压最大为$VDD-V_{THN}$，输出最高电平是$VDD-2V_{THN}$（低于图11-26a中NMOS反相器的输出最高电压）。

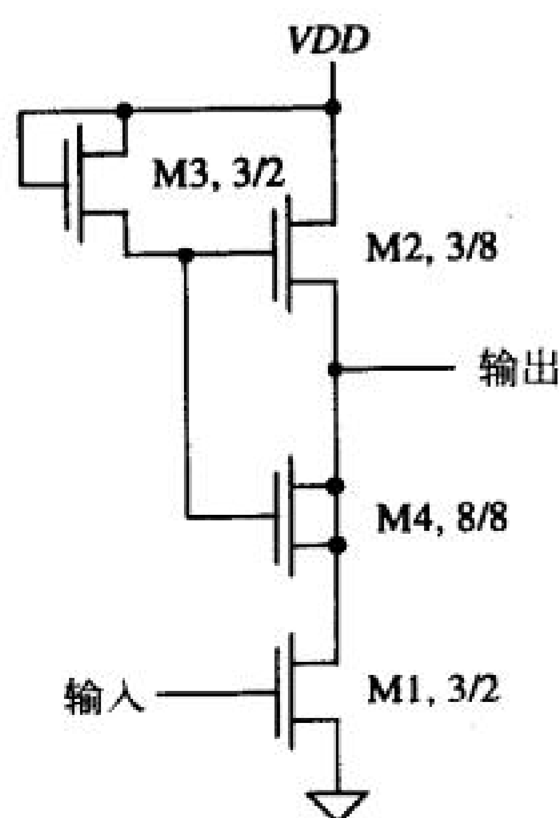


图11-30　自举NMOS反相器

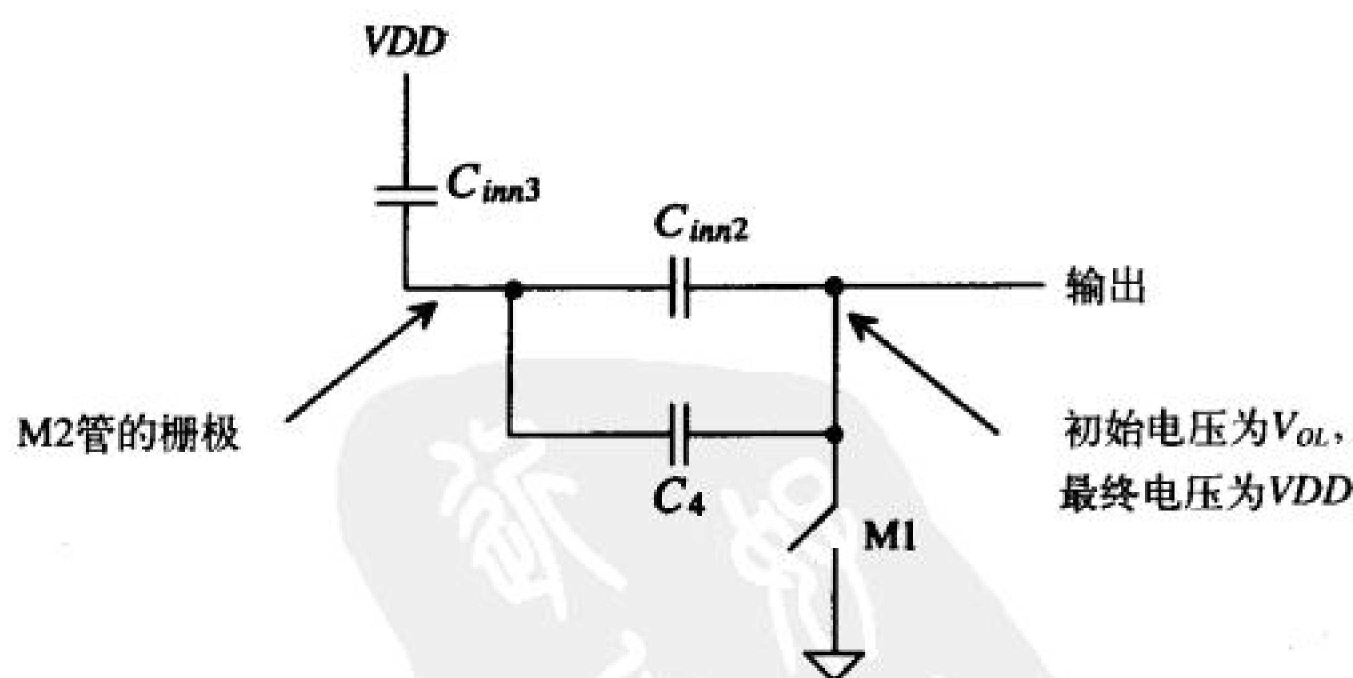


图11-31　阐述自举原理的电路图

例11.10

用SPICE仿真验证图11-30中反相器的工作原理。

图11-32给出了仿真结果。由该图知，输出不能达到VDD或地。减小图11-30中M2管的W/L能增大其电阻，使输出接近地；但这样做的代价是会增加t_{PLH}。如果增大用作电容的M4管

的尺寸，则自举反相器的输出也可以达到*VDD*。然而，由于此电容是通过M3管来充电，电容增大会使充电时间增加，导致门电路的最大工作频率下降。 ■

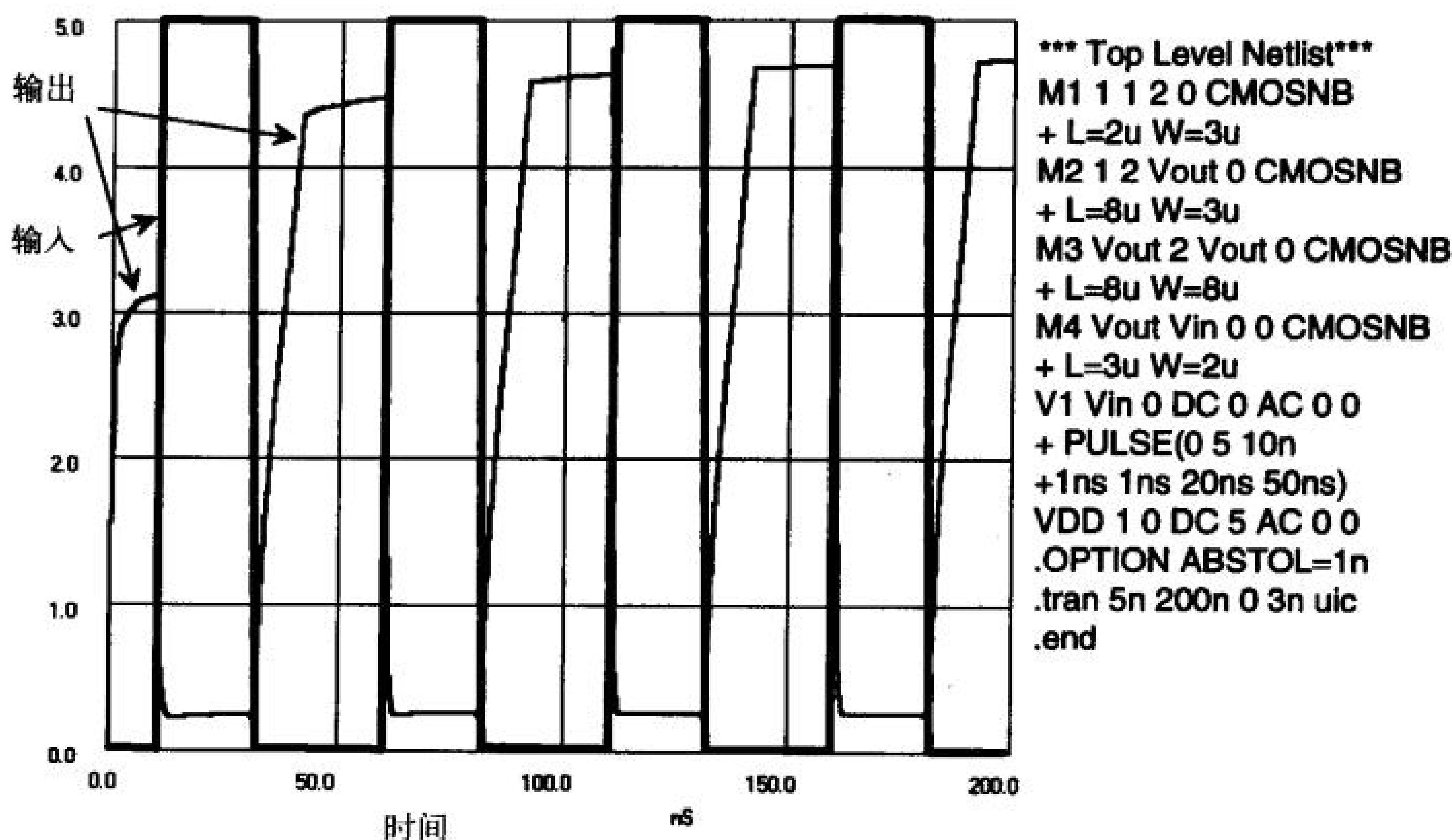


图11-32 例11.10的仿真结果

227
~
228

参考文献

[1] R. L. Geiger, P. E. Allen and N. R. Strader, *VLSI-Design Techniques for Analog and Digital Circuits*, McGraw-Hill Publishing Co., 1990. ISBN 0-07-023253-9.

[2] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison- Wesley, 2nd ed., 1993. ISBN 0-201-53376-6.

习题

除非特别说明，以下习题均采用CN20工艺参数。

11.1 设计V_{SP}约等于V_{THN}的反相器，并仿真其直流特性。估算此反相器的噪声容限。

11.2 若MOS管的$W=10\mu m$、负载电容为1pF，重做例11.6。

11.3 估算用最小尺寸反相器构成的31级环路振荡器的振荡频率。

11.4 画出图11-16所示标准单元框的版图，并解释为何增加注入区有助于抑制闩锁效应。

11.5 用尺寸为150/50的反相器设计一个驱动50pF电容负载的缓冲器，其$t_{PHL}+t_{PLH}$应小于10ns，仿真验证其工作原理。

11.6 若最大延迟为20ns，反相器链中的第一个反相器取最小尺寸（即PMOS管和NMOS管均为3/2），重做例11.9。

11.7 一条1mm长的多晶硅连线一端接一个1pF的电容，另一端用一个最小尺寸的反相器来驱动，仿真其延迟。

11.8 利用第5章的标准单元框，画出尺寸为450/150的反相器的版图。

11.9 对图11-27所示的NMOS超级反相器的工作原理进行仿真，并解释仿真结果。

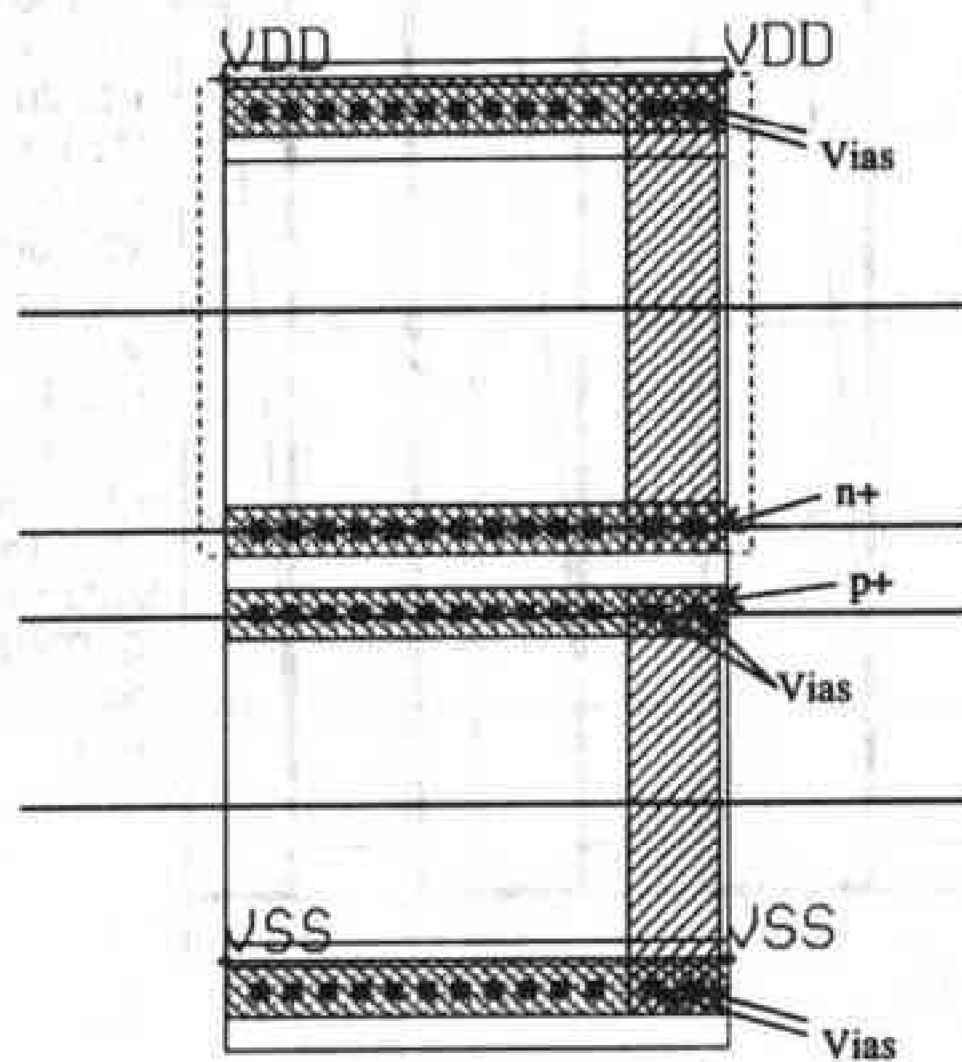
11.10 若M4的尺寸增大为20/20，重做例11.10。

11.11 对CMOS14TB工艺下的最小尺寸（0.9/0.6）MOS管，重做例11.5。

11.12 对CMOS14TB工艺下的最小尺寸MOS管，重做例11.6。

229

11.13 对图P11-13所示版图，画出标注位置所对应的剖面图。



230

图 P11-13



第12章 静态逻辑门

本章将讨论CMOS静态逻辑电路的直流特性、动态特性和版图设计。静态逻辑的含义就是门的输出总是输入的逻辑函数，并且不论什么时刻都可以在门的输出端得到输出逻辑值。我们首先讨论NAND门和NOR门。

12.1 NAND和NOR逻辑门的直流特性

图12-1给出的是两输入与非门和或非门。在分析其工作原理前，先说明一下：与上一章讲到的反相器相同，每个输入都连到了一对PMOS管和NMOS管上。我们将利用第11章的结果来解释这些逻辑电路的工作原理。

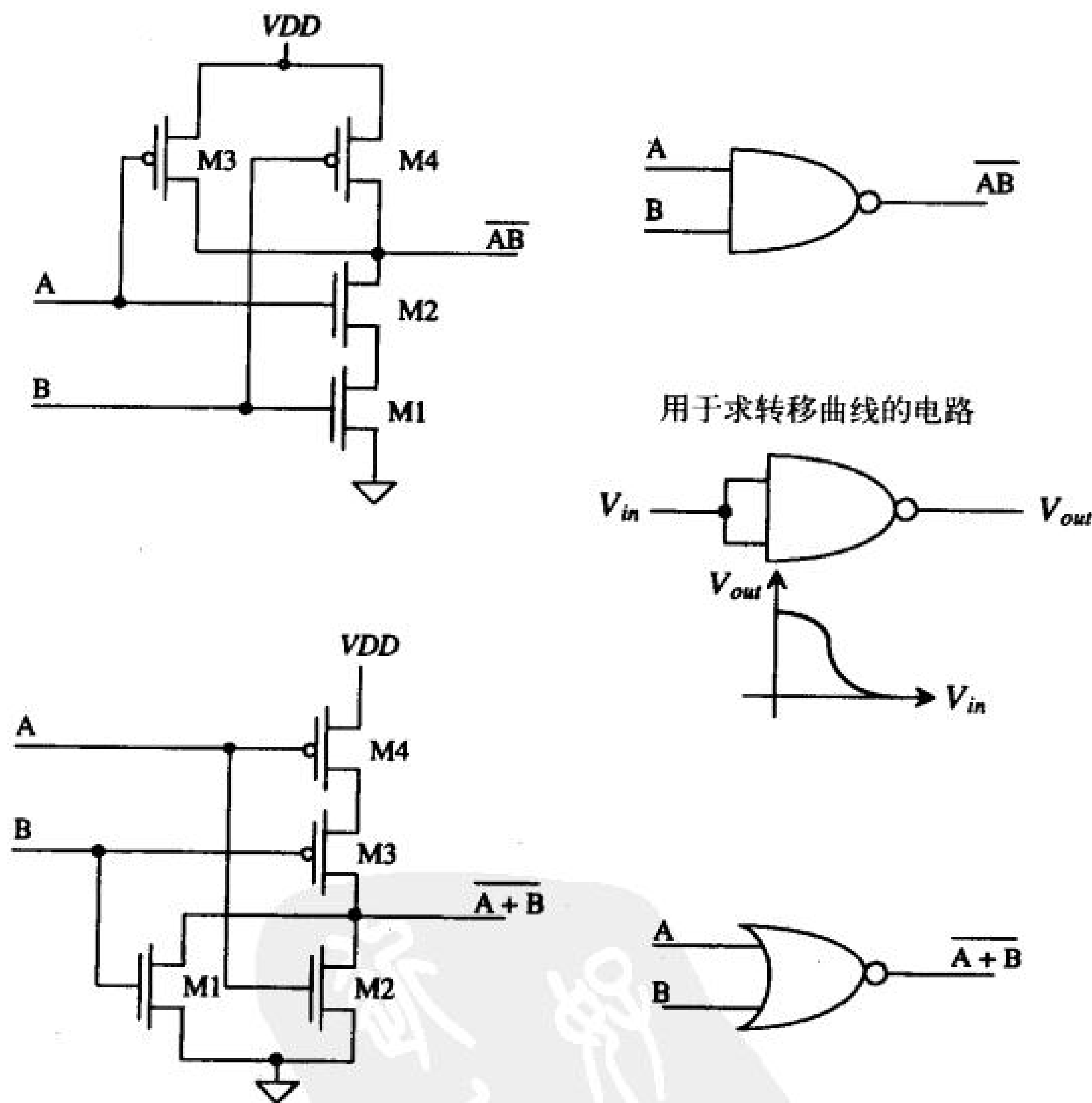


图12-1 与非门和或非门的电路图和逻辑符号图

12.1.1 NAND逻辑门的直流特性

图12-1中，要使输出转换到低电平，两个输入都必须是高电平。首先令PMOS管的尺寸为$W=W_p$, $L=L_p$，NMOS管尺寸为$W=W_n$, $L=L_n$，再分析逻辑门的电压转移曲线。如果两个输入端连在一起，则与非门的功能与反相器相同。

现在我们来求与非门的转换点电压V_{SP}。由前面章节的讨论知，两个并联PMOS管等价于一个MOS管，其沟道宽度为两个并联MOS管沟道宽度之和。因此，若图12-1中两个并联PMOS管的尺寸相同，则有：

$$W_3+W_4=2W_p \tag{12-1}$$

两个并联MOS管的跨导参数也可以合并成一个单管的跨导参数：

$$\beta_3+\beta_4=2\beta_p \tag{12-2}$$

如果忽略体效应，则两个串联MOS管（把它们的栅极连接在一起）等价于沟道长度为两个串联MOS管沟道长度之和的一个MOS管。因此，对上图中的与非门，有：

$$L_1+L_2=2L_n \tag{12-3}$$

等价MOS管的跨导参数为：

$$\beta_1+\beta_2=\frac{\beta_n}{2} \tag{12-4}$$

231~232

下面我们为NAND门建模。把与非门的两个输入端连接在一起，使它类似一个反相器，NMOS管的沟道宽度为W_n、沟道长度为$2L_n$，PMOS管的沟道宽度为$2W_p$、道长度为L_p，则跨导比率为：

$$\text{NAND门的跨导比率}=\frac{\beta_n}{4\beta_p} \tag{12-5}$$

用式（11-4）可得到两输入与非门的转换点电压为：

$$V_{SP}=\frac{\sqrt{\frac{\beta_n}{4\beta_p}}\cdot V_{THN}+(VDD-V_{THP})}{1+\sqrt{\frac{\beta_n}{4\beta_p}}} \tag{12-6}$$

对于n输入与非门（见图12-2），则有

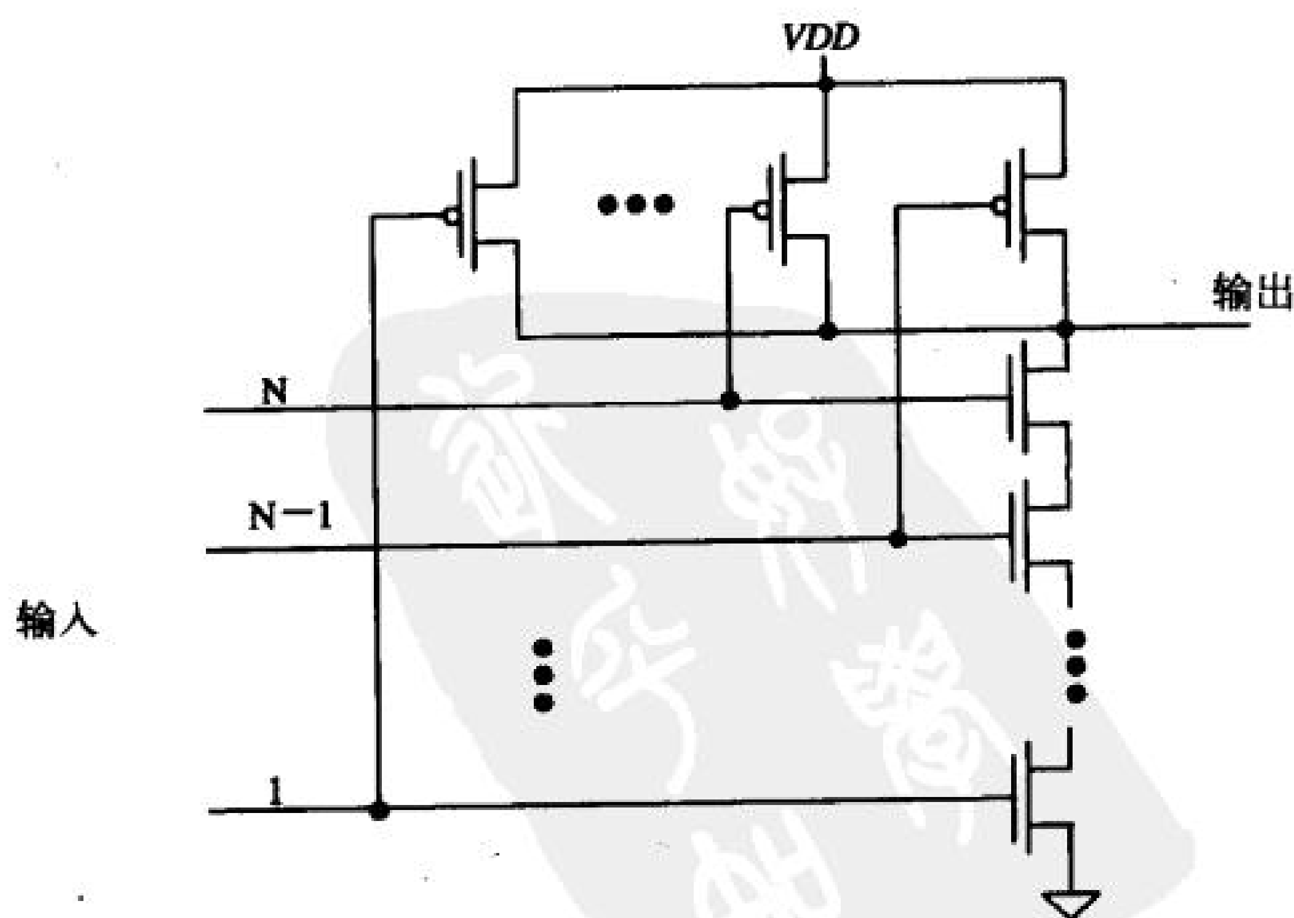


图12-2　n输入NAND的电路图

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{N^2 \cdot \beta_p}} \cdot V_{THN} + (VDD - V_{THP})}{1 + \sqrt{\frac{\beta_n}{N^2 \cdot \beta_p}}} \tag{12-7}$$

切记此处忽略了体效应（随着V_{SB}的增加，阈值电压会增大）。如果只有一个输入有效，其他输入全部接VDD，则因体效应，电压转移曲线会略有差别。

例12.1

手算由最小尺寸MOS管构成的三输入与非门的V_{SP}，并与SPICE仿真结果比较。

通过计算三输入与非门的跨导比率来求得转换点电压。由于：

$$\sqrt{\frac{\beta_n}{N^2\beta_p}} = \sqrt{\frac{\frac{50\mu A/V^2 \cdot 3\mu m}{2\mu m}}{9 \cdot \frac{17\mu A/V^2 \cdot 3\mu m}{2\mu m}}} = 0.572$$

所以，由式（12-7）得:

$$V_{SP} = \frac{0.572 \cdot (0.83) + (5 - 0.92)}{1.572} = 2.9\ \text{V}$$

图12-3给出了SPICE仿真结果，仿真得到的转换点电压约为3.1V。■

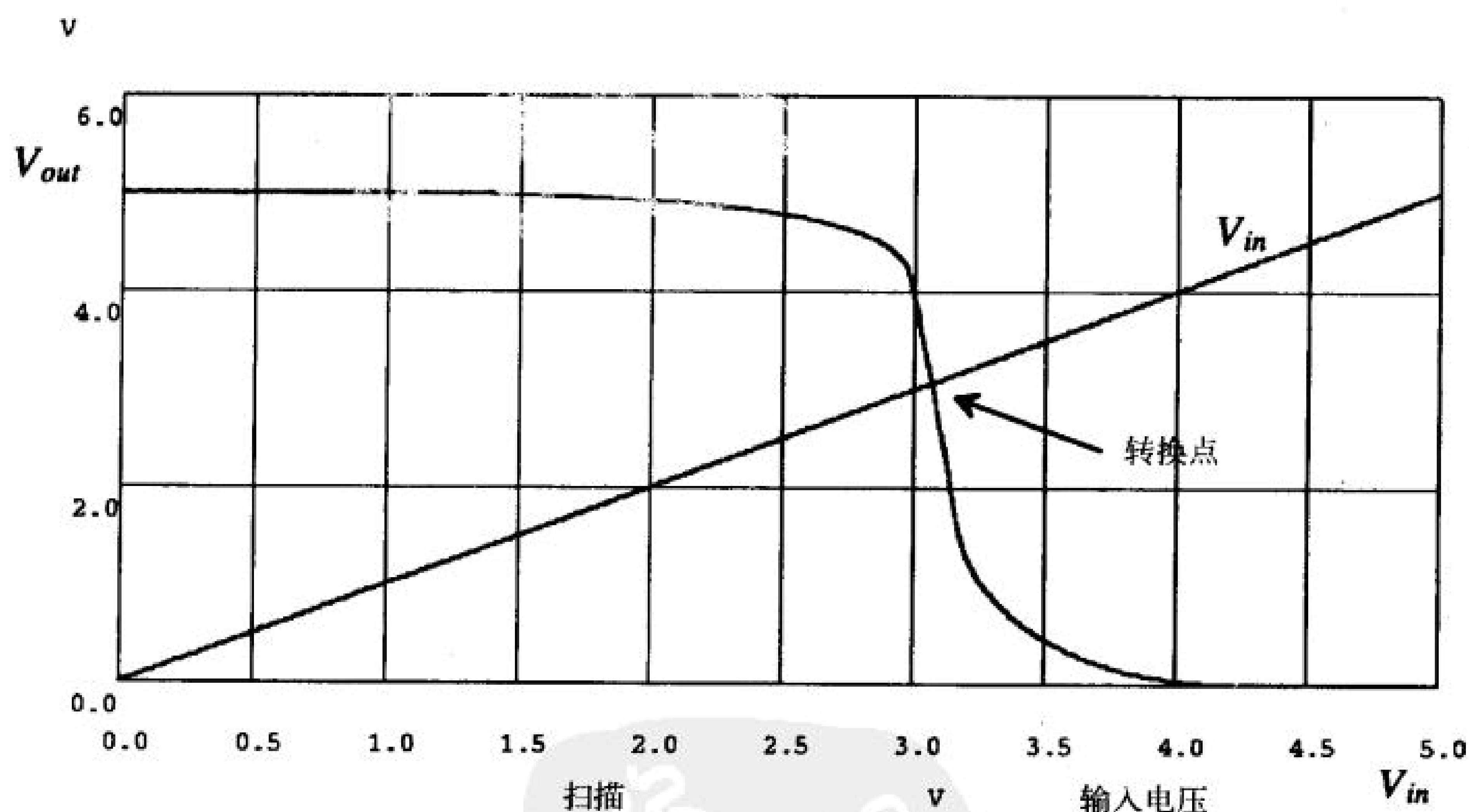


图12-3　由最小尺寸MOS管构成的三输入与非门的电压转移特性

12.1.2　NOR逻辑门的直流特性

对n输入或非逻辑门（见图12-4），可采用类似NAND门的分析，得到其转换点电压为:

$$V_{SP} = \frac{\sqrt{\frac{N^2 \cdot \beta_n}{\beta_p}} \cdot V_{THN} + (VDD - V_{THP})}{1 + \sqrt{\frac{N^2 \cdot \beta_n}{\beta_p}}} \tag{12-8}$$

233
~
234

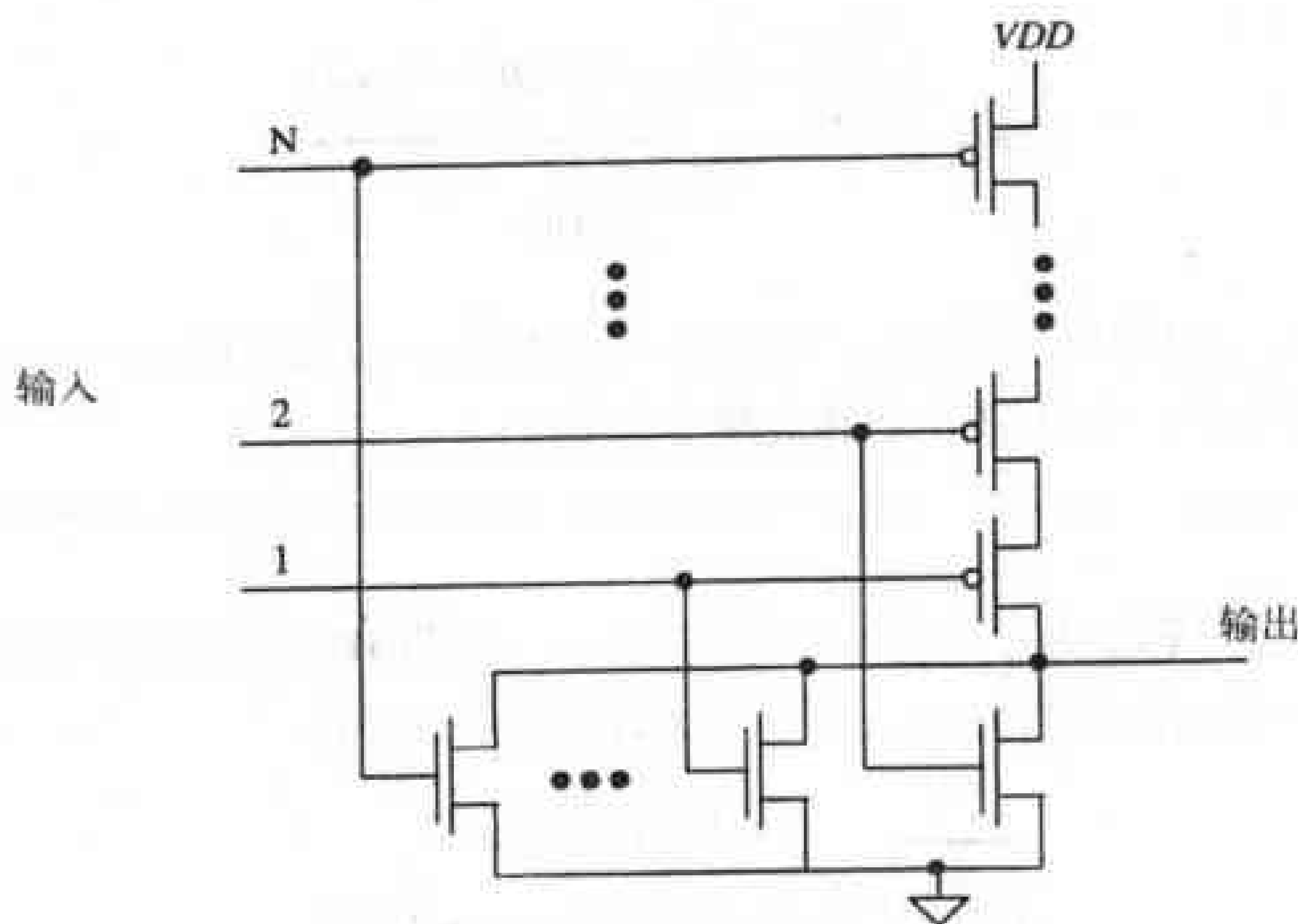


图12-4　n输入或非逻辑门的电路图

例12.2

将由最小尺寸MOS管构成的三输入或非门的转换点电压与例12.1中的三输入与非门的转换点电压进行比较，讨论哪一个更接近理想值，即$V_{SP}=VDD/2$。

由最小尺寸MOS管构成的三输入或非门的$V_{SP}=1.35\text{V}$，由最小尺寸MOS管构成的三输入与非门的$V_{SP}=2.9\text{V}$，而理想逻辑门的$V_{SP}=2.5\text{V}$，所以，与非门比或非门更接近理想情况，这主要是因为NMOS管的跨导（实际为迁移率）大于PMOS管跨导。在CMOS数字电路设计中，由于与非门比或非门有更好的直流特性、噪声容限和动态特性，因此，与非门的应用最多。由下面的分析还可知道，与非门的瞬态特性也优于或非门。■

12.2 NOR门和NAND门的版图设计

图12-5给出的是利用标准单元框设计的三输入或非门和与非门的版图。串联的MOS管（如与非门中的NMOS管）采用单个源接触孔和单个漏接触孔的布局。两个串联MOS管共享栅多晶硅之间的有源区，这可以有效地减少寄生的源/漏区耗尽层电容。而并联MOS管（如或非门中的NMOS管）则可以共享漏区或源区。逻辑门的输入接在多晶硅上，输出由metal1引出。

235

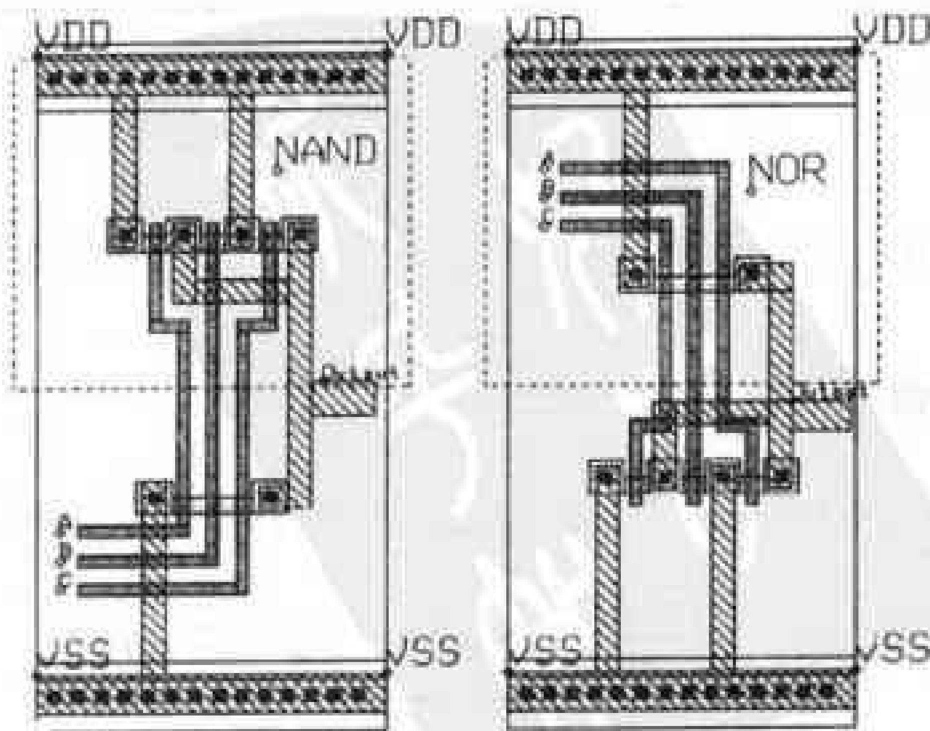


图12-5　与非门和或非门的版图

12.3 开关特性

考虑图12-6中尺寸相等的MOS管的并行连接，将其栅极连在一起。根据图中所示等效数字模型，可以求出N个MOS管链的固有时间常数:

$$t_{PLH}=\frac{R_p}{N}\cdot(N\cdot C_{outp})=R_pC_{outp} \tag{12-9}$$

由例11.5知，对于CN20工艺，上式结果为230ps。如果带有外部负载电容，且仍假设MOS管的栅极连在一起，则由低到高的延迟时间为:

$$t_{PLH}=\frac{R_p}{N}(N\cdot C_{outp}+C_{load}) \tag{12-10}$$

对于并联的NMOS管，可以由同样的分析得:

$$t_{PHL}=\frac{R_n}{N}(N\cdot C_{outn}+C_{load}) \tag{12-11}$$

除并联MOS管本身的输出电容外，输出节点上所有其他电容之和为负载电容C_{load}。考虑图12-7中相同NMOS管的串联连接。可以估算出串联MOS管链的固有转换时间为:

236

$$t_{PHL}=N\cdot R_n\left(\frac{C_{outn}}{N}\right)+0.35\cdot R_nC_{inn}(N-1)^2 \tag{12-12}$$

式中，第一项表示串联连接的MOS管链的固有转换时间，第二项是由R_n对C_{inn}充/放电引起的RC延迟[⊖]。当N＝1时，上式就简化为R_nC_{outn}。如果带有外部负载电容，由高电平下拉到低电平的延迟时间为:

$$t_{PHL}=N\cdot R_n\cdot\left(\frac{C_{outn}}{N}+C_{load}\right)+0.35\cdot R_nC_{inn}(N-1)^2 \tag{12-13}$$

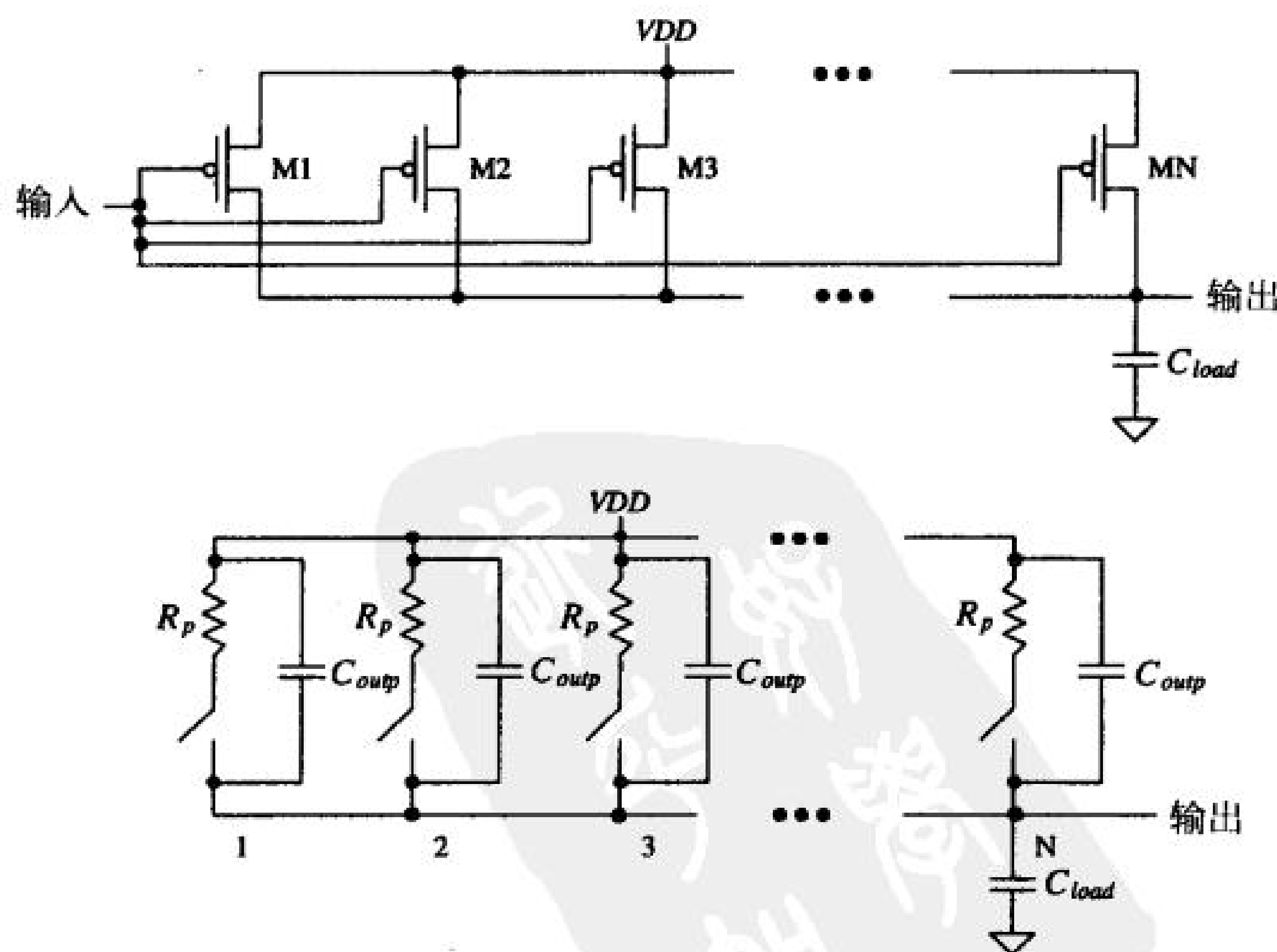


图12-6　并联PMOS管及其等效数字模型

⊖ 该延迟类似通过RC传输线的延迟。之所以是（N－1）是因为最下面的那个MOS管的源端接地，而不是接负载。

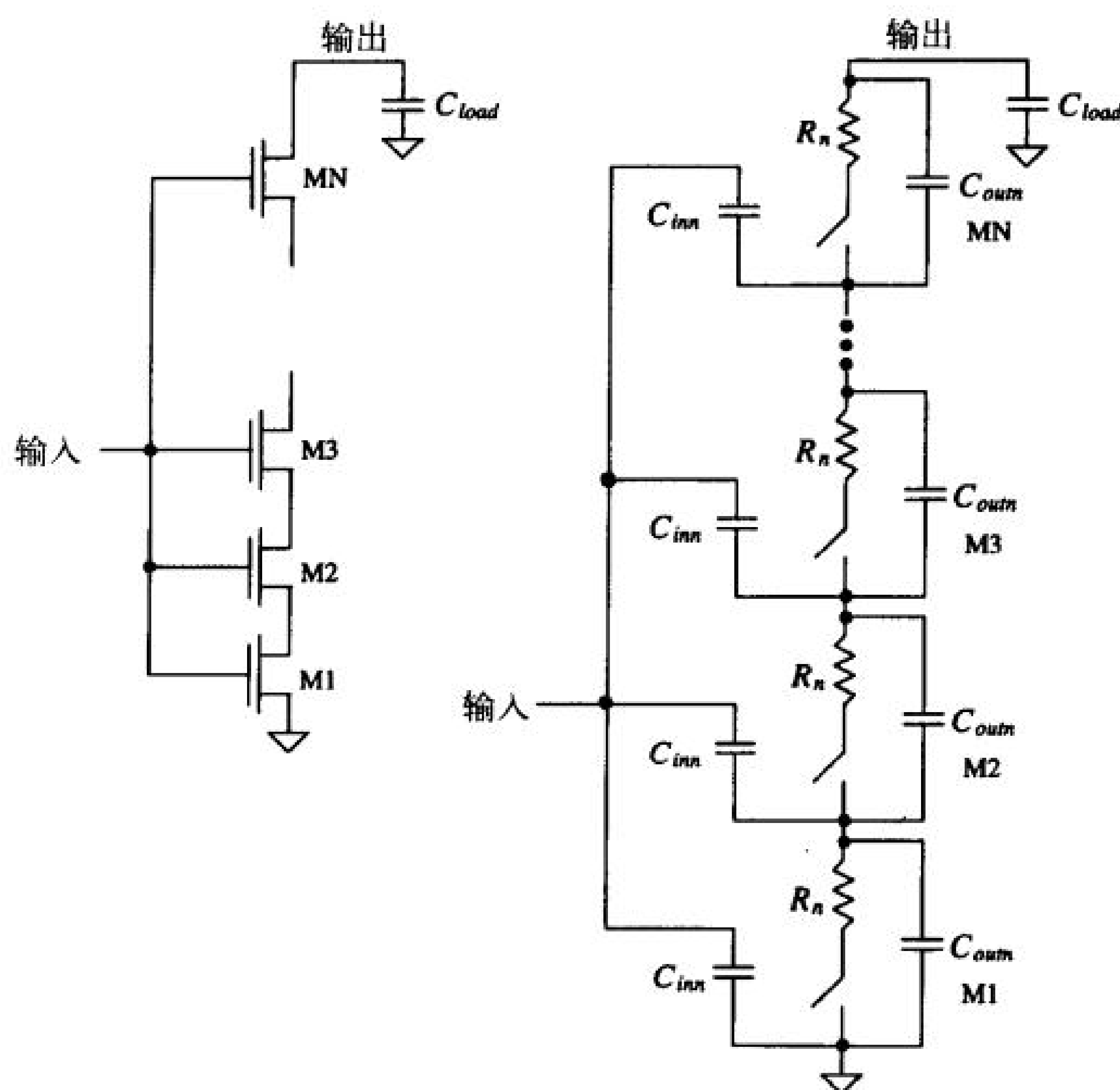


图12-7 串联NMOS管及其等效数字模型

对于串联的PMOS管，由同样的分析得:

$$t_{PLH}=N\cdot R_p\cdot\left(\frac{C_{outp}}{N}+C_{load}\right)+0.35\cdot R_pC_{inp}(N-1)^2 \tag{12-14}$$

由这些公式计算得到的传输延迟只是一个近似结果，计算值与测量值相比，比值在0.5到2之间。

12.3.1 NAND门

考虑图12-8中的n输入与非门，驱动的负载电容为C_{load}。由式（12-10）可得到低电平转换到高电平的传输时间:

$$t_{PLH}=\frac{R_p}{N}\left(N\cdot C_{outp}+\frac{C_{outn}}{N}+C_{load}\right) \tag{12-15}$$

式中，C_{load}表示逻辑门的外部负载电容，而在式（12-10）中，C_{load}表示并联PMOS管之外的电容。如果负载电容远大于逻辑门本身的输出电容，则低电平转换到高电平的传输时间可估算为:

$$t_{PLH}\approx\frac{R_p}{N}\cdot C_{load} \tag{12-16}$$

由式（12-13）可得到高电平转换到低电平的传输时间为:

$$t_{PHL}=N\cdot R_n\left[\frac{C_{outn}}{N}+N\cdot C_{outp}+C_{load}\right]+0.35\cdot R_nC_{inn}(N-1)^2 \tag{12-17}$$

如果C_{load}远大于逻辑门本身的输出电容，则有:

$$t_{PHL}\approx N\cdot R_n\cdot C_{load} \tag{12-18}$$

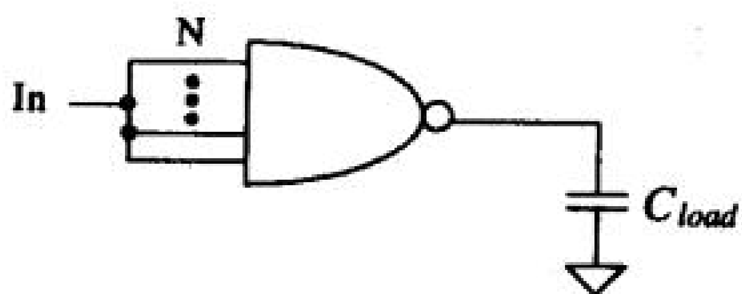


图12-8 驱动电容负载的n输入与非门

例12.3

假设输入连接在一起，先估算由最小尺寸MOS管构成的三输入与非门的固有传输延迟：$t_{PHL}+t_{PLH}$，再估算驱动100 fF电容负载时的延迟，并进行仿真验证。

对于三输入与非门，三个并联的PMOS管用于把输出拉到高电平。由于采用的是最小尺寸的MOS管，所以有：

$$R_p = 24\ \text{k}\Omega \quad , \quad C_{outp} = 4.8\ \text{fF}$$

由式（12-15），$C_{load}=0$时，低电平到高电平的传输时间为：

$$t_{PLH} = \frac{24\text{k}}{3}\left[3\cdot 4.8\ \text{fF} + \frac{4.8\text{fF}}{3}\right] = 128\ \text{ps}$$

由式（12-17），$C_{load}=0$时，对于由最小尺寸MOS管构成的三输入与非门（$R_n=8\text{k}\Omega$，$C_{outn}=4.8\text{fF}$），高电平到低电平的固有传输时间为：

$$t_{PHL} = 3\cdot 8\text{k}\cdot\left[\frac{4.8\text{fF}}{3} + 3\cdot 4.8\text{fF}\right] + 0.35\cdot 8\text{k}\cdot 7.2\text{fF}(3-1)^2 \approx 500\,\text{ps}$$

当带100 fF的电容负载时，传输延迟修正为$t_{PLH}=928\text{ps}$，$t_{PHL}=2.9\ \text{ns}$。图12-9给出了SPICE仿真结果。下面是SPICE网表文件。为了帮助收敛，文件中采用了.OPTIONS语句；在开始时设置NMOS管处于关断状态；输入信号的上升/下降时间设置为0.1ns，而不是1ps（1ps不符合现实情形）。 ■

237~239

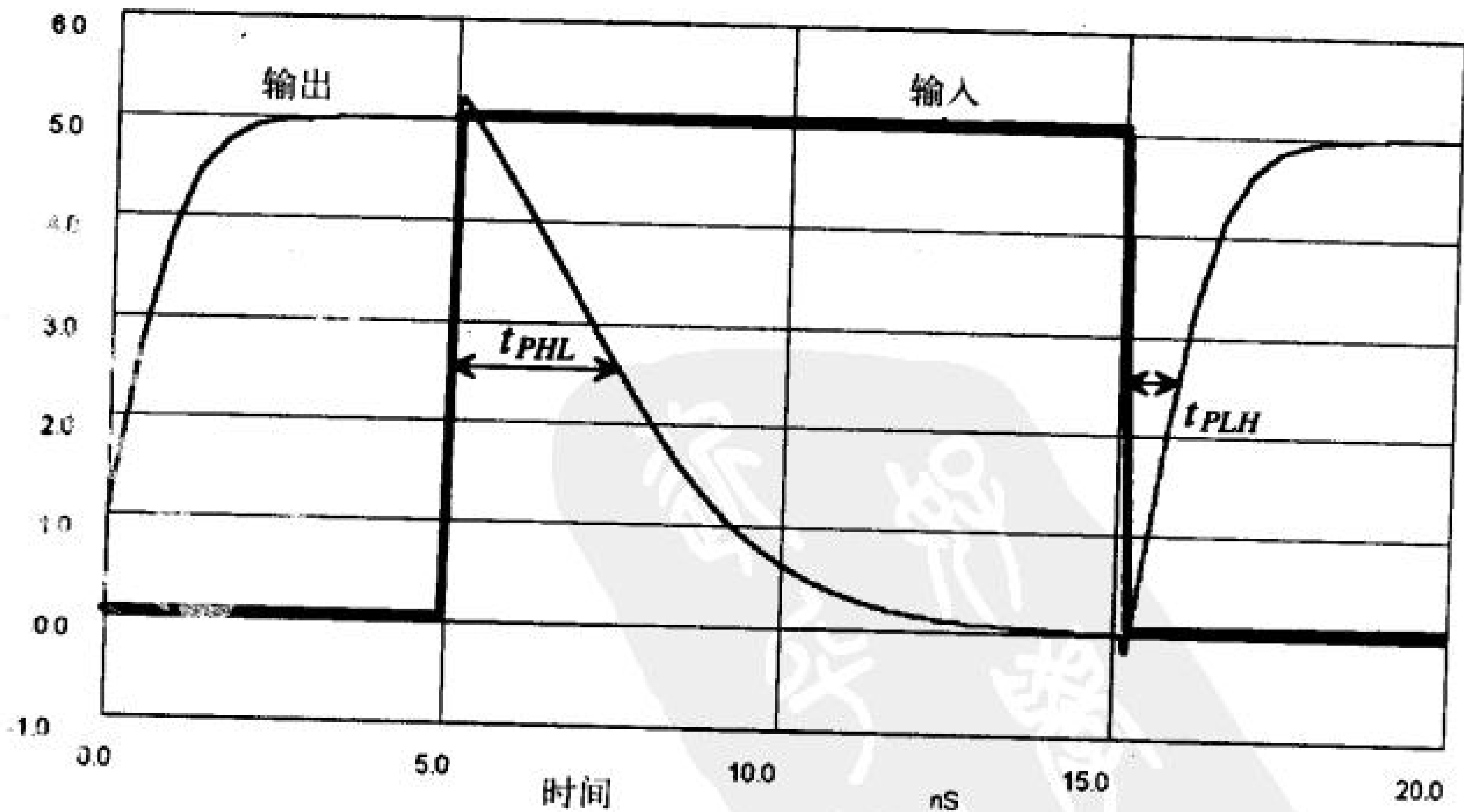


图12-9 由最小尺寸MOS管构成的与非门的仿真结果（驱动100fF电容负载）

```
*** Top Level Netlist for Example 12.3 ***
C1      5 0 100f
```

```
M1      5 1 2 0 CMOSNB  L=2u W=3u AD=36p AS=36p PD=24u PS=24u OFF
M2      2 1 4 0 CMOSNB  L=2u W=3u AD=36p AS=36p PD=24u PS=24u OFF
M3      4 1 0 0 CMOSNB  L=2u W=3u AD=36p AS=36p PD=24u PS=24u OFF
M4      5 1 Vdd Vdd CMOSPB  L=2u W=3u AD=36p AS=36p PD=24u PS=24u
M5      5 1 Vdd Vdd CMOSPB  L=2u W=3u AD=36p AS=36p PD=24u PS=24u
M6      5 1 Vdd Vdd CMOSPB  L=2u W=3u AD=36p AS=36p PD=24u PS=24u
V1      Vdd 0  DC 5
V2      1 0     DC 0 PULSE(0 5 5n .1n .1n 10n )

***** Spice models and macro models *****

.MODEL CMOSNB NMOS LEVEL=4
+VFB=-9.73820E-01, LVFB=3.67458E-01,WVFB=-4.72340E-02
完整的模型参数见附录A

.MODEL CMOSPB PMOS LEVEL=4
+ vfb=-2.65334E-01, lvfb=6.50066E-02, wvfb=1.48093E-01
See Appendix A for a complete listing.

.OPTION ABSTOL=1u RELTOL=0.01 VNTOL=1mv ITL4=100
.probe
.tran 100p 20n 0  uic
.plot tran all
.print tran all
.end
```

240

这一节前面所推导的延迟公式有助于理解在高速电路的设计中，为何要限制与非门中的MOS管数目。当输出从VDD转换到地时，放电通路是由N个阻值为R_n的电阻串联构成；考虑到这一现象，可以得到一个不十分准确但却非常简单实用的求延迟的方法。如果与非门所有输入或只有一个输入发生变化并引起输出发生了由高到低的变化，则这个简单的求延迟的方法是比较准确的。在这种情形下，式（12-18）给出了高电平转换到低电平的延迟时间为:

$$t_{PHL} \approx N \cdot R_n \cdot C_{load} \tag{12-19}$$

与非门的输出从低电平转换到高电平的情形与输出从高电平转换到低电平时有所不同。考虑图12-6，可以看到，如果有一个PMOS管导通，则不论有多少个并行PMOS管，这一个导通的PMOS管就可以把输出拉到高电平VDD。在这种情形下，把式（12-16）中的N设为1，就可以得到低电平转换到高电平的延迟时间:

$$t_{PLH} \approx R_p \cdot C_{load} \tag{12-20}$$

由于式（12-19）和式（12-20）比较简单，所以，在估算与非门延迟时我们会尽量采用这两个公式。图12-10给出了进一步简化的NMOS管和PMOS管的数字模型（图中没有画出输入电容)。



图12-10 进一步简化的数字模型（没有画出输入电容）

例12.4

利用式（12-19）和式（12-20）估算由最小尺寸MOS管构成的三输入与非门的传输延迟。假设只有一个输入发生变化，且驱动100fF的负载电容。把计算结果与SPICE仿真结果进行

比较。

通过计算得到的传输延迟分别为:

$$t_{PHL} = 3 \cdot 8\text{k} \cdot 100\text{fF} = 2.4\text{ ns}$$

$$t_{PLH} = 24\text{k} \cdot 100\text{ fF} = 2.4\text{ ns}$$

当只有一个输入变化时，SPICE仿真结果为: $t_{PLH} \approx t_{PHL} \approx 2.3$ns。当所有输入同时变化时，如果用式（12-19）和式（12-20）来计算例12.3中的t_{PHL}和t_{PLH}，则计算得到的t_{PHL}低于由式（12-17）计算得到的值（但低的不算太多），计算得到的t_{PLH}高于由式（12-15）计算得到的值。另外，由于PMOS管的有效电阻为NMOS管有效电阻的三倍，所以，串联的三个NMOS管的有效电阻约等于单个PMOS管的有效电阻，结果使得转换时间相等，而这也是在CMOS电路设计中采用与非门多于或非门的原因。 ■

241

12.3.2 输入信号的数目

随着输入数目的增加，图12-2（或图12-4）中的静态与非门（或或非门）电路就变得很难实现。例如，若或非门有100个输入，这个电路就有100个串联PMOS管，总共有200个MOS管；对于大多数实际应用情形而言，这个电路中的100个串联PMOS管对负载电容充电所引起的延迟太长了。

如果考虑图12-11所示N输入或非门电路图，这个电路利用了N+1个MOS管。如果设计合理，只要或非门中任何一个输入为高电平，通过对应的NMOS管，输出就被下拉到低电压，这个低电压约为几百毫伏。如果所有的输入都为低电平，则所有的NMOS管关断，PMOS管把输出上拉到高电平VDD。当一个输入为VDD时，输出为低电压V_{OL}，分析可得下式:

$$\frac{\beta_p}{2}(VDD - V_{THP})^2 = \beta_n\left[(VDD - V_{THN})V_{OL} - \frac{V_{OL}^2}{2}\right] \tag{12-21}$$

如果允许的V_{OL}的最大值为500mv（一般输入为高电平的数目越多，V_{OL}越低），NMOS管的尺寸为$W=3\mu$m、$L=2\mu$m，则由上式知，PMOS管的尺寸应为$W=4\mu$m、$L=3\mu$m。实际上，为了进一步降低V_{OL}，PMOS管的沟道长度可以适当增大。当输出为高电平并且忽略泄漏电流时，此电路的静态功耗为零。当输出为低电平时，由于NMOS管和PMOS管同时导通，所以，电路要消耗静态功耗。在此状态下，流过上述尺寸电路的电流约为150μA。减少PMOS管的W/L可以降低功耗，但以增大t_{PLH}为代价。

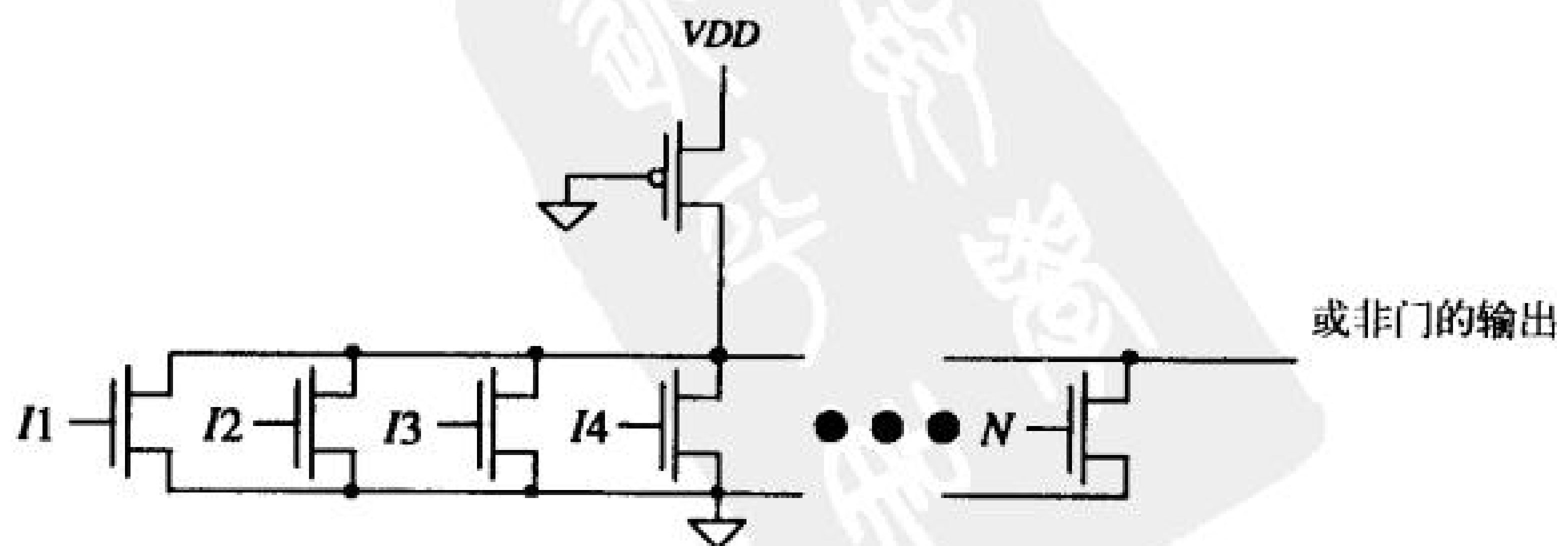


图12-11 用于大量输入的或非门电路结构

242

12.4 复杂的CMOS逻辑门

一般采用图12-12所示的基本电路模块来实现复杂的CMOS逻辑门，例如前面介绍的与非门和或非门就是用这些电路模块实现的。一般而言，所有的AOI（And-Or-Invert，AOI）逻辑功能都可以用这些电路模块实现。AOI逻辑的主要优点是：在实现一个相对复杂的逻辑功能时，AOI逻辑实现的延迟显著低于逻辑门实现的延迟。

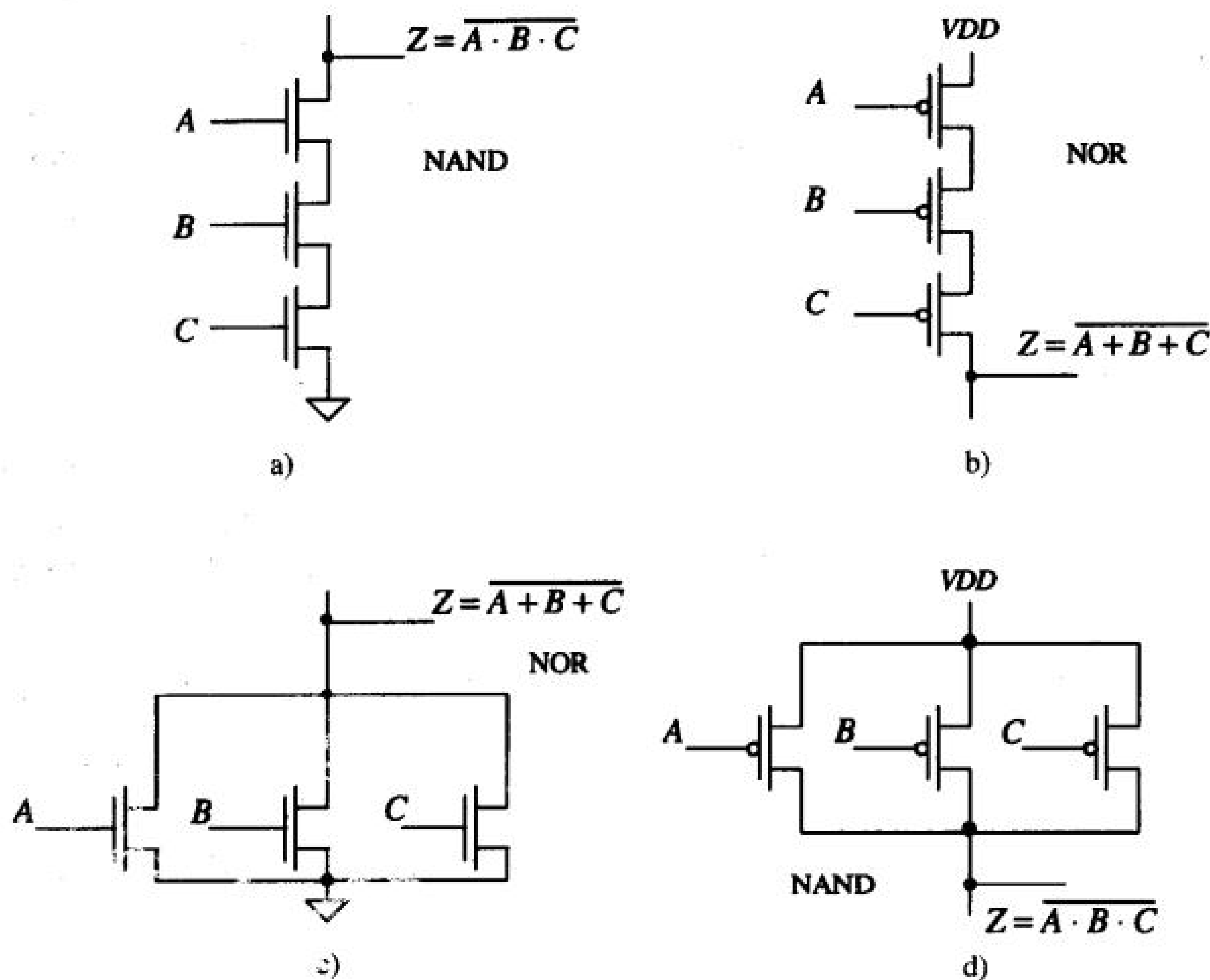


图12-12 CMOS逻辑门的实现

例12.5

用AOI逻辑实现以下逻辑功能:

$$Z=\overline{A}+BC \quad 和 \quad Z=A+\overline{B}C+CD$$

第一个逻辑函数的电路实现示于图12-13。图12-13a给出的是逻辑门实现。由于第一级电路的输出是要实现的逻辑函数的“反”，因此，在第一级后面再加一级反相器。通常，如果输入变量和它的“反”都具备，那么，可以不加第二级反相器。对逻辑函数应用布尔函数，可以得到:

$$Z=\overline{A}+BC \Rightarrow \overline{Z}=\overline{\overline{A}+BC}=A\cdot(\overline{B}+\overline{C}) \Rightarrow Z=\overline{A\cdot(\overline{B}+\overline{C})}$$

图12-13b是用AOI逻辑实现的第一个逻辑函数。在逻辑上，这两个电路完全等价，但图12-13b所示电路更为简单和实用。观察图12-13b可知：为了减少输出电容，降低转换时间，并联NMOS管被放在了逻辑块的底部。

第二个逻辑函数转换为:

$$Z = A + \overline{B}C + CD = A + C(\overline{B} + D) \Rightarrow \overline{Z} = \overline{A + C(\overline{B} + D)} = \overline{A} \cdot (\overline{C} + B\overline{D})$$

即:

$$Z = \overline{\overline{A} \cdot (\overline{C} + B\overline{D})}$$

与上式对应的逻辑电路图见图12-14。■

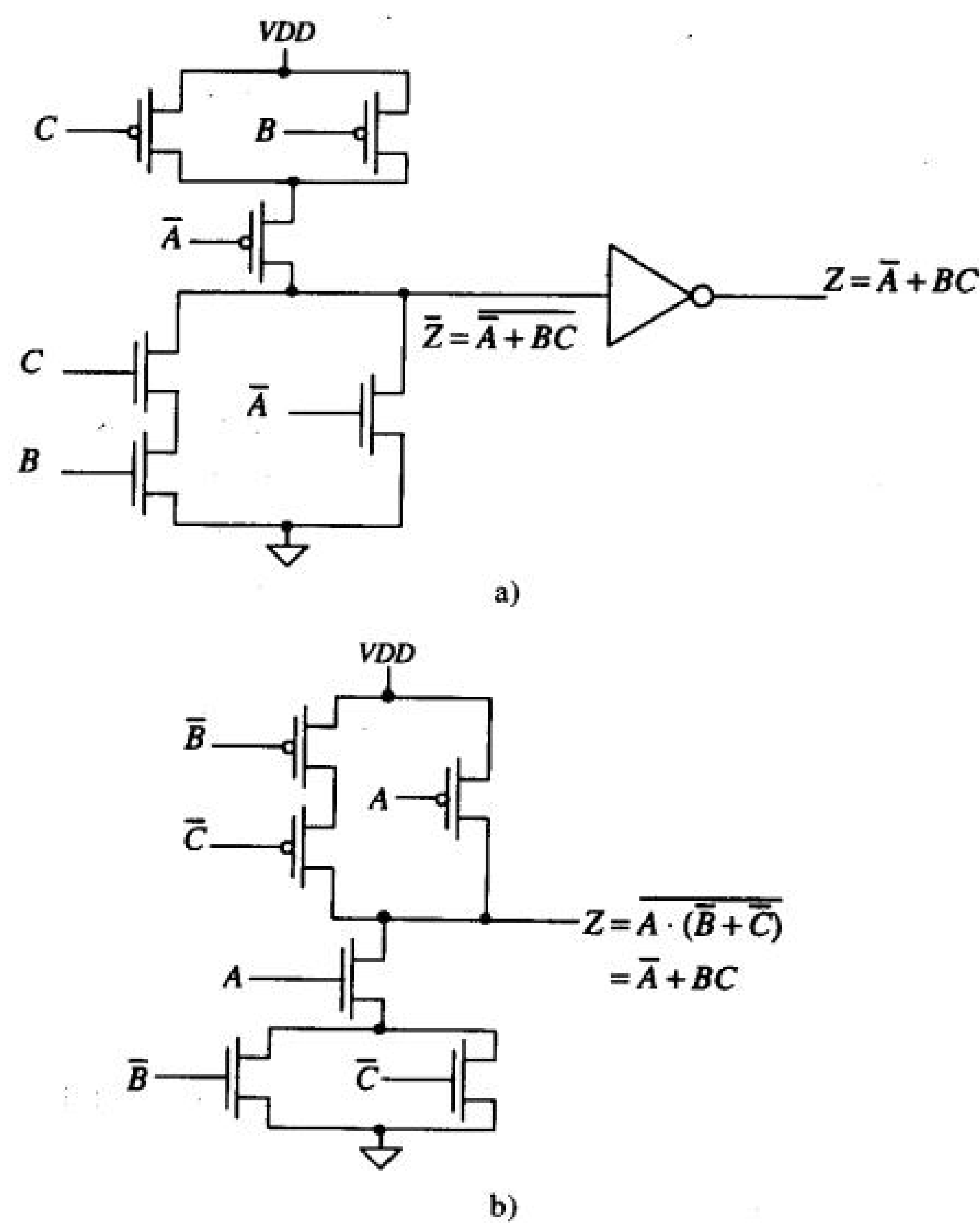


图12-13　例12.5第一个逻辑函数的电路实现

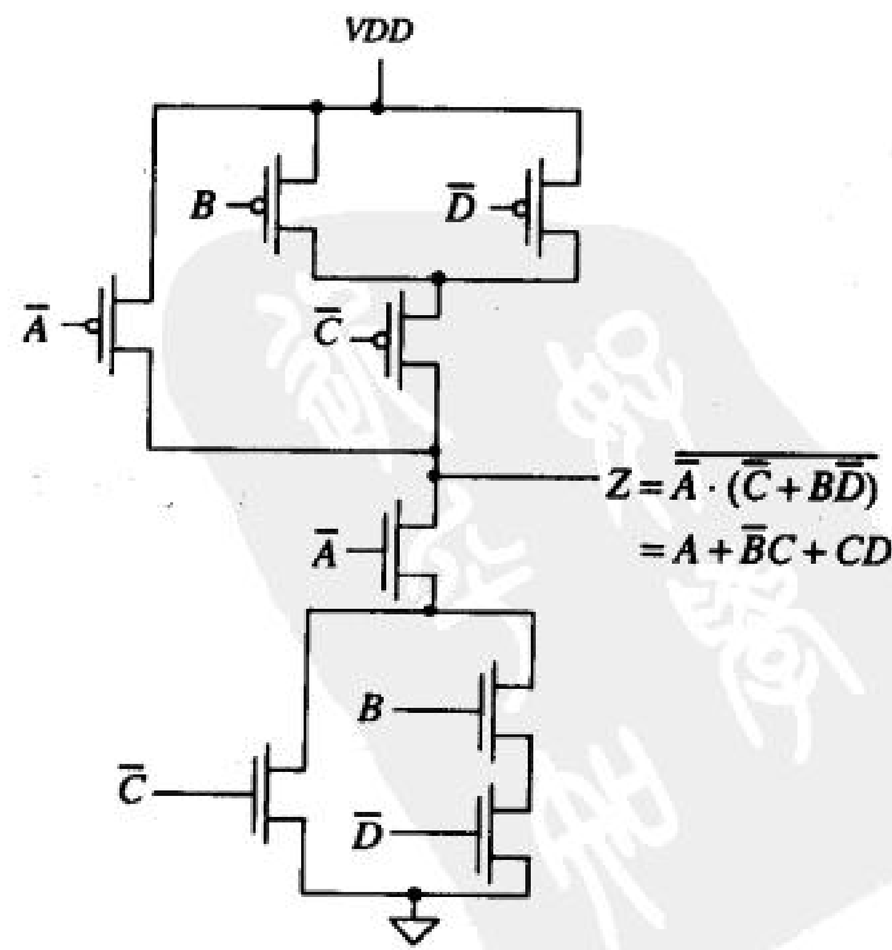


图12-14　例12.5中第二个逻辑函数的电路实现

例12.6

用AOI逻辑实现异或门（XOR）。

图12-15给出的是异或门的逻辑符号和真值表。从真值表可以得出异或门的逻辑表达式为：

244~245

$$Z = A \oplus B = (A+B) \cdot (\overline{A} + \overline{B}) \tag{12-22}$$

由此得：

$$\overline{Z} = \overline{A \oplus B} = \overline{(A+B) \cdot (\overline{A} + \overline{B})} = \overline{A} \cdot \overline{B} + A \cdot B$$

最终：

$$Z = \overline{\overline{A} \cdot \overline{B} + A \cdot B} = A \oplus B \tag{12-23}$$

用AOI逻辑实现的异或门电路如图12-16所示。 ■

A —— B —— $A \oplus B$

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

图12-15　异或门的逻辑符号和真值表

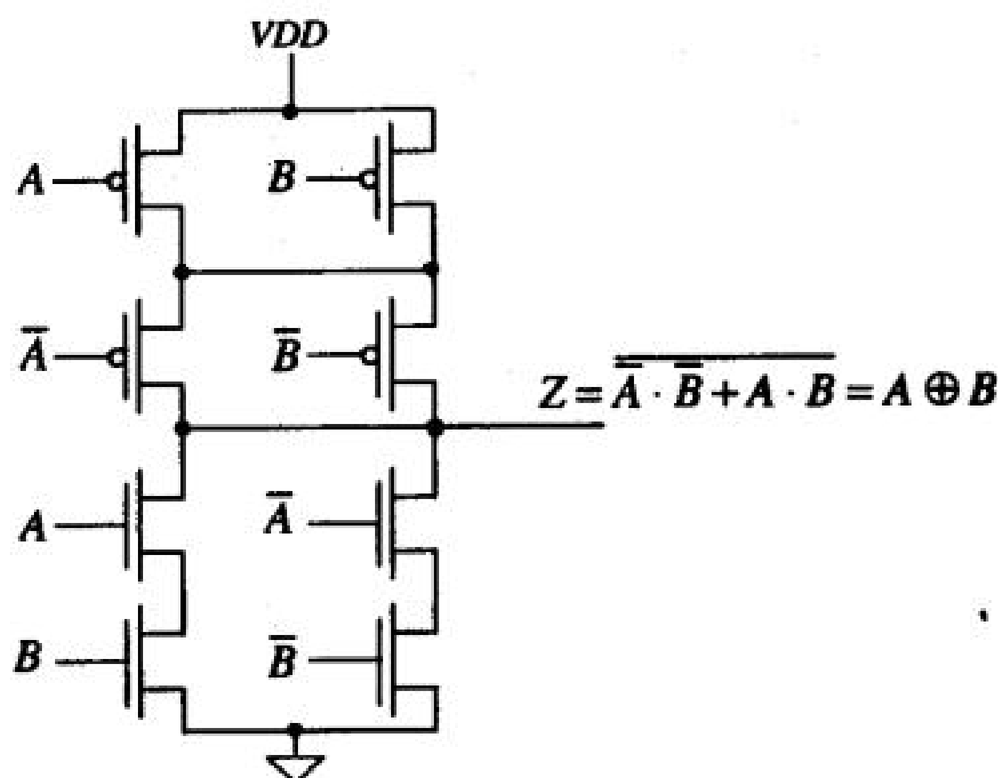


图12-16　用AOI逻辑实现的CMOS异或门

例12.7

用CMOS AOI逻辑实现CMOS全加器

图12-17给出了全加器的逻辑符号和真值表。根据真值表可以得到全加和与进位输出的逻辑表达式：

$$S_n = A_n \oplus B_n \oplus C_n$$

246

$$C_{n+1} = A_n \cdot B_n + C_n(A_n + B_n)$$

全加和的逻辑表达式可以用积之和来表示为：

$$S_n = \overline{A}_n \overline{B}_n C_n + \overline{A}_n B_n \overline{C}_n + A_n \overline{B}_n \overline{C}_n + A_n B_n C_n$$

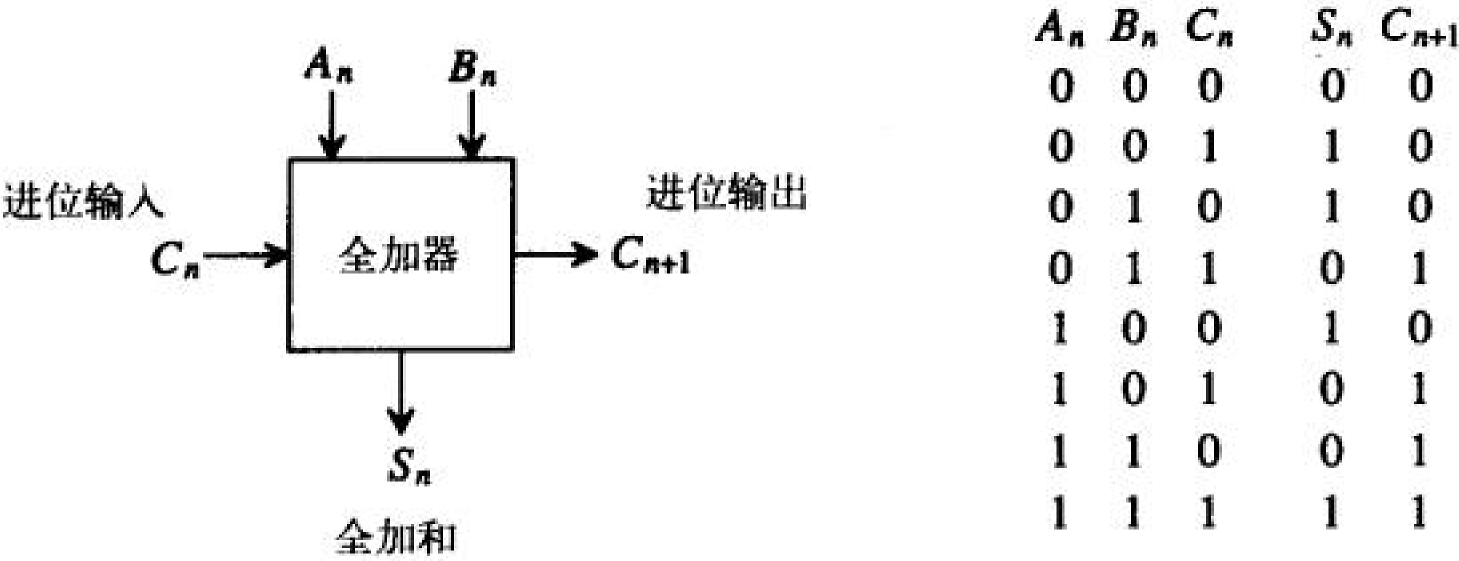
由于进位输出为:

$$\overline{C}_{n+1}=\left(\overline{A}_n+\overline{B}_n\right)\cdot\left(\overline{C}_n+\overline{A}_n\cdot\overline{B}_n\right)$$

所以，全加和的表达式可改写为:

$$S_n=(A_n+B_n+C_n)\overline{C}_{n+1}+A_nB_nC_n$$

图12-18给出了用AOI逻辑实现的全加器电路图。 ■



A_n	B_n	C_n	S_n	C_{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

图12-17　全加器的逻辑符号和真值表

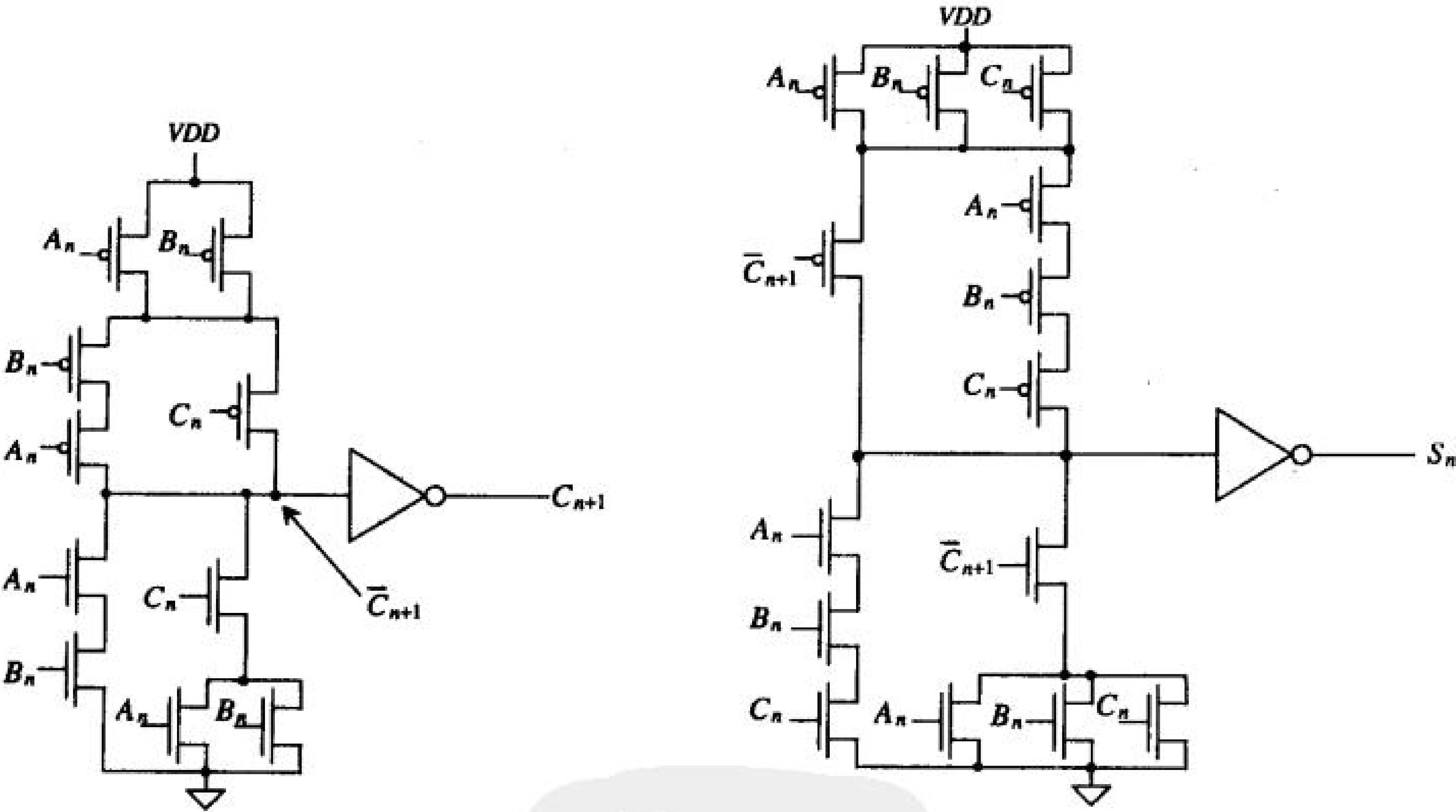


图12-18　用AOI逻辑实现的全加器

12.4.1　级联电压开关逻辑

级联电压开关逻辑（Cascode Voltage Switch Logic，CVSL）或者差分级联电压开关逻辑（Differential cascode Voltage Switch Logic，DVSL）是利用正反馈来加速开关时间的互补输出逻辑。图12-19给出了这种电路的基本结构。利用交叉耦合的PMOS负载管来代替AOI逻辑中的PMOS开关，把输出拉到高电平。例如，实现 $Z=\overline{A}+BC$（图12-13是用AOI逻辑实现的这个逻辑函数），图12-20给出了用NMOS管实现的Z和 $\overline{Z}$。图12-21a给出的是用CVSL实现的两

输入XOR/XNOR逻辑门，图12-21b是用CVSL实现的三输入XOR/XNOR逻辑门（可用于加法器设计）。

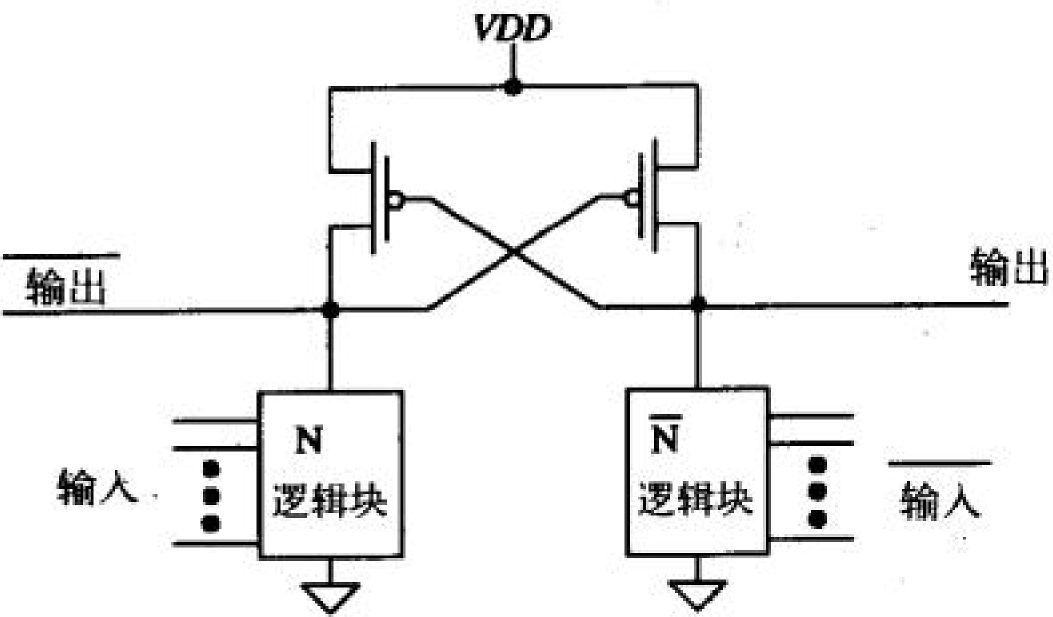


图12-19　CVSL结构框图

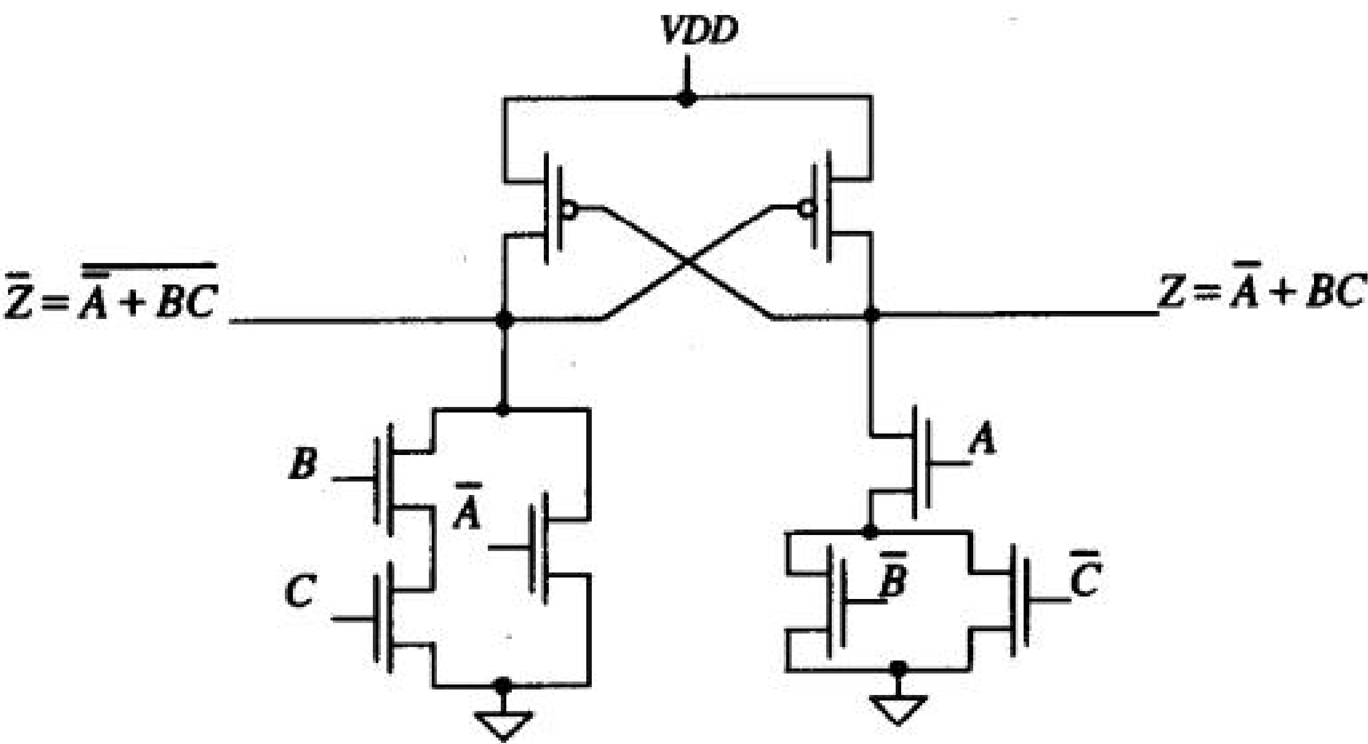


图12-20　CVSL逻辑门

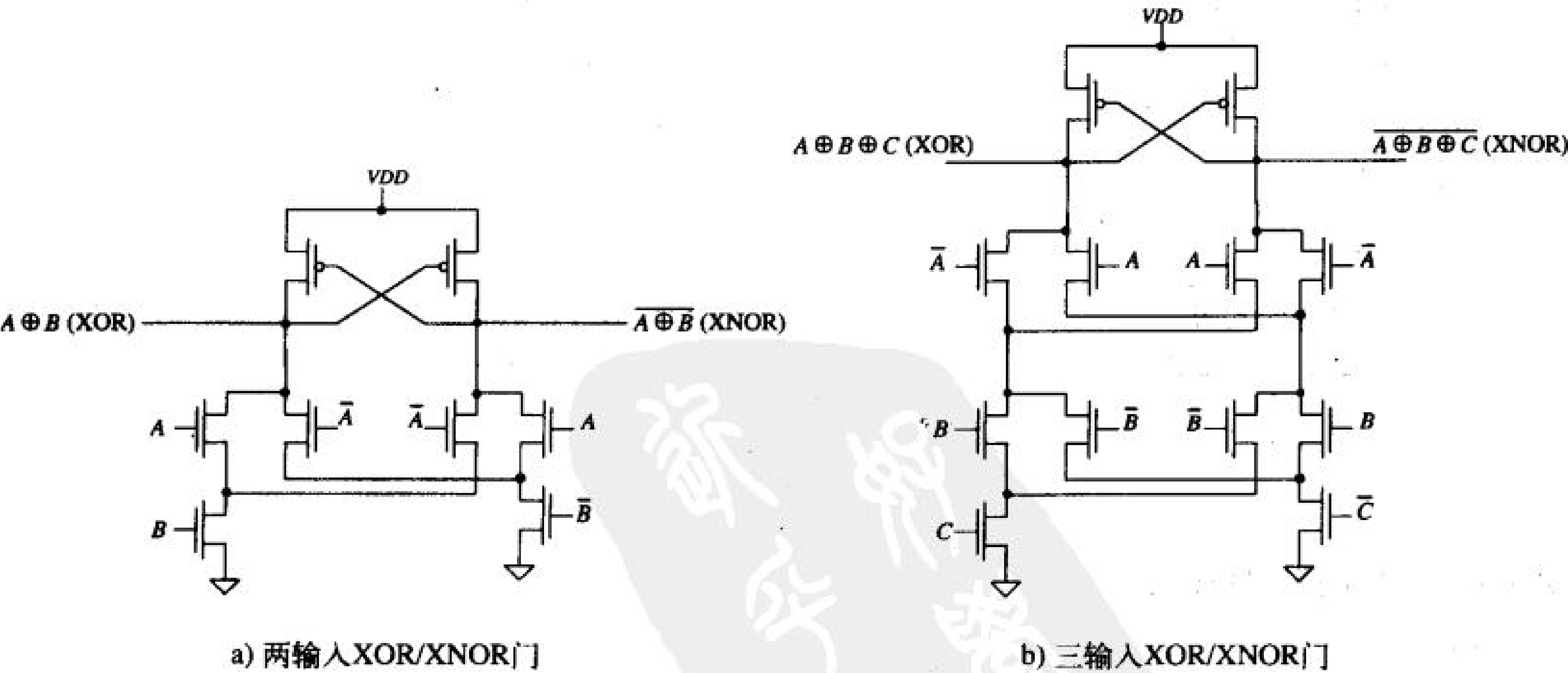


图　12-21

12.4.2　差分分级逻辑

差分分级（Differential Split-Level，DSL）逻辑的基本原理是：用负载来降低输出电压摆

幅，以减小门延迟，其代价是降低了噪声容限。图12-22是这种电路的基本结构。基准电压V_{ref}设为$VDD/2+V_{THN}$，这样可以把输出电压摆幅限定在最大值为VDD、最小值为$VDD/2$之间。这种逻辑实现的主要缺点是：当输出电压为$VDD/2$时，输出通路中一直有功耗，这导致功耗增加。当输出电压为VDD时，没有直流功耗。

247 ~ 250

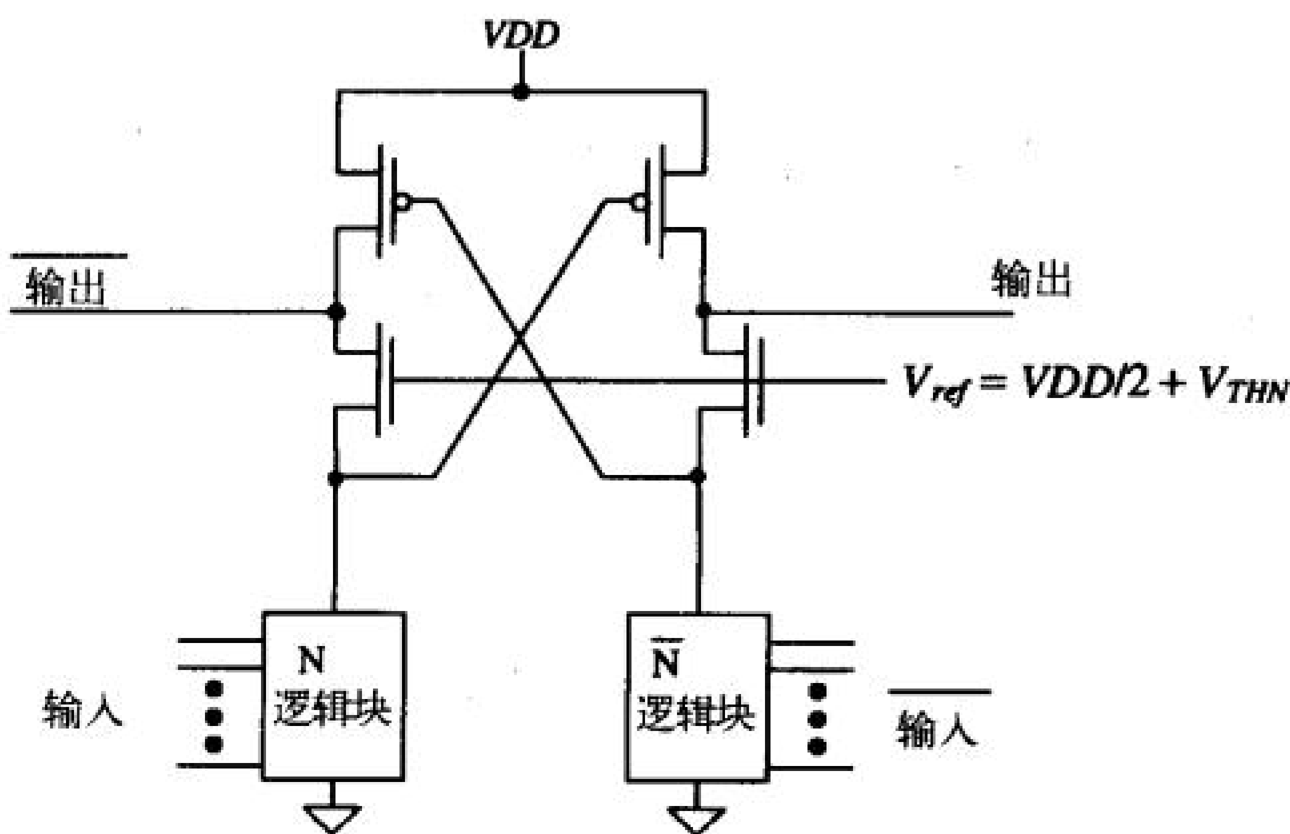


图12-22 DSL结构框图

12.4.3 三态输出

图12-23给出了本章的最后一个静态逻辑门——三态缓冲器。当输入Enable为高电平时，与非门和或非门实现输入A的反转并把翻转后的值（VDD或地）送到M1管和M2管的栅极；此时，输出等于输入。当输入Enable为低电平时，M1栅极保持为地，M2栅极保持为VDD，M1和M2都关断；此时，输出为高阻态。这种三态缓冲器优于图11-29所给出的三态缓冲器，原因是前者的输出和VDD（或地）之间只有一个串联开关。图12-24给出的是三态反相缓冲器电路。

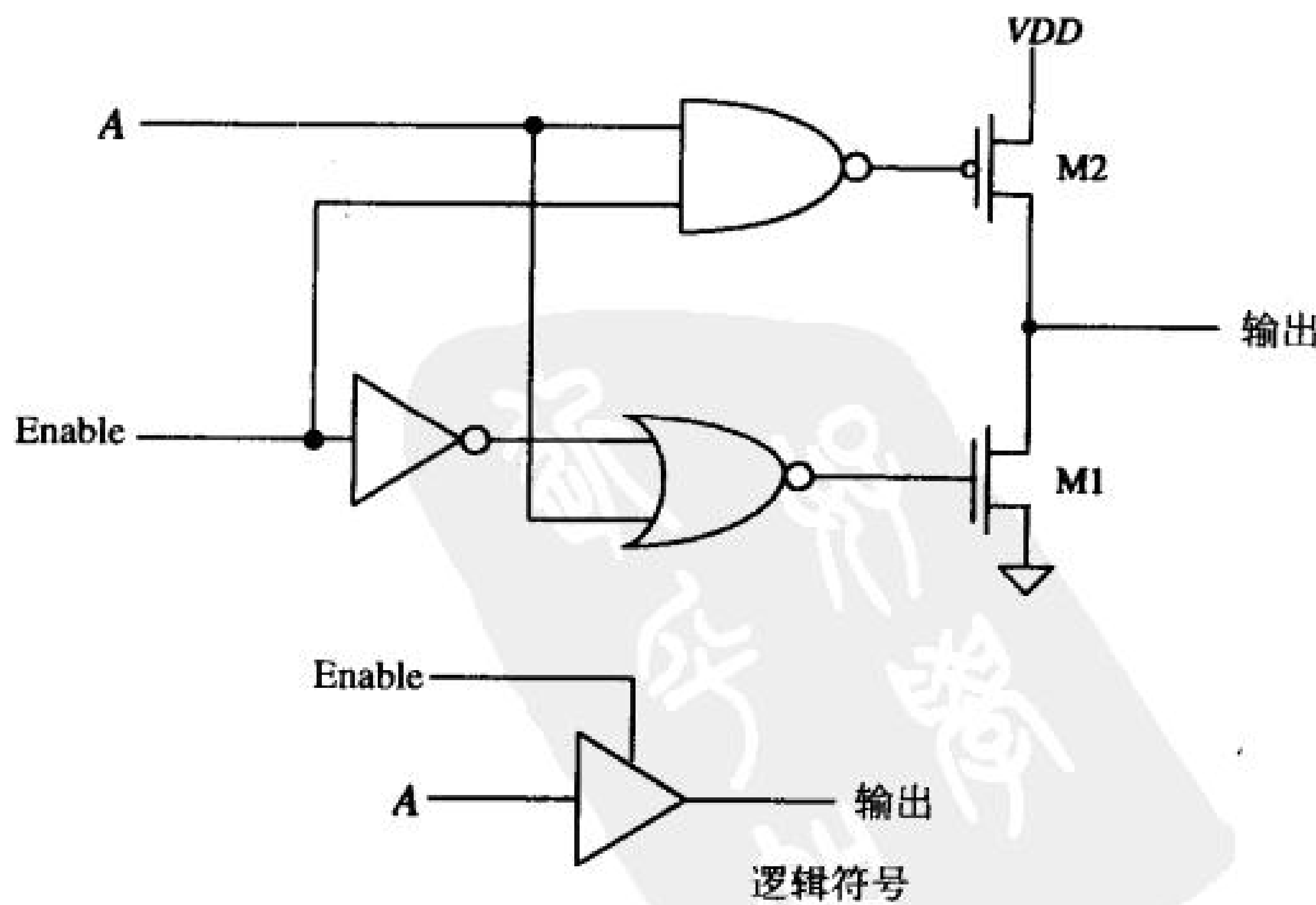


图12-23 三态缓冲器

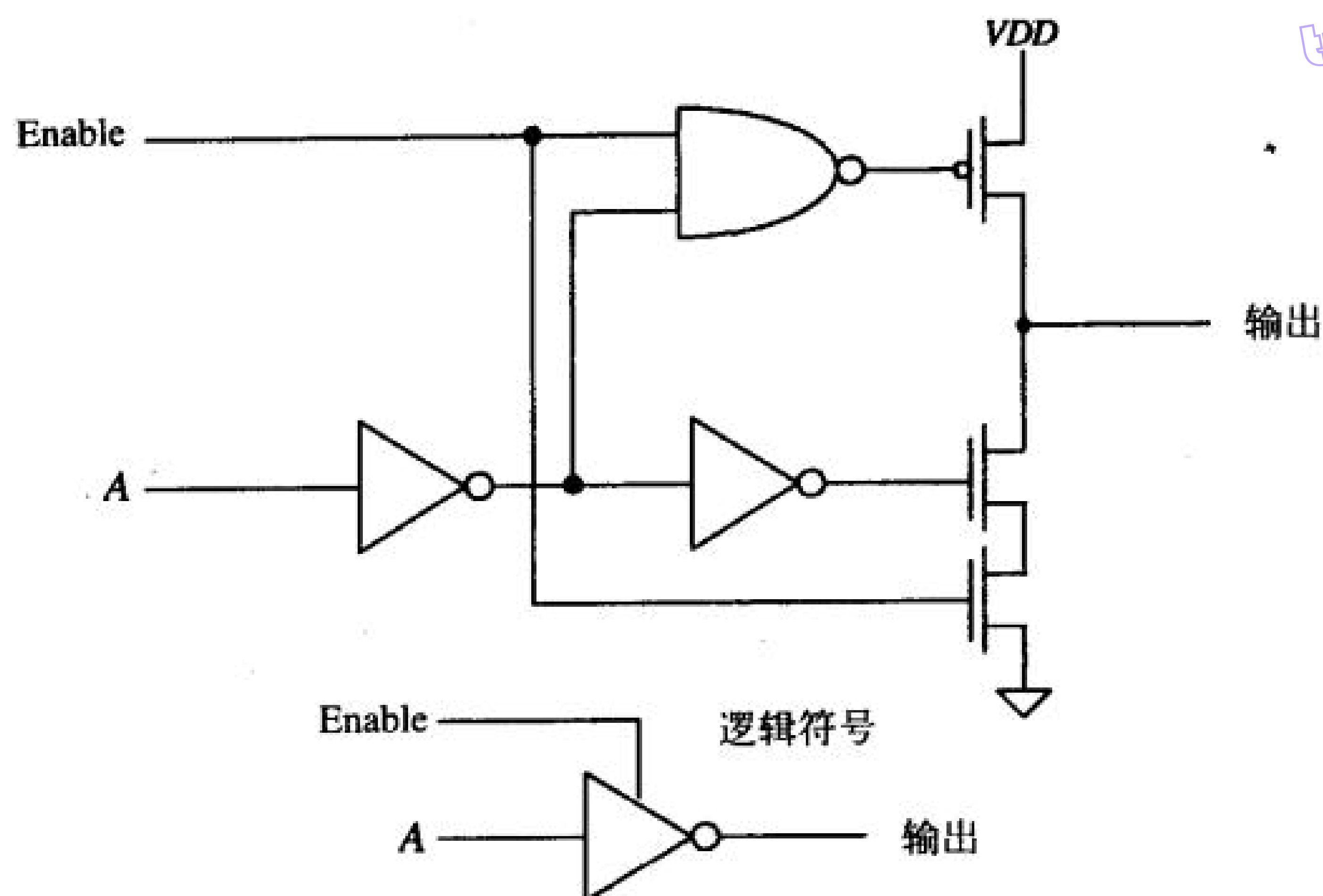


图12-24 三态反相缓冲器

参考文献

[1] M. I. Elmasry, *Digital MOS Integrated Circuits II*, IEEE Press, 1992. ISBN 0-87942-275-0, IEEE order number: PC0269-1.

[2] J. P. Uyemura, *Circuit Design for Digital CMOS VLSI*, Kluwer Academic Publishers, 1992.

[3] M. Shoji, *CMOS Digital Circuit Technology*, Prentice-Hall, 1988. ISBN 0-13-138850-9.

252

习题

除非特别说明，否则均采用CN20工艺参数。

12.1 设计V_{SP}约等于1.5V的CMOS与非门，并利用第4章讨论的标准单元框设计其版图，对其工作原理进行仿真验证。

12.2 利用CMOS AOI静态逻辑电路设计一个半加器，并仿真验证其工作原理。

12.3 针对三输入NOR门，重做例12.3。

12.4 针对三输入NOR门，重做例12.4。

12.5 画出有20个输入的或门的电路图，并对你的设计进行分析讨论。

12.6 画出由静态逻辑门实现的$(A+B\cdot\overline{C})D$的电路图。如果此电路驱动一个50 fF的负载电容，估算通过该门的最坏延迟。

12.7 设计由最小尺寸MOS管构成的CVSL OR门并仿真验证其工作原理。

12.8 设计一个驱动1pF负载时，传输延迟小于20ns的三态缓冲器。假设缓冲器的最大输入电容为100fF。

12.9 画出用AOI逻辑实现的三输入异或门电路图。

12.10 说明图P12-10中电路所实现的逻辑功能。

12.11 计算图P12-11中门电路的转换点电压。此电路实现的是什么逻辑功能？

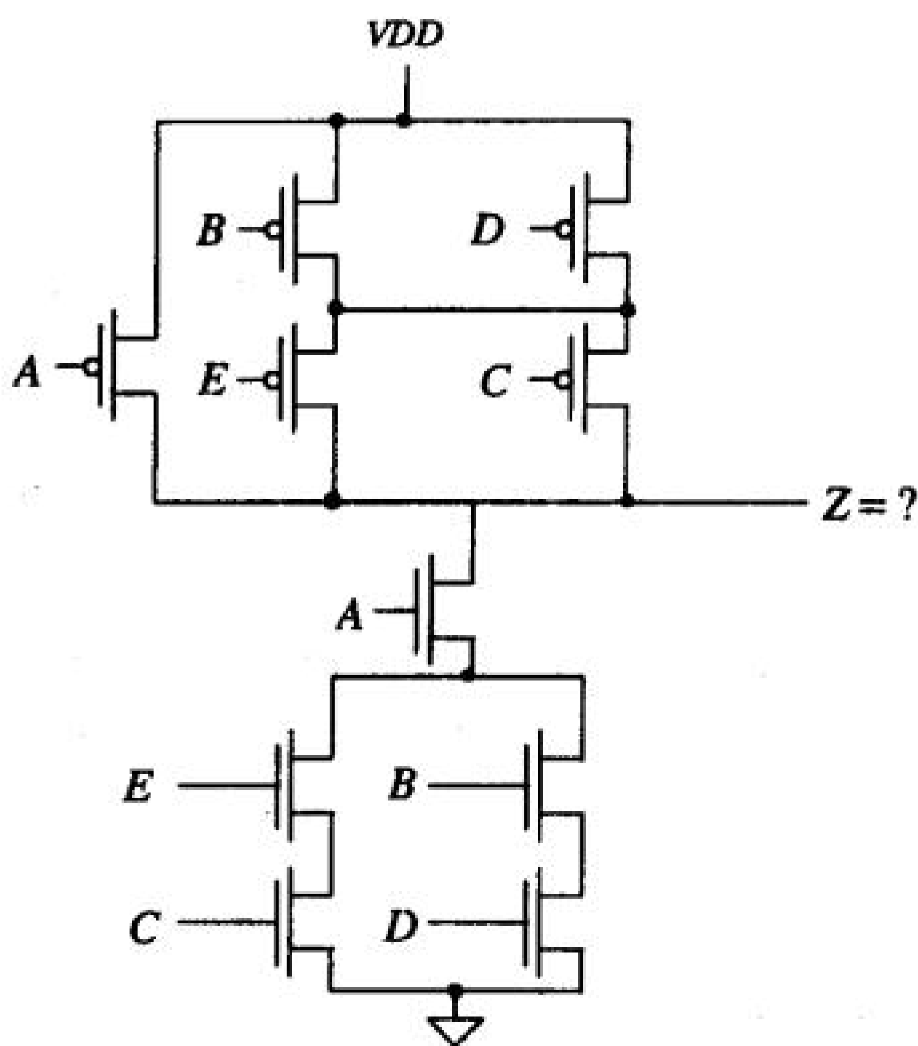


图　P12-10

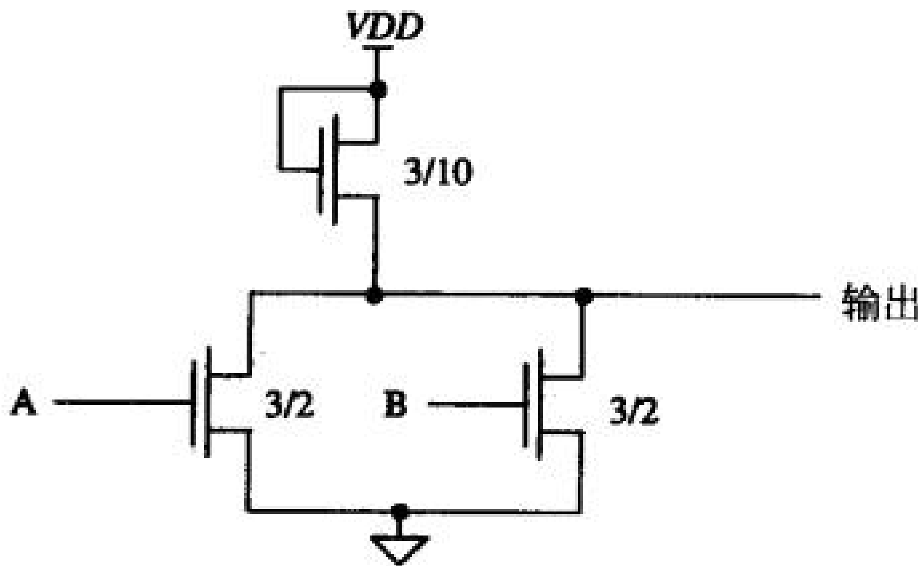


图　P12-11

12.12 估算图P12-11所示电路的最大输出电压和最小输出电压。

12.13 图P12-13给出的是一个边沿触发的单触发电路。当输入发生转换时，输出端会产生一个脉宽为t_d的输出脉冲。用反相器做延迟单元，设计一个脉宽为10ns的单触发电路，并仿真验证其工作原理。讨论：如果输入脉冲的宽度小于t_d，输出会怎样？

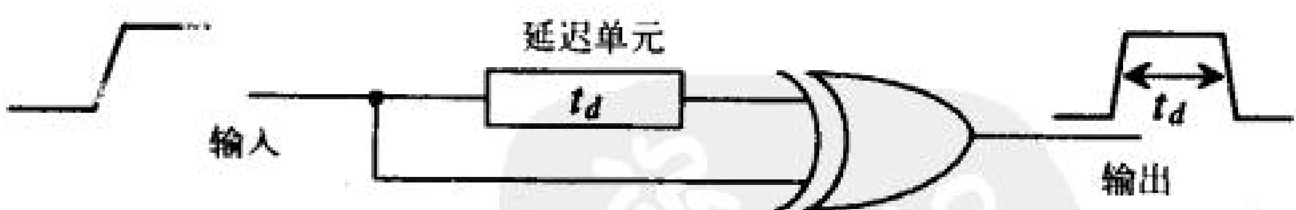


图　P12-13

253
~
254

第13章 传输门和触发器

在数字CMOS电路设计中，传输门（Transmission Gate，TG）用于控制输入信号的传送。图13-1给出的是传输门的电路图和逻辑符号。传输门由一个PMOS管和一个NMOS管并联构成。图13-1中，S信号（选通信号）为高电平时，MOS管导通，把输入信号传送到输出端；输入和输出之间的电阻约为$R_n \parallel R_p$。下面我们从NMOS传输管和PMOS传输管讨论起。



图13-1 传输门的电路图与逻辑符号

13.1 传输管

考虑图13-2a所示NMOS传输管。假定图中电容上的初始电压为5V，传输管漏端接电容，源端接地。当MOS管栅极为高电平时，传输管导通，电容放电的延迟时间为：

$$t_{PHL} = R_n C_{load} \tag{13-1}$$

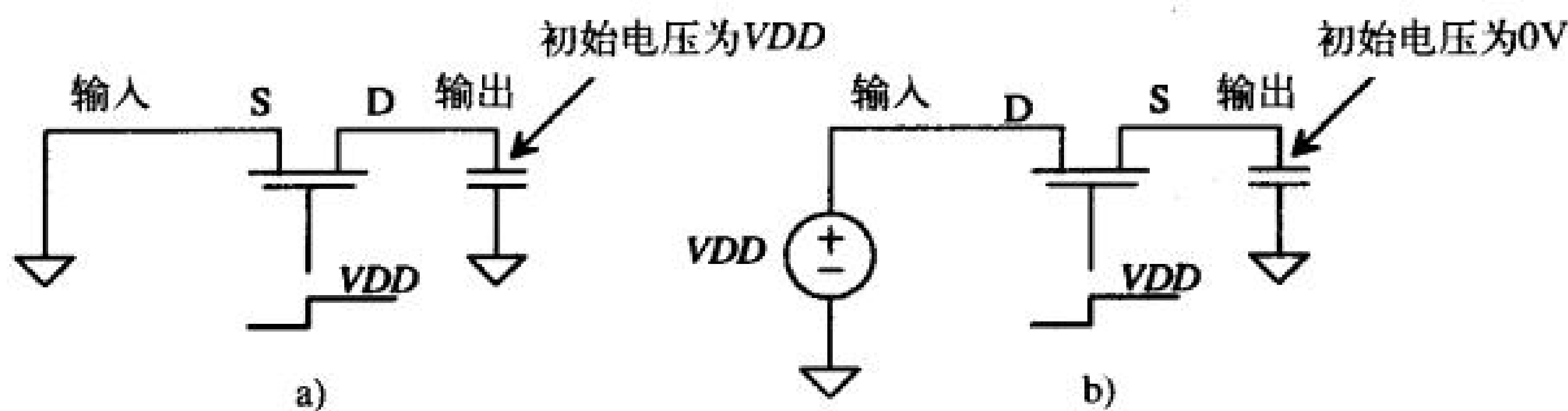


图13-2 NMOS传输管

接下来考虑图13-2b所示电路。电容的初始电压为0V，传输管漏端接*VDD*，源端接负载电容。当传输管的栅极电压由0V变为*VDD*时，对负载电容充电，电容上的电压被充到$VDD - V_{THN}$。在此过程中，衬底电压（接*VSS*，等于0V）与源极电压不等，存在体效应，会导致阈值电压增大。由附录A知，V_{THN}约为1.5V。低电平到高电平转换的延迟时间约为：

$$t_{PLH} = R_n C_{load} \quad (\text{高电压为}VDD - V_{THN}) \tag{13-2}$$

推导上述公式时忽略了MOS管本身的寄生电容。下面的例子说明了NMOS传输管的开关特性。

例13.1

利用图13-2所示测试电路，估算最小尺寸NMOS传输管驱动100 fF负载电容时的延迟时间，

并进行仿真验证。

对于最小尺寸（$W=3\mu m$、$L=2\mu m$）的NMOS传输管，其有效电阻为8 kΩ。所以，传输延迟为：$t_{PHL}=t_{PLH}=800ps$；最大输出电压为$VDD-V_{THN}$，约为3.5V。图13-3给出了仿真结果。 ■

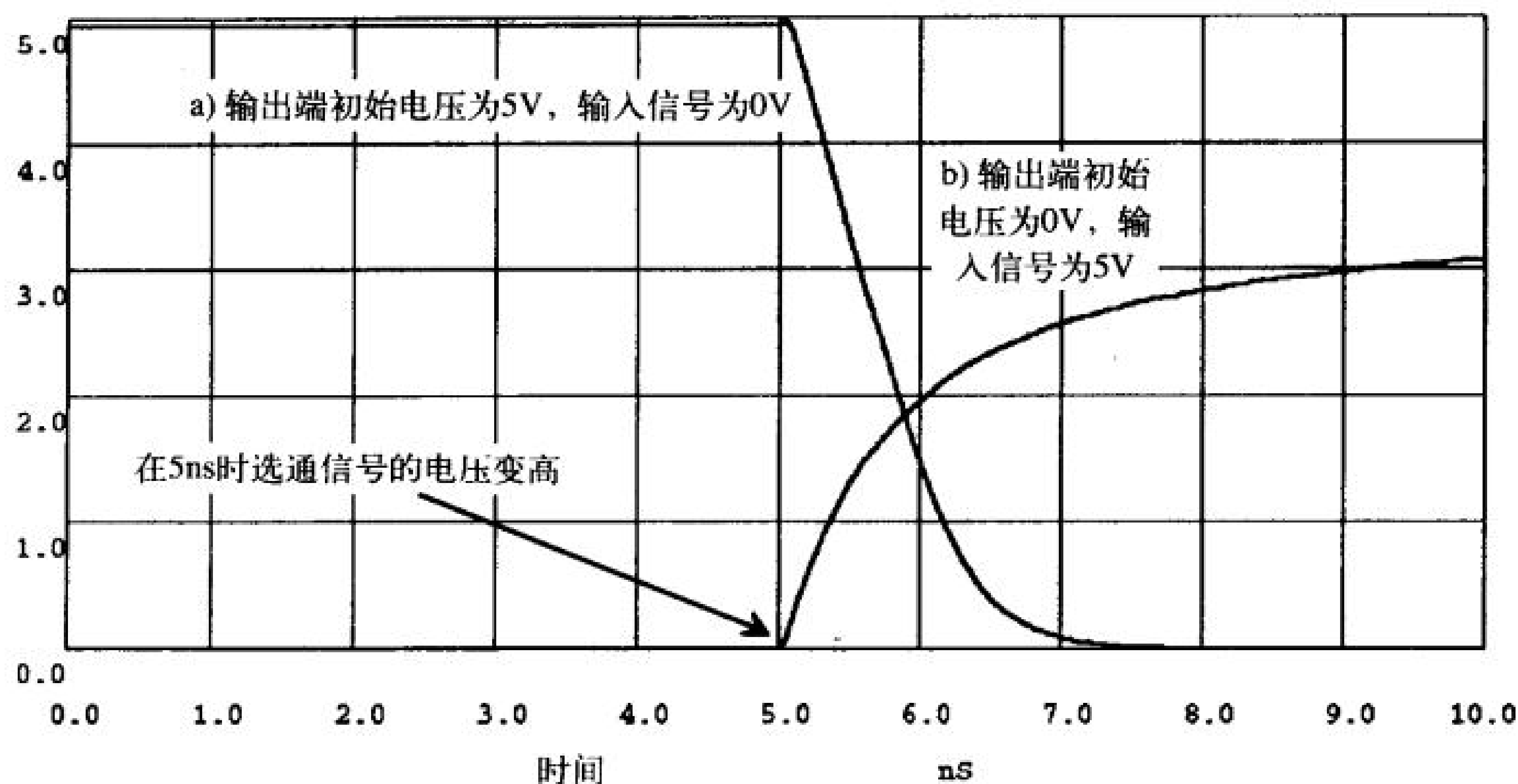


图13-3 NMOS传输管驱动100 fF负载电容时的仿真结果

对PMOS传输管做同样分析，可得：

$$t_{PLH}=R_p\cdot C_{load} \tag{13-3}$$

$$t_{PHL}=R_p\cdot C_{load}\text{（低电压为}V_{THP}\text{）} \tag{13-4}$$

PMOS传输管可以无损失的传输高电平，但传输低电平时有阈值损失，输出低电平的最小值为V_{THP}；NMOS传输管可以无损失的传输低电平，传输高电平时有阈值损失，输出高电平最大只能达到$VDD-V_{THN}$。PMOS管一般放置在n阱中，把n阱连接到PMOS的源端，可以消除体效应，这是PMOS传输管的一个重要优点。

NMOS传输管和PMOS传输管的固有延迟（无电容负载时）分别为：

$$t_{PHL},t_{PLH}=R_nC'_{ox}WL=\tau_n \tag{13-5}$$

$$t_{PHL},t_{PLH}=R_pC'_{ox}WL=\tau_p \tag{13-6}$$

导通状态时，传输管通过自身的有效电阻来对输出电容进行充/放电。

13.2 CMOS传输门

由于NMOS传输管可以无损失的传输低电平，而PMOS传输管可以无损失的传输高电平，所以，把NMOS管和PMOS管并联连接，就构成了可以无损失的传输高电平和低电平的CMOS传输门，如图13-1所示。CMOS传输门需要两个控制信号：S和$\overline{S}$（见图13-4），分别控制NMOS管和PMOS管。CMOS传输门的传输延迟为：

$$t_{PHL}=t_{PLH}=(R_n\|R_p)\cdot C_{load} \tag{13-7}$$

传输门的S输入信号的电容是NMOS管的输入电容，即C_{inn}（$=1.5C_{oxn}$），$\bar{S}$信号的电容为PMOS管的输入电容，即C_{inp}。增大CMOS传输门中MOS管的沟道宽度可以减小传输门从输入到输出的传输延迟；但这么做会增大输入电容，使得把选通信号线拉到高电平以开启传输门的时间增大。做电路仿真时，用SPICE产生的电压源来驱动选通信号线；由于SPICE产生的电压源可以提供无限大的电流来对传输门的输入电容充电，这就给设计者一个错觉：传输门的延迟仅由R_n、R_p决定。这样仿真的结果与实际情况会有一定偏差。为了使仿真结果更符合逻辑电路的实际工作情形，在仿真传输门这样的逻辑电路时，应该把SPICE产生的控制信号先通过一个反相器链，再把反相器链的输出送到传输门的栅极。

256~257

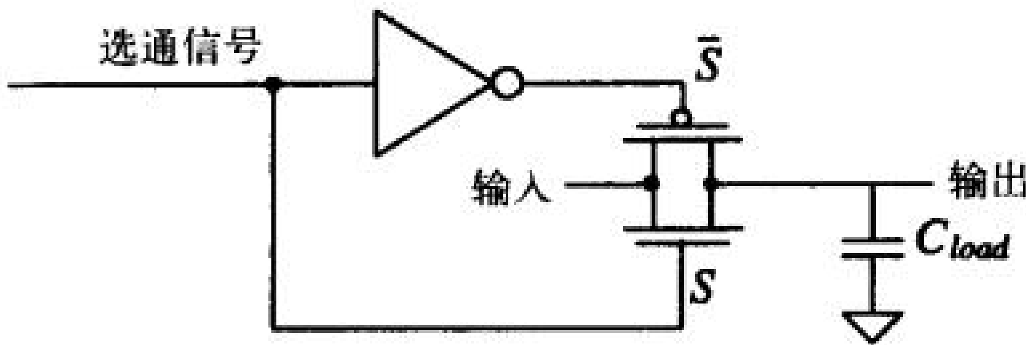


图13-4 带控制信号的传输门电路

例13.2

估算图Ex13-2所示传输门的延迟并进行仿真验证。传输门是由最小尺寸MOS管构成，驱动的负载电容为150 fF。

对于最小尺寸MOS管，有：$R_n \parallel R_p = 6\ \text{k}\Omega$，因此，利用式(13-7)计算得到：$t_{PLH}=t_{PHL}=900\text{ps}$。图13-5为SPICE仿真结果。此例实际估算的是：在传输门已处于开启状态的前提下，输入信号变化后，输出信号变化到50%点所需要的时间，没有考虑选通信号选通MOS管所需要的时间。

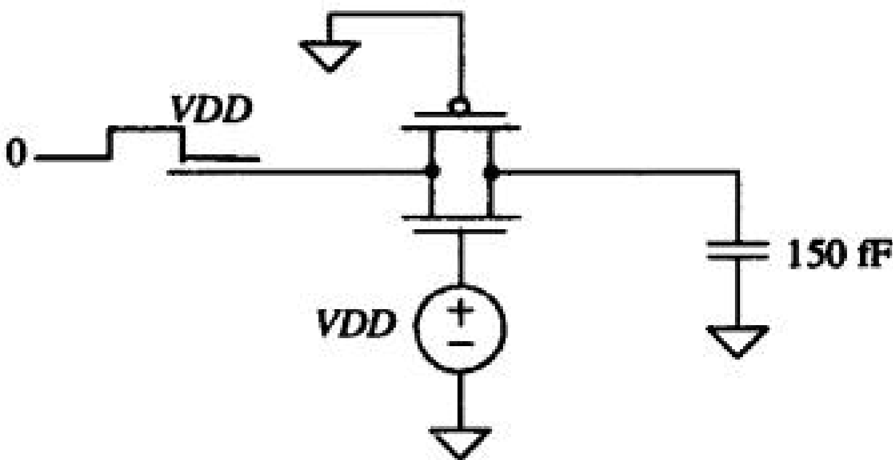


图 Ex13-2

■

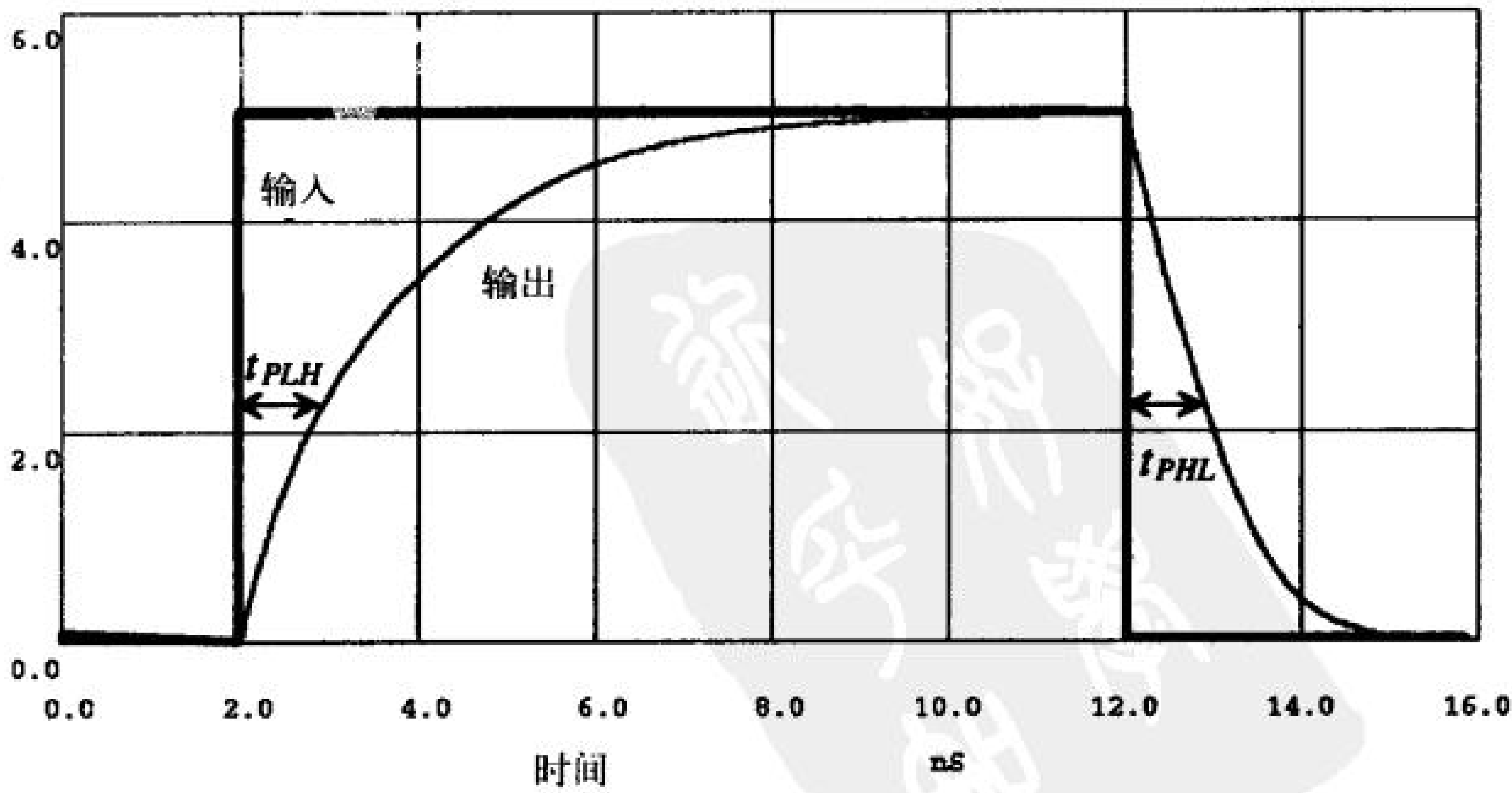


图13-5 由最小尺寸MOS管构成的CMOS传输门的仿真结果（驱动150 fF的电容负载）

13.2.1 CMOS传输门的版图设计

由最小尺寸MOS管构成的传输门的版图如图13-6所示。通常还需要在版图中加上用于产生互补选通信号的反相器（见图13-4）。采用反相器来产生互补选通信号，可使一些无法提供互补信号的电路系统只提供一个选通信号即可。反相器版图中，NMOS管和PMOS管的放置方法与CMOS传输门中NMOS管和PMOS管的放置方法类似。

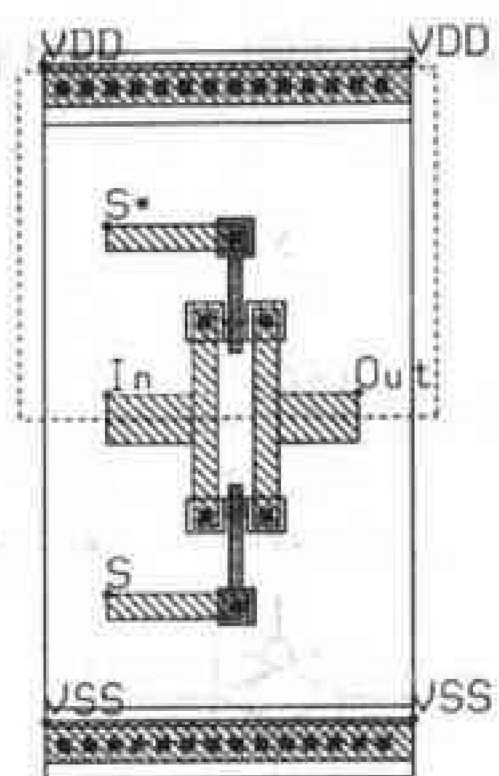


图13-6 CMOS传输门的版图

13.2.2 传输门的级联

图13-7给出的是CMOS传输门的级联和等效数字模型。图中没有给出单个MOS管的输出电容，在接下来的分析中也会忽略掉它。通过级联传输门的延迟可由下式估算：

$$t_{PHL} = t_{PLH} = N \cdot (R_n || R_p)(C_{load}) + 0.35 \cdot (R_n || R_p)(C_{inn} + C_{inp})(N)^2 \quad (13\text{-}8)$$

式中，第一项是通过级联的传输门等效电阻对负载电容C_{load}进行充/放电的时间，第二项反映的是RC传输线的影响。

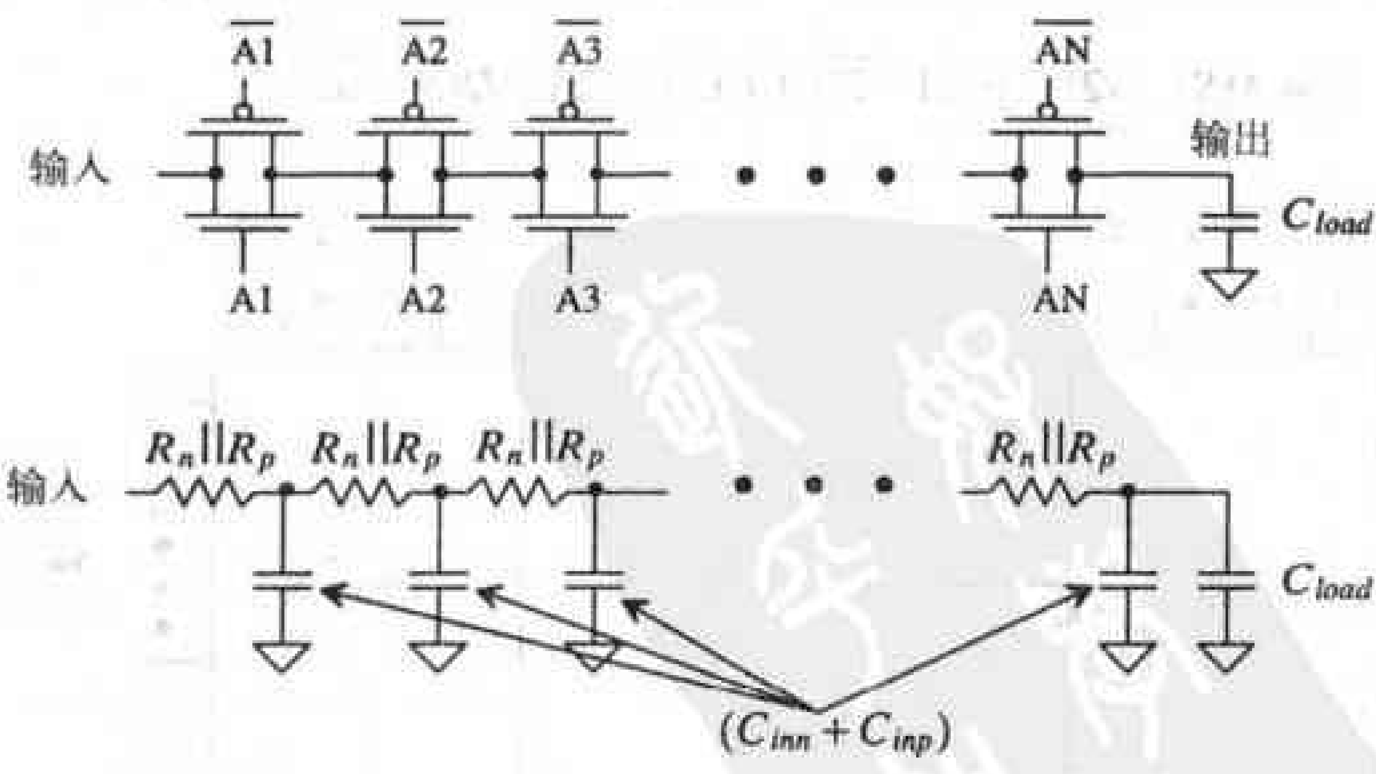


图13-7 级联的传输门及其等效数字模型

13.3 传输门的应用

这一节将给出传输门的一些应用[1][2]。

路径选择器

图13-8是一个两输入的路径选择器。该电路的逻辑输出为:

$$Z = AS + B\overline{S} \tag{13-9}$$

当选通信号S为高电平时，信号A传输到输出端；当选通信号S为低电平时，则将信号B传输到输出端。

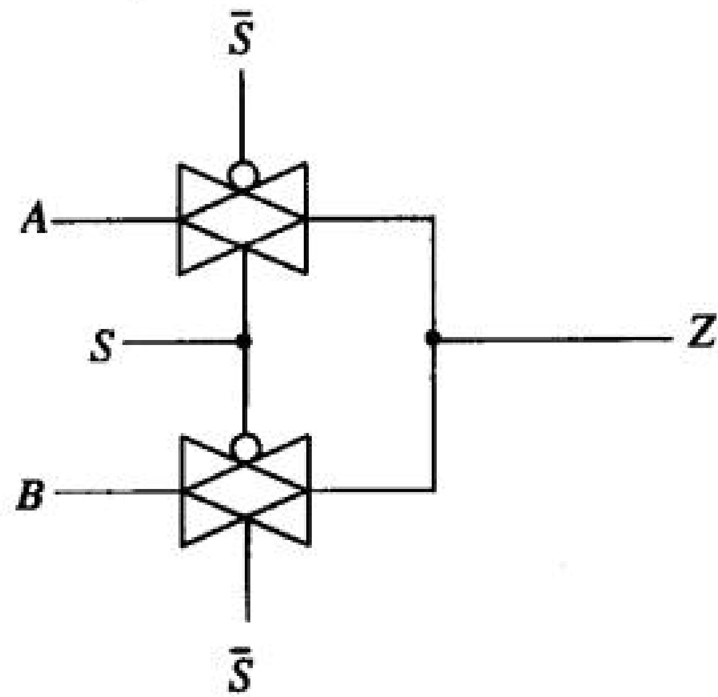


图13-8　路径选择器

采用同样的方法，可以实现多路选通器（Multiplexer，MUX）和多路分解器（Demultiplexer，DEMUX）。图13-9是多路选通器和多路分解器的结构框图，选通信号与输入（或输出）信号之间的关系为:

$$2^m = n \tag{13-10}$$

式中，n为多路选通器的输入信号数目（对多路分解器为输出信号的数目），m为选通信号的数目。图13-10是一个四选一MUX/DEMUX。值得提醒的是，图13-10所示电路可以双向工作，既可以做多路选通器来用，也可以做多路分解器来用。多路选通器的逻辑表达式为:

$$Z = A(S1 \cdot S2) + B(S1 \cdot \overline{S2}) + C(\overline{S1} \cdot S2) + D(\overline{S1} \cdot \overline{S2}) \tag{13-11}$$

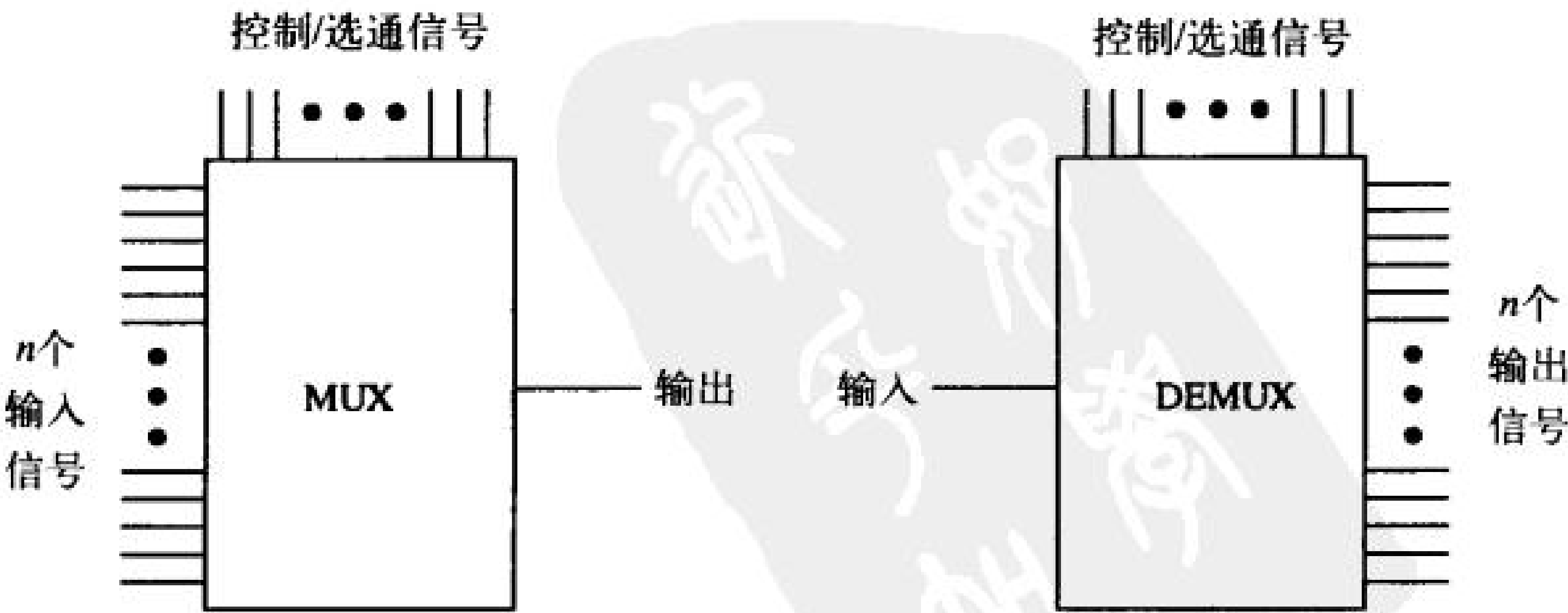


图13-9　MUX/DEMUX结构框图

258～261

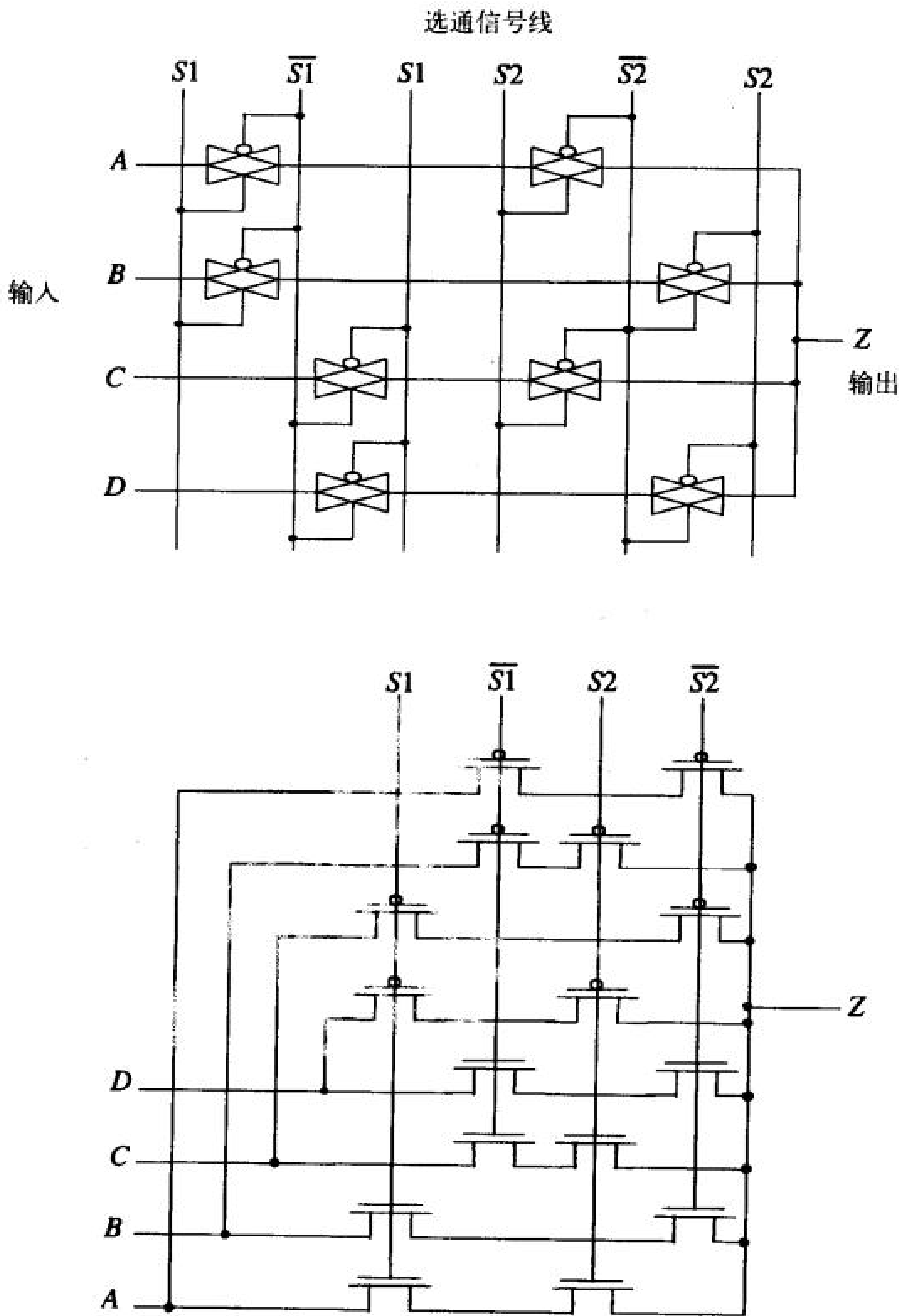


图13-10 四选一MUX/DEMUX的电路实现

262

图13-11a为用传输管实现的四选一MUX。与传输门实现的MUX相比，传输管实现的MUX电路更为简单，所用MOS管数目很少。代价是在传输高电平时有阈值电压损失。图13-11a的电路可以进一步简化为图13-11b所示电路，通过把接S2和 $\overline{S2}$ 的两个MOS管合并成一个MOS管，减少了MOS管的数目。这种简化可以扩展到n输入的MUX/DEMUX。再次说明一下，只需简单地把输入和输出互换一下，图13-10和图13-11所示MUX就可以做DEMUX来用。

静态门

传输门可用于静态逻辑门的设计。图13-12所示的或门就是用传输门实现的。下面分析该电路的工作原理。考虑A和B都为低电平的情形，此时M1传输管关断，传输门导通；由于B为低电平，因此，输出为低电平。如果A为高电平，则M1管导通，传输门关断，A的高电平被传输到输出端。如果A为低电平，B为高电平，则M1管关断，通过传输门把B的高电平传输到输出端。如果A和B都为高电平，则传输门关断，A的高电平通过M1传输管传输到输出端。

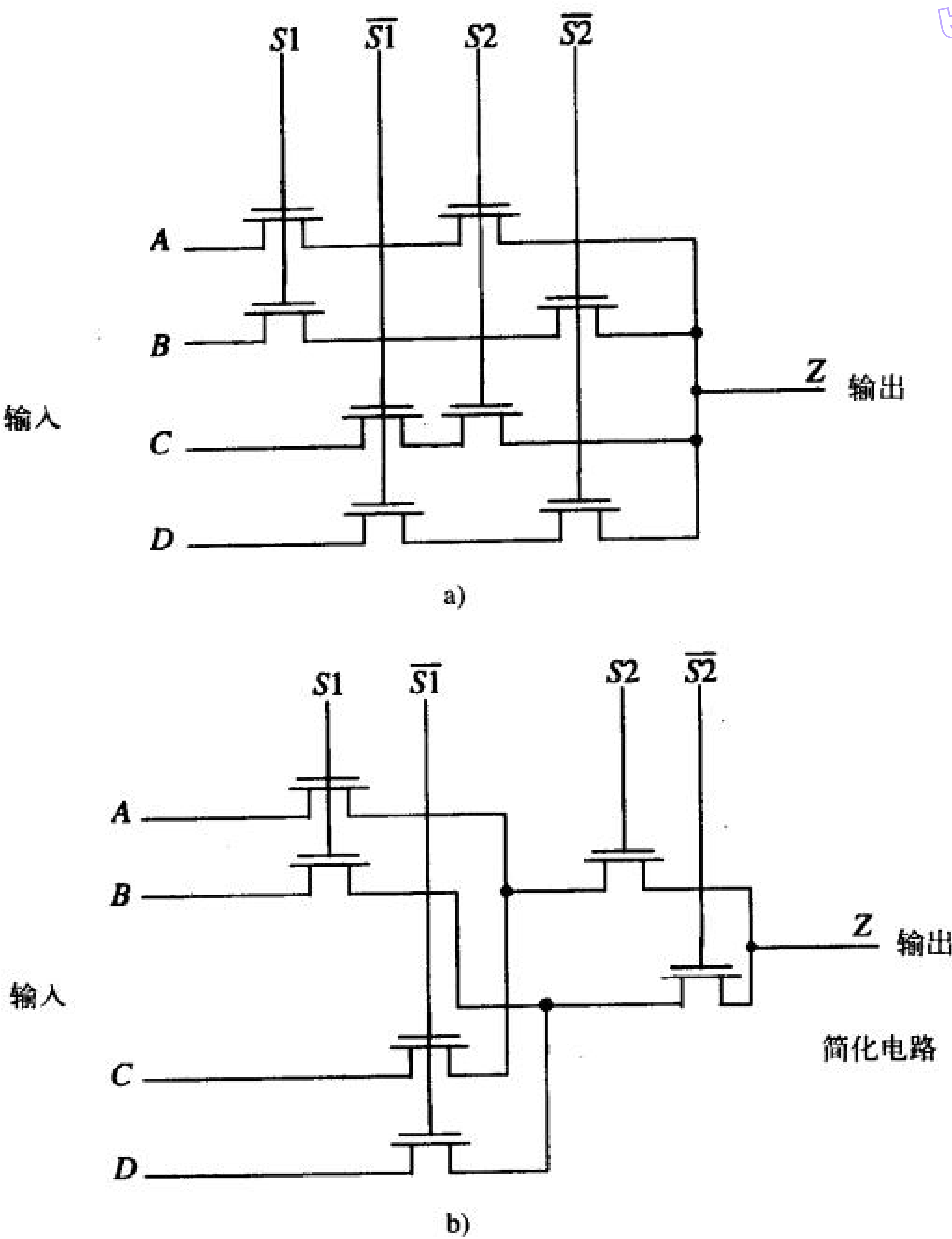


图13-11　用传输管实现的MUX/DEMUX

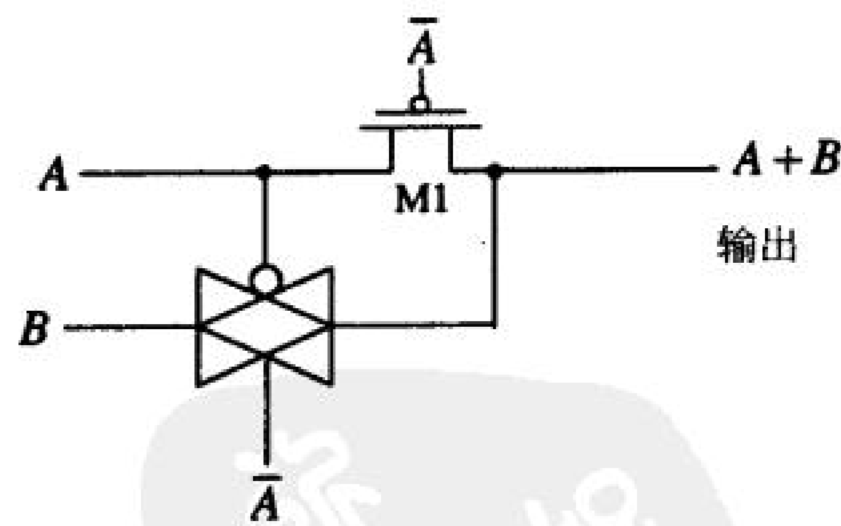


图13-12　基于传输门的或门

图13-13给出的是用传输门设计的异或（XOR）和同或（XNOR）逻辑门电路。首先分析异或逻辑门电路：如果A和B都为低电平，则电路中上面的传输门导通，A传输到输出端，输出为低电平；如果输入都为高电平，则电路中下面的传输门导通，$\overline{A}$传输到输出端，输出也是低电平；如果A为高电平、B为低电平，则电路中上面的传输门导通，A传输到输出端，输出为高电平；如果A为低电平、B为高电平，电路中下面的传输门导通，$\overline{A}$传输到输出端，输出为高电平。

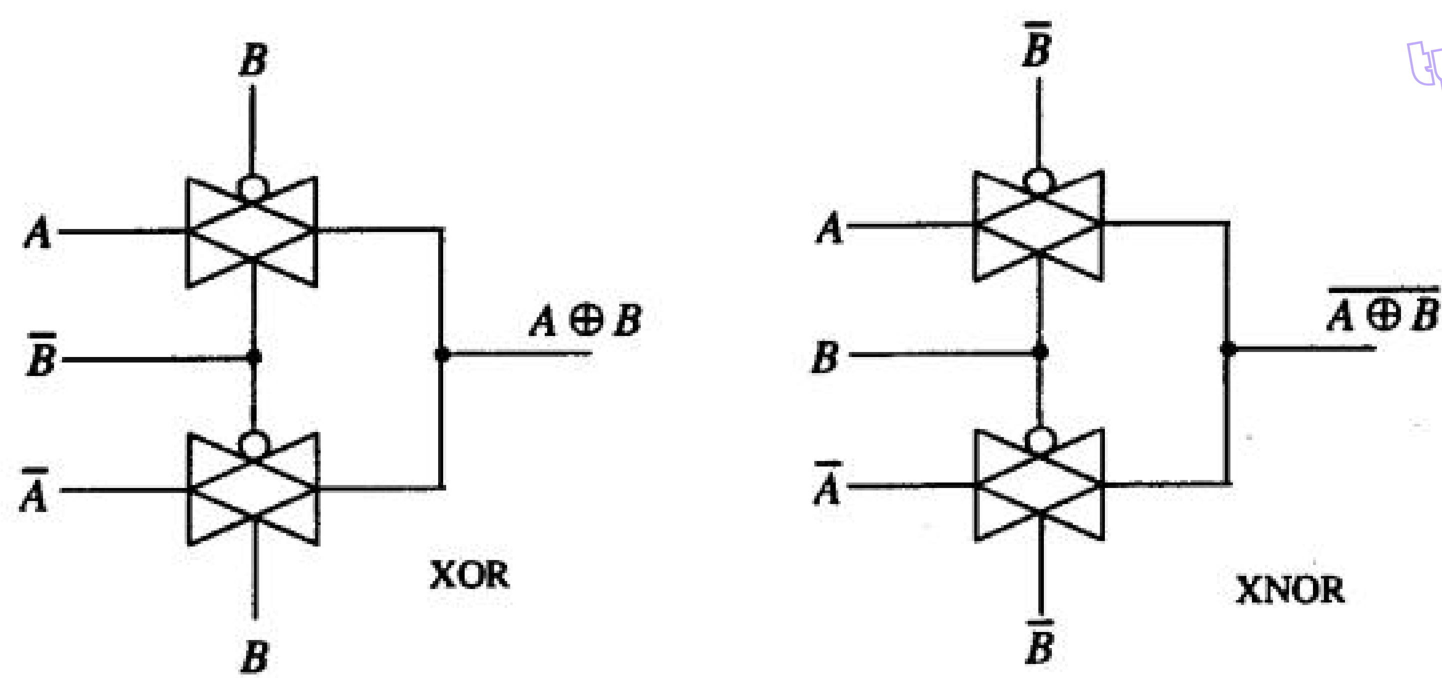
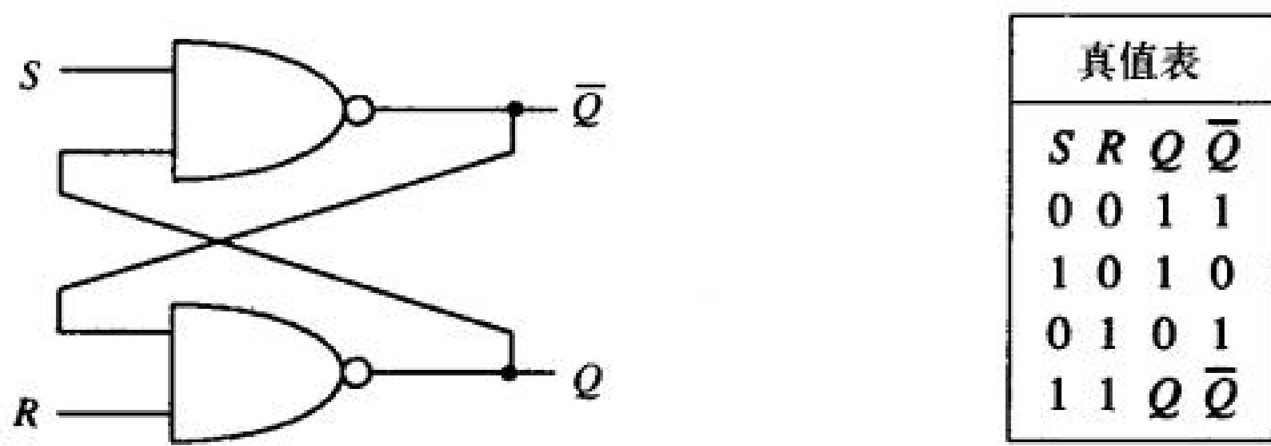


图13-13　用传输门实现的异或（XOR）和同或（XNOR）门

263~264

13.4　触发器

首先看图13-14给出的由与非门实现的置位-复位触发器（Set-Reset Flip-Flop，SR FF）及其真值表。如果S为高电平、R为低电平，则R会强制Q为高电平；由于S和Q都为高电平，因此，$\overline{Q}$为低电平。如果S和R都为低电平，则触发器的输出都为高电平。利用第12章的知识，可以很容易地设计出这种触发器。

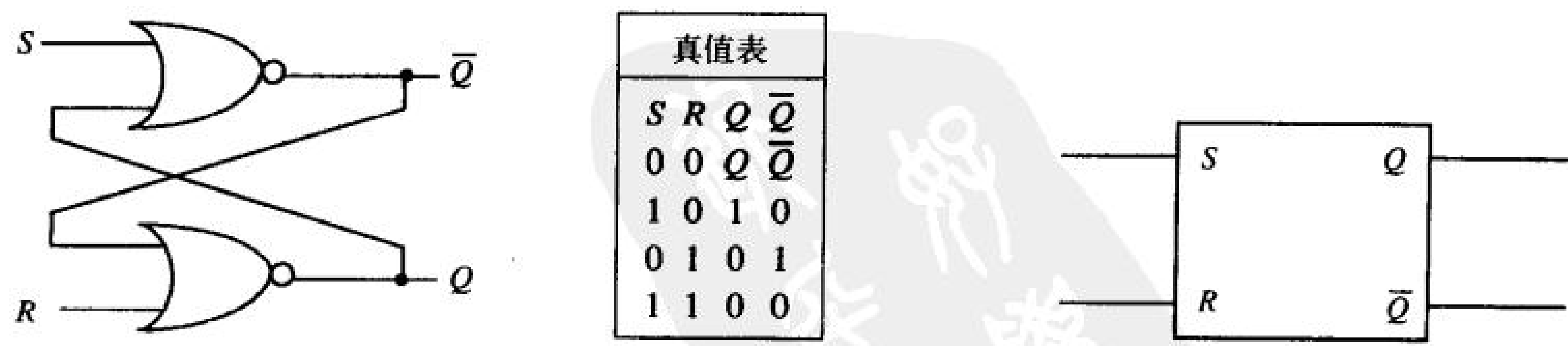


真值表

S	R	Q	$\overline{Q}$
0	0	1	1
1	0	1	0
0	1	0	1
1	1	Q	$\overline{Q}$

图13-14　用与非门实现的SR触发器

SR触发器也可以用或非门实现，如图13-15所示。只要S为高电平，则由或非门的特性知，$\overline{Q}$就为低电平；同样，只要R为高电平，Q就为低电平。如果输入都为高电平，则输出都为低电平，换句话说，这时触发器的输出就不再是互补关系。图13-16为SR触发器的逻辑符号。逻辑符号中的Q和$\overline{Q}$的位置与图13-14、图13-15中Q和$\overline{Q}$的位置恰好相反。



真值表

S	R	Q	$\overline{Q}$
0	0	Q	$\overline{Q}$
1	0	1	0
0	1	0	1
1	1	0	0

图13-15　用或非门实现的SR触发器　　图13-16　SR触发器的逻辑符号

265

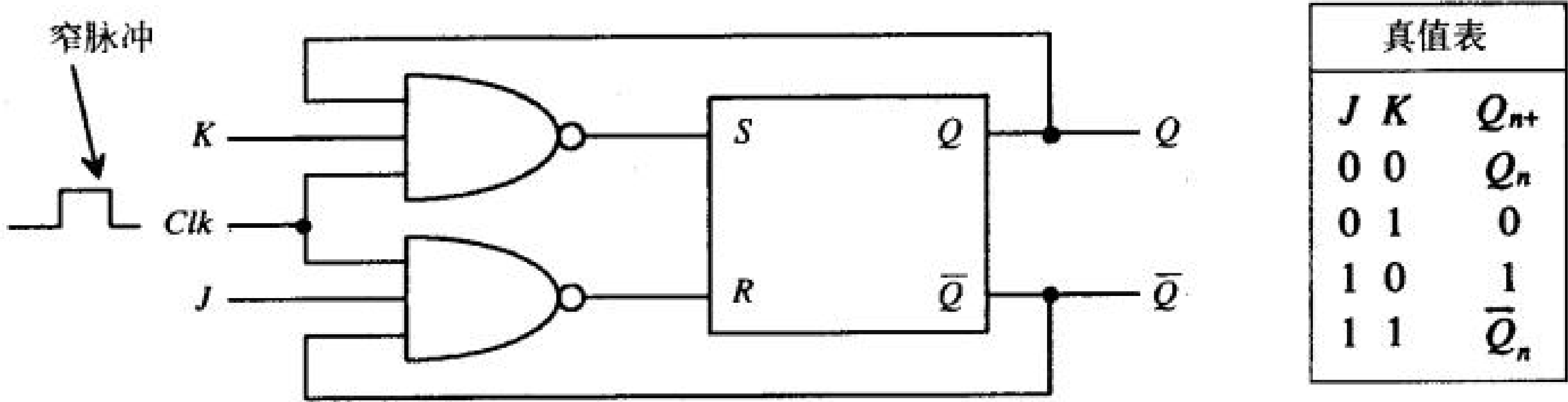
时钟控制触发器

时钟控制触发器可以分为三类。第一类时钟控制触发器要求时钟信号的脉冲宽度小于触

发器的传输延迟，换句话说，时钟信号先为高，接着必须在触发器的输出状态改变之前变为低。第二类时钟控制触发器的特点是，时钟信号为高电平时触发器改变输出状态，通常称这种触发器为电平敏感触发器。第三类触发器的特点是边沿触发，时钟信号的上升/下降沿会使触发器改变输出状态。

窄脉冲宽度的时钟控制触发器

图13-17为一个时钟控制JK触发器，它由SR触发器（由与非门实现）和两个与非门构成。JK触发器的输出与它的前一个状态有关。当时钟信号保持为低电平时，SR触发器的输入和输出保持不变。当时钟信号保持为高电平且$J=K=1$时，SR触发器的输入和输出在逻辑0和逻辑1之间振荡。如果时钟脉冲信号的脉冲宽度很短（图13-17所示），则当$J=K=0$时，触发器输出不变；当$J=0$、$K=1$时，时钟脉冲信号过后，输出为0；当$J=1$、$K=0$时，输出为1；当$J=K=1$，输出为前一个状态的“反”。



真值表		
J	K	Q_{n+}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

图13-17 时钟控制JK触发器（时钟脉冲宽度应小于触发器的延迟）

如果把JK触发器的输入设为$J=K=1$，或者去掉J输入和K输入，把图13-17中的三输入与非门换成两输入与非门，就构成了T触发器。JK触发器的时钟输入信号就是T触发器的时钟输入。如果在T触发器输入端加脉宽很窄的时钟脉冲，则T触发器的输出就会翻转到原来状态的“反”，即：如果输出状态原为“1”，则施加了时钟窄脉冲后，输出翻转到“0”状态；如果接着施加一个时钟短脉冲，输出又会翻转到“1”状态。因此，T触发器可用于实现分频器，但在设计分频器时要注意对时钟脉冲宽度的限制。

电平敏感触发器

在电平敏感触发器中，用时钟信号来控制输出信号随输入信号的变化。这种触发器对时钟信号的脉冲宽度没有特别要求。下面以图13-18所示D触发器为例来说明电平敏感触发器的工作原理。图13-18给出了D触发器的电路图和逻辑符号。从图13-18可以看出，当时钟信号CLK为高电平时，输入信号D直接送入SR触发器。如果D为1，则输出Q为1；如果D为0，则输出Q为0。因此，在CLK为高电平时，输出随输入的变化而变化。当CLK转换为低电平时，D当前的逻辑值被锁存到SR触发器中，输出不再随输入变化（除非CLK又转换为高电平）。

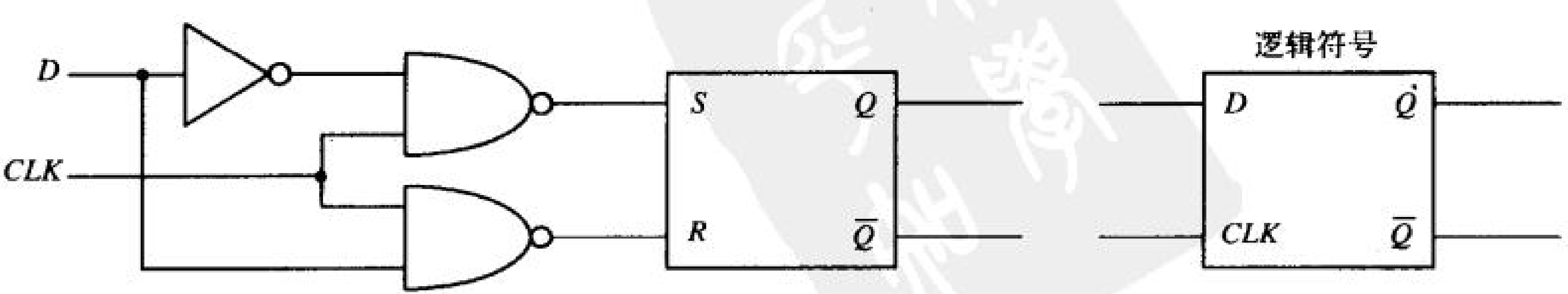


图13-18 电平敏感的D触发器

由前面分析知，这种触发器不对时钟信号的边沿敏感，输出的改变不是由时钟信号的边沿来触发。

边沿触发器

图13-19给出的主从式JK触发器就是边沿触发器的一种。当时钟信号CLK转换为高电平时，主JK触发器启动。当CLK为高电平时，从触发器不能改变状态，因此，时钟脉冲宽度不必小于触发器的传输延迟。当CLK转换为低电平时，主触发器中的数据被送入从触发器。如果$J=K=0$，主触发器状态保持不变，从触发器也不会发生翻转。如果$J=1$、$K=0$，CLK翻转为低电平时，主触发器的输出$Q=1$，主触发器中的数据被送入从触发器。与前一部分讨论的JK触发器相比，主从式JK触发器是在时钟翻转为低电平时得到数据，对时钟脉冲信号的宽度没有要求（它是下降沿触发）。主从式JK触发器的电路图如图13-19所示。如果要增加复位或置位功能，可在图13-19中SR触发器和与非门之间加入相应的逻辑门即可；这样，通过施加复位或置位信号，就可以把触发器置于期望的特定状态。

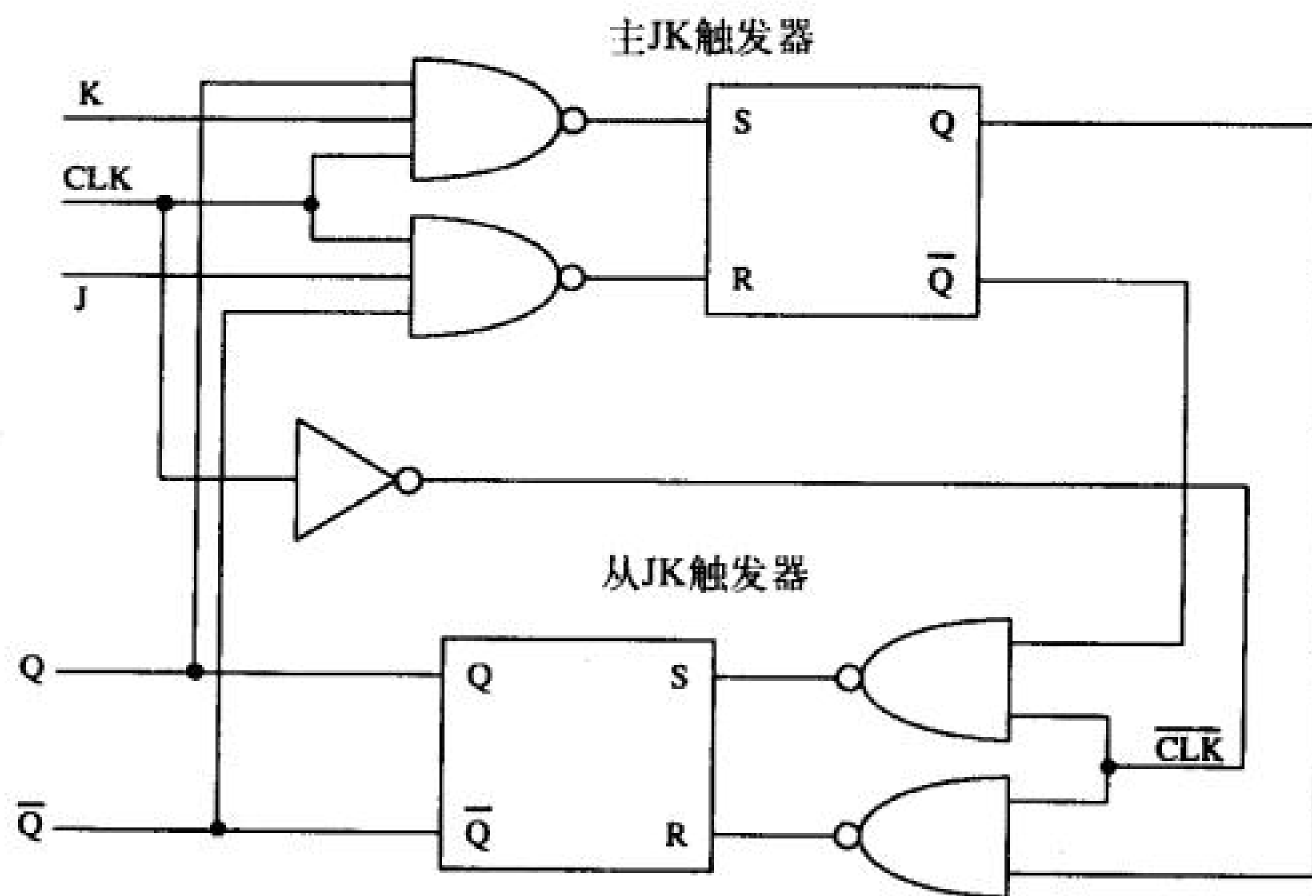
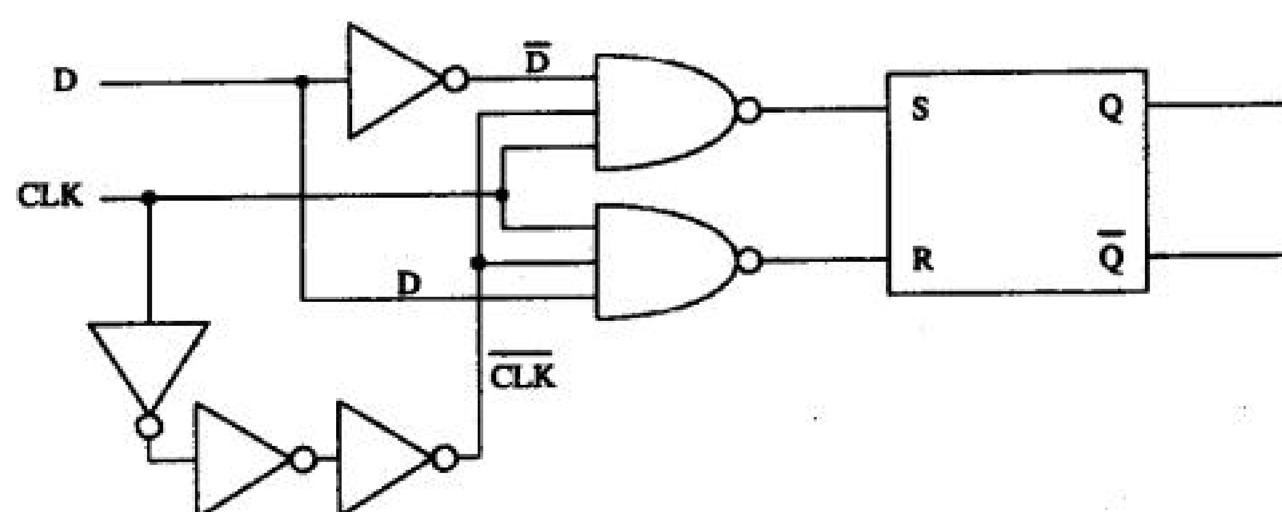


图13-19 边沿触发的主从式JK触发器

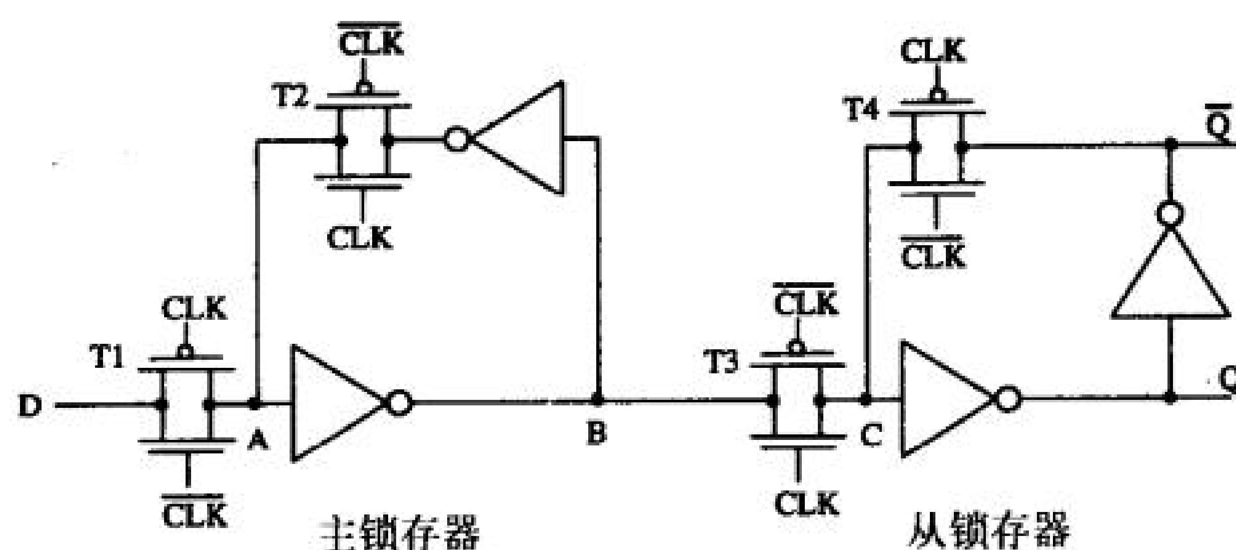
图13-20a给出了上升沿触发的D触发器。图中的SR触发器由与非门构成。当时钟输入信号$CLK=0$时，与非门输出都为高电平，则SR触发器处于保持状态。当$CLK=1$时，D的逻辑值被送到SR触发器的S输入端，把D的“反”送到SR触发器的R输入端。在CLK转换到高电平后，经过三个反相器延迟，$\overline{CLK}$降到低电平，把SR触发器的R端和S端强制到高电平，则触发器又处于保持状态。D的逻辑值可以送到触发器输入端的条件是CLK和$\overline{CLK}$同时为高电平，CLK和$\overline{CLK}$同为高电平的时间是CLK翻转为高电平之后、$\overline{CLK}$翻转为低电平之前的这段时间，这段时间由反相器链的传输延迟决定。如果只用一个反相器来代替图中的三个反相器，则往往不能提供足够的延迟，使SR触发器完全翻转到D或$\overline{D}$。另外，这种触发器对时钟信号的上升时间和下降时间的最大值也有一定要求。

图13-20b是由传输门实现的上升沿触发的D触发器。当输入时钟信号CLK为低电平时，D的逻辑值被送到节点A，$\overline{D}$值被送到节点B。传输门T2和T3关断，节点C上保持着前一个时钟脉冲上升沿时锁存的数据，该数据被送到触发器的输出端。当CLK转换为高电平时，传输门T1和T4关断，T2、T3导通，节点C上锁存新数据，新数据通过反相器被送到触发器的输出端。

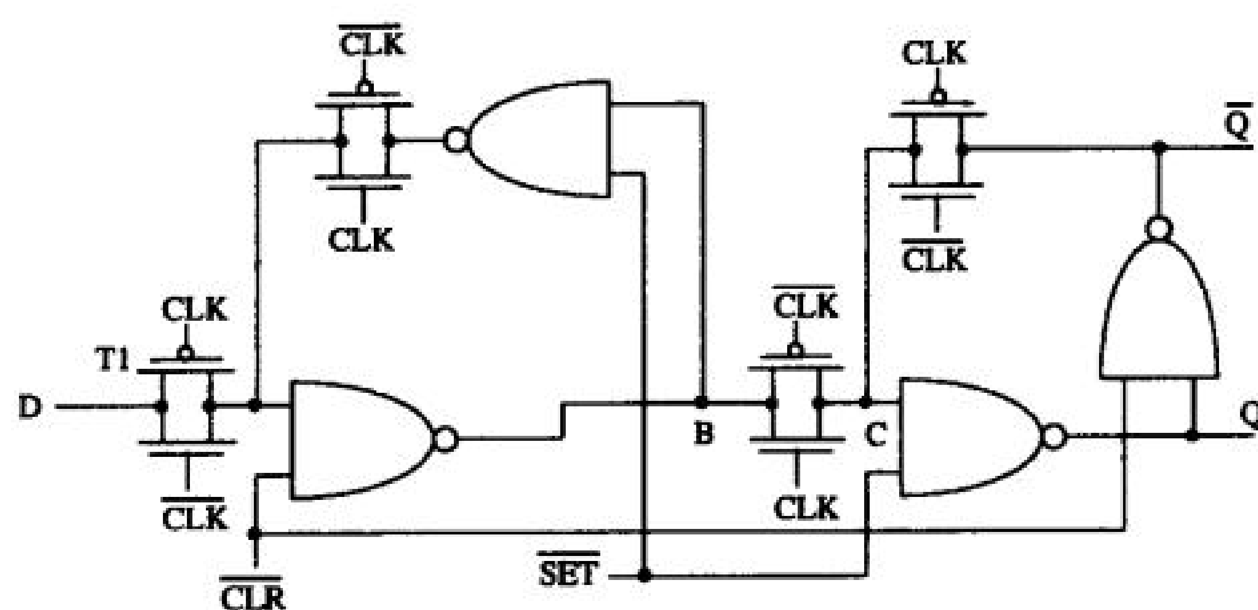
图13-20c是带置位和复位功能的D触发器。



a) 用逻辑门实现的D触发器



b) 用传输门实现的D触发器



c) 用传输门实现的带有置位、复位功能的D触发器

图13-20　边沿触发的D触发器

触发器的时序

图13-20c中，在时钟信号到来之前，输入信号D必须稳定下来一段时间，把这段时间定义为触发器的建立时间。建立时间与D信号通过T1和与非门传送到节点B所用的时间有关。在时钟脉冲信号变为高电平之前，D信号必须在节点B建立好。参考图13-21所示波形图，在D信号上升为高电平（或下降为低电平）时刻和时钟上升沿之间的这段时间就是触发器的建立时间，图中记为t_s。



图13-21　D触发器的建立时间

输入信号D应该比时钟脉冲信号早t_s时间到来。现在或许会问："时钟脉冲信号到来后，输入信号D应该保持多长时间？"这个时间被称为保持时间，记为t_h，如图13-22所示。图中所示的t_h是个正数。但是，考察图13-20知，如果在时钟脉冲信号来临之前的稍早一点点时间就把输入信号D移走，则由于从输入信号D到B点之间有传输延迟，即使此时D信号已移走了，B点信号仍会保持不变；这样分析下来，触发器会有一个负的保持时间。换句话说，要使B点信号建立起来，需要一段时间t_s；一旦B点信号建立起来了，输入信号D的值就可以改变了，只要时钟脉冲信号在t_h时间之内到来即可。

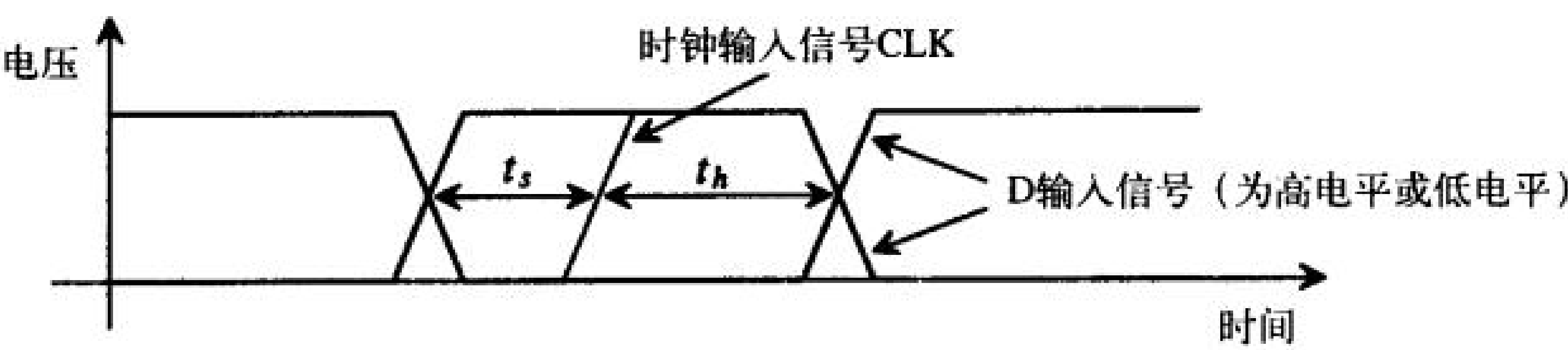


图13-22　D触发器的保持时间

关于触发器时钟脉冲信号的另一个重要结论是上升/下降时间不能太长。如果时钟信号上升/下降时间比较长，则传输门开启和关闭之间的转换就比较慢，触发器的输出就是一种不确定的逻辑值，触发器不能正常工作。为了解决这个问题，通常采用的方法是在时钟输入信号后加入几个反相器作为缓冲，这样可以缩短时钟脉冲信号的上升/下降时间，并能降低时钟脉冲信号的输入电容。这个方法的主要缺点是增大了延迟时间t_{PHL}和t_{PLH}。对于图13-20b和图13-20c中的触发器，如果时钟信号没有增加缓冲，通常在设计中不能使用。

时钟信号、置位信号、复位信号的最小脉冲宽度通常记为t_w。通过两个与非门和一个传输门（图13-20）的延迟决定了最小脉冲宽度。要介绍的最后一个时间参数是恢复时间（记为t_{rec}），定义为移走置位或复位信号后，有效时钟信号来临之前的这段时间。

简单的D触发器

图13-23给出的是由反相器和传输门实现的一个简单的D触发器。交叉耦合连接的反相器有时也称为锁存器，它是第17章中将要讨论的RAM存储器的基本存储单元。为了更好地理解此电路的工作原理，先考虑*CLK*时钟信号为低电平的情况。此时，传输门关断，输出保持不变。当*CLK*变为高电平时，假设反相器的尺寸合适，输入*D*送到*Q*，输入$\overline{D}$送到$\overline{Q}$。当*CLK*再次变为低电平时，输入*D*的逻辑值被锁存在锁存器中。对于这个简单的触发器，有两点需要注意：（1）只要*CLK*为高电平，输出就随着输入改变，所以，它不是边沿触发器；（2）在输出状态变化时，需要输入提供一个电流。

266
~
271

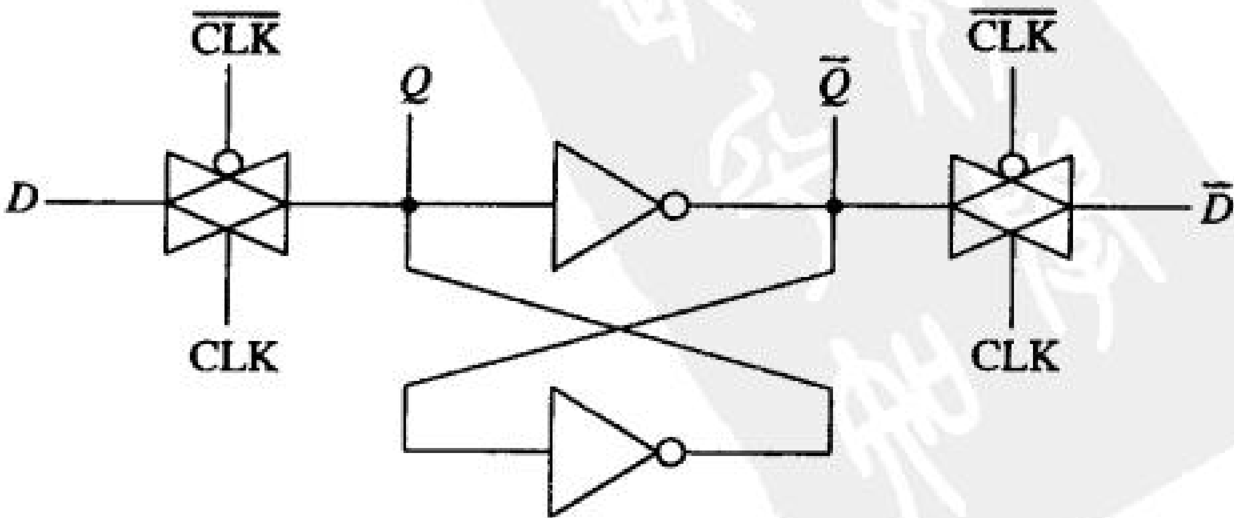


图13-23　由锁存器和传输门构成的时钟控制D触发器

之所以需要输入提供直流电流，是因为反相器的输出分别与传输门相接。为了使Q和$\overline{Q}$的电压随输入变化，反相器的有效数字电阻要大于传输门电阻和驱动电阻（驱动电阻是指驱动传输门的门电路的有效电阻）之和；换句话说，反相器的R_n和R_p要足够大。为了减小输入电流，反相器中的MOS管的沟道长度可以大于工艺允许的最小长度。

锁存器的亚稳态

考虑图13-23中的时钟信号向低电平转换并要关闭传输门的这一时刻，如果此时输入D和$\overline{D}$的电压值恰恰等于反相器的转换点电压V_{SP}，则由反相器构成的锁存器的输出就不是确定的逻辑值，称锁存器处于亚稳态或未知状态。如果每个反相器的输入和输出都恰好是V_{SP}（传输门已关断），那么，电路中就不会存在不平衡状态，锁存器的输出会保持不变。经过一段时间（可能是很长一段时间）后，噪声和锁存器固有的正反馈会使输出变成有效的逻辑电平。在高速数字电路中，锁存器要快速地对变化的输入信号做出响应，或者输入信号与时钟信号不同步，这时，亚稳态带来的问题就会非常严重。

参考文献

[1] J. P. Uyemura, *Circuit Design for Digital CMOS VLSI,* Kluwer Academic Publishers, 1992.

[2] M. I. Elmasry, *Digital MOS Integrated Circuits II,* IEEE Press, 1992. ISBN 0-87942-275-0, IEEE order number: PC0269-1.

[3] M. Shoji, *CMOS Digital Circuit Technology,* Prentice-Hall, 1988. ISBN 0-13-138850-9.

272

习题

除非特别说明，否则均采用CN20工艺参数。

13.1 验证图13-3的仿真结果。如果增大NMOS传输管的沟道宽度，延迟时间有何变化？假定传输管的栅极由片上其他逻辑电路驱动，当增加传输管的沟道宽度时，驱动电路的负载电容有何变化？

13.2 用传输门逻辑设计半加器，并对工作原理进行仿真。

13.3 10个由最小尺寸MOS管构成的传输门接一个100 fF的电容负载，估算其延迟并进行仿真。

13.4 用NMOS传输管设计一个八选一的多路分解器，画出其电路图。如果输出接50 fF的电容负载，估算通过多路分解器的延迟时间。

13.5 用SPICE仿真验证图13-13中的电路实现的是异或门的功能。

13.6 仿真验证由与非门（由最小尺寸MOS管构成）构成的SR触发器的工作原理，仿真结果要给出触发器的四个可能逻辑转换。

13.7 仿真验证图13-23的时钟控制D触发器（由最小尺寸MOS管构成）的工作原理，并分析可能会遇到的不必要翻转（glitch）。仿真结果中要给出时钟信号为逻辑“0”和逻辑“1”这两种情形。你设计的时钟控制D触发器的建立时间和保持时间各为多少？

13.8 设计图P13-8所示的触发器电路并进行仿真验证。

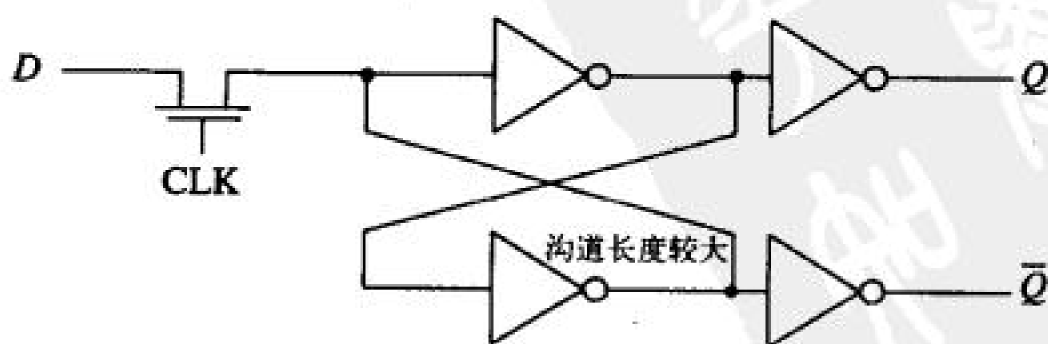


图 P13-8

13.9 图P13-8给出的触发器存在几个实际问题，包括：D输入端不是纯电容负载，版图尺寸较大等问题。与图P13-8所示触发器不同，图P13-9的触发器是由基于反相器的锁存器实现的，D输入端是纯电容负载，版图尺寸较小。用图中给出的尺寸，对此电路进行仿真验证。

13.10 针对CMOS14TB工艺的最小尺寸MOS管（0.9/0.6），重做例13.1。

273

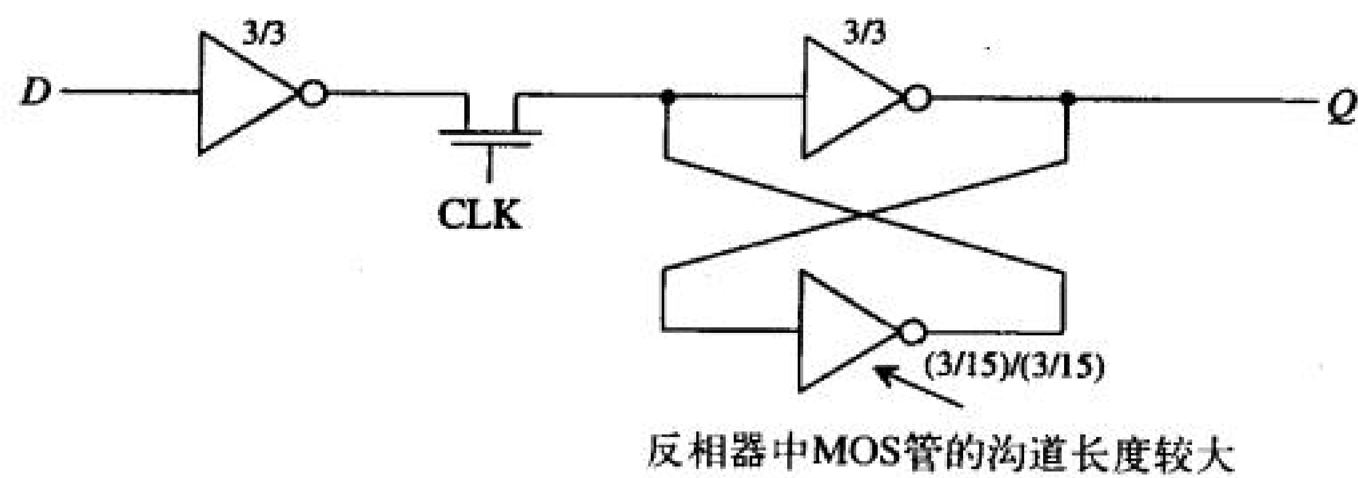


图 P13-9

13.11 针对CMOS14TB工艺，重做例13.2。

13.12 用CMOS14TB工艺的最小尺寸MOS管实现传输门，让10个这样的传输门串联起来，再接一个100fF的电容负载，估算其延迟并进行仿真。

13.13 针对图P13-13所示电路，用SPICE的直流扫描功能，使输入电压先从0V变到5V，再从5V变到0V，绘出输出电压随输入电压变化的关系曲线。讨论并分析输入电压从0V变到5V时的输出曲线与输入电压从5V变到0V时的输出曲线之间的差异。

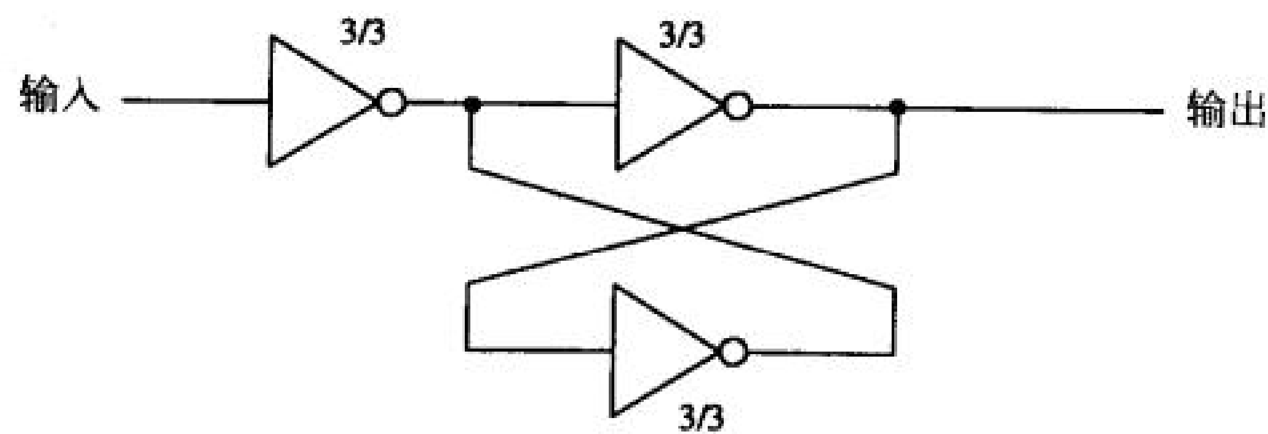


图 P13-13

274

第14章 动态逻辑电路

采用动态电路的主要目的是降低电路复杂度、提高速度以及降低功耗。动态电路设计的主要思想是利用MOS管的输入电容来存储电荷，从而记忆一个逻辑电平，供以后使用。在开始讨论动态电路设计之前，首先讨论泄漏电流和时钟电路的设计。

14.1 动态电路基础

考虑图14-1中驱动反相器的NMOS传输管。如果传输管栅极电压是高电平，则输入A的逻辑电平就会送到反相器输入端B点。如果A为0，则反相器的输入被强制为0；如果A为1，则反相器的输入为$VDD - V_{THN}$。当传输管的栅极电压变为低电平时，传输管关断，B点就记忆了输入A的逻辑值。换句话说，当传输管导通时，反相器的输入电容就被充/放电至$VDD - V_{THN}$或地。只要保存好输入电容上的电荷，输入A的逻辑值就会被记忆在该电容上。但实际上，节点B存在泄漏通路，会把存储在该节点的电荷泄放掉。图14-1中的B节点通常被称为动态节点（或存储节点）。动态节点是一个高阻节点，对噪声敏感（见例3.4）。

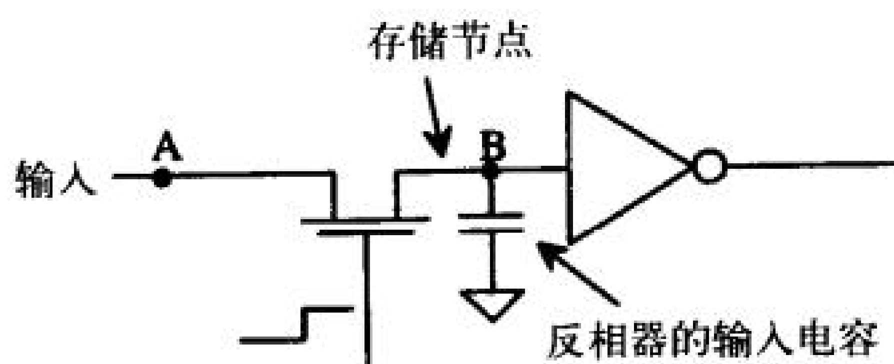


图14-1 动态电路实例及其存储电容

14.1.1 电荷泄漏

考虑图14-2所示存储节点的细节图。实际上，与这个节点有关的泄漏通路就是MOS管漏端（或源端）的n+/p衬底二极管。根据图中给出的电路图，可以得到泄漏电流为：

$$I_D = I_{leakage} = I_S(e^{-V_B/nV_T} - 1) \tag{14-1}$$

式中，V_B是存储节点与地之间的电压（假设衬底是零电位）。由BISM模型参数可求得标称电流I_S:

$$I_S = AD \cdot JS \tag{14-2}$$

为了简化计算，假定泄漏电流等于标称电流，即：

$$I_{leakage} = I_S = AD \cdot JS \tag{14-3}$$

则节点的放电速率由下式给出：

$$\frac{dV}{dt} = \frac{I_{leakage}}{C_{node}} = \frac{AD \cdot JS}{C_{node}} \tag{14-4}$$

节点电容由三部分构成：反相器的输入电容、连接反相器和传输管的金属或多晶硅连线与地之间的电容、传输管漏极扩散区到衬底的耗尽层电容。在实际应用中，一般假设节点电容就

是反相器的输入电容，即：

$$C_{node} \approx C_{in}\ \text{（是反相器的输入电容）} \tag{14-5}$$

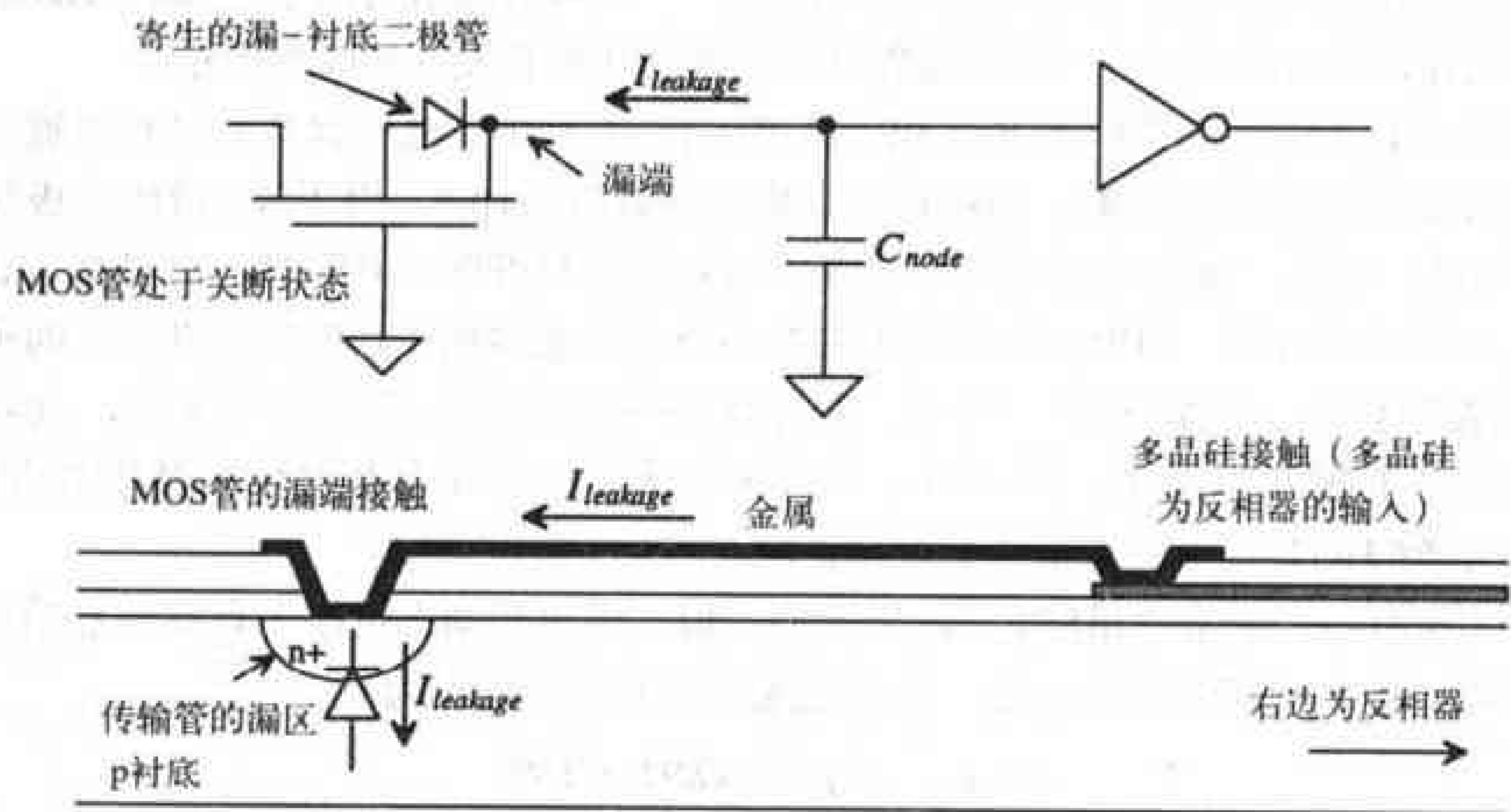


图14-2　漏-衬底二极管引起的存储电荷泄漏

276

例14.1

估算图Ex14-1中50fF电容的放电速率。假定图中MOS管的源区和漏区面积为6 × 6μm²。

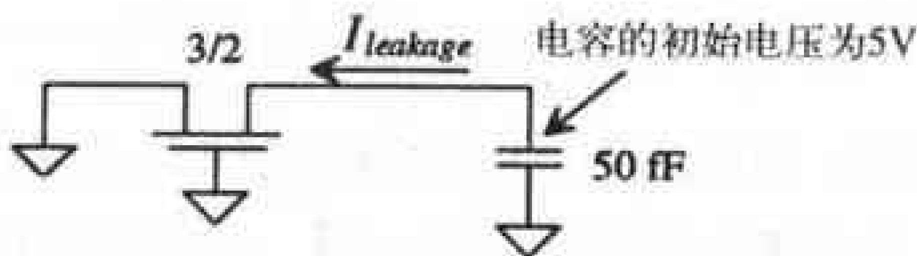


图　Ex14-1

由BISM参数知：$JS = 10^{-8}\ \text{A/m}^2$，所以，泄漏电流约为：

$$I_{leakage} = AD \cdot JS = 36\text{p} \cdot 10^{-8} = 360 \times 10^{-21}\text{A}$$

电容的放电速率为：

$$\frac{\text{d}V}{\text{d}t} = \frac{360 \times 10^{-21}}{50\text{fF}} = 7.2\ \mu\text{V/s}$$

计算结果说明：该电容的放电速率很慢。实际上，由于MOS管栅-源电压不为零，存在亚阈值电流可以增加放电速率。同时，本例所用的JS值是附录A中BISM模型给出的JS值（$=10^{-8}\ \text{A/m}^2$），它是SPICE的缺省值；这意味着提取SPICE模型参数时没有测量泄漏电流值。因此，上述计算结果存在误差。

■

14.1.2　动态电路的仿真

由于要考虑电路中存在的数值极小的泄漏电流，所以，仿真动态电路有一定难度。首先，用SPICE仿真任一电路时，SPICE会在每个PN结及MOS管的源和漏之间加一个电阻，该电阻对应的电导值由GMIN参数设定。GMIN参数的缺省值是10^{-12}mhos，对应1TΩ的一个电阻。由

GMIN的缺省值知，当存储节点的电压为5V时，泄漏电流为5pA。当然，随着存储节点电压的逐渐下降，泄漏电流也会相应减小。例14.1计算得到的泄漏电流为360×10^{-21}A，是根据GMIN缺省值求得的泄漏电流（5pA）的百万分之一。GMIN的值可以通过.OPTIONS命令设定为一个比较小的值（如10^{-15}），但是这会使得收敛时间延长或导致收敛困难。

ABSTOL（电流精度）、RELTOL（相对精度）和VNTOL（电压容差）参数能够影响仿真精度，并有可能导致错误的结果。ABSTOL参数的缺省值为1pA。由于漏-衬底二极管的泄漏电流远小于1pA，因此，要减小ABSTOL的值。如果设定ABSTOL=1E-21，对提高仿真精度有很大帮助。在仿真过程中，SPICE会用较大的ABSTOL值或者RELTOL与仿真电流的乘积来决定是否已经收敛到某一特定电流。因此，为了使SPICE仿真结果接近手算值，也应该减小RELTOL的值。由此可注意到，VNTOL、ABSTOL和RELTOL参数对仿真精度有直接影响，而电荷容差参数CHGTOL对仿真精度无直接影响。

277

在实际的仿真中，通常采用SPICE给出的缺省值，来得到动态电路中存储节点的放电时间的保守估算值。对于VDD=5V的电路，泄漏电流和放电速率分别为:

$$I_{leakage} \approx 5\ pA = VDD \cdot GMIN \tag{14-6}$$

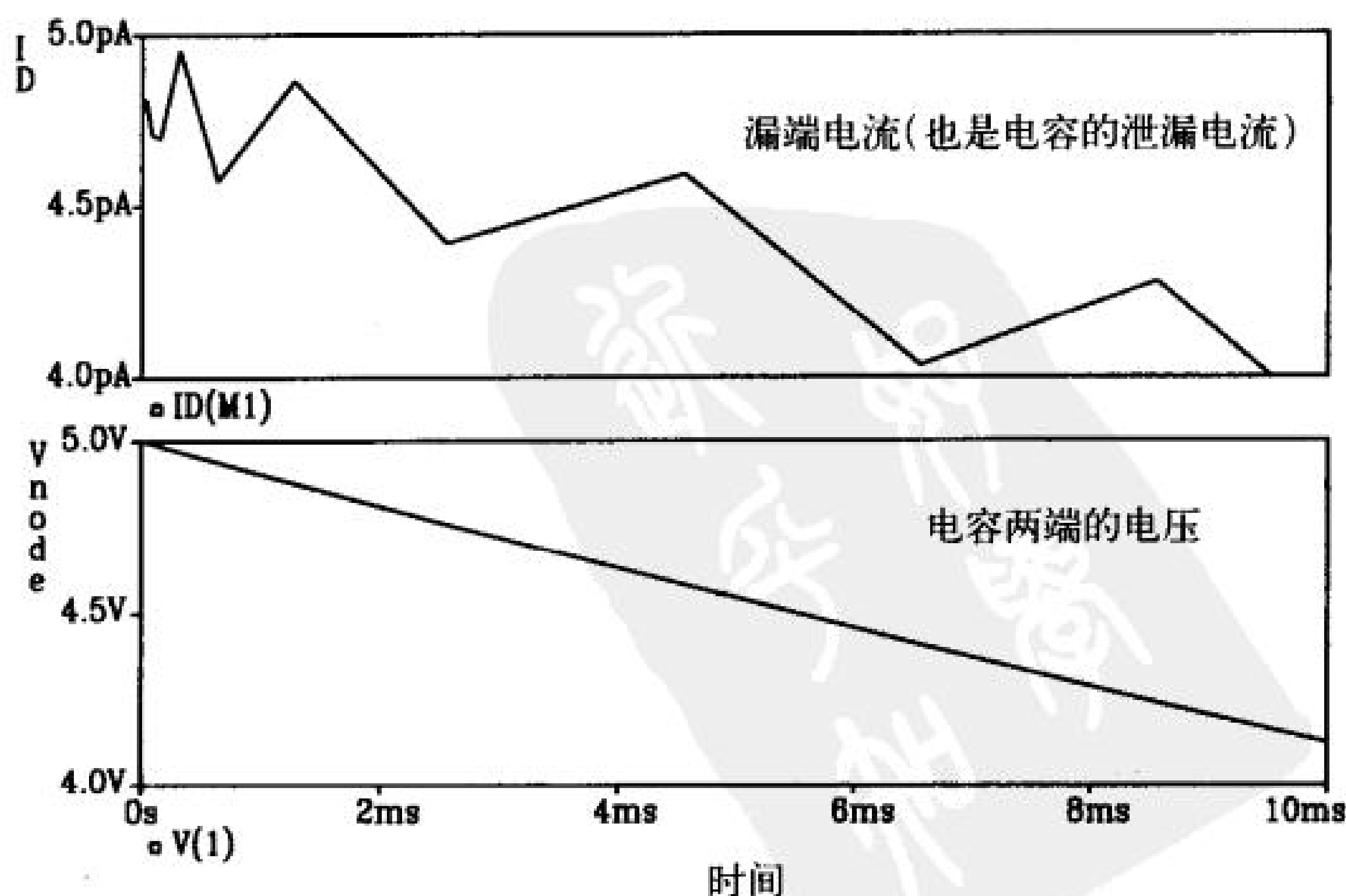
$$\frac{dV}{dt} = \frac{5\ pA}{C_{node}} = \frac{VDD \cdot GMIN}{C_{node}} \tag{14-7}$$

当C_{node} = 50 fF时，存储节点上的电压下降1V的时间约为10ms；如果1V是节点电压可以下降的最大值，则电路的最小时钟频率为100Hz。下面的例子说明了GMIN在仿真动态电路时的重要作用。

例14.2

仿真例14.1中的电路。用GMIN的缺省值来估算电容的放电速率。

由公式(14-7)知，当GMIN等于10^{-12}mhos时，电压下降1V的时间是10ms。图14-3给出了SPICE仿真结果。观察仿真结果会注意到，泄漏电流波形呈锯齿状，这是SPICE所采用的数值迭代算法导致的。仿真得到的电流值会以小于ABSTOL的值（1pA）变化。在大多数仿真中，我们并不在意这种小电流的变化。 ■



278

图14-3　电容放电的仿真结果

14.1.3 不交迭时钟的产生

考虑图14-4给出的传输管和反相器构成的电路，该电路也被称为动态移位寄存器。当ϕ_1为高电平时，寄存器的第一级把输入传送到节点A0，寄存器的第三级把A1传送到A2；此时，如果ϕ_2为低电平，则数据不能从A0传送到A1，也不能从A2传送到A3。当ϕ_1是低电平、ϕ_2是高电平时，数据从A0传送到A1，从A2传送到A3。如果ϕ_1、ϕ_2同时为高电平，则相当于移位寄存器的输入和输出直接连在一起了，这是在使用移位寄存器时不希望出现的情况。NMOS传输管在传输高电平时有阈值电压损失，传输管之间的反相器的作用就是电平恢复。图14-4中每级移位寄存器的输出是输入的“反”，要使输出等于输入，只需在每级中使用两个反相器即可。此动态电路中的时钟是不能交迭的，或者说：

$$\phi_1 \cdot \phi_2 = 0 \tag{14-8}$$

在时钟信号的转换之间应该有一个时间上的死区，即图14-4中标记为Δ的部分。时钟信号的上升和下降不能同时发生。

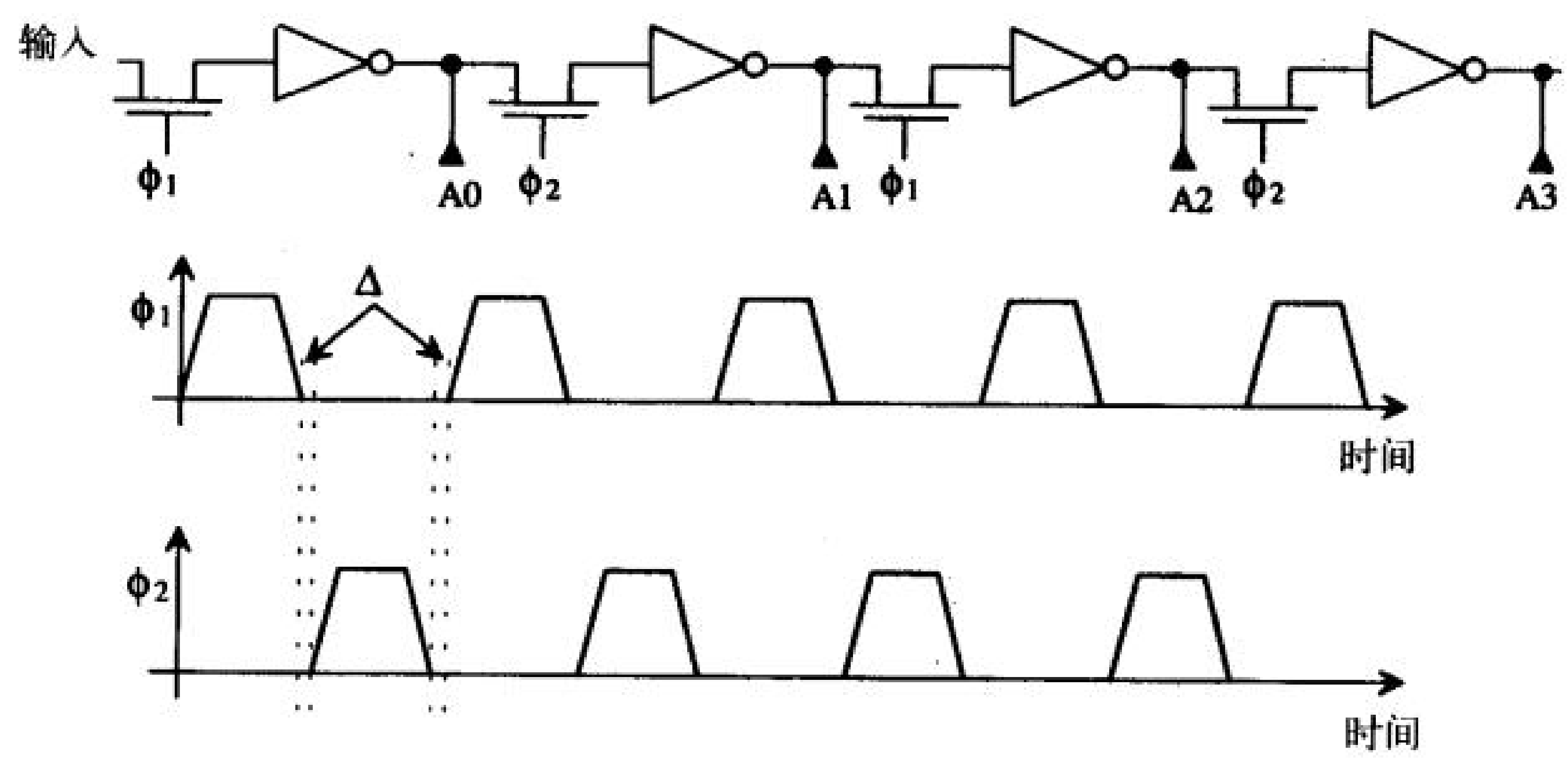


图14-4　带两相不交迭时钟信号的动态移位寄存器

279

由于动态移位寄存器的设计和版图都很简单，所以，我们重点讨论时钟信号ϕ_1和ϕ_2的产生。值得说明的是，一个简单的逻辑反并不能产生不交迭的时钟信号。

考虑图14-5给出的不交迭时钟信号的产生电路。这个电路利用一个时钟信号生成了一个两相不交迭时钟。死区的大小由与非门和与非门输出端所连接的两个反相器的延迟决定。当时钟信号是高电平时，则使ϕ_1为高电平、ϕ_2为低电平；当时钟信号转换为低电平时，ϕ_1先变为低电平，接着经过一定延迟后ϕ_2才变为高电平。当驱动多晶硅这样的长传输线时，信号的上

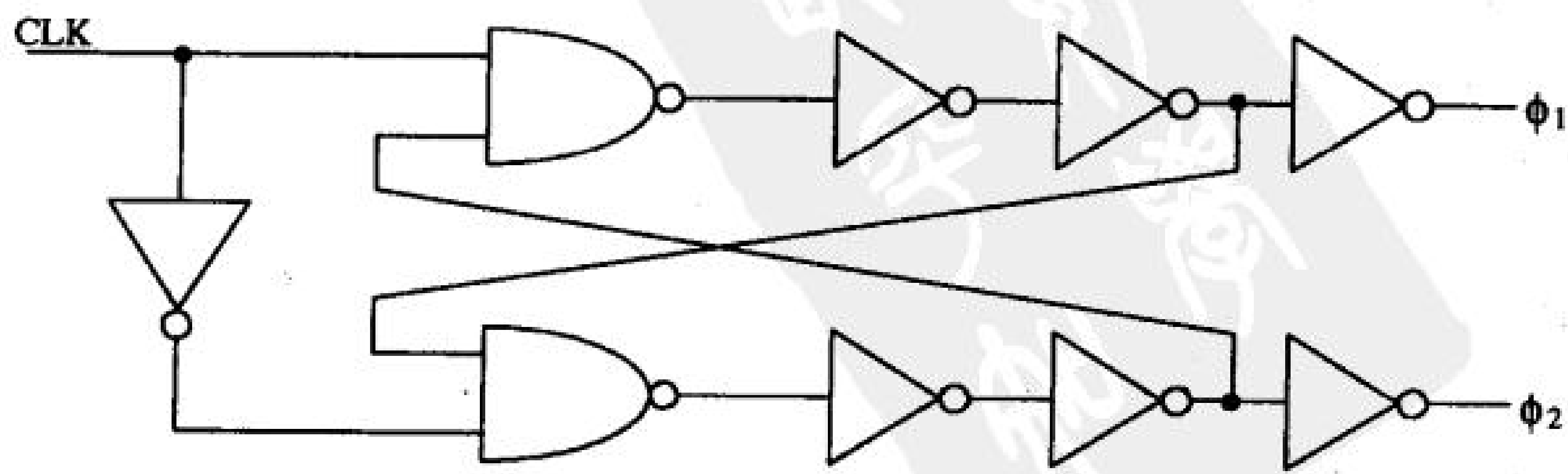


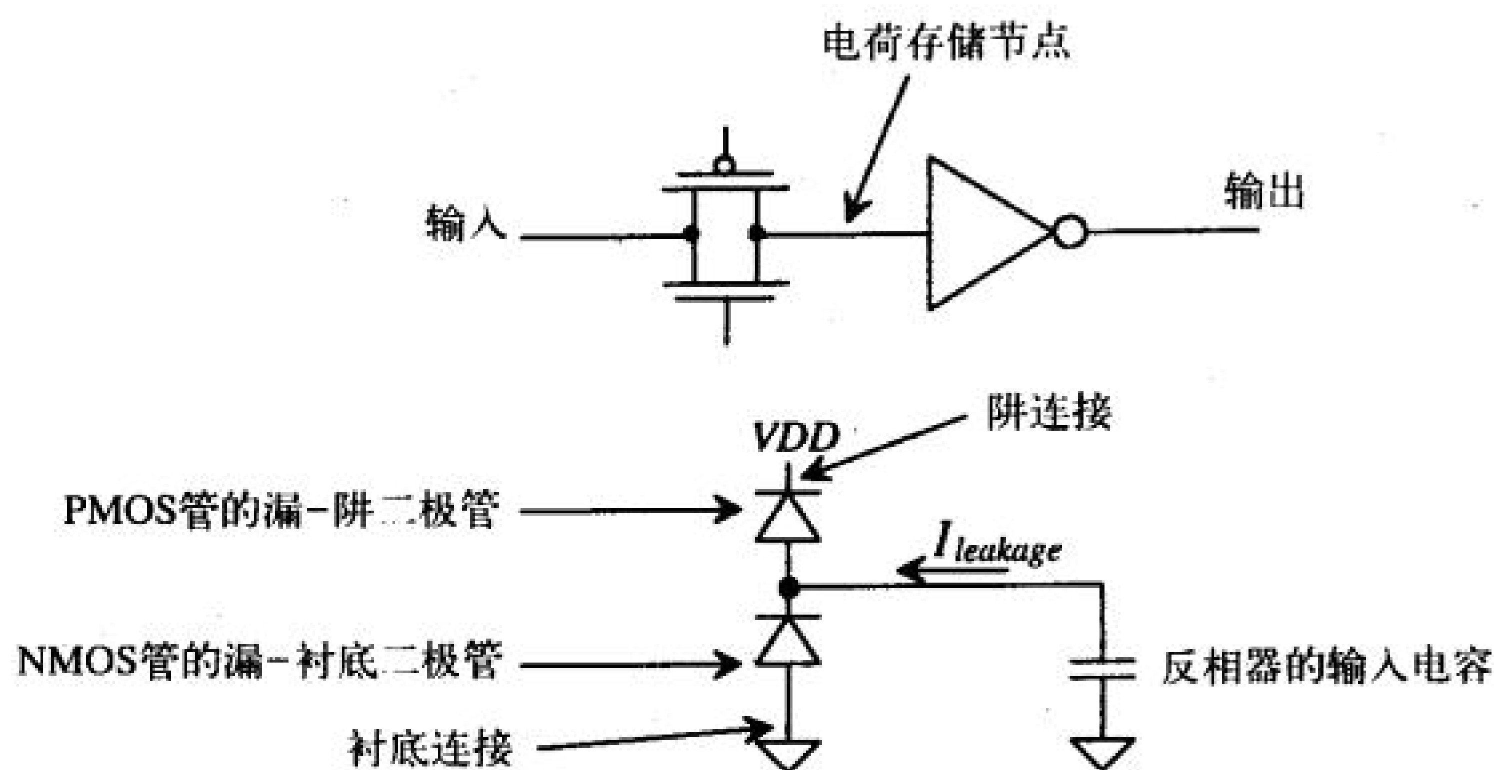
图14-5　两相不交迭时钟信号的产生电路

升时间会很长，就需要较多的反相器来提高驱动能力，缩短上升时间。当用反相器链驱动大电容时，经过该反相器链的延迟可以作为不交迭时钟产生电路所需延迟的一部分。

14.1.4 动态电路中的CMOS传输门

在动态电路中，CMOS传输门用作开关，控制对存储节点的充放电，如图14-6所示。由于反相器输入电容的充放电过程与第13章已讨论过的很多内容相同，因此，我们不再把分析重点放在这方面，而是重点讨论传输门中的电荷泄漏。

由图14-6可以看出，反相器输入电容上的电荷泄漏主要是由传输门中PMOS管漏端和阱之间的寄生二极管和NMOS管漏端和衬底之间的寄生二极管引起。如果这两个寄生二极管的泄漏电流相等，则存储节点的泄漏电荷为零。通常认为，NMOS传输管的分析结果可直接用于CMOS传输门，即：泄漏导致存储节点电压变化1V所用的时间为10ms。与NMOS传输管不同的是，CMOS传输门中的存储电荷既可以泄漏到*VDD*，也可以泄漏到VSS，这取决于漏区面积和泄漏电流的大小。



280

图14-6　把CMOS传输门用于动态电路中

14.2 时钟控制的CMOS逻辑

时钟控制的CMOS（Clocked CMOS，C^2MOS）逻辑的主要优点是可以降低功耗，减小版图面积并提高速度。对于n输入的逻辑门，标准的CMOS静态电路需要2N个MOS管；而C^2MOS逻辑门只需要N+2个MOS管（其中有两个MOS管用于时钟控制）。也可以在C^2MOS逻辑门中再加一些MOS管，用作缓冲器，或者使逻辑门的操作更稳定。

时钟控制的CMOS锁存器

考虑图14-7所示电路，它所实现的功能是动态锁存器，与图14-6中电路的功能类似。当时钟输入信号ϕ_1为高电平时，输入信号反相后送到输出端。当ϕ_1为低电平时，输出为高阻态，输出节点是一个对信号馈通非常敏感的高阻节点，因此，与静态电路相比，C^2MOS逻辑门的版图设计非常重要；特别是不能在输出节点上布其他信号线，否则，C^2MOS逻辑门的输出就不能稳定。当ϕ_1是高电平时，锁存器锁存输入信号，输出节点的电容被充/放电。C^2MOS逻辑门也存在电荷泄漏，其泄漏机理与前面讨论的CMOS传输门的泄漏机理相同；存在电荷泄漏时，要使逻辑门能正常工作，其时钟频率的最小值约为100Hz。用C^2MOS逻辑门实现移位寄存器

也需要不交迭时钟，总共需要四个时钟信号，即：ϕ_1、ϕ_2和它们的反相时钟。

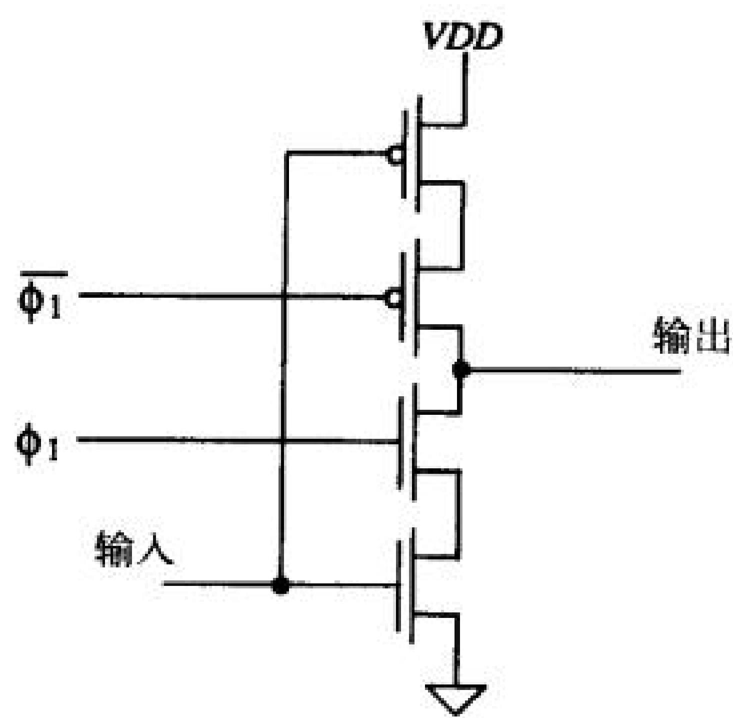


图14-7 时钟控制的锁存器（时钟可用RS触发器产生，使它们同时翻转）

PE逻辑

接下来讨论预充-求值逻辑（Precharge-Evaluate Logic），简称为PE逻辑。考虑图14-8所示三输入与非门。该与非门的工作原理与输入时钟信号有关。当ϕ_1是低电平时，通过M5管把输出节点电容充电到VDD，这是预充阶段；当ϕ_1为高电平时，M1管导通，M5管关断，如果A0、A1、A2都是高电平，则输出被下拉到低电平，这是求值阶段。只有在ϕ_1为高电平时，输出才有效。因此，PE逻辑的主要缺点是输出只在部分时间段内有效，另一部分时间段要用于预充；这和静态逻辑门不同。

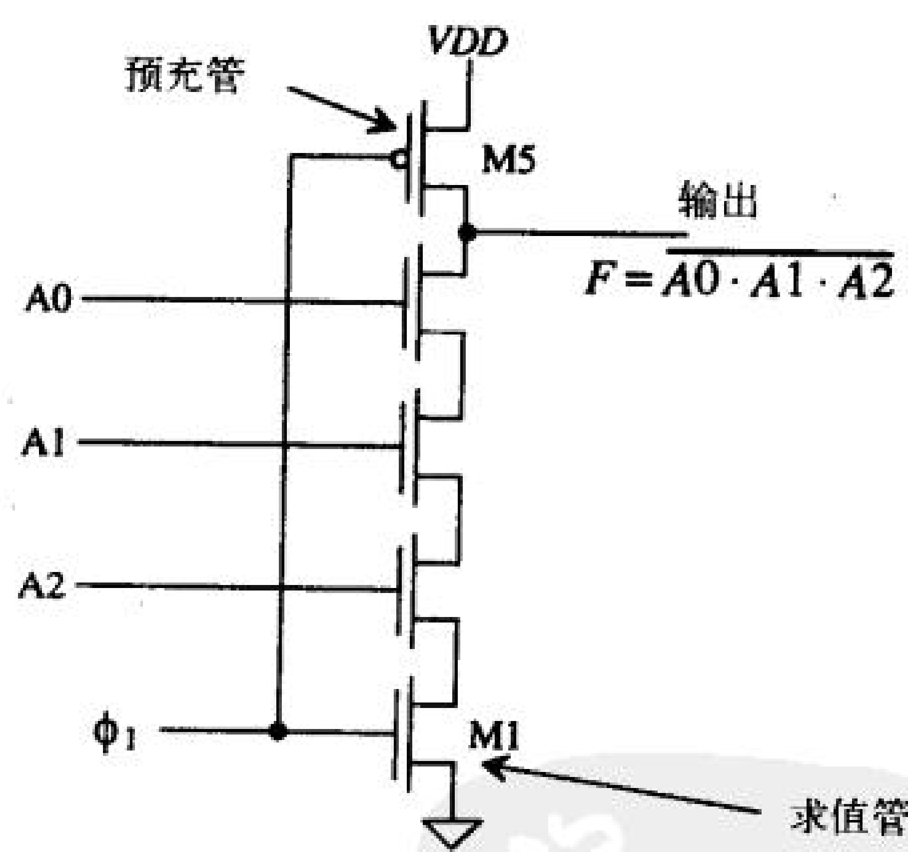


图14-8 预充-求值的三输入与非门

281
~
282

尽管如此，PE逻辑有几个重要优点，包括：PE门的输入电容比静态逻辑门的输入电容小。PE门的每个输入只接一个MOS管，而静态逻辑门的每个输入要接两个MOS管。因此，PE门速度快、功耗小。

由于PE逻辑门不要求有对称的转换点电压，因此，各MOS管之间在尺寸上没有比值要求。PE逻辑门中没有互补器件，并且在每个周期中，有一半时间输出被上拉到高电平，因此，PE逻辑中转换点电压没有实际意义。但是，对于一定的负载电容，要合理设计MOS管的尺寸，使电路满足速度要求。如果图14-8中的所有NMOS管的尺寸相同，则t_{PHL}约为$4R_nC_{node}$，t_{PLH}约为R_pC_{node}，

其中C_{node}为输出节点的总电容（包括互连线电容和下一级的输入电容）。这里，我们忽略了一组串联MOS管本身所固有的传输线效应和转换速度。图14-9给出的是用PE逻辑实现的一个稍复杂的逻辑函数，即 $F=\overline{A0+A1\cdot A2+A3\cdot A4}$。

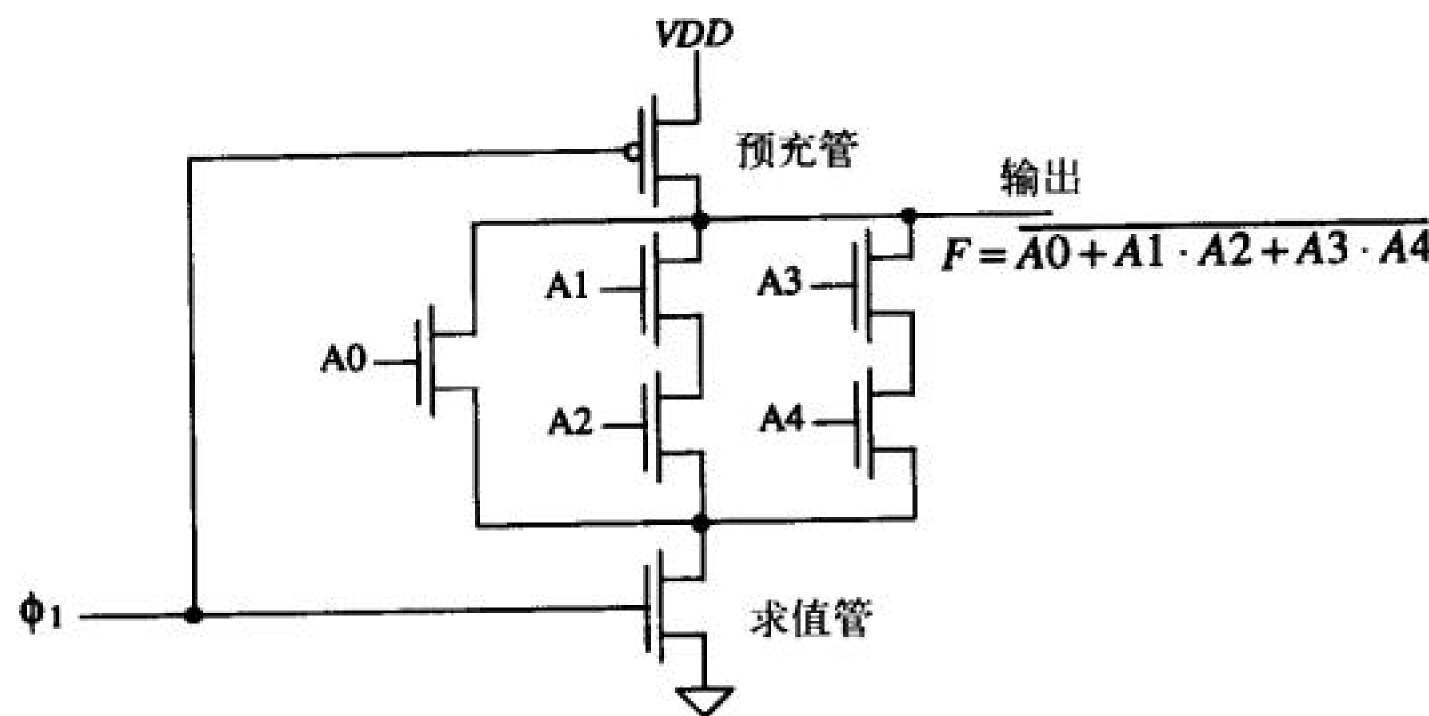


图14-9 一个复杂的PE逻辑门

多米诺逻辑（Domino Logic）

考虑图14-10中PE逻辑门的级联情形，来分析它的不足之处。在预充阶段（ϕ_1为低电平），每个PE逻辑门的输出都是高电平，高电平连接到了下一级PE逻辑门的输入，使得下一级PE逻辑门中所有NMOS管都导通。在求值阶段（ϕ_1为高电平），假设求值的结果是第二级PE逻辑门的所有输入都是低电平，则第二级PE逻辑门中的所有NMOS管都将被关断，使输出为高电平。但是，ϕ_1时钟由低电平变为高电平后（开始进入求值阶段），需要经过一段时间，第二级PE逻辑门的有效输入才能建立出来；在这段延迟时间内，第二级PE逻辑门中的NMOS管都处于导通状态，从而有可能把第二级PE逻辑门的输出下拉到低电平，产生错误的输出结果。如果在预充阶段，使每一级PE逻辑门的输出都为低电平，则可以消除这种风险。在PE逻辑门的输出端加一个反相器，就可以使预充阶段的各级PE逻辑门的输出为低电平。增加了反相器的PE逻辑门被称为多米诺逻辑。多米诺一词的含义是：对于一组级联的多米诺逻辑门中的每一级逻辑门，只有前一级逻辑门的输出发生了改变，后一级逻辑门的输出才会改变，类似于一组多米诺骨牌的顺序倒塌。如果合理设计多米诺逻辑门中的反相器尺寸，多米诺逻辑门就可以驱动较大的负载电容；这是多米诺逻辑的另一个优点。

283

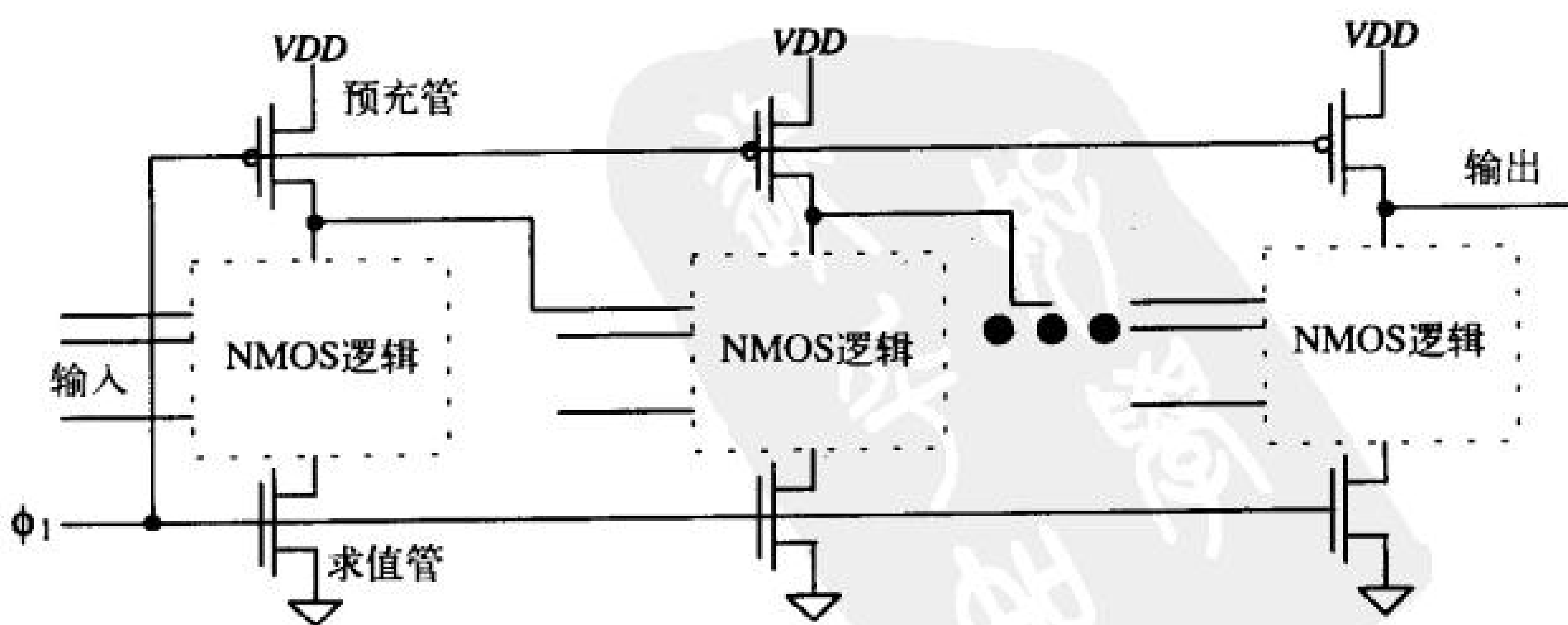


图14-10 级联的PE逻辑门的问题

图14-11中的多米诺逻辑电路也有不足之处。在预充阶段，节点A被充电到VDD。在求值

阶段，如果求值的结果是节点A的电压仍为高电平，则节点处于高阻态，没有直接到*VDD*或地的通路。当节点A为高电平时，电荷泄漏会导致节点A的电压逐渐下降，有可能导致节点A的逻辑值发生改变，引起电路功能错误。图14-12给出的电路就解决了这个问题。当求值结果使得节点A为*VDD*时，为了使节点A的电压维持在*VDD*，增加一个提升PMOS管即可。提升PMOS管的宽长比一般很小，既能提供足够的电流来补偿节点A的泄漏电流，又不影响NMOS逻辑把节点A下拉到低电平。

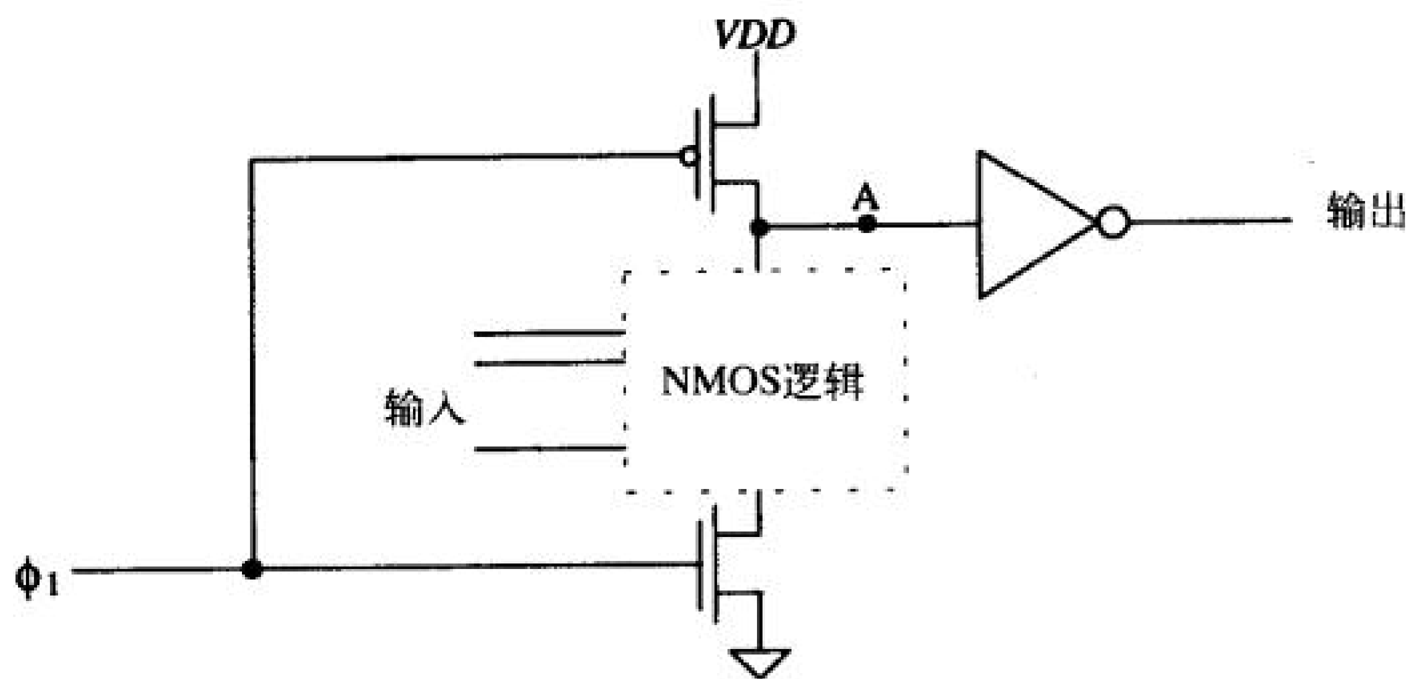


图14-11 多米诺逻辑门

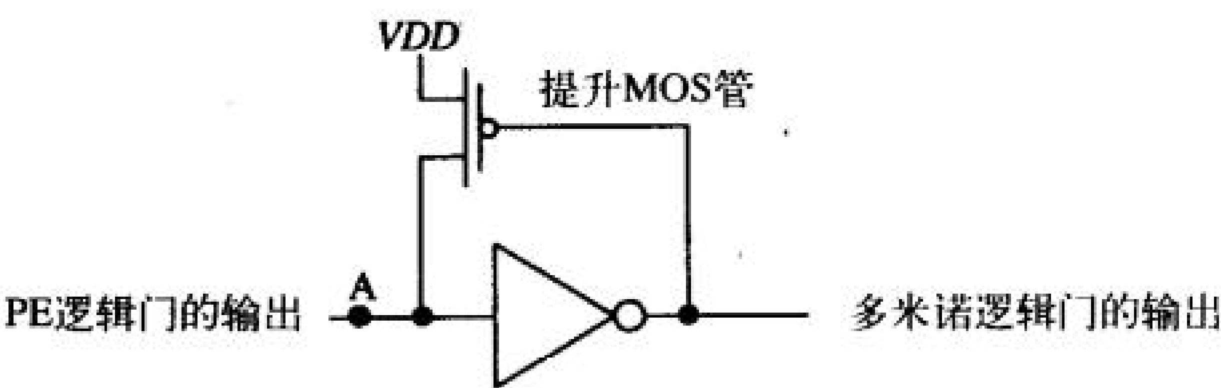


图14-12 多米诺逻辑门中的提升MOS管（当PE门的输出为高电平时，用提升MOS管把图14-11中节点A电压保持在*VDD*）

284

NP逻辑（又称为链式逻辑）

图14-13给出了用NP逻辑实现逻辑函数的基本思想。交替使用NMOS逻辑和PMOS逻辑，可以去掉多米诺逻辑中的反相器以及反相器引入的延迟，从而实现高速操作。NP逻辑可以轻松实现的电路是图12-18中的全加器电路；进位输出电路的NMOS部分用NP逻辑的NMOS部分实现，全加和电路的PMOS部分用NP逻辑的PMOS部分实现。

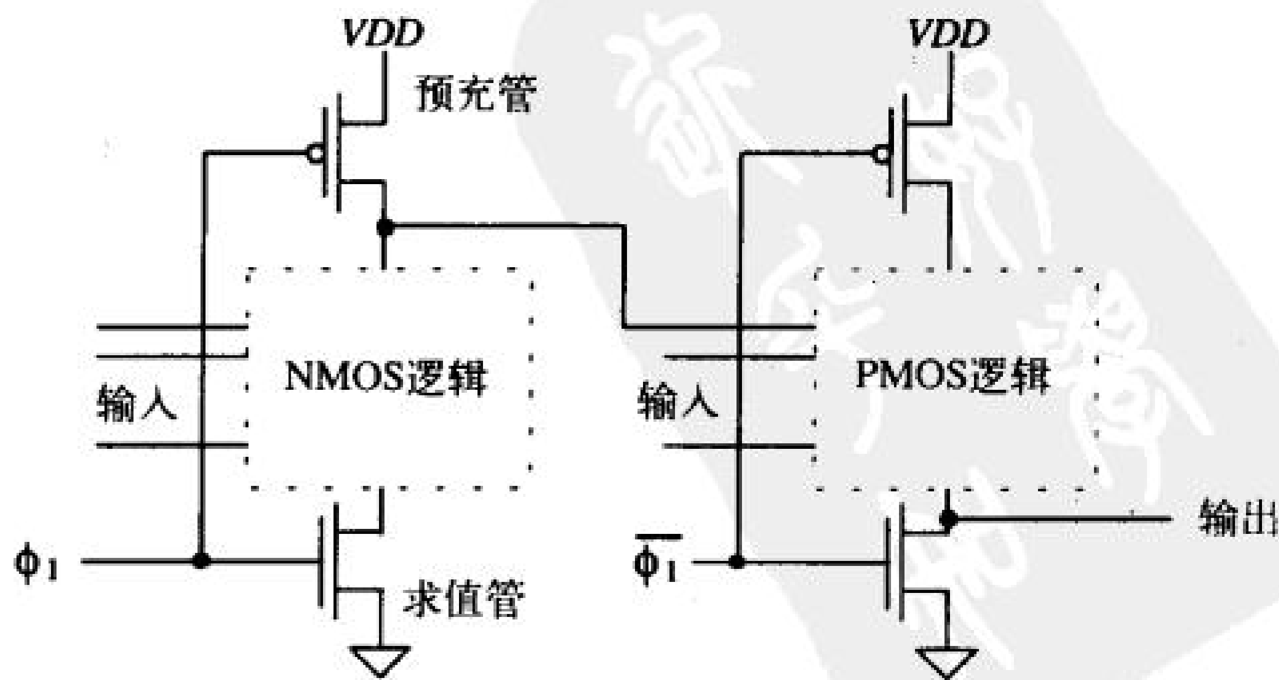


图14-13 NP逻辑

285

流水线

上述NP逻辑加法器在每个时钟周期内只能实现带进位的两个一位数的加。如果采用图14-14所示流水线技术[4]，则可以实现两个四位数的加。在加法器的输入端和输出端，一个4位数的各个位都经过同样的延迟，从而确保全加和的每一位同时到达加法器的输出端。需要注意的是，在每个时钟周期开始时，两个新的四位数被送入加法器的输入端，但是完成这两个数的全部加法运算却需要四个周期。如果图14-14中的电路连续进行全加运算，则可以以较快的速率输入数据；采用CN20工艺设计的这种加法器，每秒钟可输入30M个数。由于图14-14中的电路执行一次全加运算需要四个时钟周期，因此，如果该电路不是用于连续的全加运算，那就会有较大的延迟。

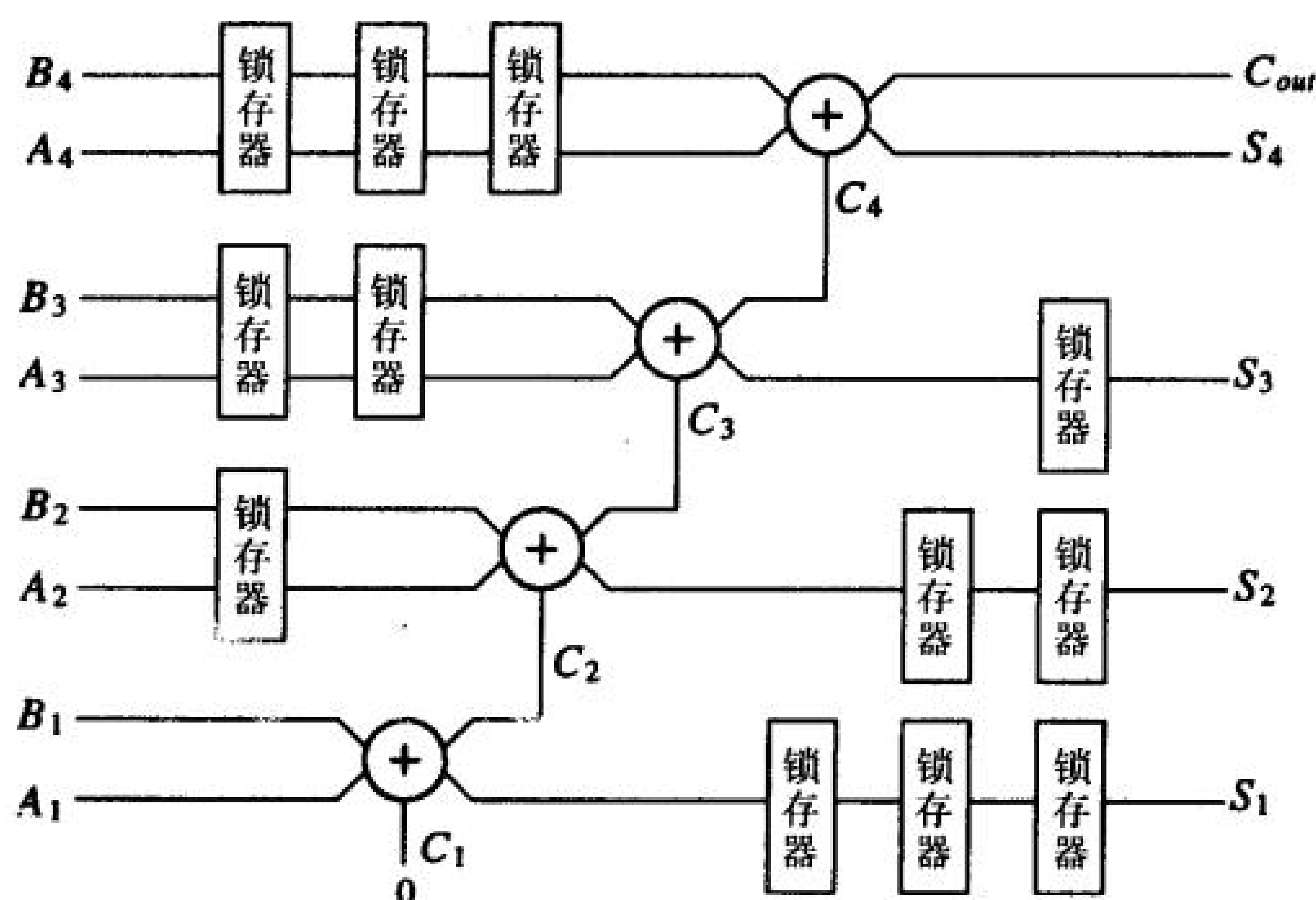


图14-14　流水线加法器（锁存器用作延迟单元）

参考文献

[1] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI-Design Techniques for Analog and Digital Circuits*, McGraw-Hill Publishing Co., 1990. ISBN 0-07-023253-9.

[2] M. I. Elmasry, *Digital MOS Integrated Circuits II*, IEEE Press, 1992. ISBN 0-87942-275-0, IEEE order number: PC0269-1.

[3] J. P. Uyemura, *Circuit Design for Digital CMOS VLSI*, Kluwer Academic Publishers, 1992.

[4] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley, 2nd ed., 1993. ISBN 0-201-53376-6.

[5] J. Yuen and C. Svensson, "New Single-Clock CMOS Latches and Flipflops with Improved Speed and Power Savings," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 1, pp. 62-69, 1997.

习题

除非特别声明，否则均采用CN20工艺参数。

286

14.1 针对GMIN=10^{-9}mhos，重做例14.2。用.OPTIONS语句设置GMIN的值。

14.2 假设输入时钟信号为50MHz，仿真图14-5中的不交迭时钟信号产生电路（所有MOS管取最小尺寸），给出ϕ_1和ϕ_2的波形并注意观察其不交迭特性。

14.3 设计一个PE逻辑门，使其实现逻辑函数 $F=\overline{ABCD+E}$，并进行仿真验证。

14.4 仿真图14-7中的时钟控制锁存器。所有MOS管取最小尺寸。

14.5 如果图14-9中的PE逻辑门驱动一个50fF的电容，估算最坏情况时的t_{PHL}。

14.6 利用多米诺逻辑实现XOR门，并仿真验证其工作原理。

14.7 图P14-7给出的电路是一位高速加法器电路，该电路是用什么逻辑类型实现的？用时序图分析该电路的工作原理。

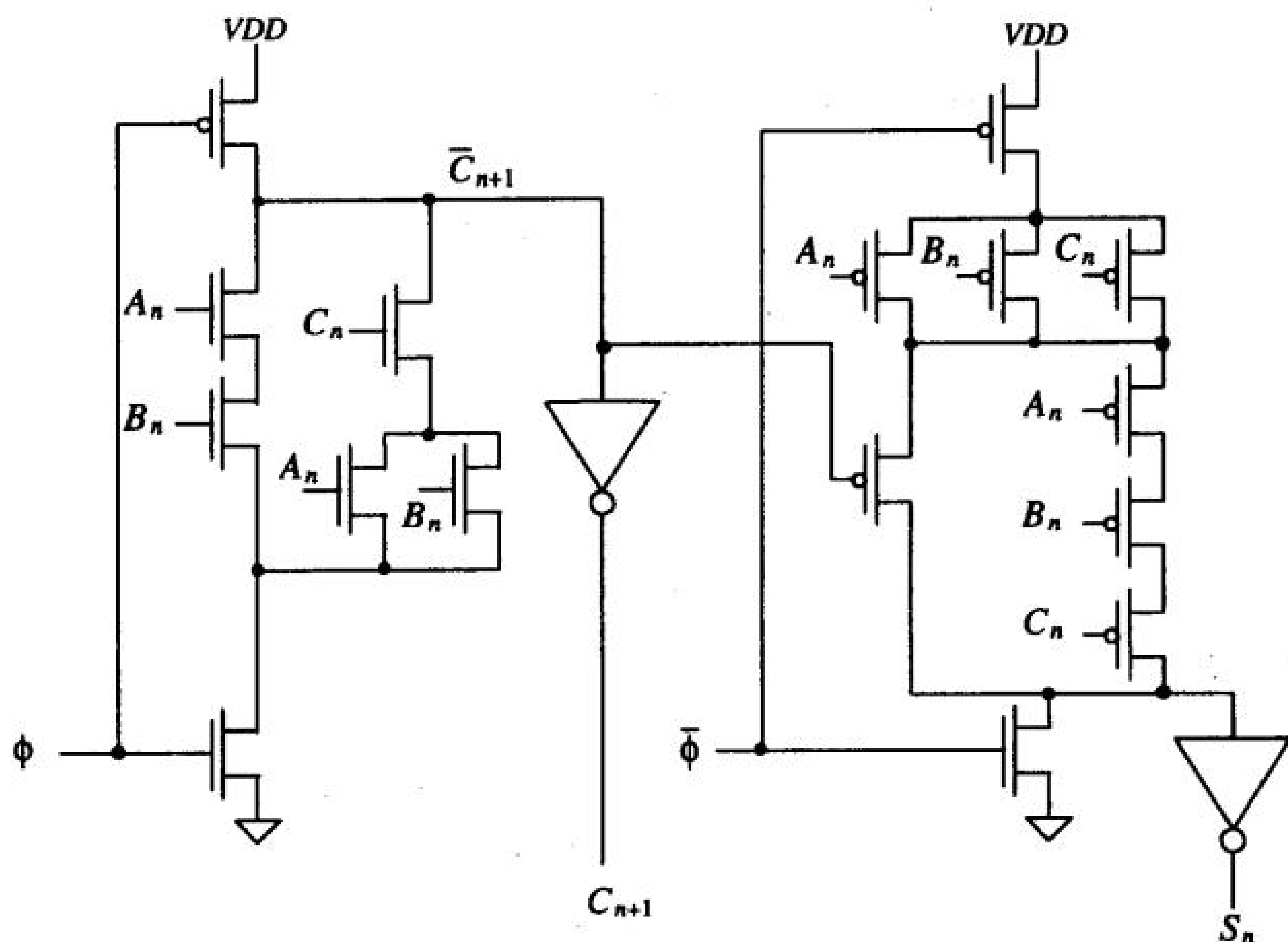


图 P14-7

14.8 用图P14-7中的一位加法器电路实现两位加法器。如果两位加法器电路的时钟信号频率为20 MHz，则实现两个两位数的加需要多少时间？实现两个32位数的加需要多少时间？

287

14.9 画出用NP逻辑实现的半加器电路图。

14.10 设计并画出用PE逻辑实现的全加器电路图。

14.11 仿真验证习题14.10所设计的电路。

14.12 图P14-12给出了移位寄存器中一级的电路，它是用所谓的无比NMOS逻辑（ratioless NMOS logic）实现的（无比的含义是MOS管的尺寸不影响转换点电压）。该电路的版图面积很小，并且输出电压可以为地电位。讨论并仿真该电路的工作原理（注意，ϕ_1和ϕ_2是不交迭时钟信号）。该电路输出电压的最大值是多少？

14.13 分析说明图P14-13所示的动态电路是一个边沿触发器。注意：该电路采用的是单相时钟。

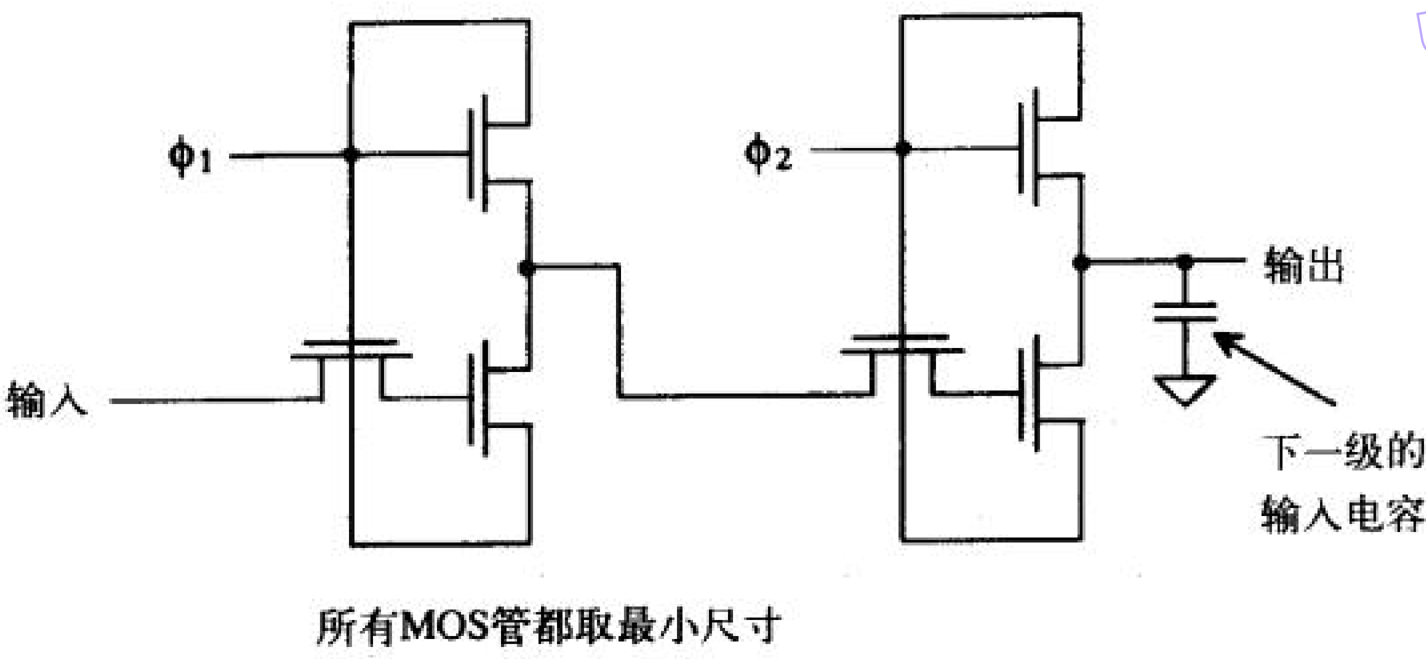


图　P14-12

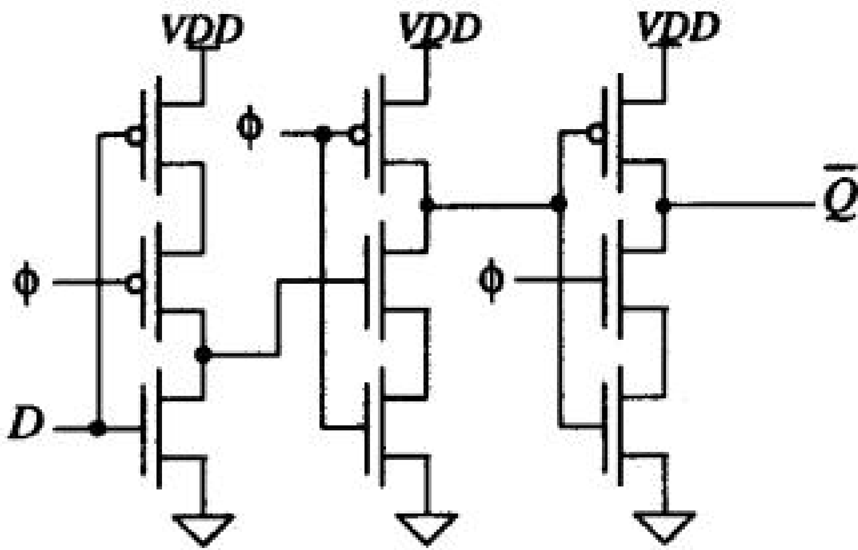


图　P14-13



第15章 VLSI版图设计

前面各章主要关注的是基本逻辑门的设计和版图分析。这一章将讨论芯片中各种逻辑功能的实现；其中，版图的尺寸和结构会重点讨论。一个芯片上MOS管的数目，可以从几十个（如一个运算放大器）到几百万个（如一个256M的DRAM），这取决于它所实现的电路功能。把几千个乃至更多的MOS管集成到一个管芯上的设计过程被称为*超大规模集成*（Very-Large-Scale-Integration，VLSI）设计。

下面以图15-1为例阐明芯片尺寸的重要性。上面的黑点代表缺陷，这些缺陷会使芯片不能正常工作。图15-1a是一个含有九个完整管芯的硅片。硅片周边不完整的管芯是没用的管芯。图中，九个管芯中有五个没有缺陷，可以封装、销售。图15-1b中，管芯的尺寸减小了。这里假设图15-1a和15-1b中的管芯所实现的功能相同。管芯尺寸减小的原因可能是版图设计得更好，也可能是选择了更小特征尺寸的芯片制造工艺（如从2微米工艺改为0.5微米工艺）。图15-1b中，由于缺陷而损失的管芯是五个，而好管芯的个数则要远远大于图15-1a中的五个。较小的管芯尺寸会使成品率（硅片中好的管芯数与管芯总数之比）提高，使更多的管芯可以销售。减小管芯尺寸的另外一个好处是，每块硅片的工艺制造成本没有改变，但增加每个硅片上管芯的数目就减少了每个管芯的成本。

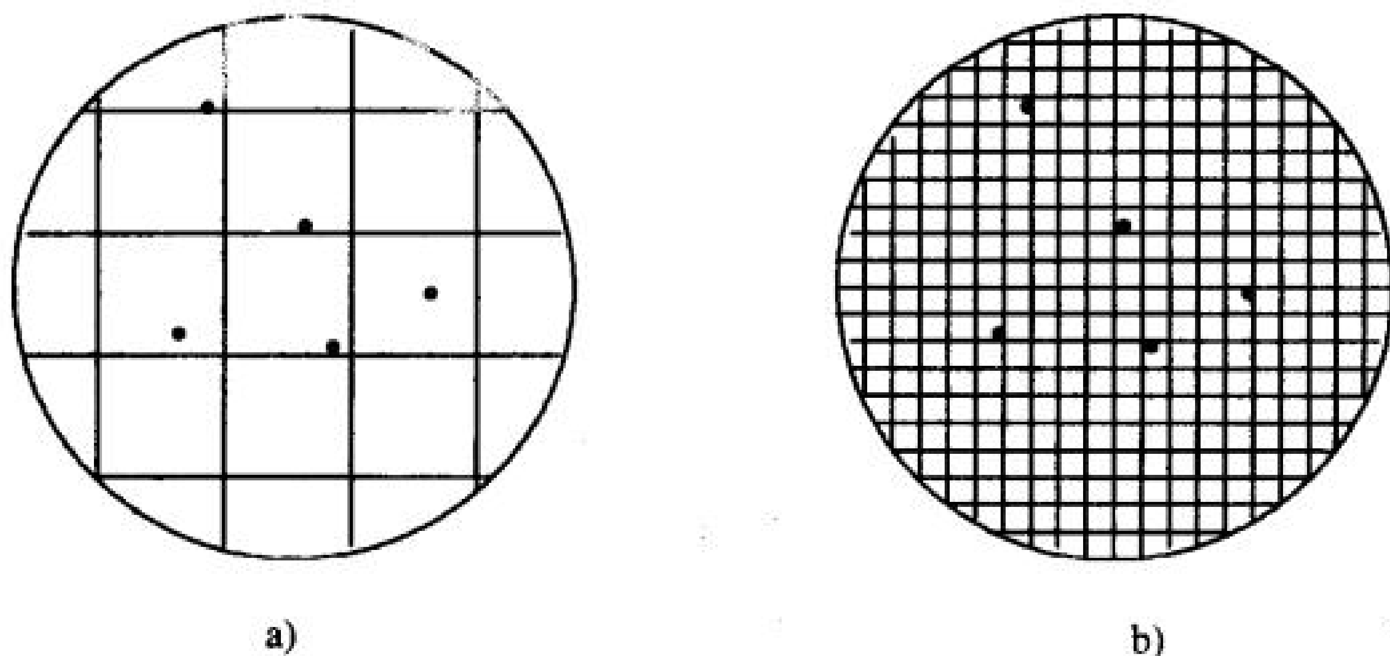


图15-1 缺陷密度对成品率的影响

15.1 VLSI版图

VLSI可以用门阵列、标准单元和全定制设计等多种不同的技术来实现[1]。由于基于门阵列的VLSI设计一般用在需求量少、设计周期短的电路设计中，芯片设计者不需要知道CMOS电路的实际实现过程⊖，因此，这里将主要讨论全定制设计和基于标准单元的版图设计方法。

规整性

设计VLSI芯片版图时比较重要的一点就是版图的规整性。版图中的各单元必须排列规

⊖ 很多大学把可编程逻辑阵列（PLA）作为数字逻辑设计的第一门课，把用硬件描述语句（HDL）设计现场可编程门阵列（FPGA）作为数字系统设计的第一门课。

整。为此，设计芯片版图的第一步就是要做布局规划。图15-2是一个加法器数据通路的版图布局规划。可以把加法器数据通路的布局规划直接放到整个芯片的布局规划中，整个芯片可能包括输出缓冲器、控制逻辑和存储器等模块。这里可能会有一个疑问："如何确定图15-2中这个模块的大小呢？"要回答这个问题，就需要看图15-2中各个模块单元的设计和版图大小。

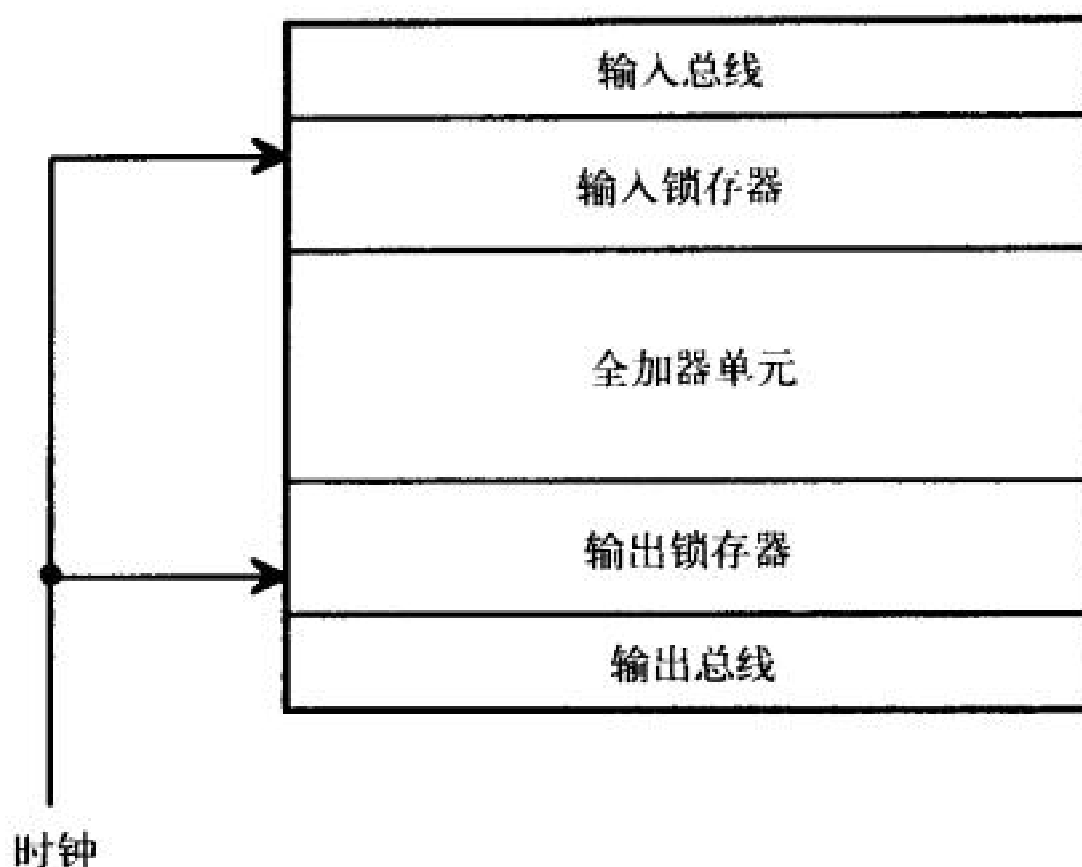


图15-2　一个加法器的布局规划

标准单元的实例

标准单元包括各种逻辑门、触发器、ALU等功能模块，由这些单元构成标准单元库，用于芯片设计。全定制设计的含义就是基于MOS管的设计，基于MOS管的设计是最低层级的设计；标准单元一般都是通过基于MOS管的全定制设计实现的。基于标准单元的设计就是用已设计好的标准单元来实现整个电路系统，设计者只需完成标准单元之间的互连即可。全定制设计和基于标准单元的设计是两种不同的IC设计方法，它们之间的区别可用印刷电路板的设计来类比说明：标准单元类似于电路板上一个个封装好的电路模块，通过把这些封装模块互连起来就完成了整个电路板的设计，因此，基于标准单元的设计类似于印刷电路板的设计，而全定制设计类似于各个封装好的模块的设计。

图15-3给出的是一个反相器的版图[2]。在设计标准单元版图时，除了使版图尺寸尽可能小以外，另一个需要重点考虑的问题是信号的排布。下面总结了设计标准单元版图时应该遵循的原则：

1. 标准单元的输入和输出应该从单元的顶部和底部引出，引出端之间的水平间距应尽量相等。

2. 水平金属线一般都用来提供单元的电源和地，被称为电源线和地线。同时，阱连接和衬底连接（用于提供阱和衬底的偏置电压）应该放在电源线和地线的下面。

3. 单元的高度应该相同；这样，当把一组标准单元水平地无缝拼接在一起时，各单元的电源线和地线就分别连成了一条线。各单元的宽度应尽可能小，但不必要求各单元的宽度都相等，有些单元所实现的功能复杂，宽度会大一些。

4. 单元版图中应标出电源线、地线、输入和输出。另外，应该画出单元的轮廓线，轮廓线可用于单元之间的对齐。

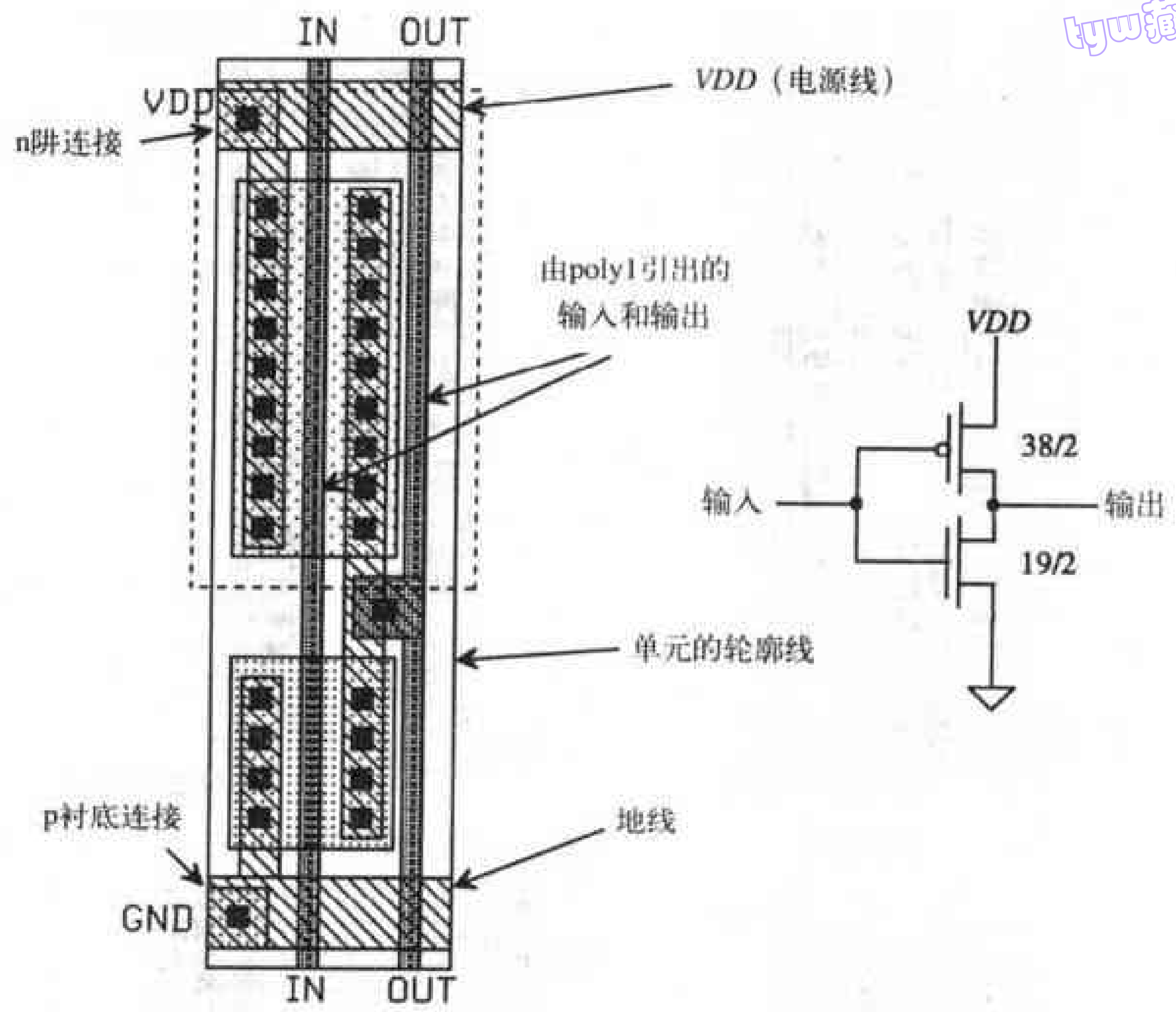


图15-3 反相器单元的版图

图15-4示意了标准单元到总线的连接。图中，垂直走线的多晶硅条可以与水平金属线相交，只要不在交点处做接触孔，多晶硅就没有和金属线实现互连；VLSI版图设计中经常利用这一特性来完成标准单元之间的互连。另外，图中的两个反相器标准单元被无缝拼接在一起，使得两个单元中的电源线和地线自动地连在了一起。

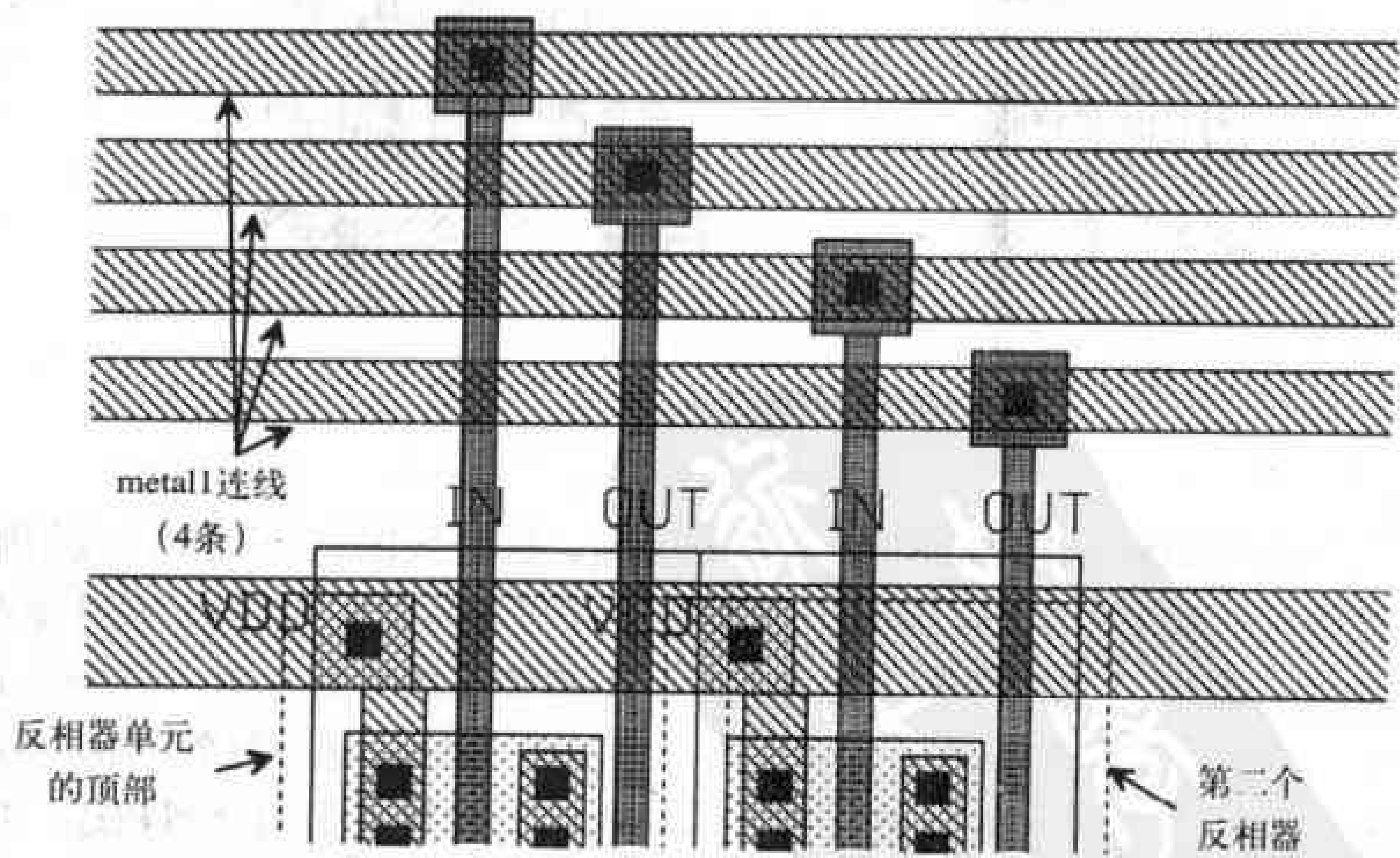
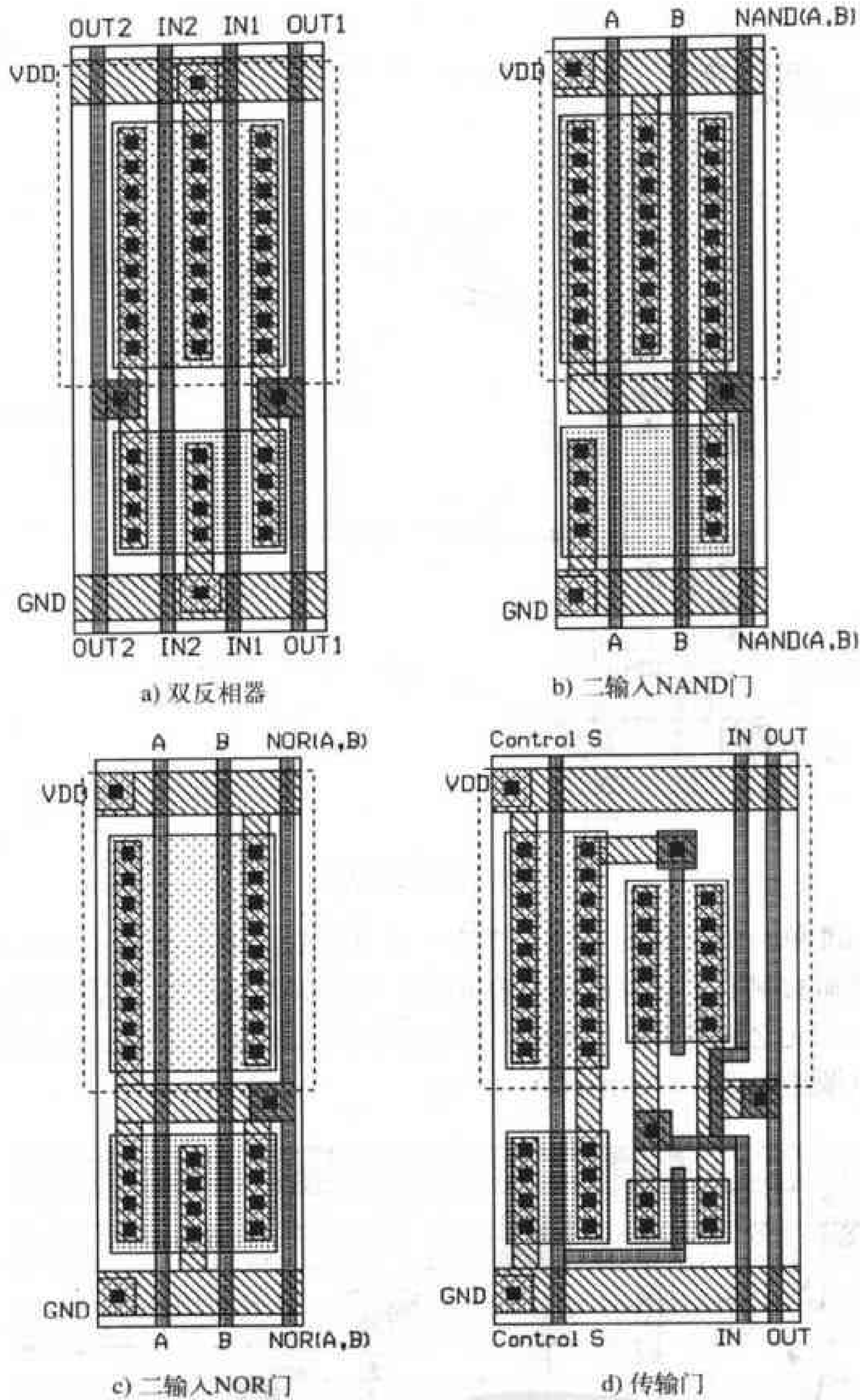


图15-4 两个反相器单元和互连线的连接

图15-5给出了另外一些标准单元的例子，这些单元都是静态逻辑门。图15-5a是一个双反相器单元，图15-5b、图15-5c和图15-5d分别为NAND门、NOR门和传输门。



a) 双反相器　　b) 二输入NAND门

c) 二输入NOR门　　d) 传输门

图 15-5

图15-6是一个用NAND门实现的SR触发器的版图。这个版图和前面讨论过的版图不同；例如，在前面讨论过的版图中，都有metal1和接触孔（与多晶硅栅相邻），并且多晶硅栅都没有被弯曲地摆放过。图15-7给出的是SR触发器中PMOS管版图的放大图。只要多晶硅跨过有源区（n+或p+），就会形成一个MOS管；图中这个MOS管的源端通过两个接触孔与金属相连，两个接触孔以外的源端p+注入区需要通过寄生的p+电阻与接触孔上的金属相连。把栅弯曲摆放，可以减小版图的尺寸（即单元宽度）。由于栅是弯曲摆放，这个PMOS管的沟道宽度要比毗邻的那个PMOS管的沟道宽度长；这种沟道宽度的差异对SR触发器的直流和瞬态特性几乎没有影响，因此，无关紧要。图15-8给出的是用NOR门实现的SR触发器。

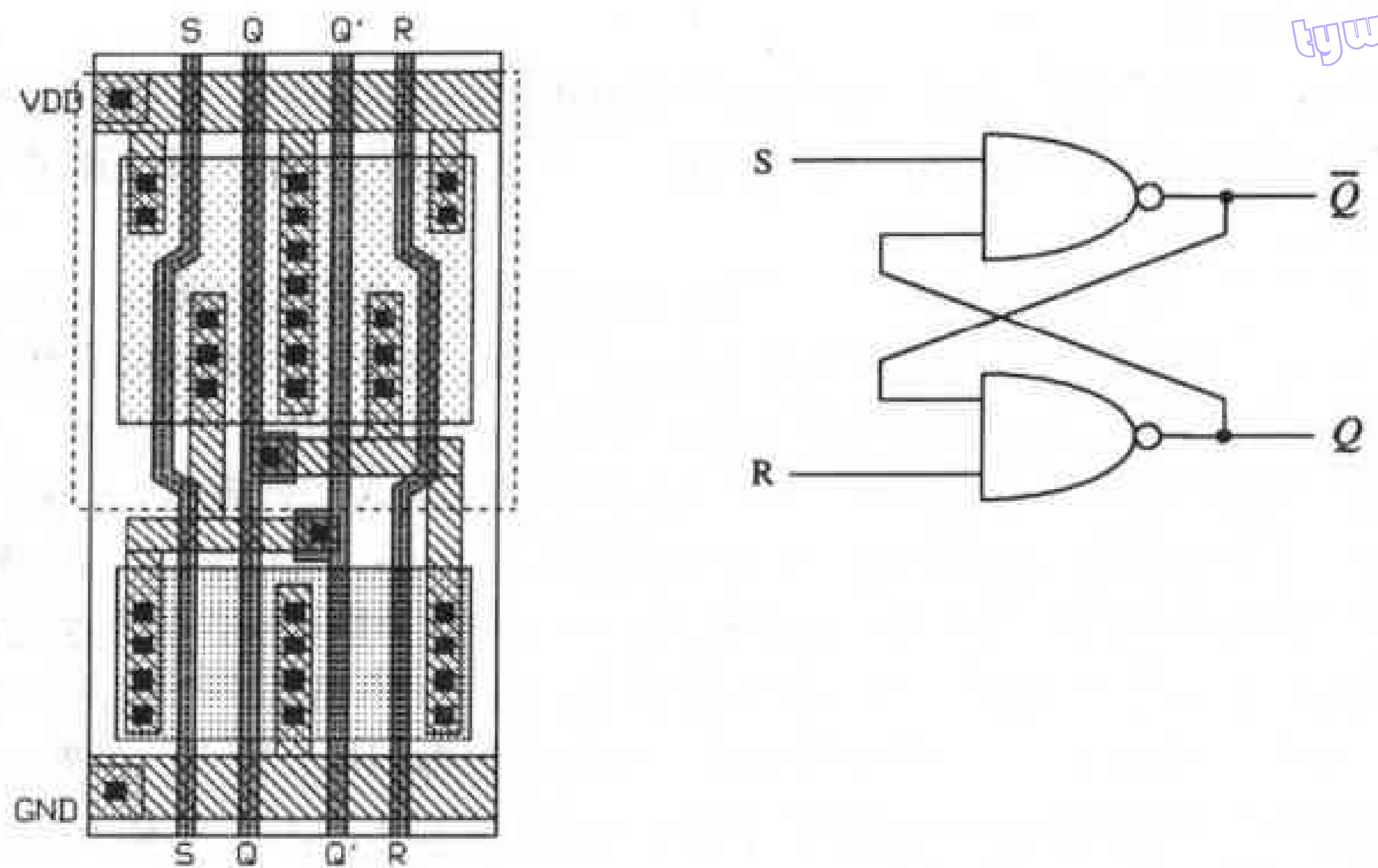


图15-6 用NAND门实现的SR触发器

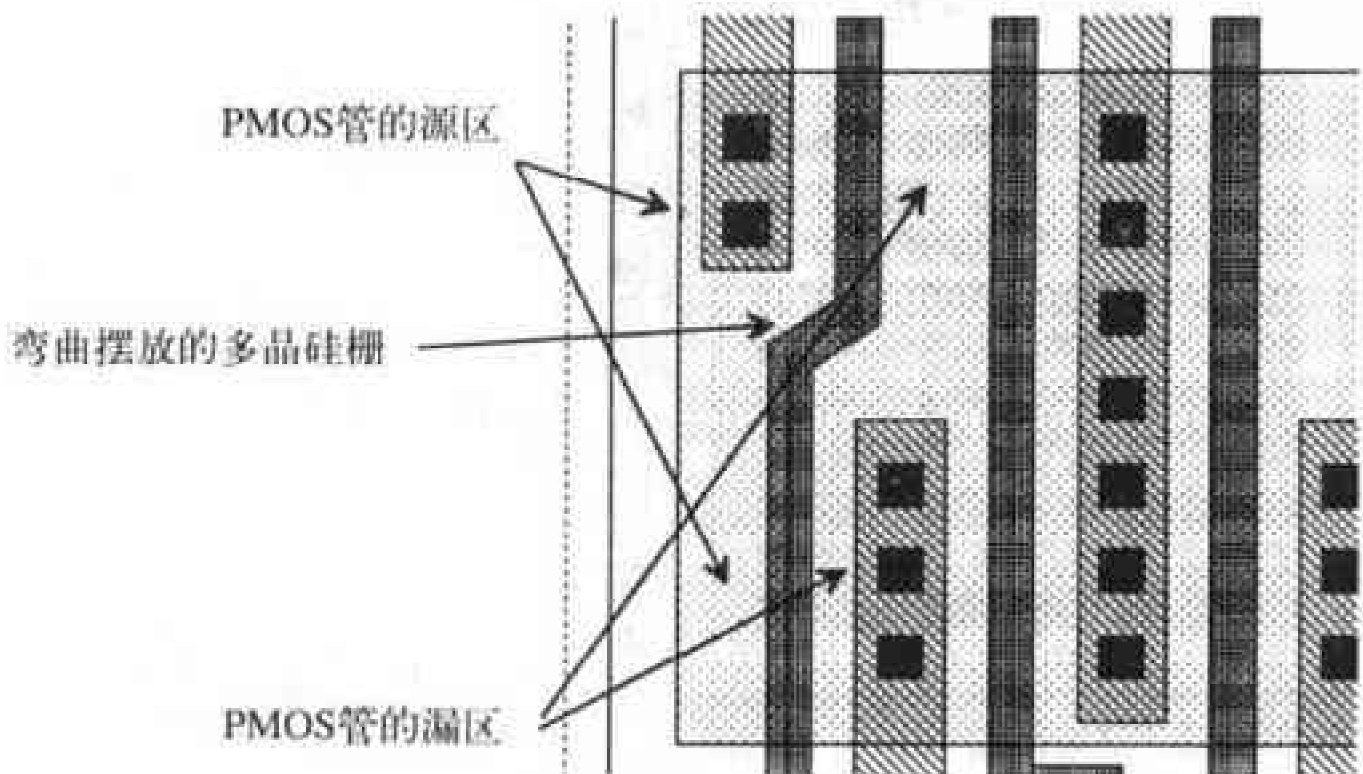


图15-7 图15-6所示版图的一部分

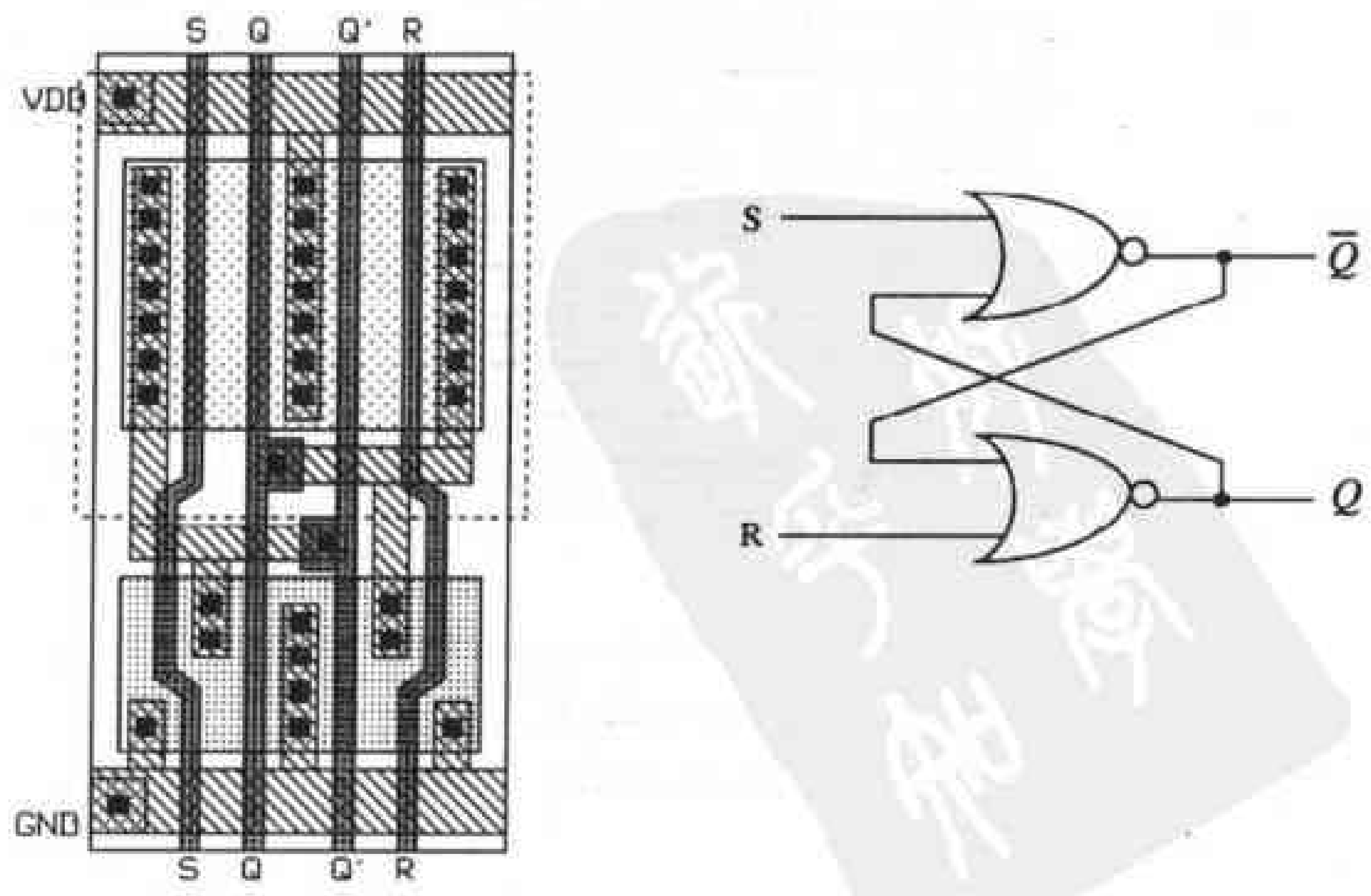


图15-8 用NOR门实现的SR触发器

电源线和地线的分布

在设计整个芯片的版图时，需要合理规划好电源线和地线的分布，否则，电源线和地线会引入很多问题。如果电源线和地线布局不合理，一个电路模块的噪声可以通过电源线和地线耦合到其他电路模块。

考虑图15-9a所示压点框，压点框中的标准单元还没有与电源线和地线相连。图中约有600个标准单元；标准单元行与行之间的区域用来走信号线。电源线和地线的布线规划可以如图15-9b所示；图15-9c给出了电源线和地线分布的片断。A线接标准单元中上面的电源线，B线接标准单元中下面的地线。理想情况下，A线（*VDD*）中的电流流回到B线（地）；实际上，B线和C线之间存在耦合串扰，使得每条线中都存在噪声。增大B线和C线之间的间距，可以减小线间的电感耦合和电容耦合，从而减小耦合噪声。另一种减少耦合噪声的办法是增加A线和B线之间的去耦合电容。图15-10给出了一个标准单元，该单元电路是一个连在*VDD*和地之间的去耦合电容。把该单元插入每一行标准单元中，可以有效抑制耦合噪声。另外，由第3章的讨论知，金属线的寄生电阻会引起电源电压下降，而在电源线和地线之间插入去耦合电容能有效抑制交流信号引起的电源电压下降。

289～295

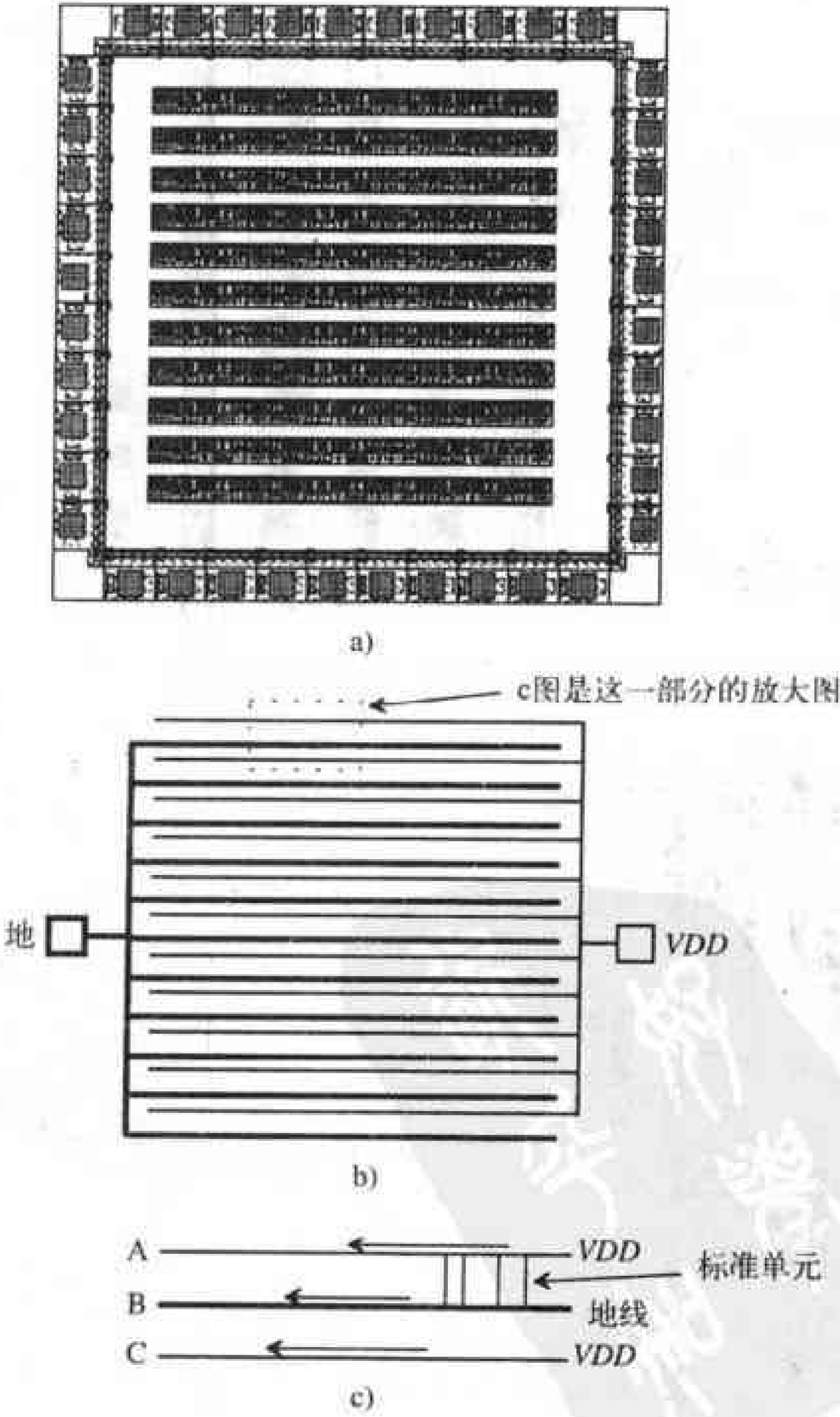


图15-9　电源线和地线与标准单元的连接

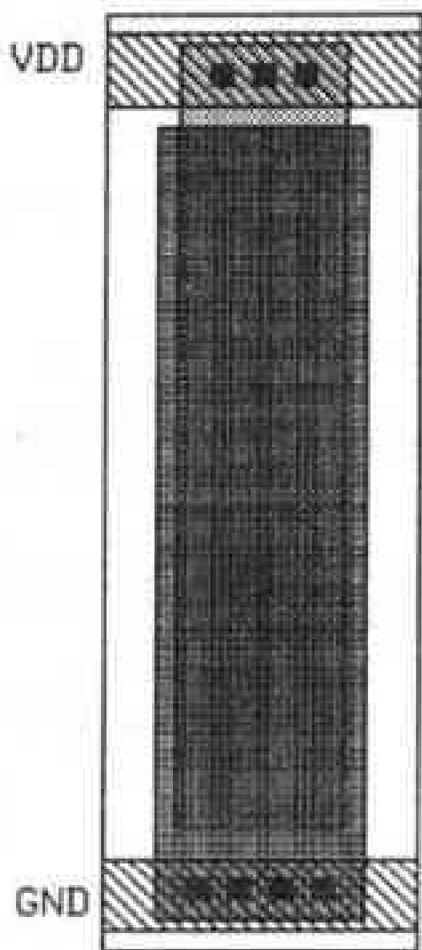


图15-10 去耦合电容

耦合问题不仅存在于电源线和地线之间，也存在于信号线之间。图15-11给出了一个抑制信号间耦合的简单方法。图中，通过改变信号线的走向，减少了两条信号线靠在一起走线的情形，因此能有效抑制信号线之间的耦合。

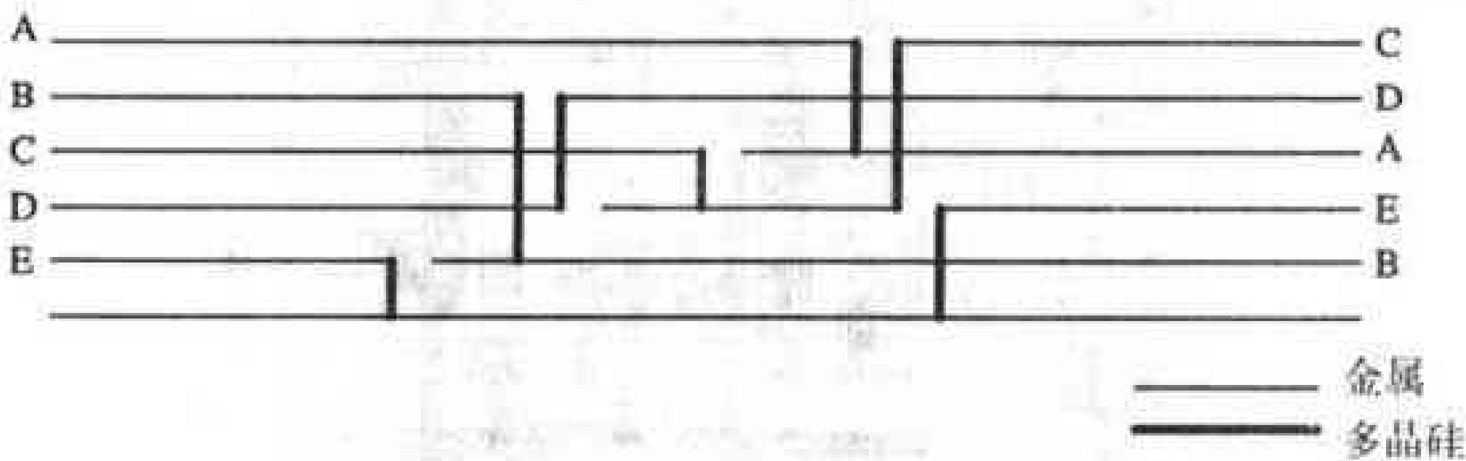


图15-11 用来减小信号线之间耦合的布线方法

296
297

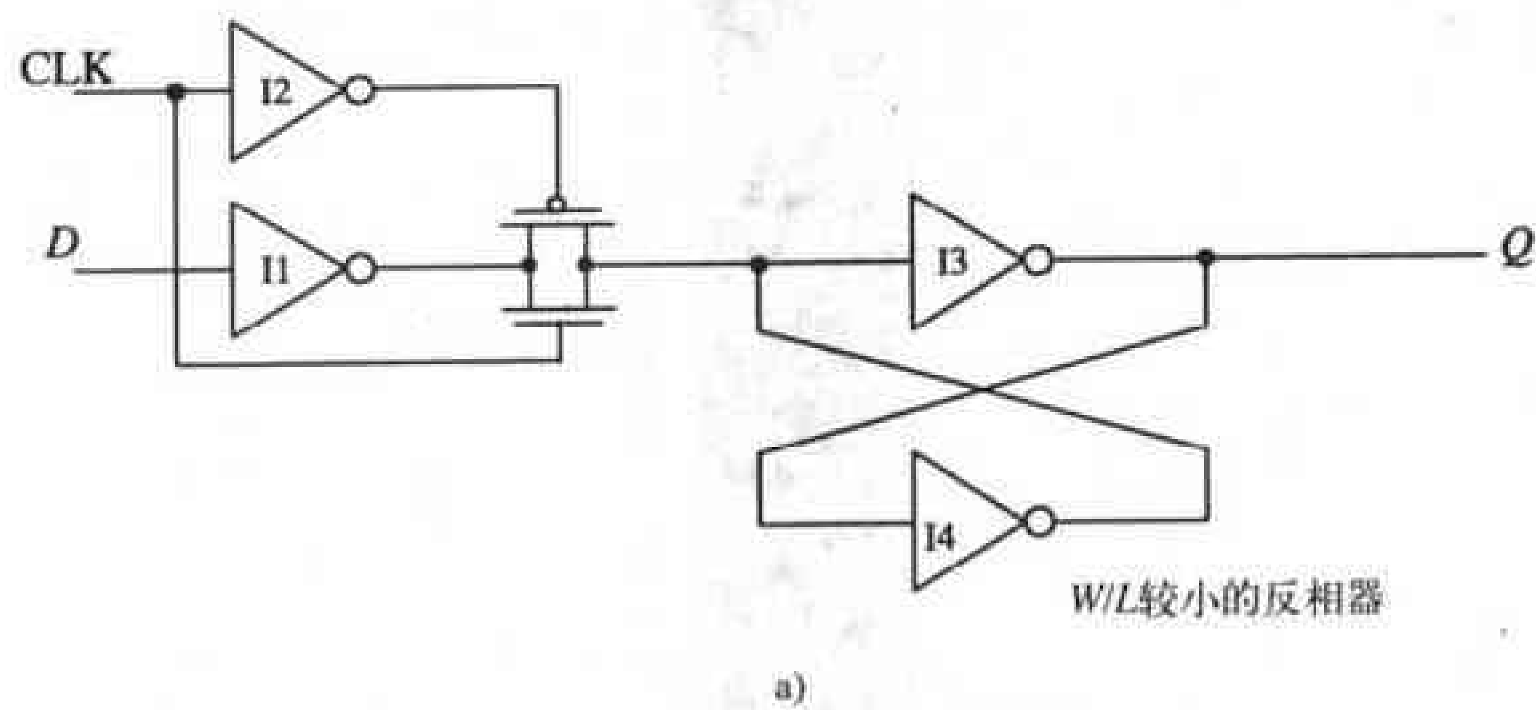
实例——加法器数据通路的版图设计

下面来分析一个四位加法器数据通路的版图设计，其布局规划如图15-2所示。首先需要设计的是输入和输出锁存器的版图。图15-12a是用作锁存器的D触发器的电路图。该触发器是电平触发（上一章中已讨论过）。当*CLK*为高电平时，输出Q随输入D而变化。反相器I4用于实现正反馈，其*W*/*L*要小，使得I1不需要提供很大的直流电流就可以改变锁存器的输出。触发器的版图如图15-12b所示。图中版图的尺寸和MOS管的尺寸比实际电路所采用的尺寸要大得多，这样便于理解和观察该版图。

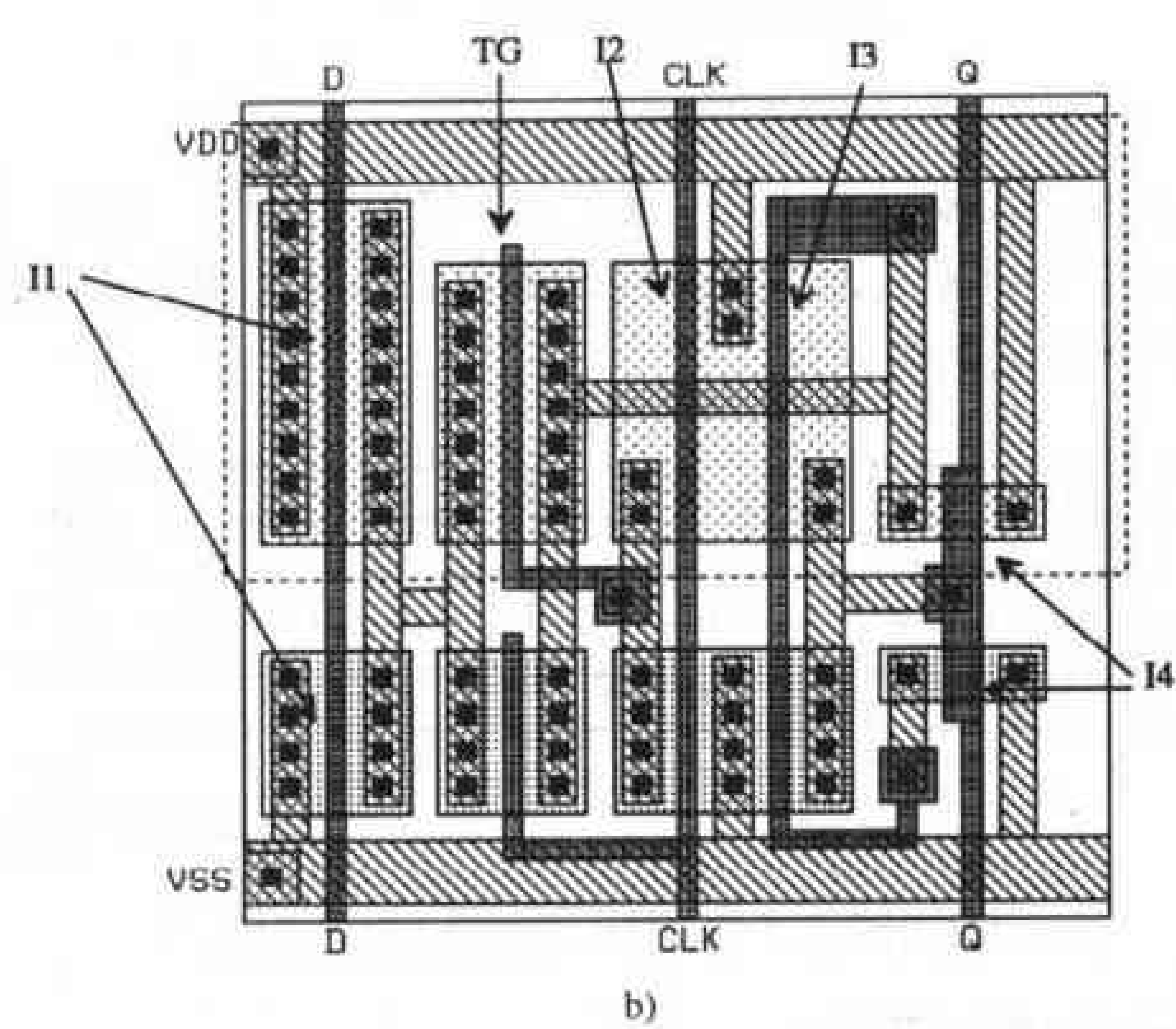
全加器的版图如图15-13所示。它所对应的电路图是图12-18给出的AOI 静态全加器，各MOS管的尺寸几乎都采用了工艺允许的最小尺寸。该版图包括了进位输出产生电路和全加和产生电路。

整个加法器数据通路的完整版图如图15-14所示。两个四位数Word-A和Word-B通过输入总线送入数据通路的输入端。当*CLK*为高电平时，这些数据被送入输入锁存器中。当*CLK*为低电平时，加的结果被送入输出锁存器中。图15-3的反相器单元被放置在输出锁存器的旁边，用来产生输出锁存器所需要的$\overline{CLK}$。由于输入和输出锁存器与全加器单元之间的间距很小，

因此，全加器单元的输入和输出使用的是多晶硅互连线；观察该图可知，最低位全加器单元的进位输入（carry-in信号）接到地。



a)



b)

图15-12 D触发器的电路图和版图

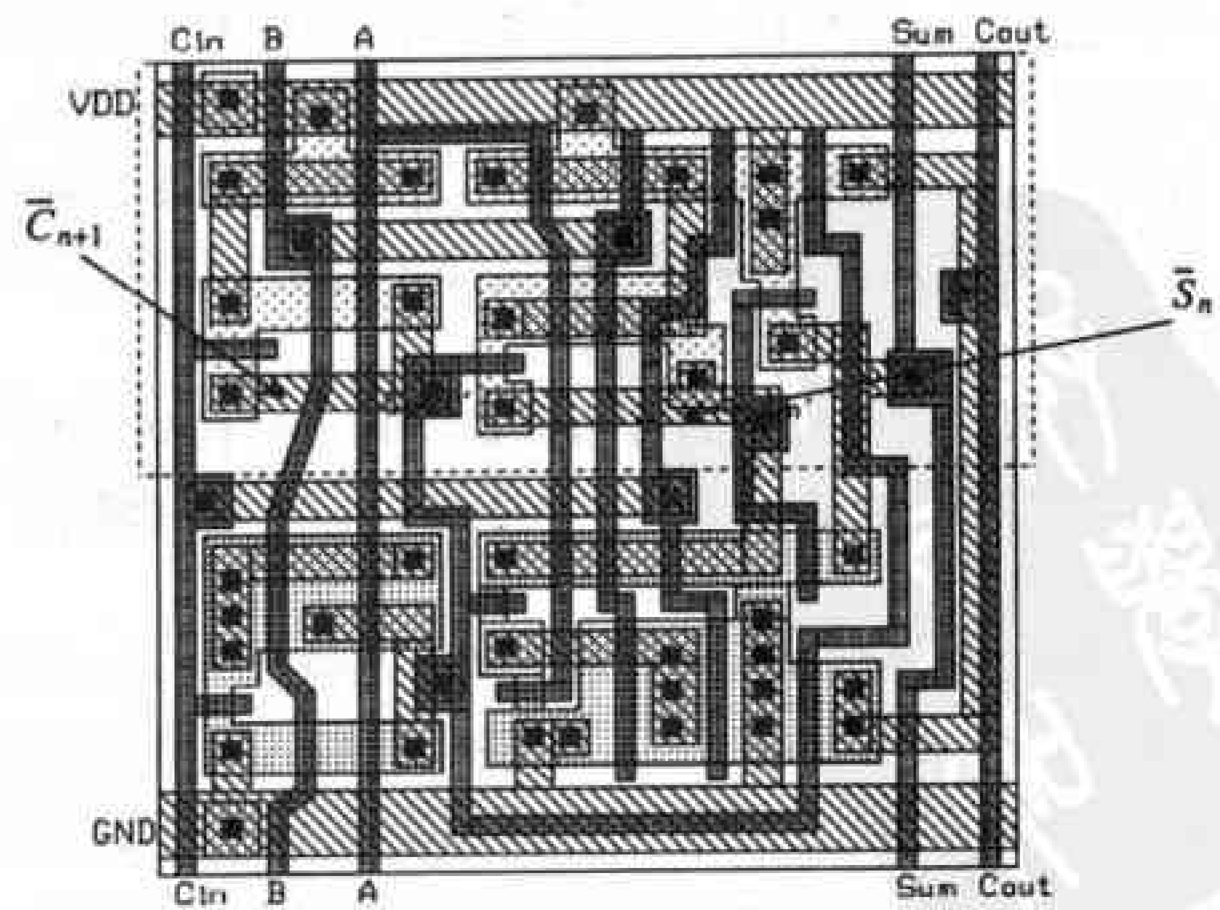


图15-13 静态全加器的版图（电路图见图12-18）

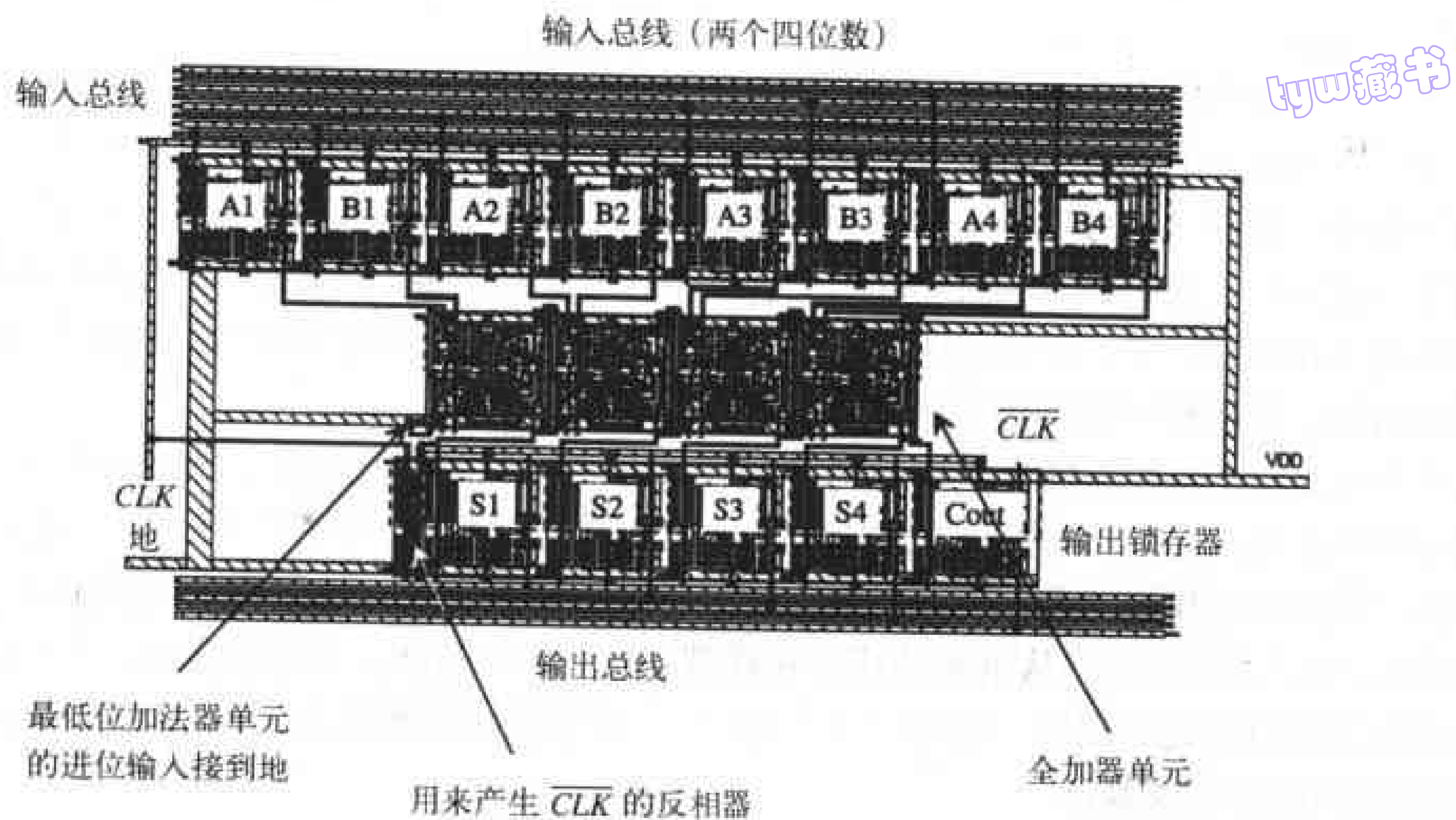


图15-14 完整的加法器数据通路版图

实例——四选一MUX/DEMUX的版图设计

图15-15是一个四选一的MUX/DEMUX的版图（对应的电路图见图13-11）。这个版图与前面讨论过的其他版图有所不同，该电路不需要电源线和地线，而且输入和输出信号都接到n+上。在版图的顶部，用metal1提供了电路所需的选通信号；要把A信号传送到输出端，S1和S2必须都为高电平。对一个规模很大的MUX，需要考虑n+引起的传输延迟。

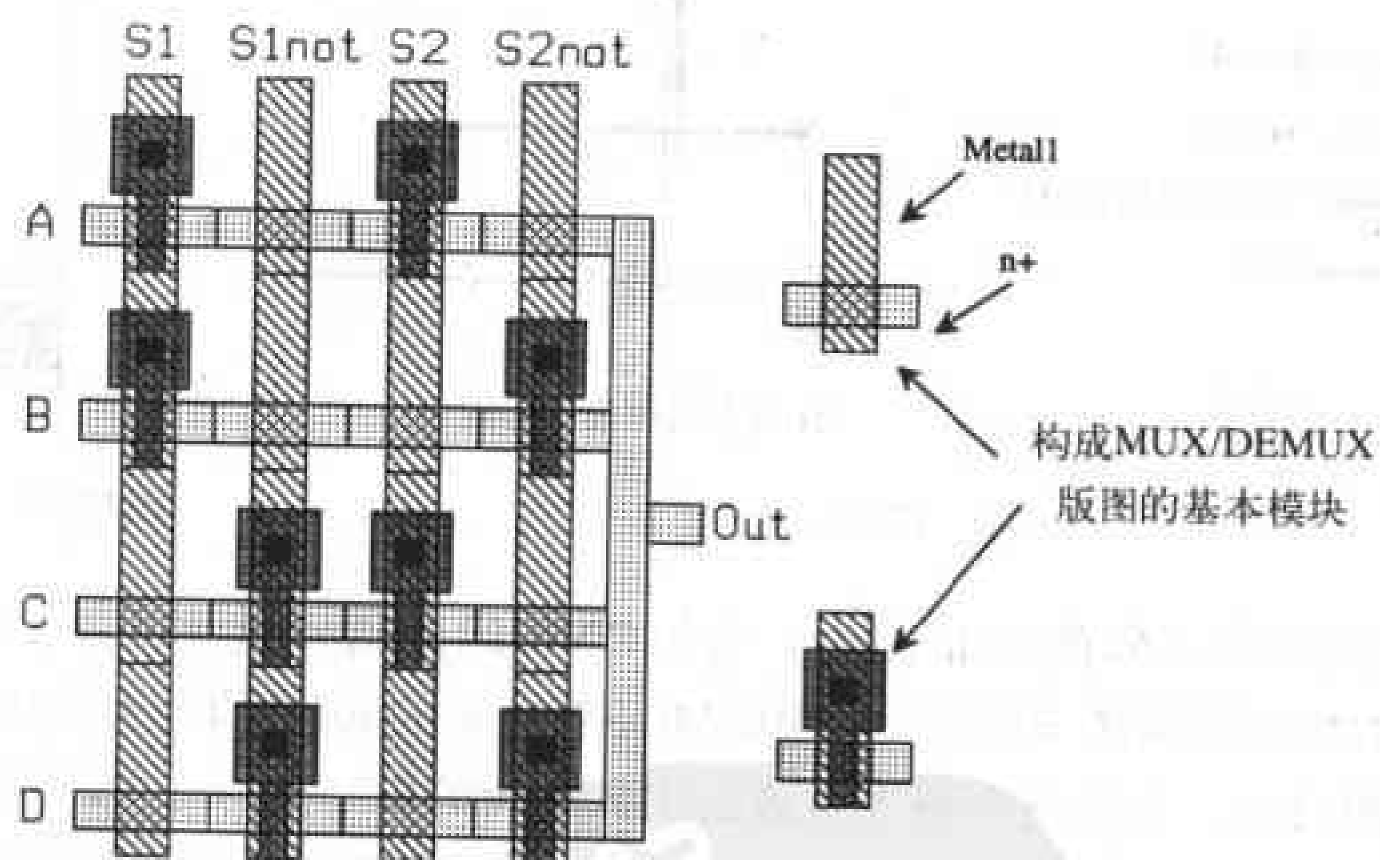


图15-15 四选一MUX/DEMUX版图

298
~
300

15.2 版图设计流程[⊖]

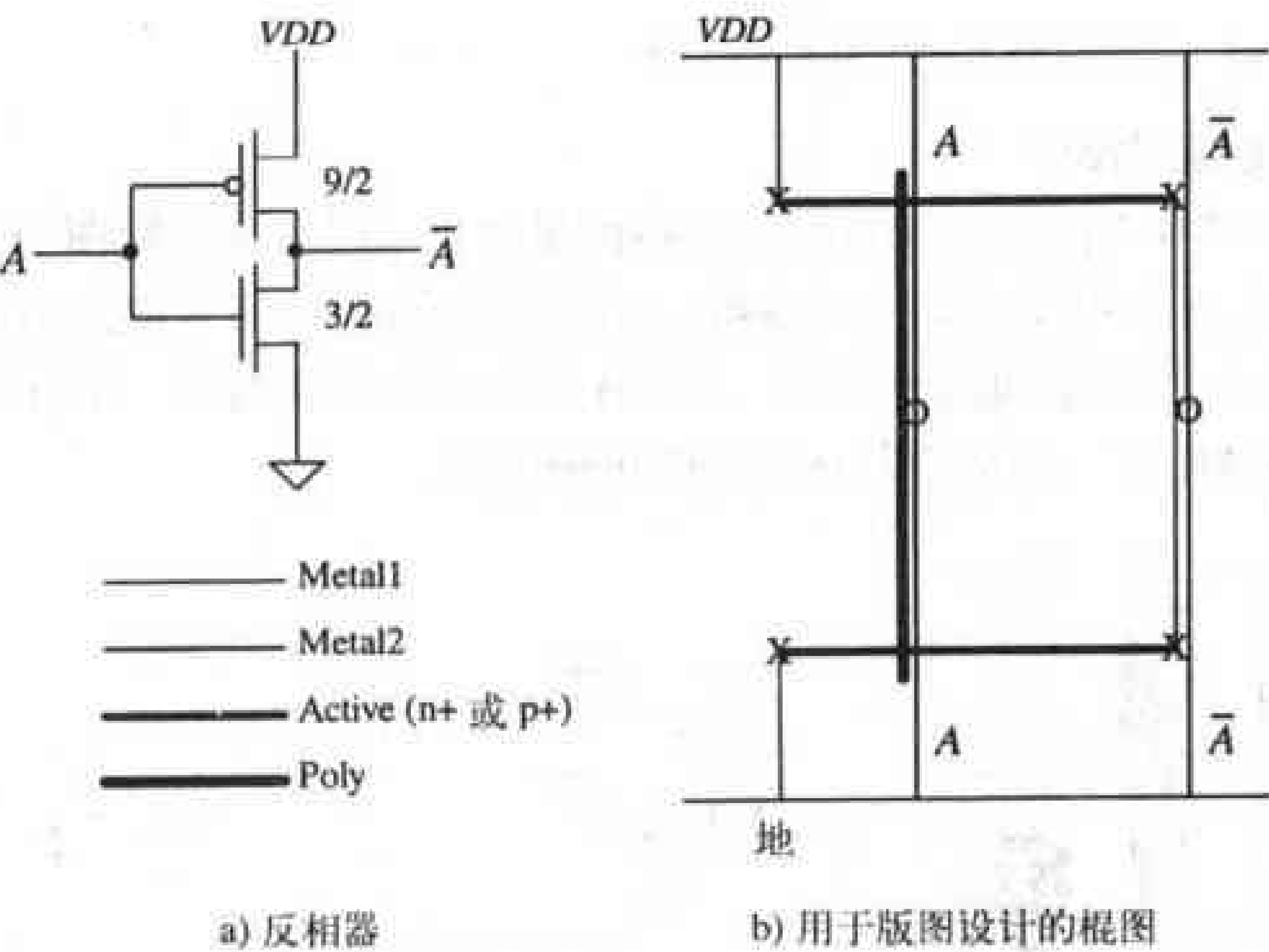
根据电路图设计出相应的物理版图的主要步骤包括：规划、放置、互连、润饰和验证。下面通过例子来详细阐明这些步骤。

⊖ 由Crystal Semiconductor公司Dean Moriarty撰写。

规划和棍图

规划这一步是用纸和铅笔来完成的。可以用彩色铅笔把不同的对象区别开来。如果使用带格子的纸来规划单元版图，那会对版图各部分的大致比率有一个初步的了解；但不要拘泥于设计规则细节和线的宽度，只需有一个大致的规划就可以。用纸和笔画出"棍图"对规划单元版图很有帮助。棍图类似于实际的版图，只不过它是用"棍"（或线）来表示器件和连线。如果对棍图应用熟练，那么，在用棍图规划单元版图结构时就可以发现实际版图中可能会遇到的互连问题，从而较早地解决这些问题，节省版图设计时间。

图15-16a是一个反相器的电路图。为了实现该电路的版图，首先需要定义电源线、地线、输入和输出的走线方向以及所使用的金属层。在CN20设计环境中有一个标准单元模板，名为"sframe"，可以在该模板的基础上设计各个标准单元。该模板中，电源线和地线是水平走线，用metal1层，线宽为7微米；从单元的顶部和底部引出输入和输出，是垂直走线，用metal2层。图15-16b是反相器的完整棍图，图中"×"和"○"分别表示接触孔和通孔。可以把该图与图15-17中的版图进行比较验证。



a) 反相器　　b) 用于版图设计的棍图

图 15-16

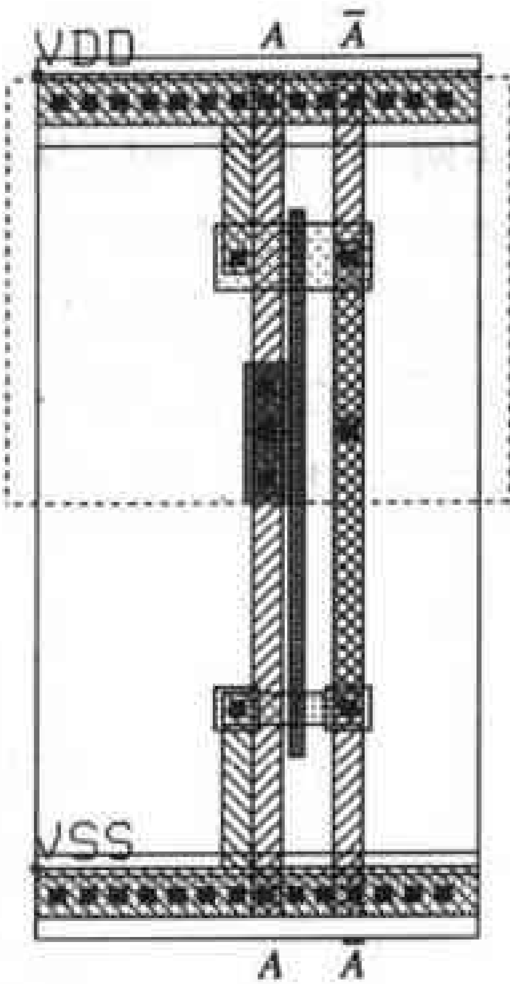
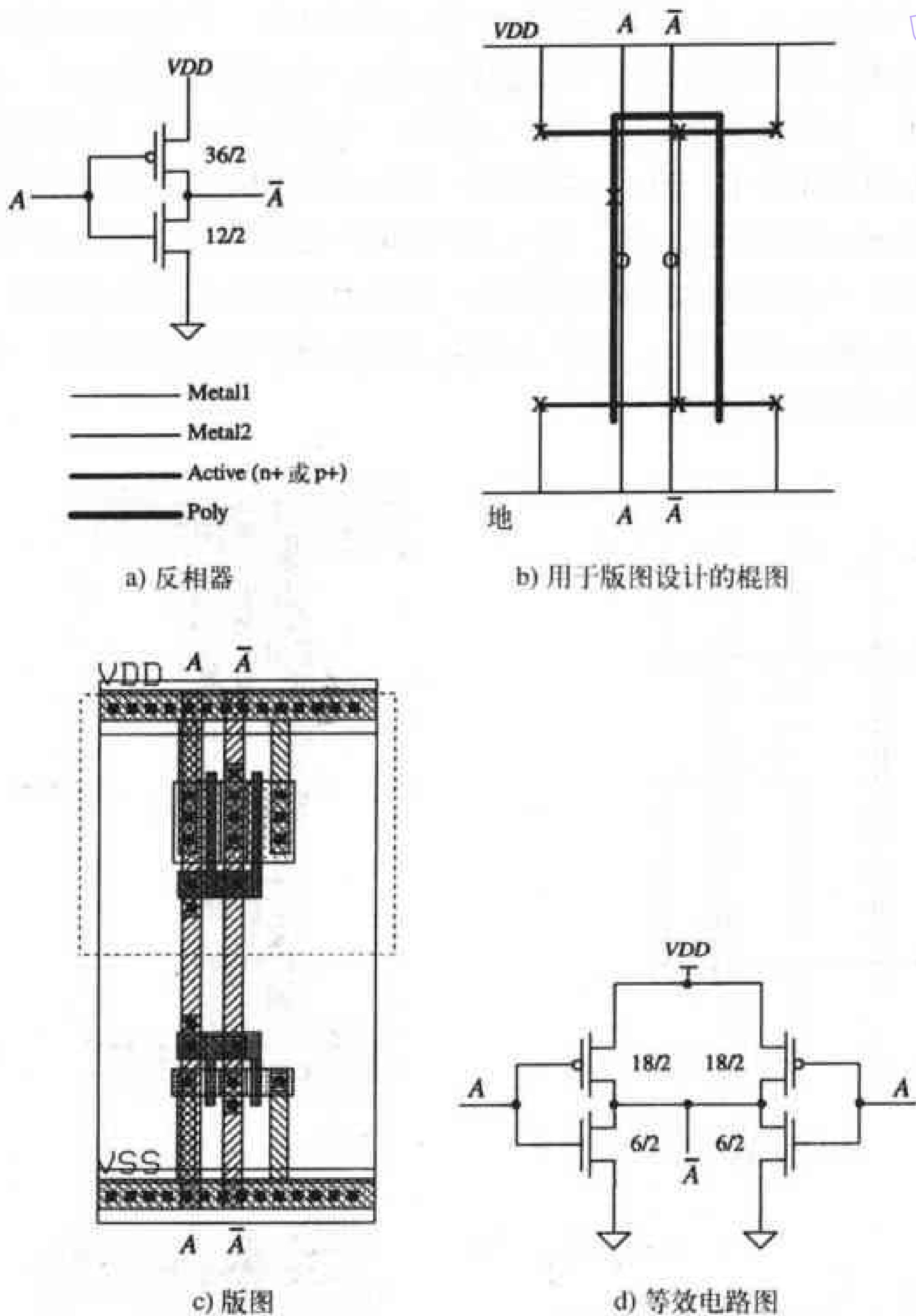


图15-17 图15-16中反相器的版图

301

假设：在图15-16a的反相器中，各MOS管的沟道宽度增大为原来的四倍（PMOS管W/L=36/2，NMOS管W/L =12/2）；用做MOS管栅极的poly1的最大宽度为20μm（该值由多晶硅的方块电阻决定，超过这个最大值就会引入很大的RC延迟）；版图优化的目标是面积和速度（绝大多数数字电路都最关心这两个指标）。要在遵守以上这些假设的前提下完成版图的优化设计，需要把M1管和M2管劈分成两部分，PMOS管由两个平行摆放的W/L=18/2的并联PMOS管构成，NMOS管由两个平行摆放的W/L=6/2的并联NMOS管构成。图15-18a-d分别给出了电路图、棍图、版图和等效电路图。由图中知，M1管和M2管的漏极是输出节点，两个并联的MOS管共享一个漏区以减小输出电容。用metal2把输出引出来也有利于减小输出电容。观察图15-18b和图15-16b可知，把图15-16b的棍图相对于输出做一镜像图，原图和镜像图合在一起就是图15-18b；这两个棍图所对应的版图之间也是这种关系。这是一种常用的版图设计技术。



a) 反相器　b) 用于版图设计的棍图

c) 版图　d) 等效电路图

图 15-18

附带说明一点，如果用LasiCkt来验证版图的连接关系是否正确，就需要一个和图15-18d类似的电路图。比较先进的CAD工具（当然也更贵）可以直接用图15-18a中的电路图做版图验证。

图15-19给出的是二输入NAND门和二输入NOR门的棍图和版图。观察比较这两个逻辑门的棍图和版图，可看出：和上例类似，输出节点都共用了有源区；串联MOS管栅极之间的距离是CN20工艺所允许的最小值。

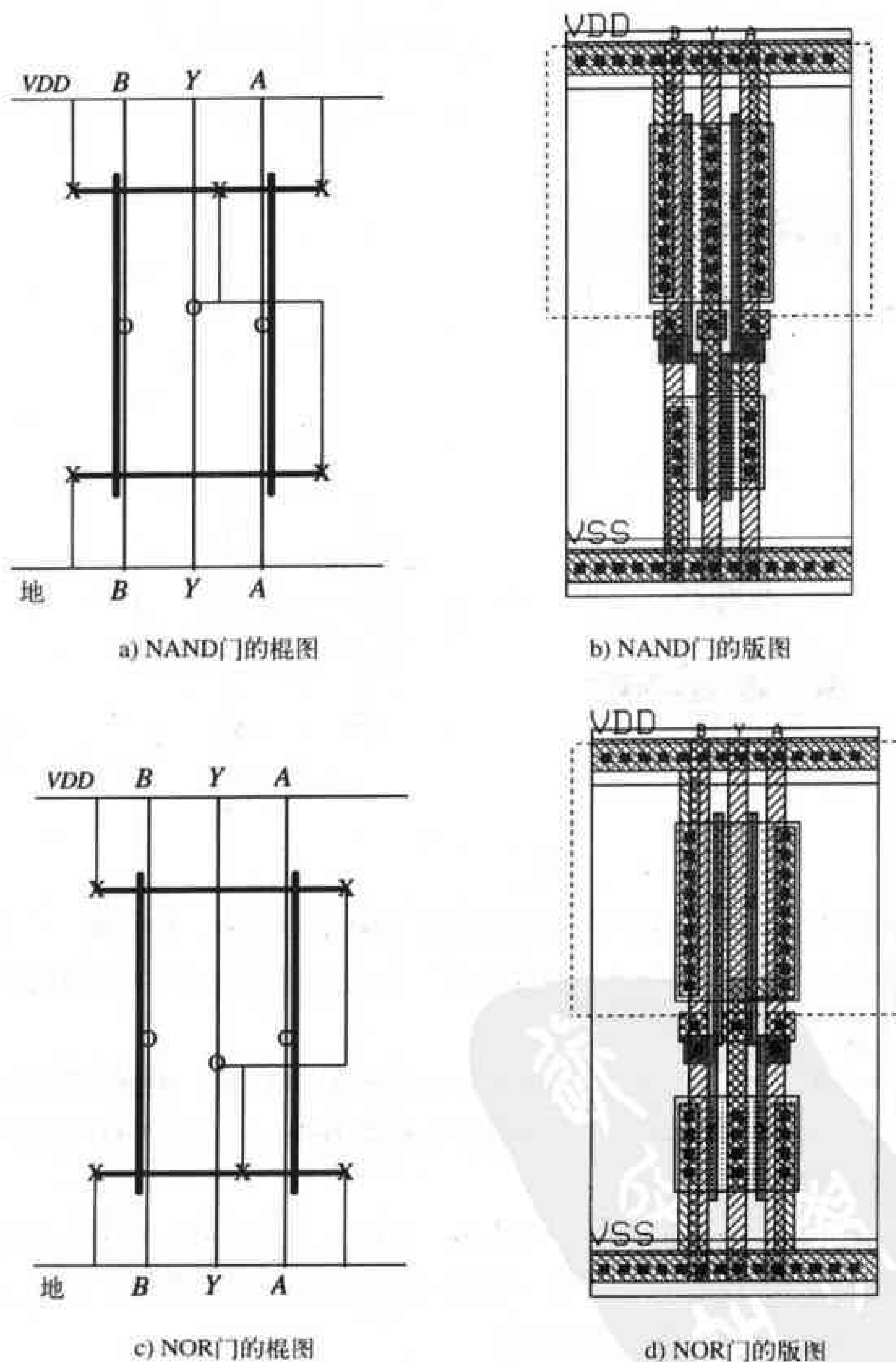
现在不从电学观点，而是从几何观点来看这两个电路。观察比较NAND门和NOR门的版图，可看出：若把NAND门的版图上下翻转一下就可以得到NOR门的版图；同样，把NOR门的版图上下翻转一下也可以得到NAND门的版图。

302 ~ 304

放置器件

图15-20是一个动态寄存器单元的电路图，图15-21a~c给出了该动态寄存器的棍图和版图。

图15-21a所示棍图比较直观，但有一些问题：观察该图可知，形成NMOS管的有源区是分隔开的两块区域；时钟信号CLK和 $\overline{\text{CLK}}$ 都需要从版图的一边连接到版图的另一边，时钟信号的布线存在困难。现在我们来分析图15-21b所示棍图。观察该图可知，通过重新排布器件，原来分离的两个n+有源区连在了一起；一般来说，在设计版图时，应该把有源区连在一起，这通常能降低版图设计的难度和复杂度。从图15-21b中还可以看出，时钟信号的布线比较直观、简单。图15-21c给出了动态寄存器单元的版图，它对应于图15-21b所示棍图。图中各器件的尺寸并不是电路实际所采用的尺寸，它只是用来示例说明版图设计的流程。由上面的分析可知，棍图是版图设计的非常有用的工具。



a) NAND门的棍图　　b) NAND门的版图

c) NOR门的棍图　　d) NOR门的版图

图 15-19

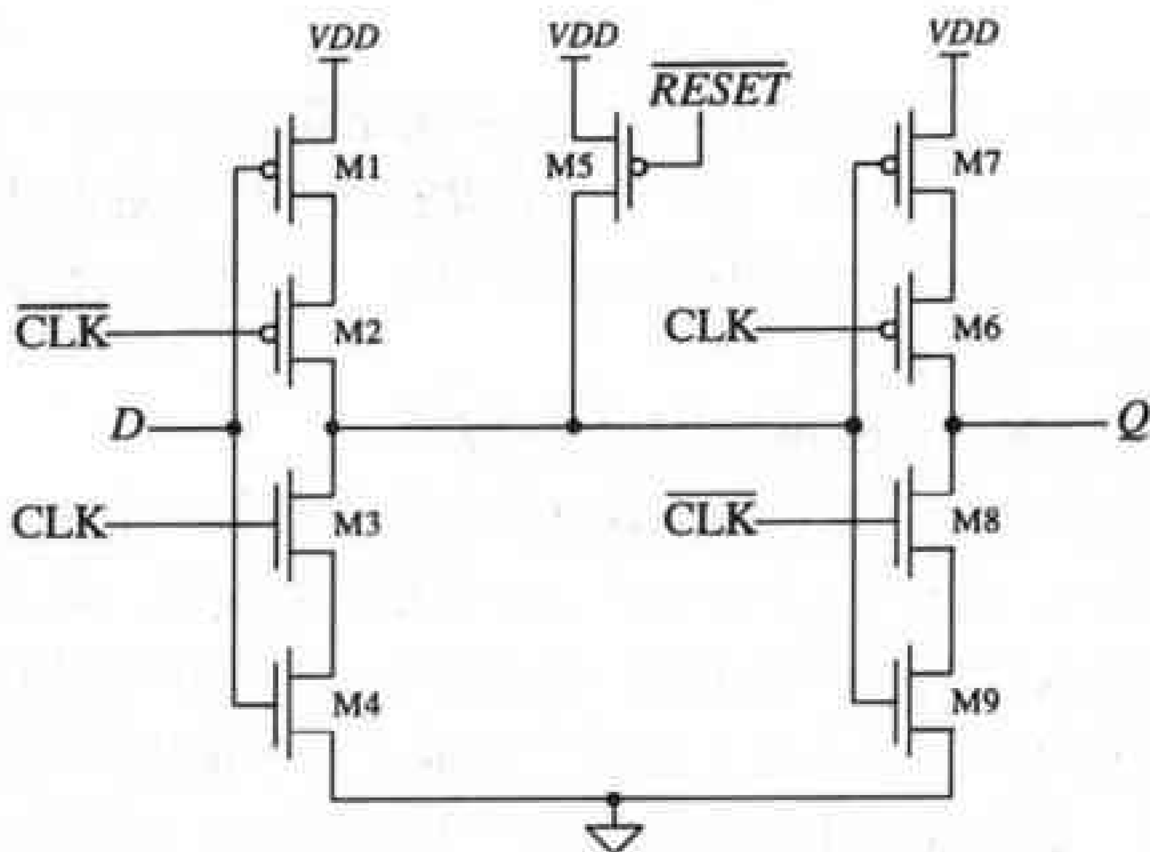


图15-20 动态寄存器单元的电路图

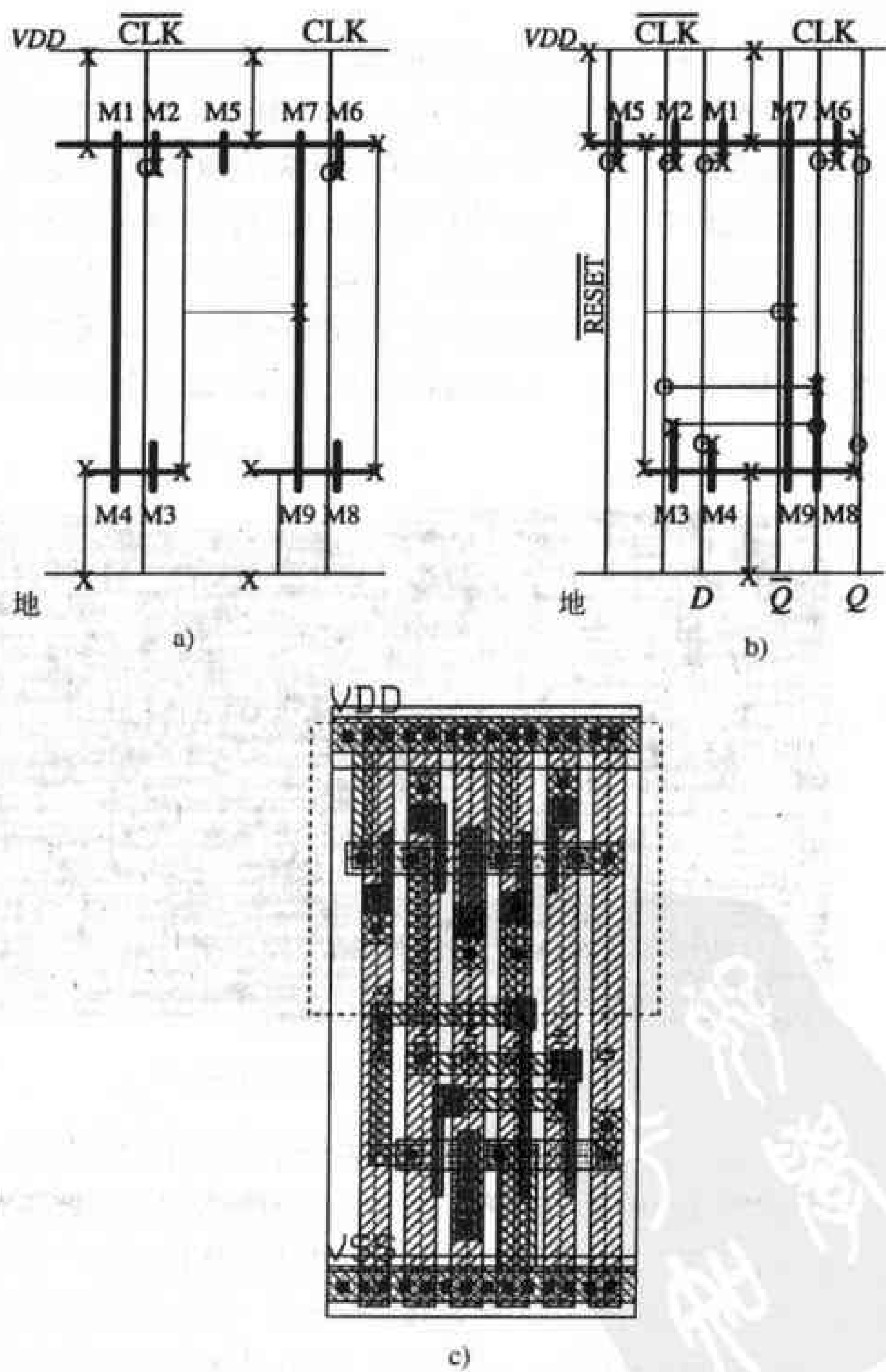


图15-21 动态寄存器单元的版图

润饰

在基本完成版图的设计后，需要回过头来，纯粹从美学角度来审视一下自己设计的版图：是否赏心悦目？互接线是否尽可能直观、简单？间距是否最小？接触孔是否足够多？可以共用的源/漏区是否共用了？阱连接和衬底连接是否足够好？一般来说，如果前面的版图规划工作做得全面、细致，就不会有太多问题。

基于标准单元的版图设计和全定制版图设计的比较

标准单元版图的高度通常相同，宽度则根据电路复杂度可调。此外，标准单元都应设计成可以左右拼接，在设计时需要保证单元拼接后不会违反设计规则。基于标准单元的版图设计方法应用广泛，通常是进入版图设计领域的较好的切入点。但在现实生活中，管芯面积直接与产品的盈亏相关。无论硅片上管芯数目是多还是少，每个硅片的制作成本都是相同的。因此，从盈利的角度考虑，都希望把管芯的版图设计得尽可能小，使得每个硅片上能够容纳的管芯的数目尽可能多。从技术角度也是希望版图面积越小越好：版图面积小，互连线就短，能减少寄生负载和串扰。

图15-22是一个典型的基于标准单元设计的电路，其布局布线由CAD工具自动完成。由于电路规模较大，不能清晰分辨出该图中的各个小单元。图中，标准单元的行与行之间的区域是布线通道。电源线、地线和时钟信号沿着该电路模块的两侧垂直走线，走线是通过名为“end cap”的特殊单元来实现的。每一行中的标准单元通过标准单元中的水平走线连到电源线和地线上；其他的互连线都分布在布线通道里。该设计允许metal2垂直穿过标准单元；自动布线工具利用这一特性，在必要时让metal2垂直穿过标准单元以实现不同行标准单元之间的互连。在基于标准单元的版图设计中，布线通道和互连线是决定版图密度和电路性能的最重要因素。



图15-22　基于标准单元实现的版图

下面讨论版图密度这一概念。一般习惯于用每平方毫米中晶体管的数目来定义版图密度。由于所有电路版图都可以算出它相应的版图密度，因此，版图密度指标可以用来评估同类型电路的版图，也可以用来评估不同类型电路的版图，甚至可以用来评估用不同工艺实现的电路版图。

图15-22所示电路的版图密度约为5000个晶体管/mm^2。这是基于标准单元进行版图设计时的典型数据（该数据针对0.8μm CMOS工艺）。图15-23是用全定制方法设计的数字滤波器的版图。该版图的面积约为2.1mm^2，版图密度约为17500个晶体管/mm^2，是基于标准单元设计的

版图的3.5倍。针对0.8μm CMOS工艺、用全定制方法设计电路版图时，版图密度的典型值就是17500个晶体管/mm²。这两个电路模块采用的是相同的工艺（实际上它们是一个管芯的不同部分），而且每个电路中的器件尺寸都取最小尺寸或接近最小尺寸。导致它们的版图密度有很大差异的主要原因是互连线开销。设计者选择基于标准单元来设计电路版图，就需要接受互连线的物理开销（面积浪费）和电学开销（较大的寄生负载）。下面我们用实例来介绍一个高密度定制版图的设计方法，该方法能减小版图面积和互连线开销。

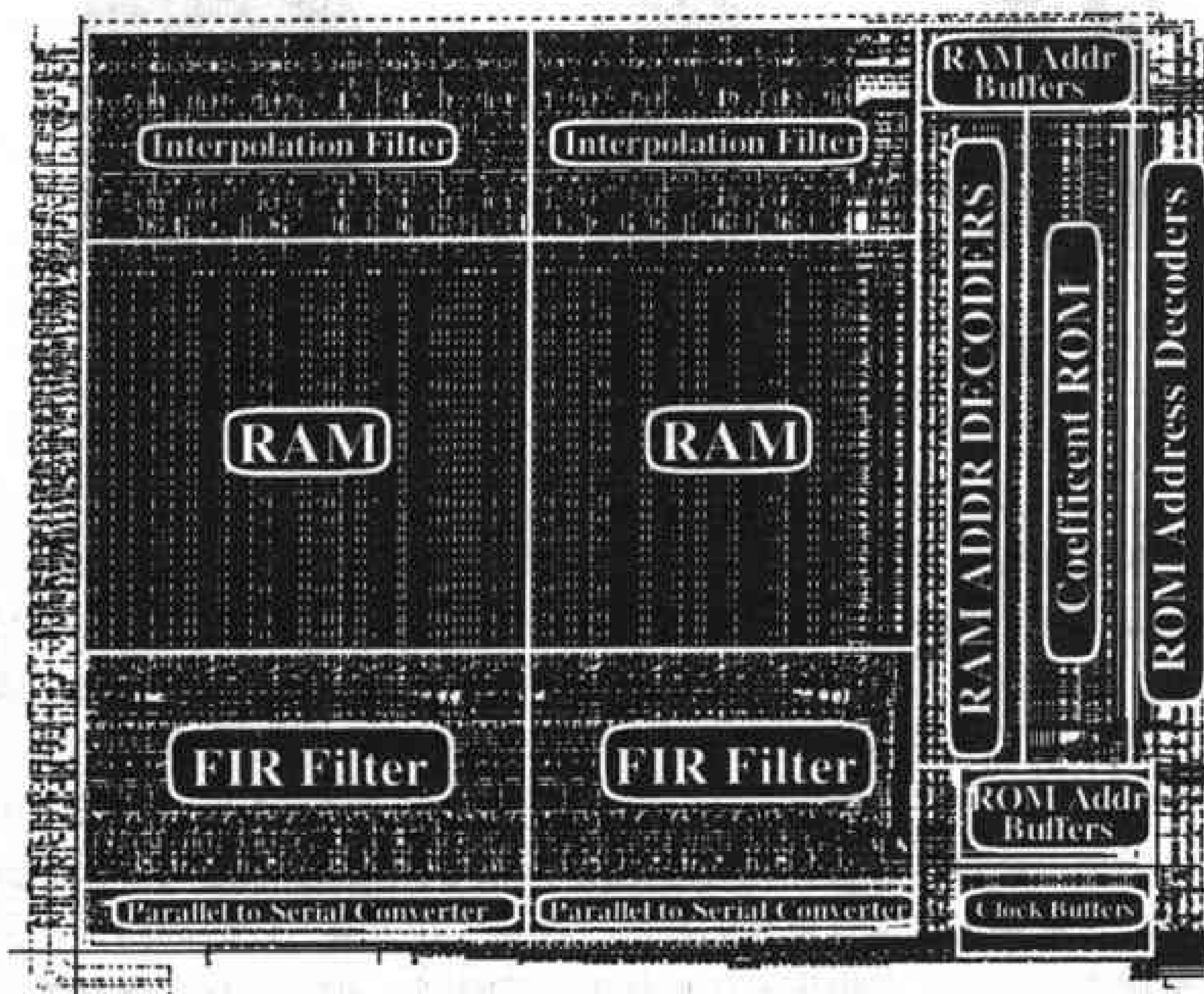


图15-23 数字滤波器的全定制版图

图15-24a~c是图15-23所示插值滤波器版图的一小部分。把数据通路的版图分解开，可得到图15-24a所示的四个标准单元的版图（每个单元被放置了两次），即：输入数据寄存器、传输门、全加器和输出数据寄存器。图中，两个全加器单元的版图有些特殊：它们的进位输入和进位输出分别从单元的左右两边引出；这样，当把两个加法器单元无缝拼接在一起时，低位全加器的进位输出正好接在高位全加器的进位输入上。与基于标准单元的版图设计不同，在定制版图设计中，版图的高度和宽度彼此关联，即：一个模块版图的宽长比与周边电路模块有关。图15-24中，如果选定让数据寄存器单元的宽度最大，那么，其他单元的宽度都不能超过数据寄存器的宽度；观察图15-24a中各单元，可以看到每个单元的顶部、底部、左边和右边的边界。用该数据通路处理数据时，数据从顶部进入输入数据寄存器，处理后的结果由输出数据寄存器输出。时钟信号、电源线、地线和控制信号贯穿所有单元。全加器单元接收输入数据寄存器提供的A数据和B数据，将全加和从底部输出到输出数据寄存器；如前所述，进位输出和进位输入分别位于全加器左右两边。图15-24b给出的是一个处理两位数的数据通路的版图，版图中的内部信号互连是通过单元的无缝拼接来自动实现的。图15-24c是一个处理四位数的数据通路的版图，其内部互连也是通过单元的无缝拼接来自动实现的。

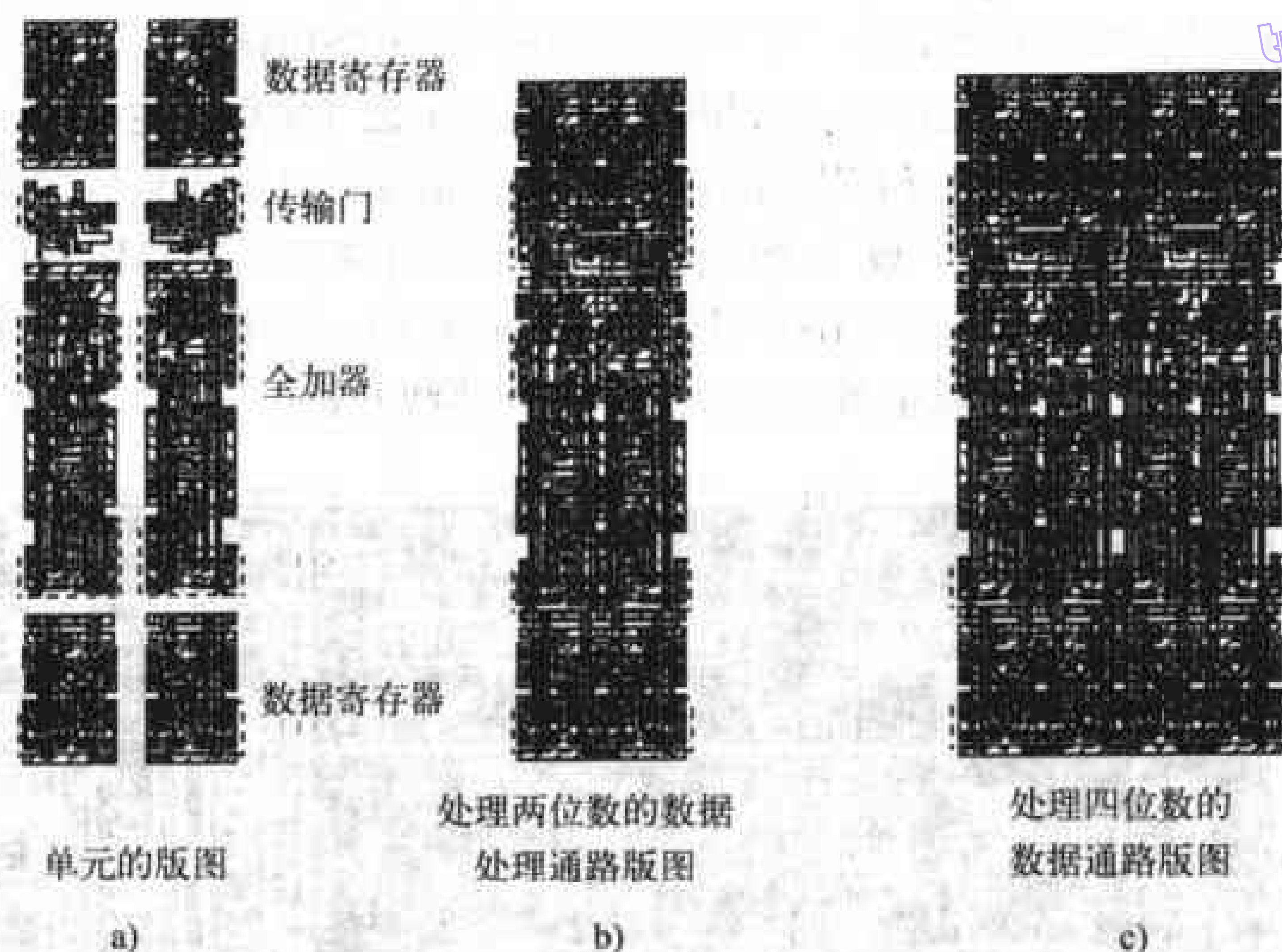


图15-24 数字插值滤波器的版图片断

305 ~ 309

上面介绍了基于标准单元或定制版图的设计过程。基于标准单元的版图设计所需时间远远小于定制版图设计所需时间，但付出的代价是版图面积和电路性能。现在已经出现新的自动布局布线工具，它不再是基于布线通道来完成布线，而是基于布线面积来完成布线。这种新的布局布线工具继承了上述两种版图设计方法的各自优点；用该工具自动实现的版图的密度与全定制版图相当。或许在未来某一天，基于手工的全定制版图设计会成为历史。但工艺总在持续进步，需要电路设计者设计相应的电路来测试每种工艺能达到的性能极限；而且市场永远需要更便宜、更强大、速度更快的产品。因此，在未来一段时间内，还会需要全定制版图设计。但毋庸置疑的是，会出现功能更强大CAD软件，把版图设计者从烦琐的低层次劳动中解放出来，让他们有更多的时间来进行创造性的版图设计工作。

参考文献

[1] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley, 2nd ed., 1993. ISBN 0-201-53376-6.

[2] D. V. Heinbuch, *CMOS3 Cell Library*, Addison-Wesley, 1988. ISBN 0-201-11257-4.

[3] Kerth, Donald A. *"Floorplanning-Lecture Notes"* Crystal Semiconductor, Inc.

[4] Kerth, Donald A. *"Analog Tricks of the Trade-Lecture Notes."* Crystal Semiconductor, Inc.

[5] J. Uyemura, *Physical Design of CMOS Integrated Circuits Using L-EDIT*, PWS Publishing Co., 1995. ISBN 0-534-94326-8.

习题

15.1 可以通过减小标准单元高度的办法使得基于标准单元的版图面积更小。参照图P15-1所示单元的高度，画出双反相器单元的版图。

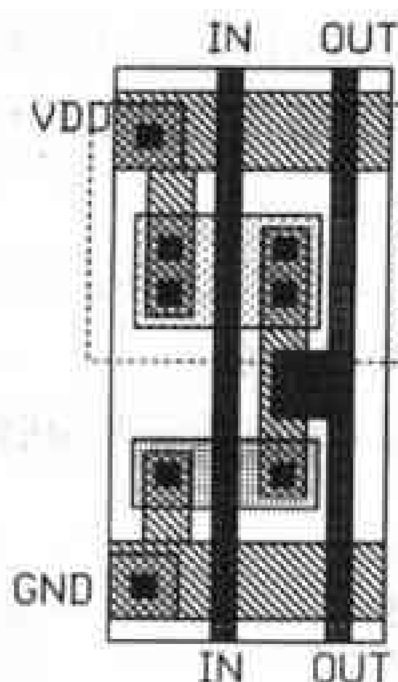


图 P15-1

310

15.2 针对二输入NAND门，重做习题15.1。

15.3 针对二输入NOR门，重做习题15.1。

15.4 针对传输门（功能与图15-5中传输门的功能相同），重做习题15.1。

15.5 针对基于NAND门的SR触发器，重做习题15.1。

15.6 针对基于NOR门的SR触发器，重做习题15.1。

15.7 设计一个D触发器来代替图15-12中的D触发器。画出其版图并仿真验证其工作原理。触发器中各MOS管的尺寸尽量取最小尺寸，并且用一个传输管做时钟控制模块。

15.8 画出图P15-8中二输入MUX（用传输门实现）的版图。

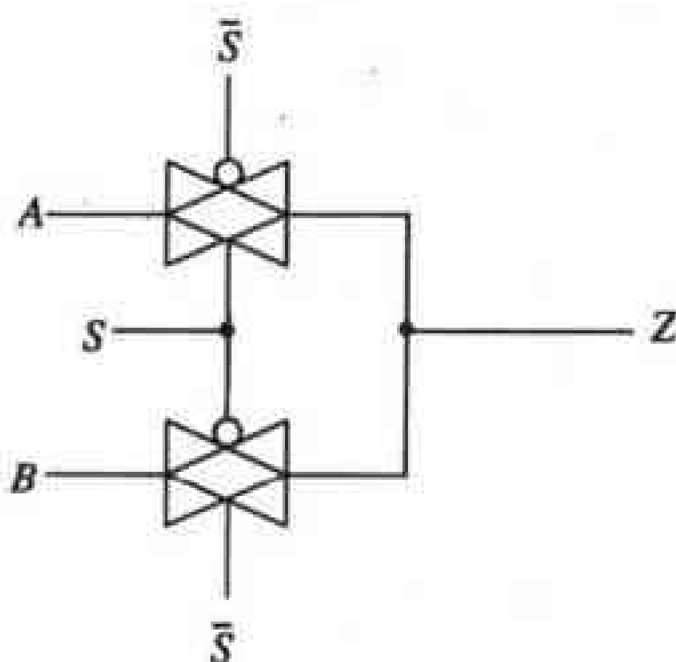


图 P15-8

15.9 参照图P15-1所示单元的高度，画出图P15-9中XOR门和XNOR门的版图。假设门的输入和输出由poly1引入（或引出）。

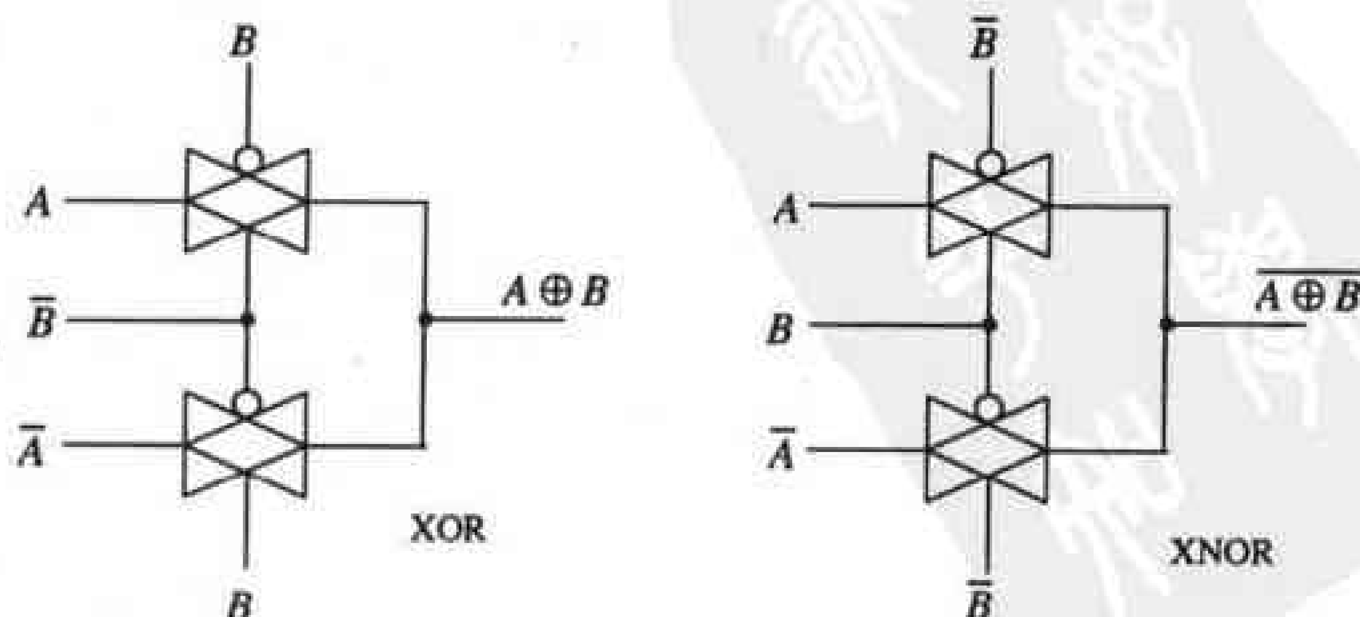


图 P15-9

15.10 基于图15-15中的版图拓扑结构，画出一个16选1的MUX/DEMUX版图。再画出一个面积尽可能小的16选1的MUX/DEMUX版图。要求对版图做DRC检查。

15.11 画出图15-5中版图所对应的棍图。

15.12 指出图15-20所示电路图中的高阻节点。讨论在画带高阻节点的电路版图时应该注意的问题。

15.13 列出并论述应该使版图尺寸尽可能小的三个原因。

15.14 画出图P15-14所示D触发器的版图。画出对应该版图的棍图。

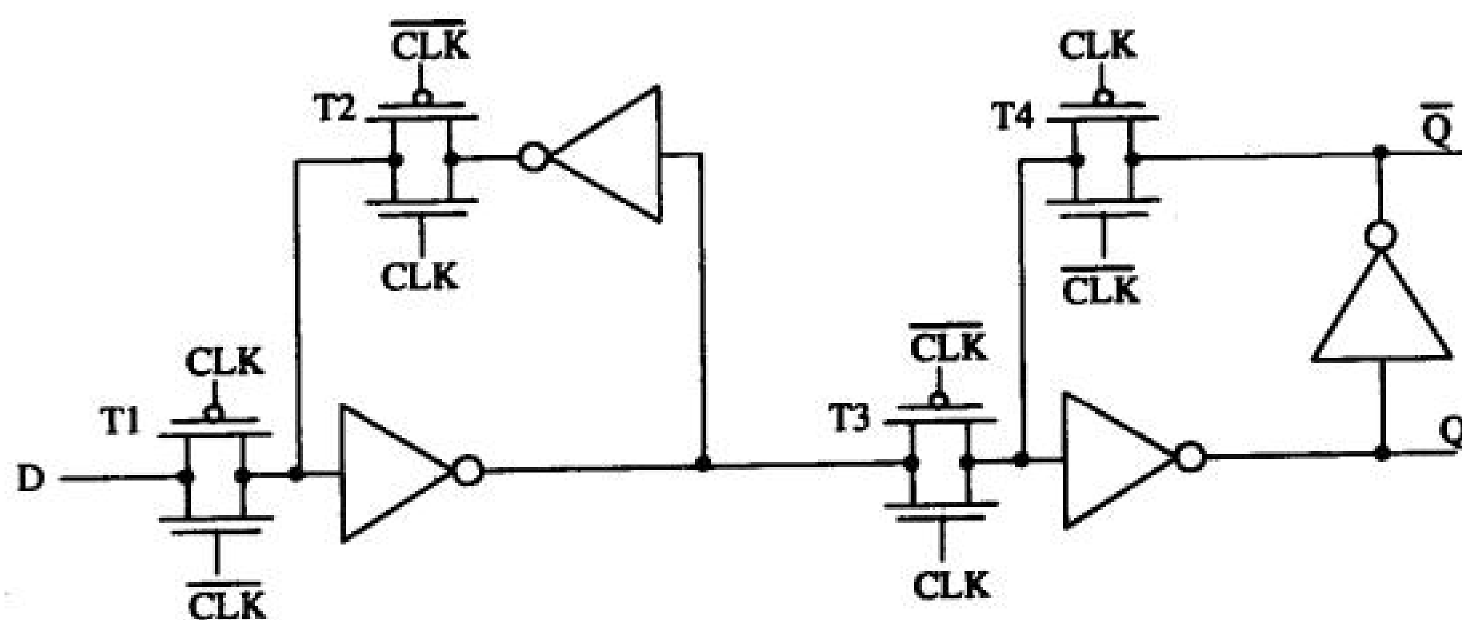


图 P15-14

311~312

第16章 BiCMOS逻辑门

现代BiCMOS技术开始于20世纪80年代早期，当时被人们赋予很高的期望[1]。BiCMOS逻辑门是由CMOS场效应管和双极结型晶体管（Bipolar Junction Transistors，BJT）共同构成，因此，被称为“BiCMOS”逻辑门。双极晶体管的优势在于其大电流驱动能力，CMOS管的优势在于版图尺寸小、易于实现逻辑功能等。BiCMOS技术则把双极晶体管和CMOS管的各自优势结合在一起，在一个衬底上既有高速、高电流驱动能力的双极晶体管，又有低功耗、高阻抗的CMOS管。正因BiCMOS技术有这些优势，目前几乎每个大型芯片加工厂都提供一定形式的BiCMOS加工服务。BiCMOS技术主要有两个发展方向，一个是在CMOS工艺中加上双极器件以提高电路速度，另一个是在双极工艺中加上CMOS器件以降低电路功耗。图16-1比较了CMOS、BiCMOS和双极（包括I^2L技术）技术的优缺点[2][3]。本章主要针对可以制作双极器件的CMOS工艺来讲述BiCMOS技术。虽然CN20工艺不是一个标准的BiCMOS工艺，但它也可以制作某些类型的双极晶体管，因此，可以用该工艺来制作一些基本的数字BiCMOS电路。值得说明的是，CMOS14TB工艺不能制作双极晶体管。

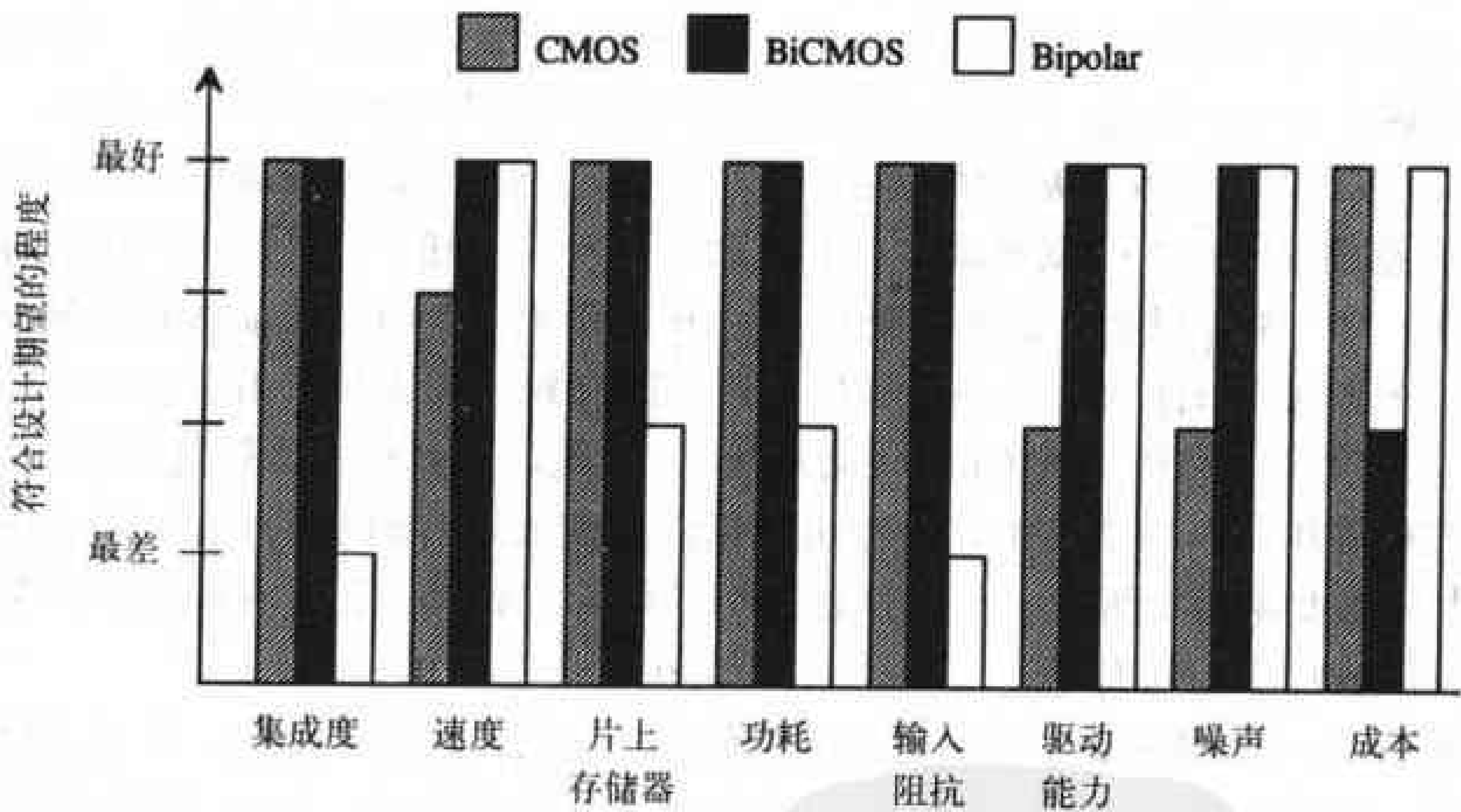


图16-1 CMOS、BiCMOS和双极工艺比较

BiCMOS技术非常适宜于微处理器的设计。通常情况下，影响微处理器性能的因素主要有三个方面[1]:（1）完成任务所需的指令数，（2）每个指令的执行周期，（3）每个周期的时间长。通过提高关键电路模块的运行速度可以缩短整个微处理器的每个周期的时间长，提高微处理器的处理速度。[4]报导了一个用BiCMOS技术实现的PC用微处理器，该微处理器用一个以双极工艺为主体的BiCMOS工艺制作，可以在533MHz频率下正常工作。图16-2给出了微处理器的框图[5]，它是通过把高密度的CMOS器件放到双极工艺中来实现的。该微处理器利用了双极晶体管和CMOS管的各自优势。图中，影响速度的关键模块（如整数和浮点数单元）用双极晶体管实现，功耗较大的高速缓存（cache）和I/O单元则用CMOS管实现。用CMOS管

实现I/O单元，可使微处理器的输入/输出信号与电路板上其他芯片的输入/输出信号电平兼容。

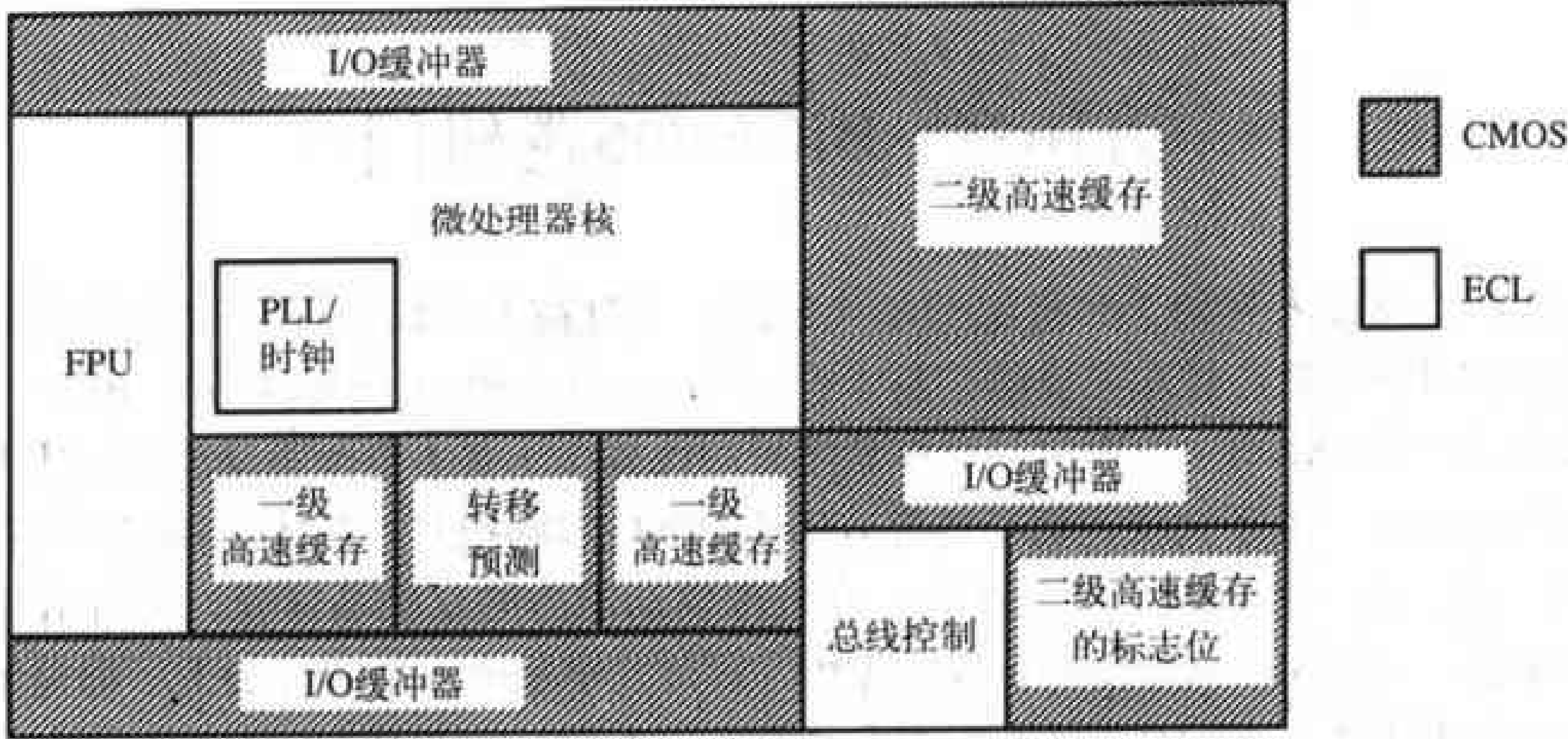


图16-2　高性能BiCMOS微处理器的结构框图

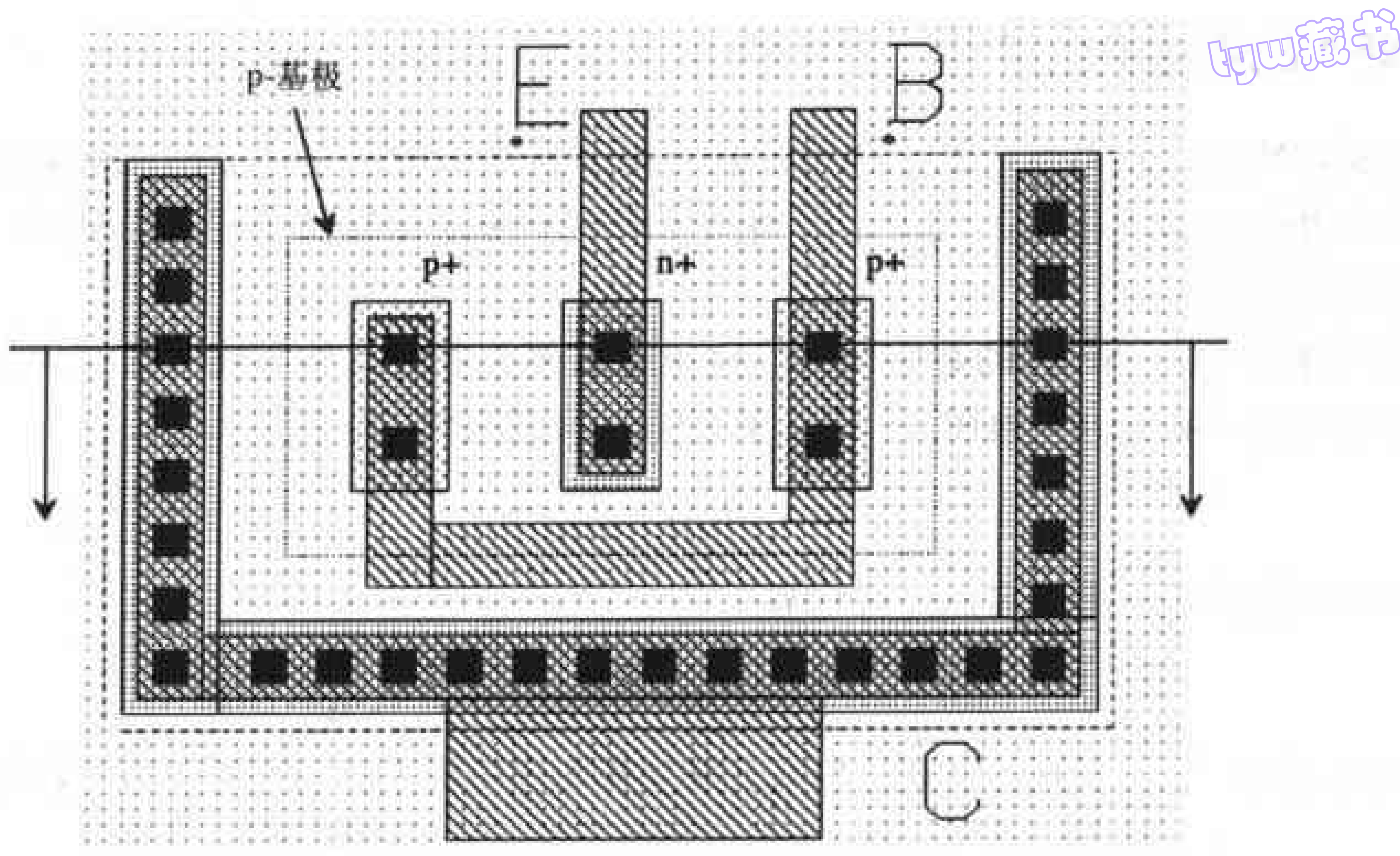
16.1　结型隔离的双极晶体管版图

我们先讨论结型隔离的NPN双极晶体管。为了制备NPN双极晶体管，需要在CN20工艺流程中加入p扩散（层名为p-base）这一工艺步骤，p扩散区用做NPN晶体管的基极。下面将讨论NPN双极晶体管的版图设计和工作原理。双极晶体管用于数字电路设计时，一般用它来实现缓冲器电路以驱动大电容负载。双极晶体管缓冲器的面积比CMOS缓冲器的面积小。

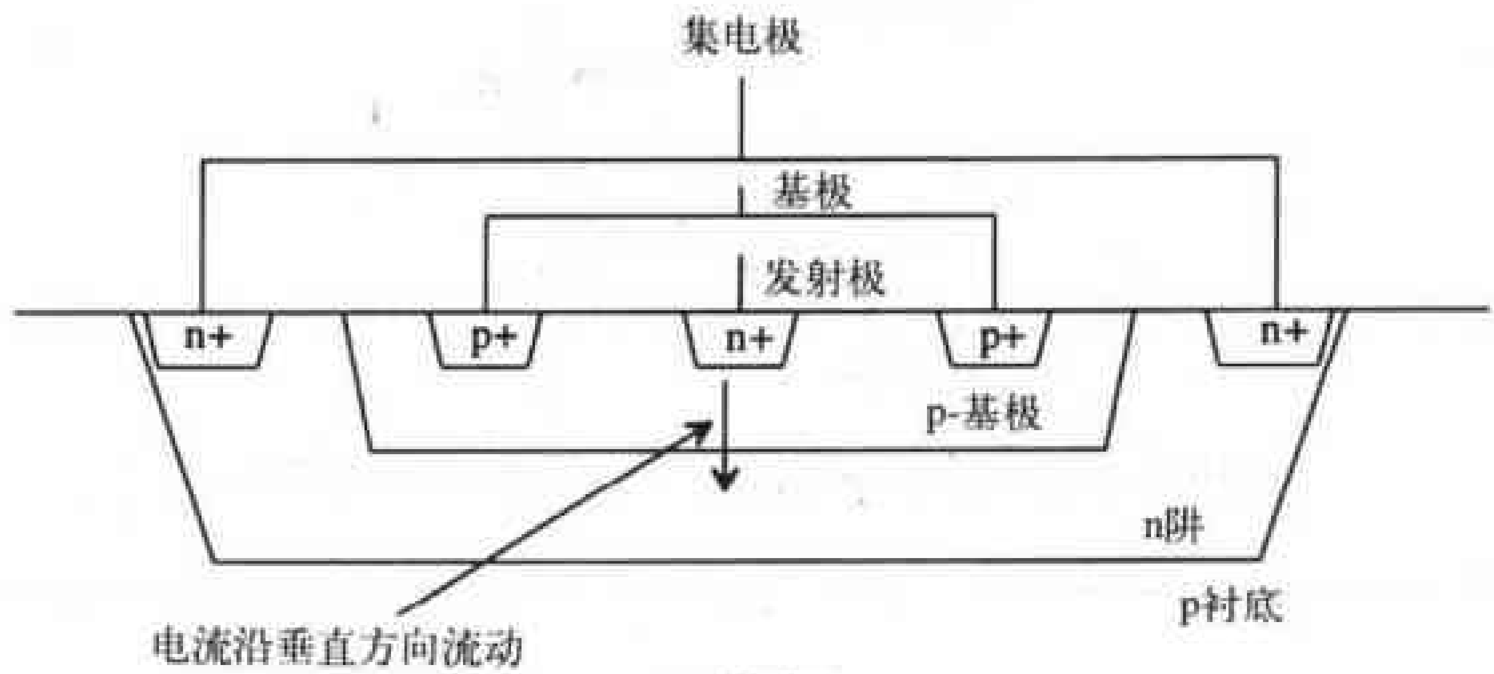
313~314

CN20工艺中，纵向NPN双极晶体管用n阱做集电极，用p扩散区做基极，用n+注入区做发射极。图16-3a给出了一个2 × 1双极晶体管的版图。“2 × 1”中的“2”是每个发射极扩散条上接触孔的数目，“1”是发射极扩散条的数目。图16-3b给出了2 × 1双极晶体管的剖面图。由该图知，metal1分别通过n+注入区和p+注入区实现与阱和衬底的连接。由于大部分发射极电流经n+注入区（发射极）的底部流入n阱（集电极），因此，该双极晶体管是纵向双极晶体管。在双极工艺或标准BiCMOS工艺中，电流也是纵向地流入埋有n+层的衬底（集电极）。由于CN20工艺用n阱做集电极，因此，只能制备NPN晶体管。如果工艺中有p阱和n扩散区（用作基极），则就可以制备PNP晶体管。

NPN晶体管中，由n阱构成的集电极和p衬底形成一个二极管，因此，集电极电压不能太低，应保证该二极管处于反偏状态，以实现集电极和衬底的隔离（这一点非常重要）。由前面章节的讨论知，n阱的方块电阻约为2500Ω/方块。对图16-3中的2 × 1双极晶体管，集电极串联电阻约为500Ω。观察图16-3可知，实现阱连接的n+扩散区的形状是U型，这种形状能减小集电极串联电阻，并有利于载流子的收集。用作基极的p扩散区也有方块电阻；在发射极两边都做上基极接触（而不是只做在一边）能减小基极串联电阻。对这样一个较小的结型隔离NPN晶体管，基极串联电阻的典型值是1000Ω，发射极串联电阻约为几十Ω。由于发射极串联电阻比集电极和基极串联电阻小很多，因此，一般忽略发射极串联电阻。简言之，在CMOS工艺中，用结型隔离的NPN晶体管来实现BiCMOS电路时，存在的主要问题是有较大的寄生电阻。p-base层的设计规则如图16-4所示；这些规则对应于CN20.DRC文件中的checks 33到check 36。



a) 2 × 1纵向NPN双极晶体管版图



b) 剖面图

图 16-3

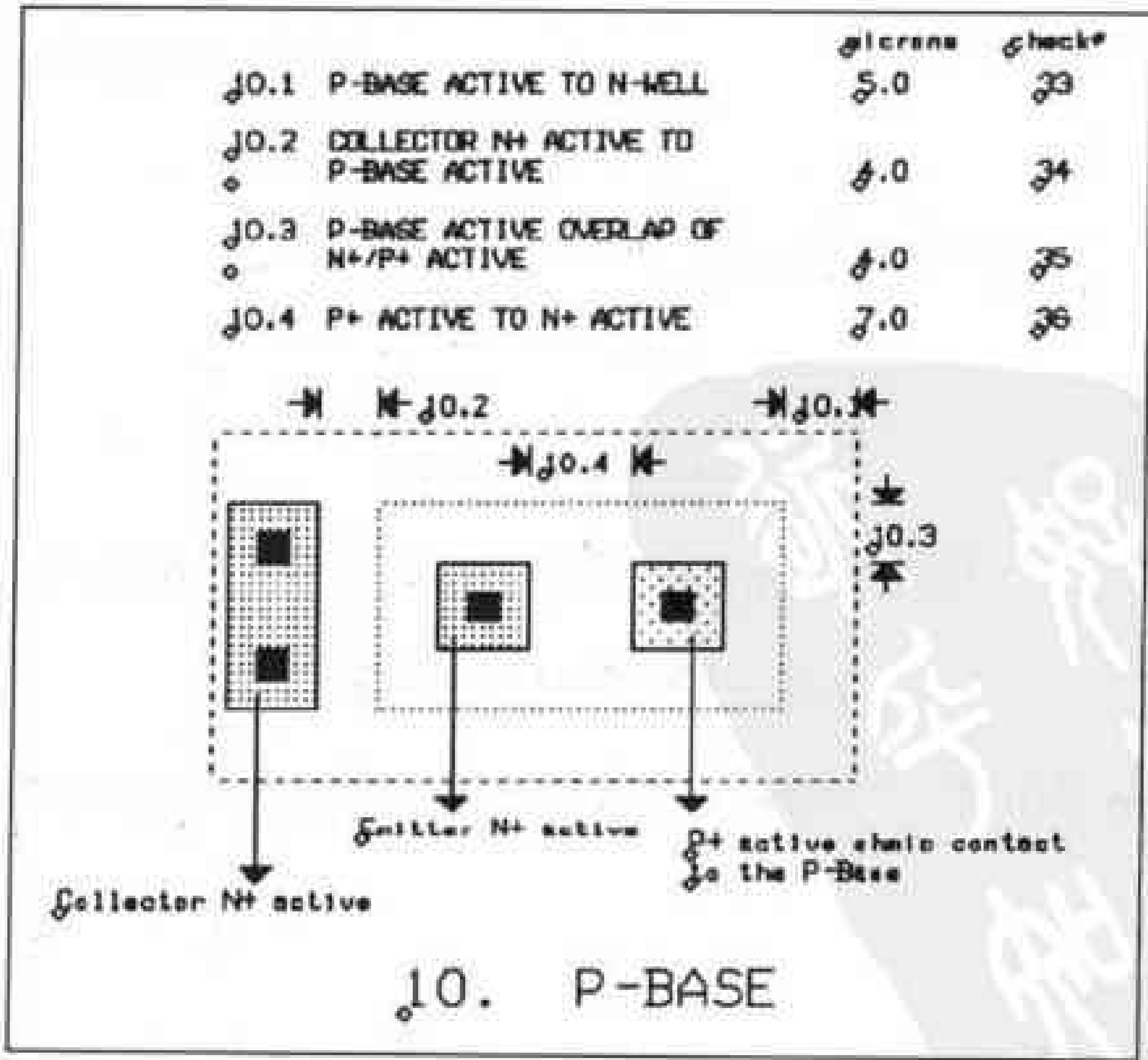


图16-4 p-base层的设计规则

16.2　NPN晶体管模型

结型隔离NPN双极晶体管的工作原理和常用双极晶体管的工作原理非常相似，不同的是前者的基极和集电极寄生电阻较大。结型隔离NPN双极晶体管的符号（图16-5）和常用双极晶体管的符号相同。

第10章介绍了MOSFET的数字模型，这里也需要为双极晶体管建立数字模型。假设集电极和发射极之间的有效开关电阻等于R_c，则可以定义变量R_{npn}为：

$$R_{npn}=R_c \tag{16-1}$$

纵向双极晶体管的输入电阻可以这样估算：

$$R_{innpn}=R_b \tag{16-2}$$

315～316

CN20工艺中，2×1双极晶体管的SPICE模型在本书所附光盘中\Wcn20\目录下的“spice.inf”文件里。

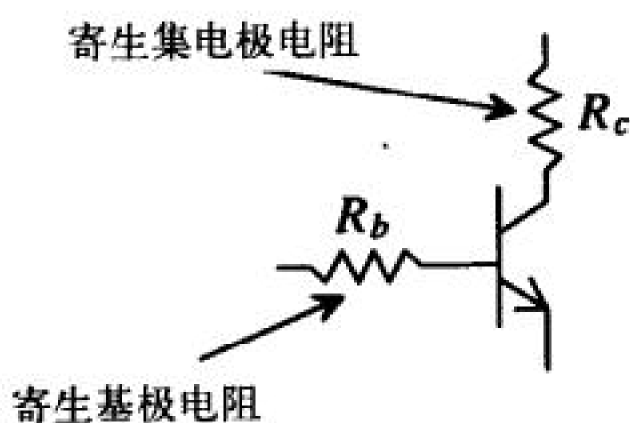


图16-5　纵向双极晶体管的符号（给出了寄生电阻）

例16.1

估算图16-6所示电路的下降时间。并将手算结果和SPICE仿真结果进行比较。注意将输入的5V脉冲直接加到双极晶体管的基极上。

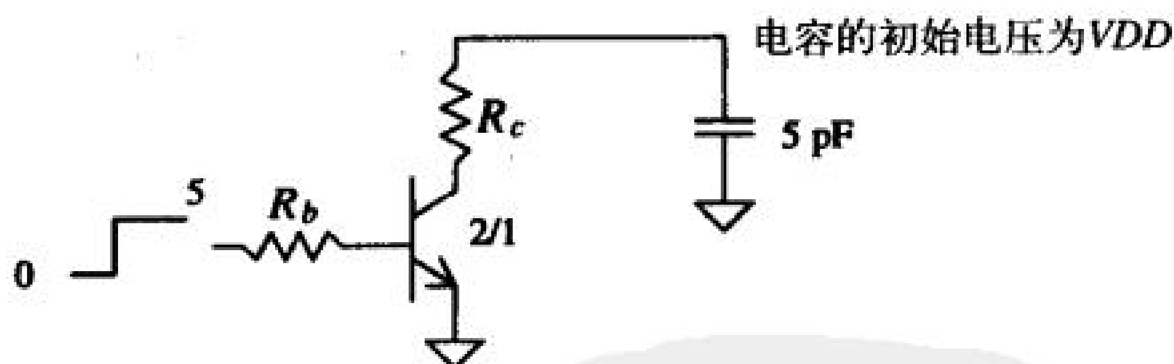


图16-6　例16.1的电路

由spice.inf文件中的SPICE模型知，$R_c=420\Omega$，$R_b=1.2\text{k}\Omega$。可用下式估算下降时间：

$$t_{PHL}=420\cdot 5\text{ pF}=2.1\text{ ns}$$

输入电压源提供的基极电流为5/1.2k，近似为4mA。仿真结果如图16-7所示。　■

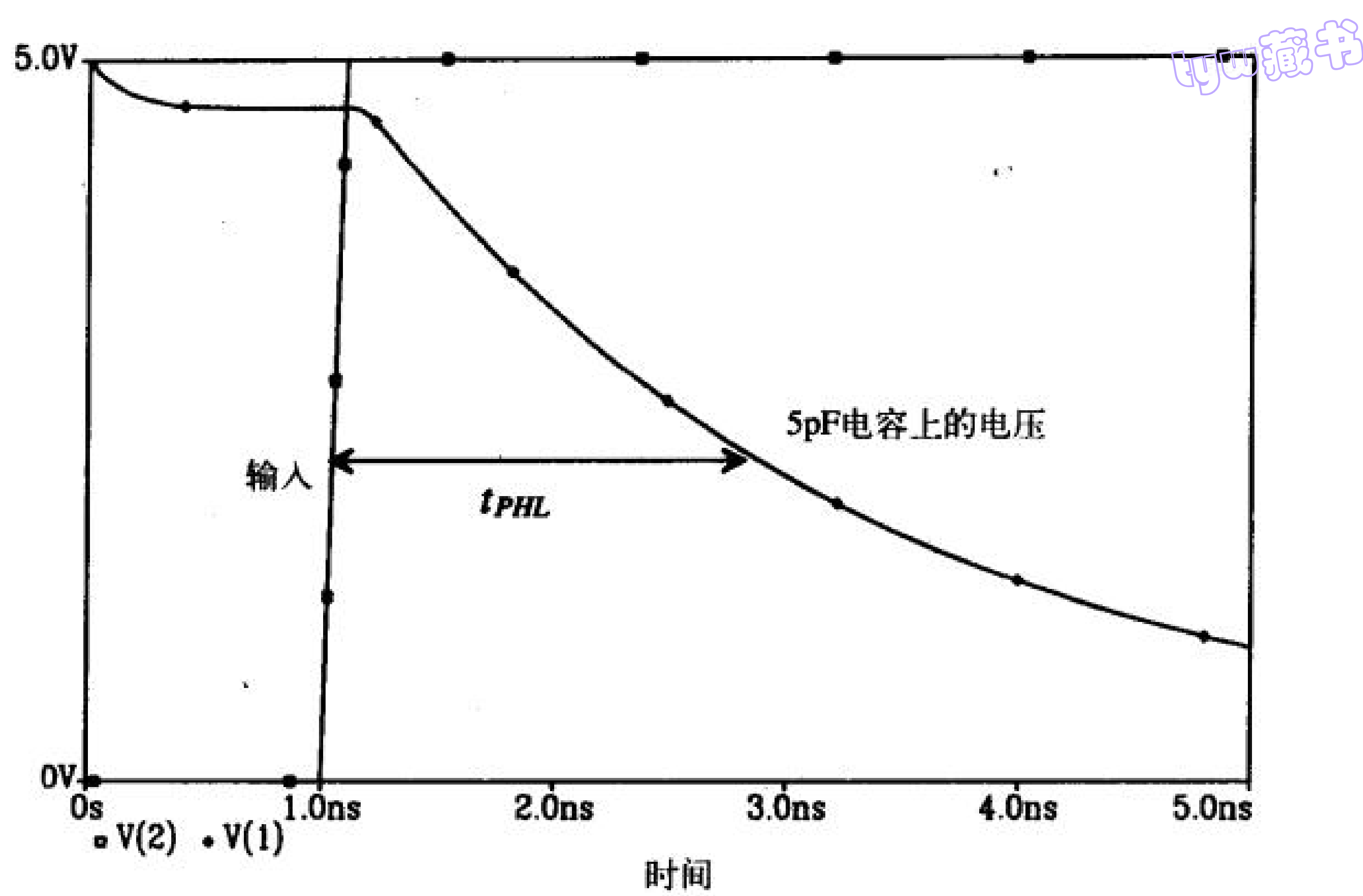


图16-7 例16.1的仿真结果

需要指出的是，该例题中的双极晶体管是用一个理想电压源来驱动的，实际情形中没有这么理想的电压源。另外，输入电压（即晶体管的基极电压）为*VDD*时，双极晶体管的集电极电流远大于MOS管的漏电流。

CN20工艺只提供了2 × 1双极晶体管的SPICE模型，没有提供更大尺寸的双极晶体管模型。更大尺寸的双极晶体管也要有相应的SPICE模型，为了建立该模型，只需在SPICE中再引入一个面积参数*A*即可。用*A*参数和CN20工艺提供的2 × 1双极晶体管模型，来为更大尺寸的双极晶体管建模。例如，对于一个2 × 2的双极晶体管，它有2个发射极扩散条，每个扩散条有2个接触孔，只需设置$A = 2$，然后直接用2 × 1双极晶体管的SPICE模型即可。同样，对一个10 × 3的双极晶体管，设置$A = 15$即可。参数*A*可以看成是大尺寸双极晶体管和2 × 1双极晶体管的尺寸比值。图16-8给出了一个5 × 2双极晶体管版图。对于大尺寸双极晶体管，式（16-1）和式（16-2）应修正为：

317~318

$$R_{npn} = \frac{R_c}{A} \tag{16-3}$$

$$R_{innpn} = \frac{R_b}{A} \tag{16-4}$$

式中，R_c和R_b是串联电阻，它们都是SPICE模型中的参数。如果没有指定*A*的值，则SPICE默认$A = 1$。

双极晶体管中的电容

双极晶体管中的电容主要是注入区的耗尽层电容和正向偏置的基极－发射极PN结的存储电容。基极－集电极的耗尽层电容可以用SPICE模型参数估算出来，也可以用NMOS管BSIM模型参数中的n+注入区到p衬底的耗尽层电容来估计。基极－发射极的耗尽层电容可以用PMOS管BSIM模型参数中p+注入区到n阱的耗尽层电容来估计。

与这些耗尽层电容相比，正向偏置的基极－发射极PN结的存储电容更为重要。如果基极－发射极PN结中少数载流子的寿命为τ_F，则根据第2章的知识，存储电容为（假设发射系数n为1）：

$$C_{bestor} = \tau_F \cdot \frac{I_E}{V_T} \tag{16-5}$$

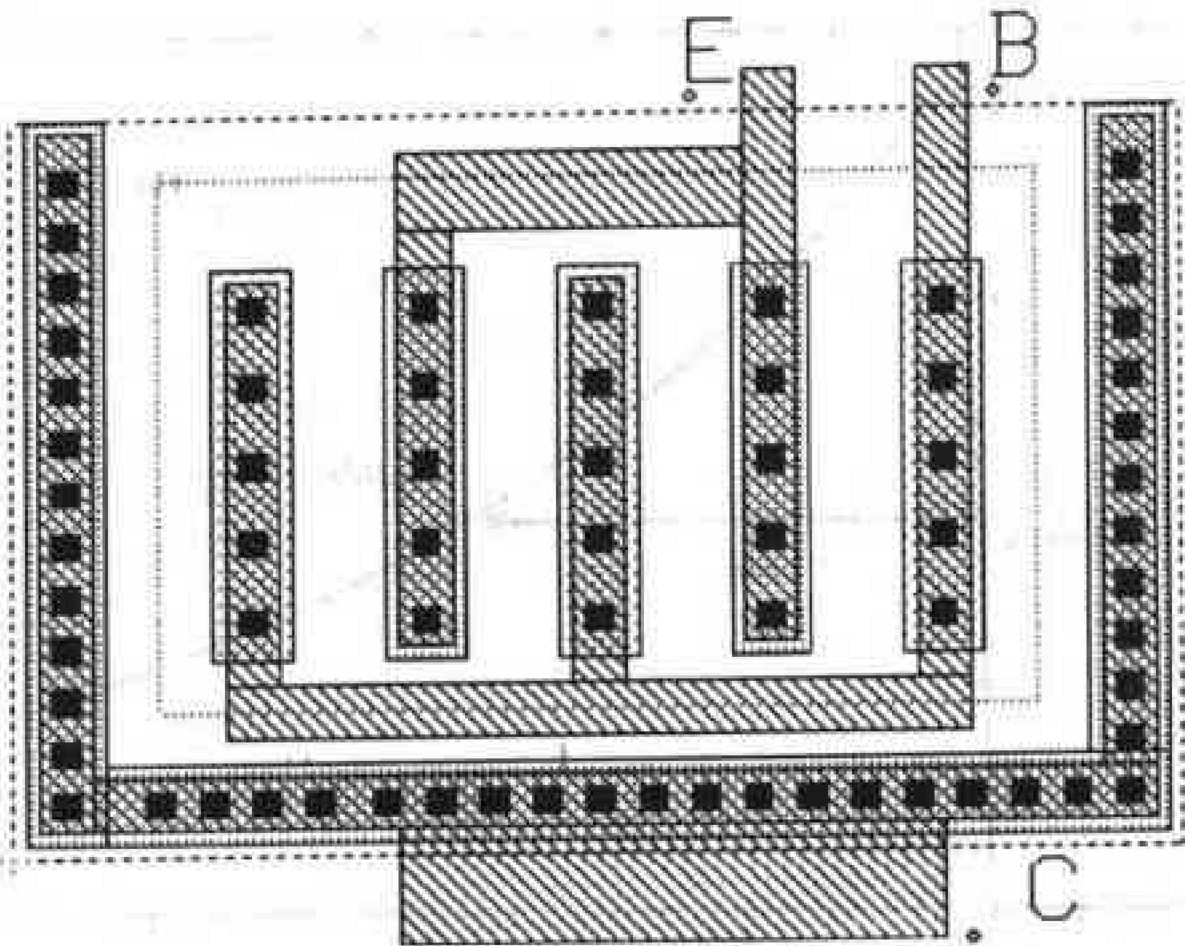


图16-8 5×2结型隔离NPN晶体管的版图

319

式中，I_E为直流发射极电流，V_T为热电压（kT/q）。随着发射极电流的增加，存储电容会相应增大。"spice.inf" 文件给出的SPICE模型中没有给出τ_F参数，因此，仿真结果不能反映存储电荷的影响（例如，晶体管要等到基极-发射极PN结中的存储电荷完全被移走才会关断）。

16.3 BiCMOS反相器

图16-9是一个BiCMOS反相器。它的一个比较重要的特征是输出电压不能达到*VDD*或地（CMOS反相器的输出电压可以达到*VDD*或地），这就降低了逻辑门的噪声容限。图中这个BiCMOS反相器的最大输出电压约为*VDD*−0.7 V，最小输出电压约为0.7 V。0.7V的压降分别来自于Q2和Q1的基极-发射极之间的电压降。当把BiCMOS逻辑门的输出用于CMOS逻辑门时，必须非常小心，因为BiCMOS逻辑门输出电压的最小值约为0.7 V，非常接近NMOS管的阈值电压；如果CMOS逻辑门的转换点电压接近阈值电压，那么整个电路就很容易因噪声影响而出现错误操作。

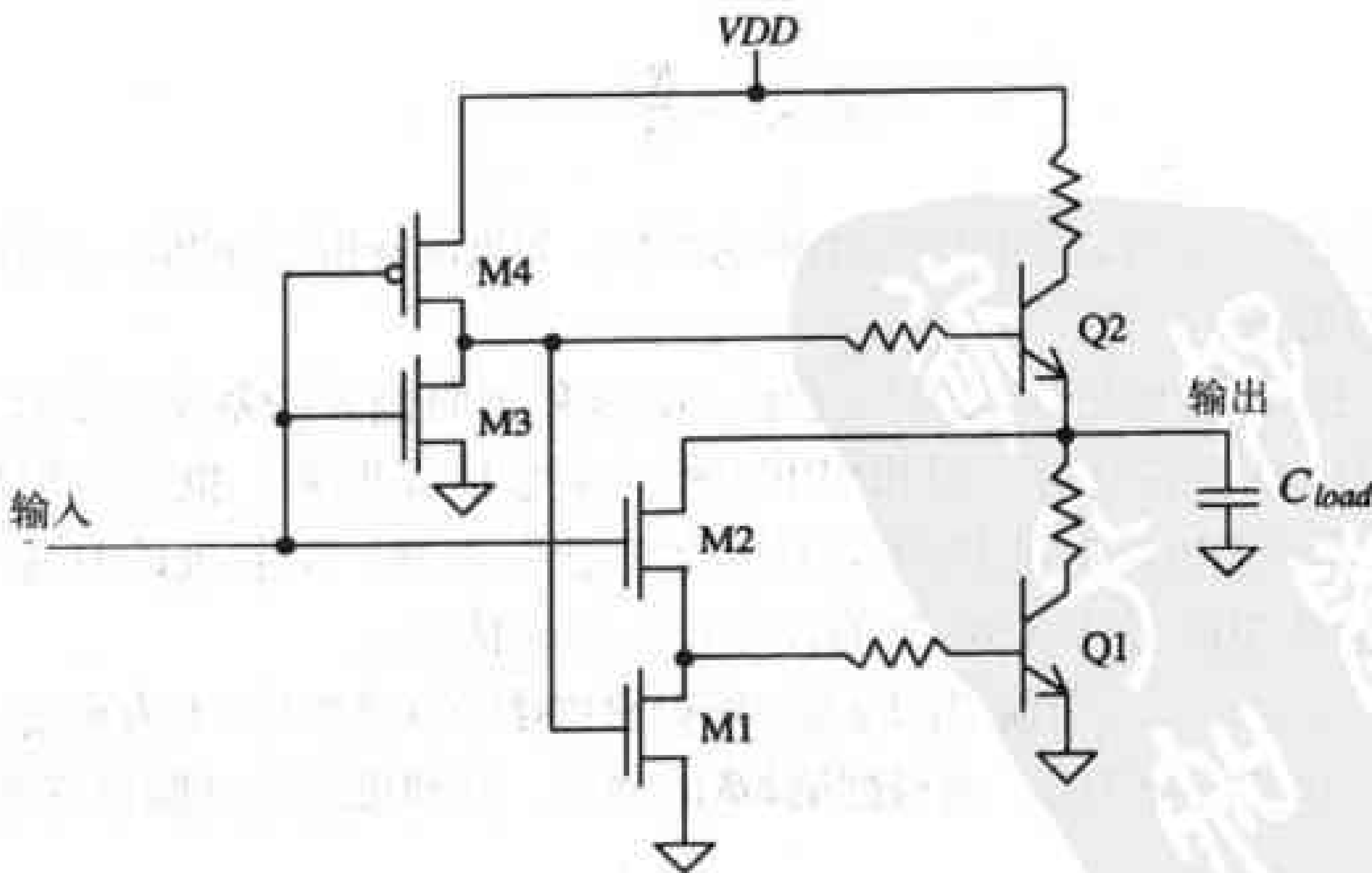


图16-9 基本的BiCMOS反相器（给出了集电极寄生电阻和基极寄生电阻）

下面来分析BiCMOS反相器的工作原理。先考虑输入为地的情形。此时，M4管和M1管导通，M2管和M3管截止。双极晶体管Q1截止，它的基极通过M1管接地。Q2的基极通过M4管接VDD，因此，输出电压为$VDD-0.7$，是逻辑“高”。当输入为高电平时，M2管和M3管导通，M4管和M1管截止。Q2的基极通过M3管接到地，因而截止。输出通过M2管接到Q1的基极，使得Q1导通，输出电压为0.7 V。

320

开关特性

当负载电容C_{load}通过BiCMOS反相器放电时，延迟包括两部分，即Q1管的导通延迟和C_{load}的放电延迟。C_{load}的放电延迟为：

$$t_{PHL}=R_{npn}\cdot C_{load} \tag{16-6}$$

Q1管的导通延迟近似为少数载流子的寿命τ_F，通常小于1ns。M2管用来开启Q1管。M2管的尺寸可用下述方法来确定：已知Q1管的基极电阻为R_b，令M2管的有效电阻R_{n2}等于R_b，就可以求出R_{n2}所对应的M2管尺寸。这种确定M2管尺寸的方法非常简单，电路的性能也非常好。

估算t_{PLH}的方法与估算t_{PHL}的方法相同。C_{load}的充电延迟为：

$$t_{PLH}=R_{npn}\cdot C_{load}=t_{PHL} \tag{16-7}$$

t_{PLH}和t_{PHL}相等也是BiCMOS反相器的一个优点。M4管用来驱动Q2管的基极。令M4管的有效电阻等于Q2的基极电阻，就可以确定M4管的尺寸；这是确定MOS管尺寸的常用方法。M1管和M3管的有效电阻可以比M2管和M4管的有效电阻大一些，因为M1管和M3管只是在Q1管和Q2管截止期间，把它们的基极接地。一般来说，为了使转换点电平接近$VDD/2$，M2管和M4管的尺寸应该与M3管的尺寸相同。

例16.2

假定图16-10中BiCMOS反相器驱动一个10pF的电容负载，估算并仿真验证该反相器的延迟时间。计算该反相器的输入电容。

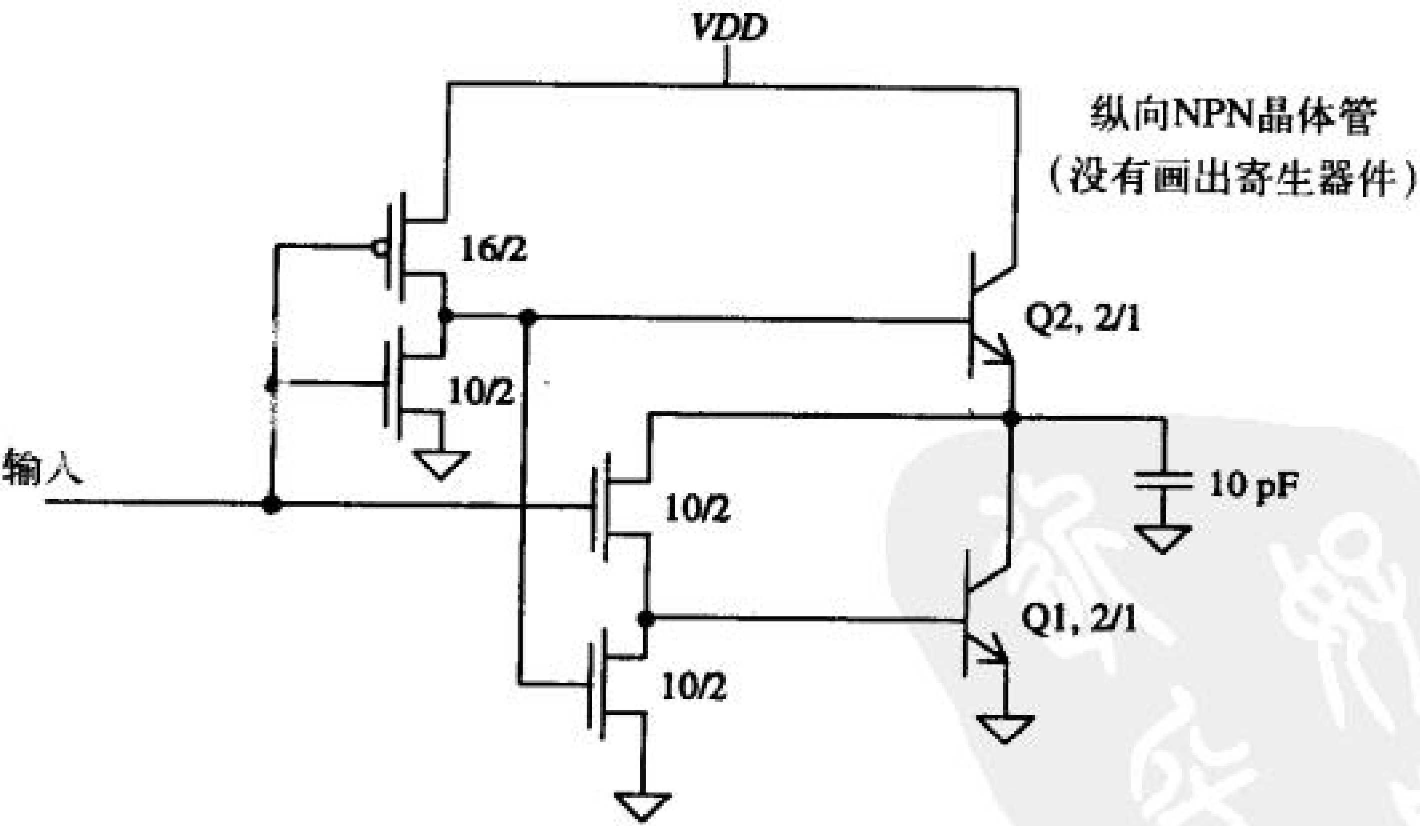


图16-10 例16.2的电路

传输延迟比较简单，由下式给出：

$$t_{PHL}=t_{PLH}=R_{npn}C_{load}=420\cdot 10\text{ pF}=4.2\text{ ns}$$

SPICE仿真结果如图16-11所示。由该图可看出，BiCMOS反相器的输出电压与电源和地都约相差0.7V。

反相器的输入电容是接输入的三个MOS管的输入电容的总和，即:

$$C_{in} = \frac{3}{2} \cdot 800 \frac{\text{aF}}{\mu\text{m}^2}(2 \cdot 10 + 2 \cdot 10 + 16 \cdot 2) = 86.4 \text{ fF}$$

该输入电容可以很容易地被片上逻辑电路驱动，不会增加额外的延迟。采用大尺寸的双极晶体管（驱动双极晶体管的MOS管的尺寸也需相应增大）来驱动该电容负载，可以减小延迟时间。

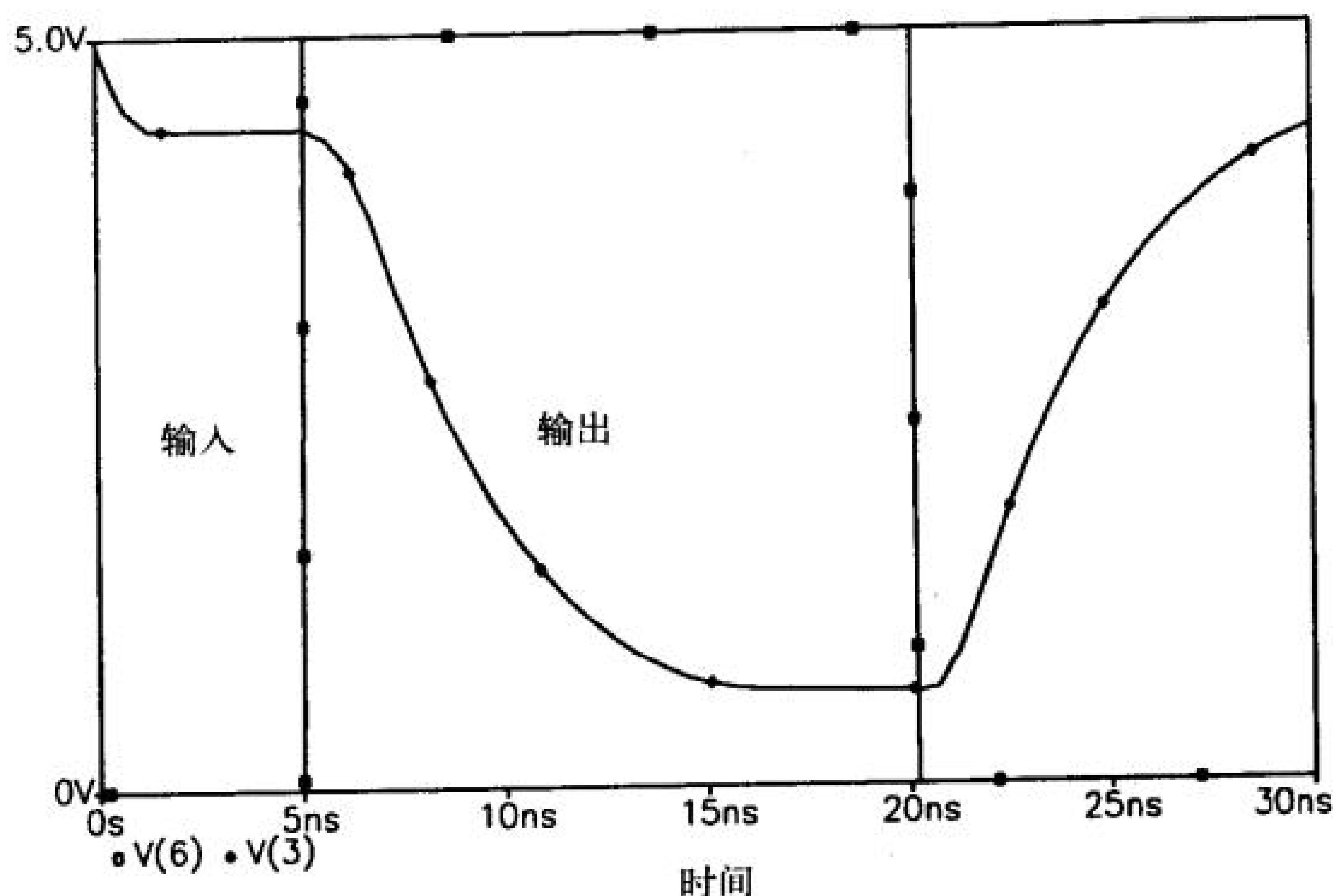


图16-11 BiCMOS反相器的仿真结果（驱动10pF的电容负载）

321~322

上面的分析忽略了双极晶体管的一个重要特性，即载流子的寿命τ_F（引起存储电容）。SPICE模型中也没有τ_F参数，因此，实际的延迟时间比SPICE给出的延迟时间要大一些。 ■

全摆幅BiCMOS反相器

图16-12和16-13是两个全摆幅的BiCMOS反相器[4][5]。先分析第一个反相器(图16-12)。当输入为地时，M2管和M4管截止，M5管则导通。M1管和M3管可被看成电阻。由于M5管导通，Q2管的基极被拉到VDD，Q2管导通，这样就把输出拉到$VDD-0.7$；接着，作电阻用的M3管又将输出提升到VDD。当输入由地变为高电平时，M2管和M4管导通，M5管截止，这样就把Q2管的基极接到地，使它截止。M2管导通，输出原来为高电平，从而使Q1管导通，Q1管将输出下拉到0.7 V；接着，作电阻用的M1管进一步将输出下拉到地。该电路中的M1管和M3管的沟道长度应该适当取大一些以提高其有效电阻，否则，该电路就不能很好地工作。

图16-13所示反相器比图16-12中的反相器在性能上要好一些（降低了动态功耗），代价是电路较为复杂。该反相器的工作原理与图16-12中的反相器相似，所不同的是M1管和M3管由反相器的输出来控制。与图16-12所示反相器相比，在这种结构的反相器中，对MOS管的尺寸要求就不是那么重要了。

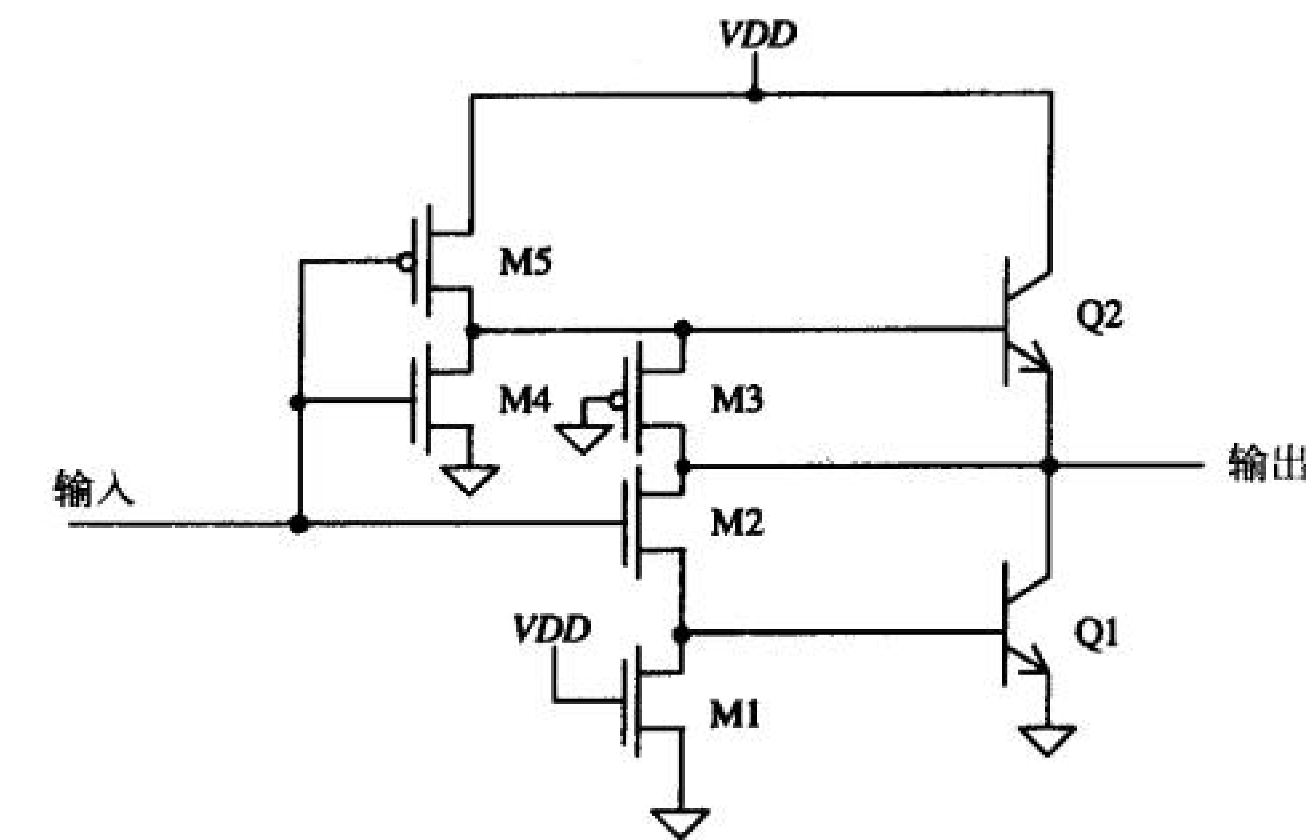


图16-12 全摆幅BiCMOS反相器

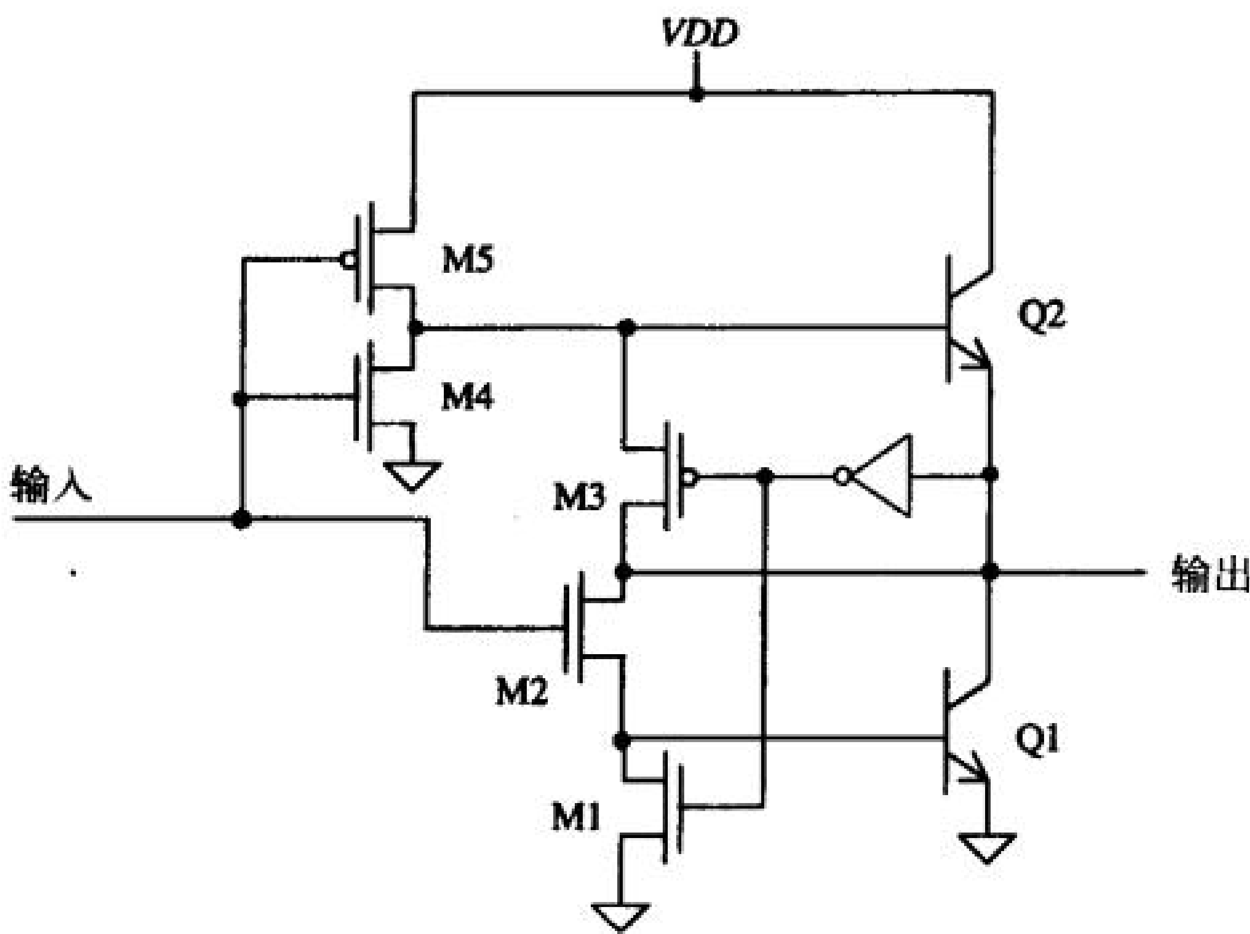
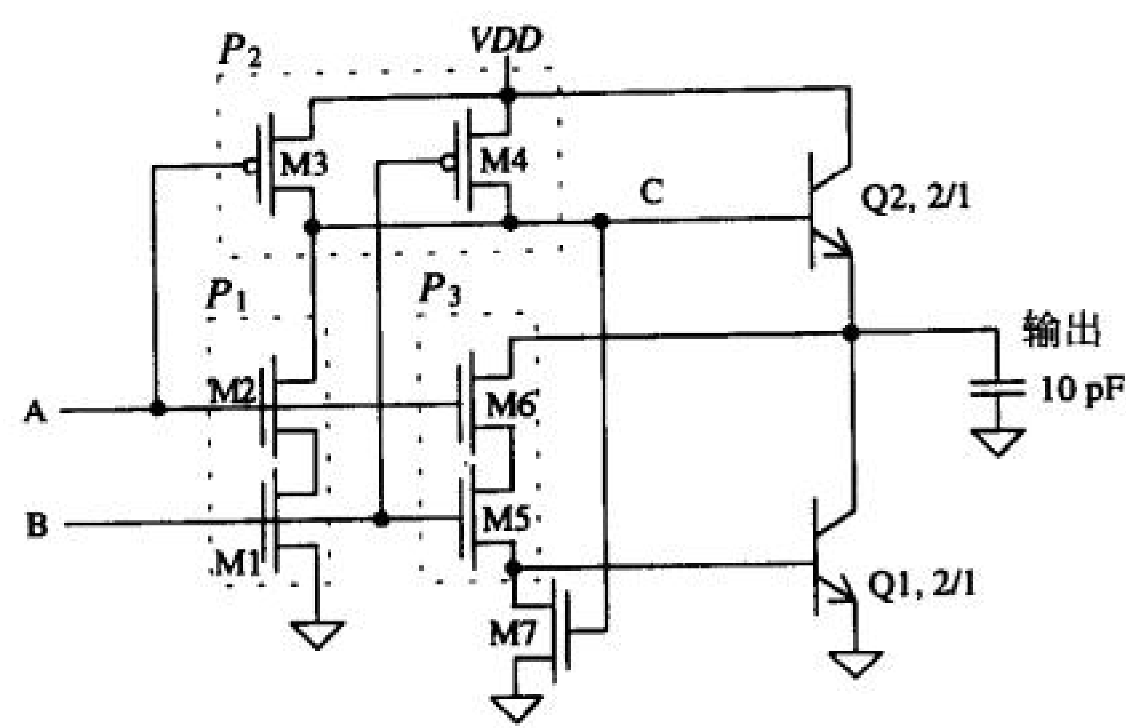


图16-13 低功耗全摆幅BiCMOS反相器

16.4 其他的BiCMOS逻辑门

根据标准的CMOS静态逻辑门的结构，很容易实现BiCMOS的NAND门和NOR门[6][7]。图16-14给出了BiCMOS的NAND门。图中，P_1模块和P_2模块与第12章中CMOS NAND门（图12-1）中的对应模块相同；节点C对应CMOS NAND门的输出，因此，BiCMOS门的输出与节点C的逻辑状态相同。P_3模块中的M5管和M6管的作用是：当输入A和B都为高电平时，输出需要降为低电平；此时，M5管和M6管导通，Q1管的基极接输出，使得Q1管导通，通过Q1管泄放负载电容上的电荷，从而把输出下拉到低电平。M7管的作用是：当输出为高电平时，导通的M7管把Q1管的基极接到地，使Q1管截止；当输出为低电平时，M7管截止，Q1管的基极通过M5管和M6管接到输出，使Q1管导通。表16-1给出了不同输入状态下，BiCMOS的NAND门中重要节点和各晶体管的状态。



323
~
324

图16-14　BiCMOS NAND门

表16-1　图16-14中节点C和各晶体管的状态

A	B	节点C	M5	M6	M7	Q1	Q2	输出
0	0	1	截止	截止	导通	截止	导通	1
0	1	1	导通	截止	导通	截止	导通	1
1	0	1	截止	导通	导通	截止	导通	1
1	1	0	导通	导通	截止	导通	截止	0

图16-15是一个BiCMOS NOR门。可以看到P_1模块和P_2模块与第12章中CMOS NOR门（图12-1）中的对应模块相同。节点C的逻辑状态和BiCMOS NOR门的输出相同。当输出需要下拉为低电平时，由M5管和M6管构成的P_3模块把Q1管的基极和输出节点连在一起，使Q1管导通，泄放输出电容上的电荷，从而把输出电压下拉到低电平。当输出为逻辑"1"时，M7导通，使Q1管的基极接到地，Q1管截止。表16-2给出了不同输入状态下，BiCMOS NOR门中重要节点和各晶体管的状态。

表16-2　图16-15中节点C和各晶体管的状态

A	B	节点C	M5	M6	M7	Q1	Q2	输出
0	0	1	截止	截止	导通	截止	导通	1
0	1	0	导通	截止	截止	导通	截止	0
1	0	0	截止	导通	截止	导通	截止	0
1	1	0	导通	导通	截止	导通	截止	0

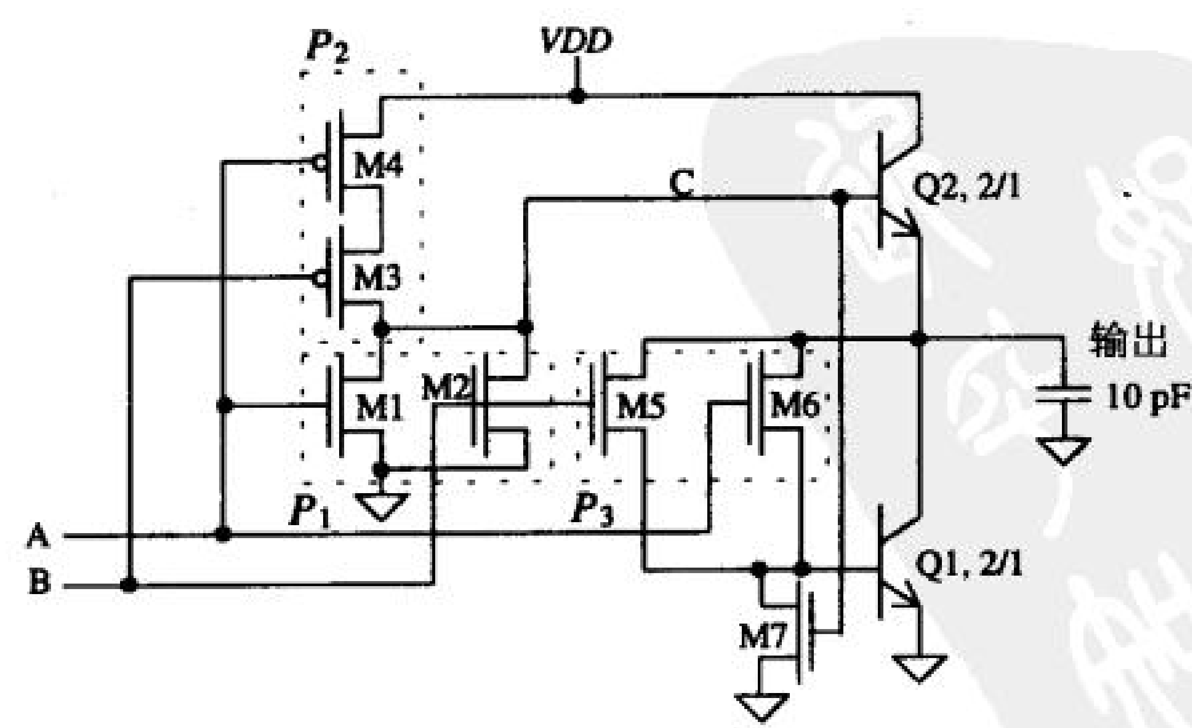


图16-15　BiCMOS NOR门

这些门的开关特性分析方法与BiCMOS反相器的分析方法相同。它们的延迟时间都主要由负载电容的充放电时间决定。

325

16.5 BiCMOS电平转换电路

BiCMOS技术的一个主要优势是它可以把CMOS逻辑、发射极耦合逻辑（Emitter-Coupled Logic，ECL）和BiCMOS逻辑集成在一个芯片上。ECL电路的一个优点是双极晶体管基极-发射极电压每改变25mV，输出电流就可以倍增。这是因为双极晶体管的集电极电流I_c为:

$$I_C = I_S e^{(v_{BE}/V_T)} \quad (16\text{-}8)$$

式中，I_s是饱和电流，V_T为热电压，v_{BE}是瞬态的基极-发射极电压。双极晶体管的跨导为:

$$g_m(BJT) = \frac{I_C}{V_T}\ \text{A/V} \quad (16\text{-}9)$$

也与基极-发射极电压成指数关系。因此，双极晶体管只需很小的输入电压摆幅，就可以提供很大的驱动电流。

与此做对比，我们来分析一下MOS管的漏电流和跨导。MOS管的栅-源电压和漏电流的关系是:

$$I_D \approx \frac{\beta}{2}(V_{GS} - V_{THN})^2 \quad (16\text{-}10)$$

MOS管的跨导为:

$$g_m(MOS) = \sqrt{I_D 2\beta} = \beta(V_{GS} - V_{THN})\ \text{A/V}$$

跨导与输入电压呈线性关系。如果用MOS管驱动同样的输出节点，使输出从低电平变为高电平或从高电平变为低电平，输入电压的摆幅比双极晶体管要大很多。典型情况下，CMOS输入信号要比阈值电压高出约1 V以后，输出才开始改变状态。图16-16比较了CMOS逻辑和ECL逻辑转换速度的差异[5]。

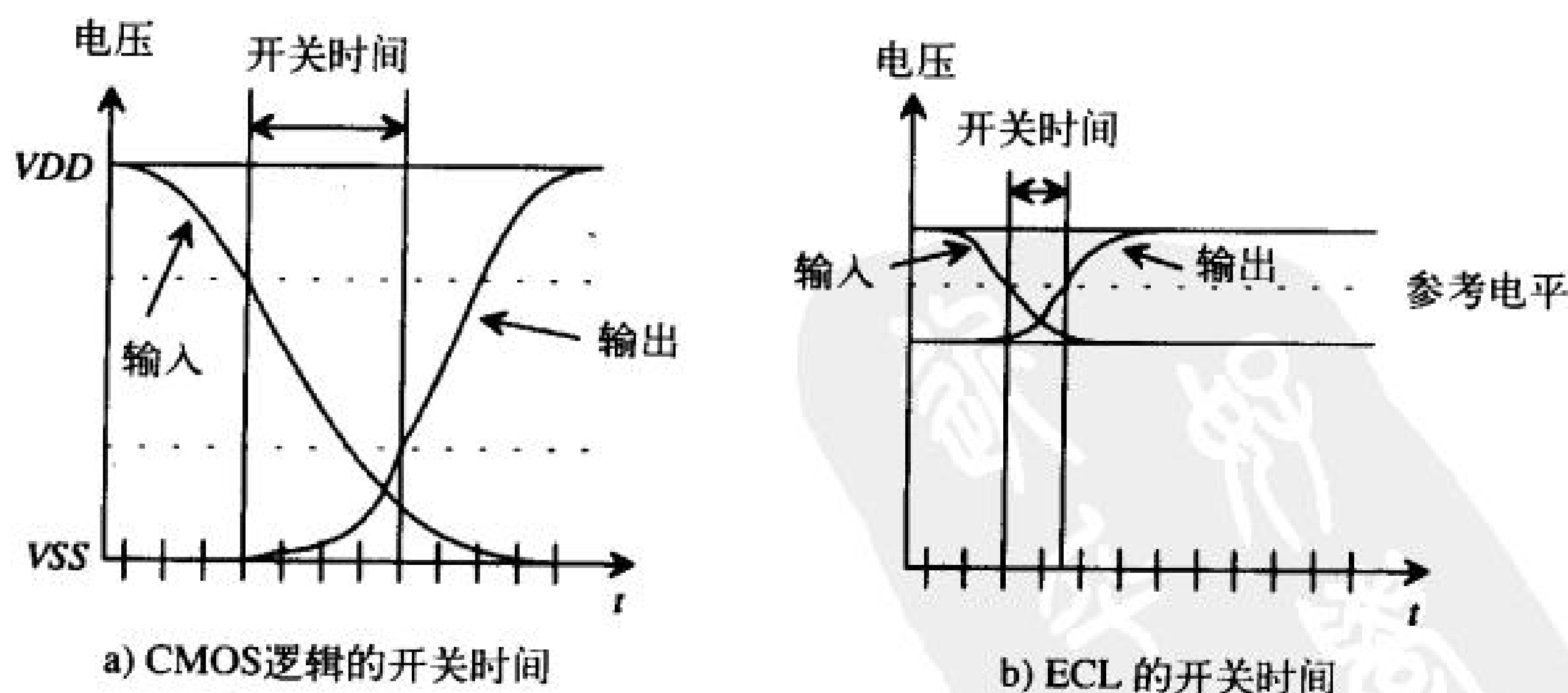


图 16-16

326

由图16-16知，CMOS逻辑和ECL用来定义逻辑高和逻辑低的参考电平并不相同。CMOS逻辑的典型摆幅在*VDD*和地之间，而ECL的信号摆幅要小得多。如果ECL的输出用于CMOS逻辑，就需要有相应的转换电路，把ECL逻辑电平转换为CMOS逻辑电平；反之亦然。

图16-17给出了一个ECL到CMOS逻辑的转换电路[3][8]。这里，ECL输入信号电平先被向下平移$2V_{BE}$，再被送到一个电流模逻辑（Current-Mode Logic，CML）电路的输入端；输入信号导致CML电路的两个支路失去平衡，一个集电极电压变为高电平，另一个集电极电压变为低电平。CML电路的输出信号接到后面的CMOS输出转换级，完成ECL逻辑电平到CMOS逻辑电平的转换。减小转换电路引入的延迟是设计时应该重点考虑的问题。影响转换电路延迟的主要因素是CML级的输出摆幅和CMOS输出转换级的器件尺寸。增大CML级的输出摆幅可以减小CMOS输出转换级的延迟，但会增大CML级的延迟。

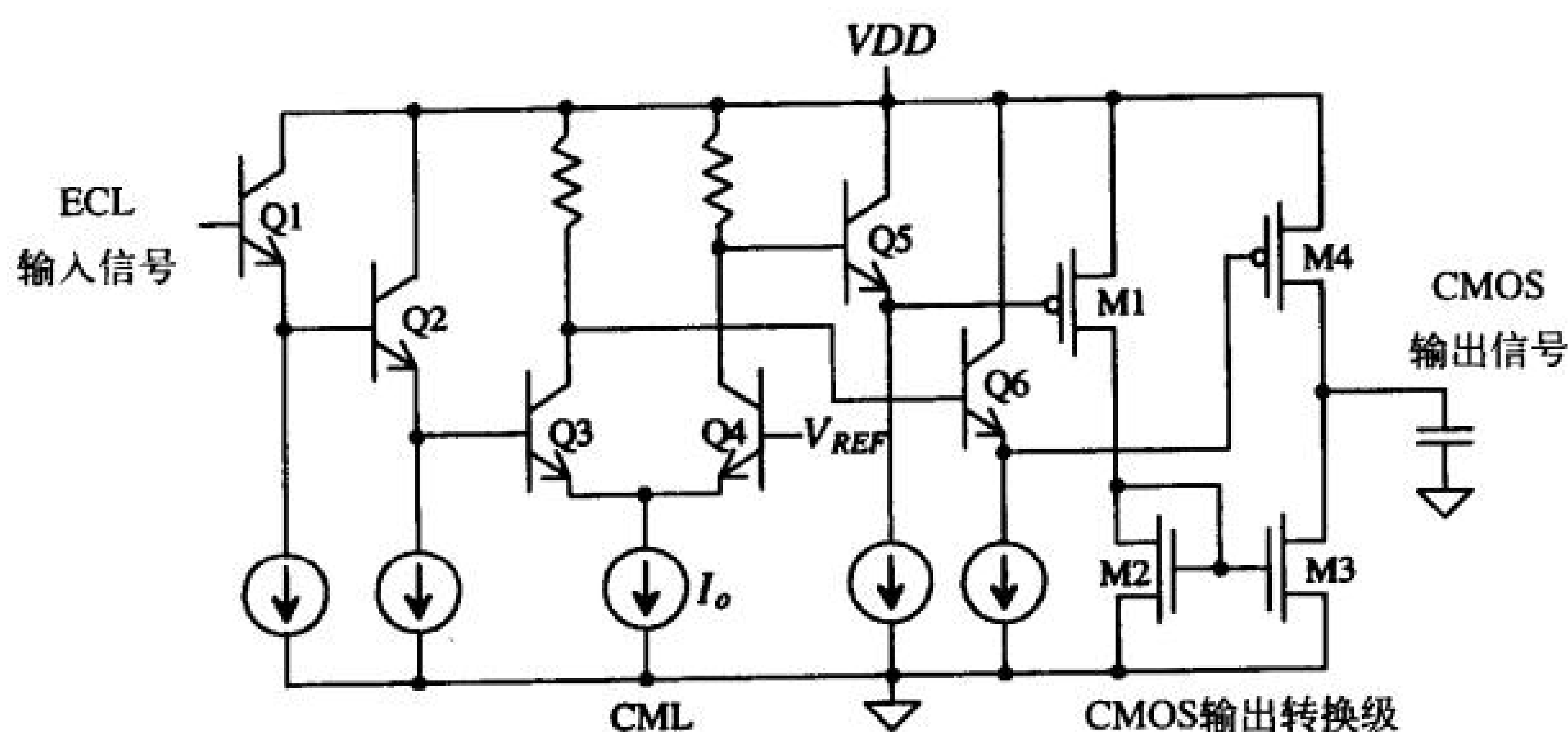


图16-17 ECL到CMOS逻辑的电平转换电路

图16-18给出了一个改进的ECL到CMOS逻辑的电平转换电路[9]。与图16-17中的转换电路相比，改进的转换电路减小了总延迟和功耗，提高了对电容负载的驱动能力；但要实现该电路，需要BiCMOS工艺能制作NPN和PNP两种类型的双极晶体管。该电路的输入可以是互补输入，也可以是单端输入（另一个输入端接一个参考电压）。电路中，两个互补的差分输入级分别驱动一个输出双极晶体管。这个电路之所以有较小的延迟时间，一个重要原因是：输出晶体管Q5和Q6的基极直接由相应的差分输入级来驱动。例如，如果ECL输入是ECL1为高电平、ECL2为低电平，则流过M1管的所有电流都流过Q4管，最后流入Q6的基极，因此，输出节点会迅速地被放电。同样的，如果ECL1是低电平、ECL2为高电平，所有通过M2管的电流都会流过Q2管，这样就会有一个大电流流过Q5管，输出节点就可以很快被充电到高电平。

327

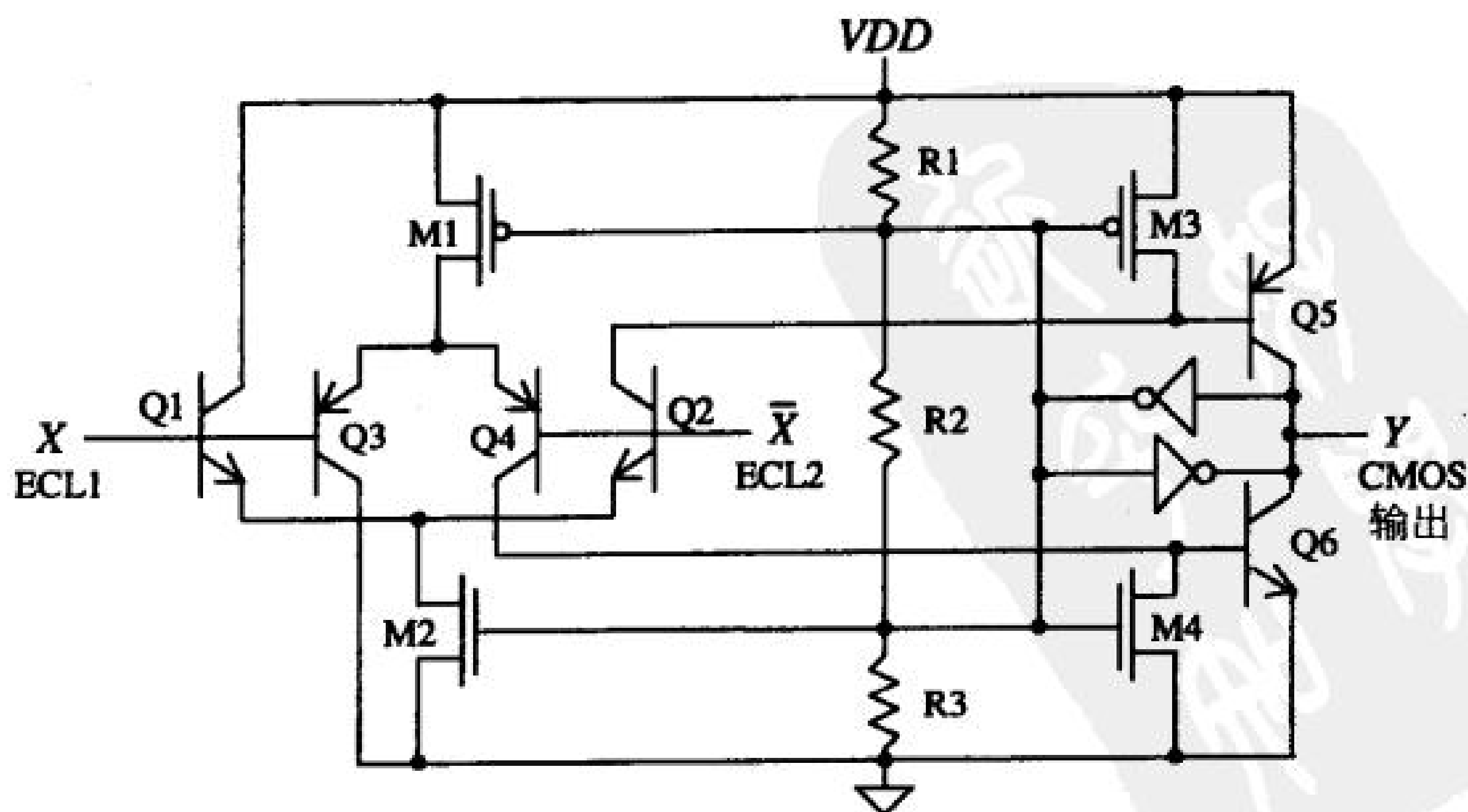


图16-18 改进的ECL到CMOS逻辑的电平转换电路

一旦输出管Q5和Q6导通，它们就会进入饱和态，直到由反相器构成的反馈电路将它们关断。例如，如果输出节点为高电平，则图中上面那个反相器的输出为低电平，它会把M3管的栅压拉下来，从而把Q5的基极短接到*VDD*。同样地，如果输出节点为低电平，则图中上面那个反相器的输出为高电平，使得M4管导通，把Q6的基极短接到地。因此，输出晶体管Q5和Q6只在很短的一段时间内处于饱和态，一旦输出信号建立起来，它们就会截止，由反馈电路来保持输出的逻辑值。图中，电阻串用来将输出晶体管的基极–发射极电压偏置在导通的边缘，因此，可提高电路速度。

图16-19给出的是一个CMOS逻辑到ECL的电平转换电路[10]。它需要一对互补的CMOS输入。由于电流I_o保持不变，输入信号导致源耦合对的两个支路失去平衡。调整电阻阻值和输入MOS管的尺寸，可以调整源耦合对的输出摆幅（即A节点和B节点之间的电压差）。

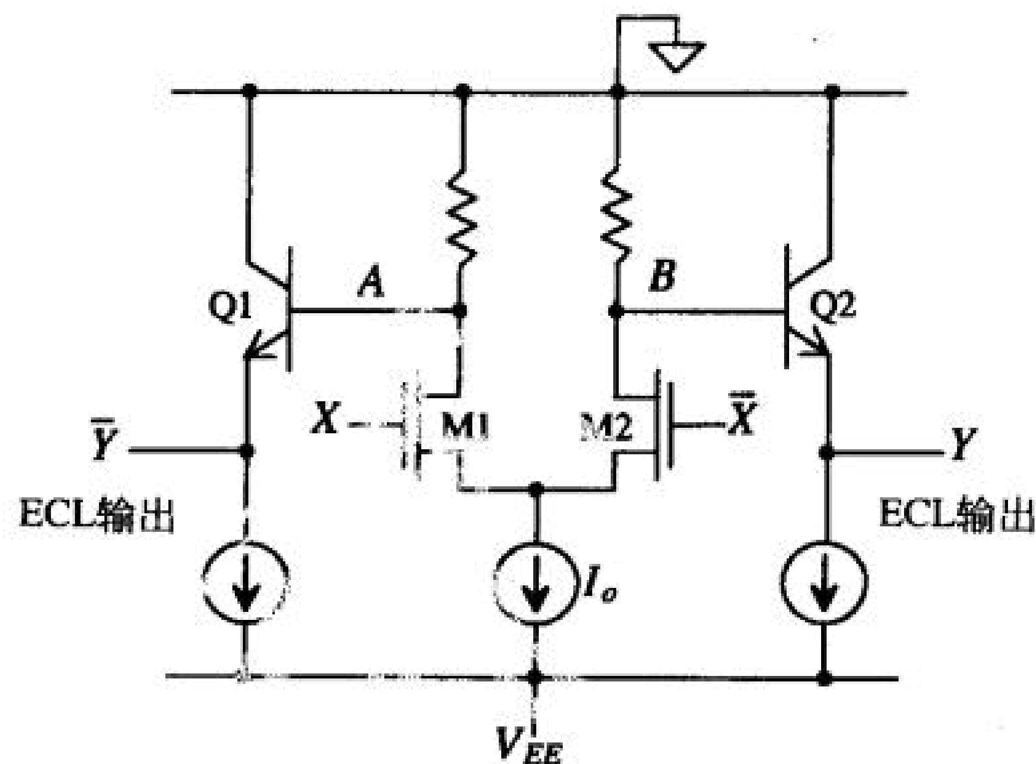


图16-19 CMOS逻辑到ECL的电平转换电路

参考文献

[1] A. R. Alvarez, "BiCMOS-Has the Promise Been Fulfilled?," *IEDM 1991*, pp.13.1.1-13.1.4, 1991.

[2] M. Kubo, I. Masuda, K. Miyata, and K. Ogiue, "Perspective on BiCMOS VLSI's," *IEEE Journal of Solid State Circuits*, vol. 23, no. 1, pp. 5-11, February 1988.

[3] M. I. Elmasry, "Introduction to BiCMOS Integrated Circuits: A Tutorial," *IEEE BiCMOS Integrated Circuit Design*, IEEE Press, 1994. ISBN 0-7803-0430-6.

[4] "Exponential Unveils World's Fastest PC Microprocessor at 533 MHz," Press Release by Exponential Technology, Inc., October 21, 1996.

[5] "Exponential's BiCMOS Technology: Bipolar-Based BiCMOS instead of CMOS-Based BiCMOS," http://www.exp.com/products/x704/bicmos.html, Exponential Technology, Inc., November 1996.

[6] M. I. Elmasry, *BiCMOS Integrated Circuit Design*, IEEE Press, 1992. ISBN 0-7803-0430-6, IEEE order number: PC0346-7.

[7] J. P. Uyemura, *Circuit Design for Digital CMOS VLSI*, Kluwer Academic Publishers, 1992.

[8] S. H. K. Embabi, A. Bellaouar, and M. I. Elmasry, "Analysis and Optimization of BiCMOS Digital Circuit Structures," *IEEE Journal of Solid State Circuits*, vol. 26, no. 4, pp. 676-679, April 1991.

[9] M. Rau and H. J. Pfleiderer, "An ECL to CMOS Level Converter with Complementary Bipolar Output Stage," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 7, pp. 781-787, July 1995.

[10] K. Gopalan, *Introduction to Digital Microelectronic Circuits*, Irwin, 1996. ISBN 0-256-12089-7.

习题

328~329

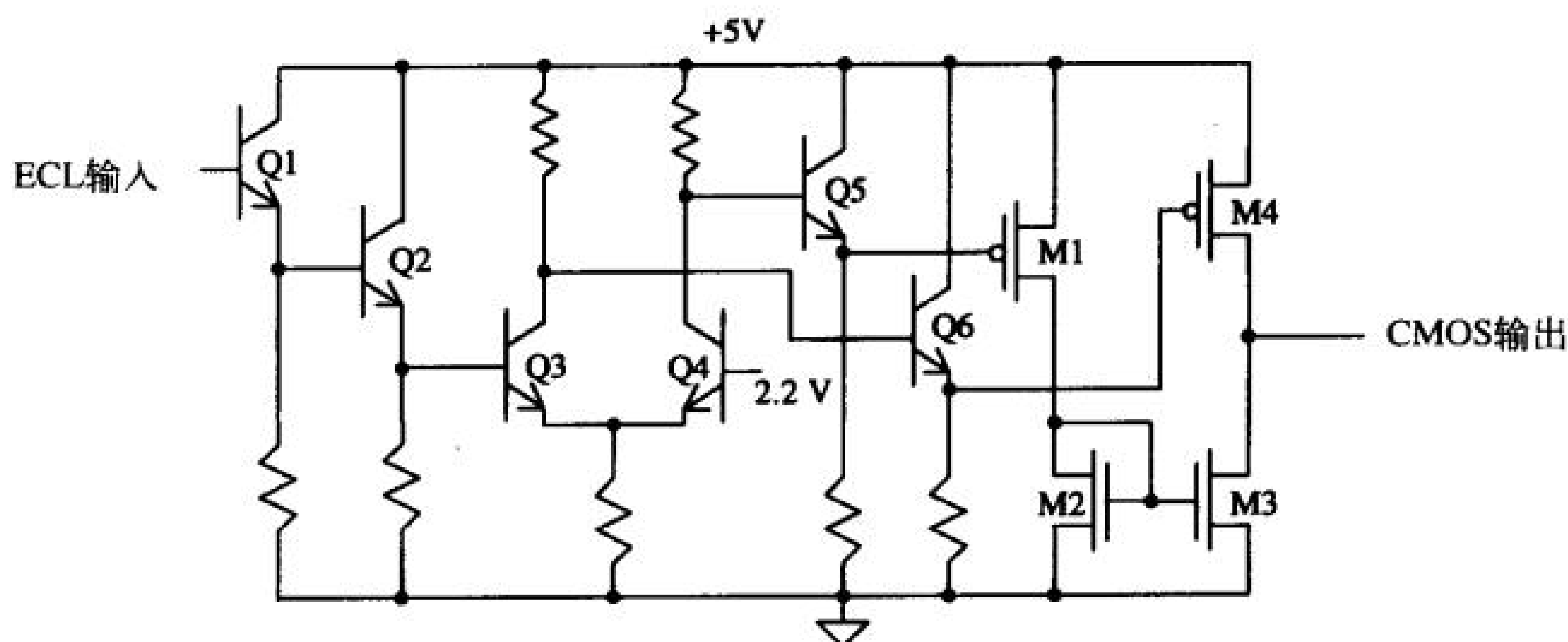
16.1 画出结型隔离的5 × 1 NPN双极晶体管版图并做DRC检查。

16.2 针对5 × 1双极晶体管，重做例16.1。

16.3 用SPICE验证例16.2中反相器的工作原理。

16.4 设计一个全摆幅的BiCMOS输出缓冲器。要求：输入电容小于或等于100fF；驱动10pF负载电容时，$t_{PHL} + t_{PLH}$小于15ns。

16.5 设计并仿真验证图P16-5所示的ECL到CMOS逻辑的电平转换电路。ECL输入摆幅从3.4 V（逻辑低）到4.2 V（逻辑高）。



330

图 P16-5

第17章 存储电路

本章将讨论半导体存储电路的设计[1][2]，主要讨论静态随机存取存储器（Static Random Access Memory，SRAM）和动态随机存取存储器（Dynamic Random Access Memory，DRAM）。之所以称其为随机存取存储器，是因为可以在任何时间访问这些存储器中的任一位数据。图17-1给出了一个随机存取存储器（Random Access Memory，RAM）的框图。

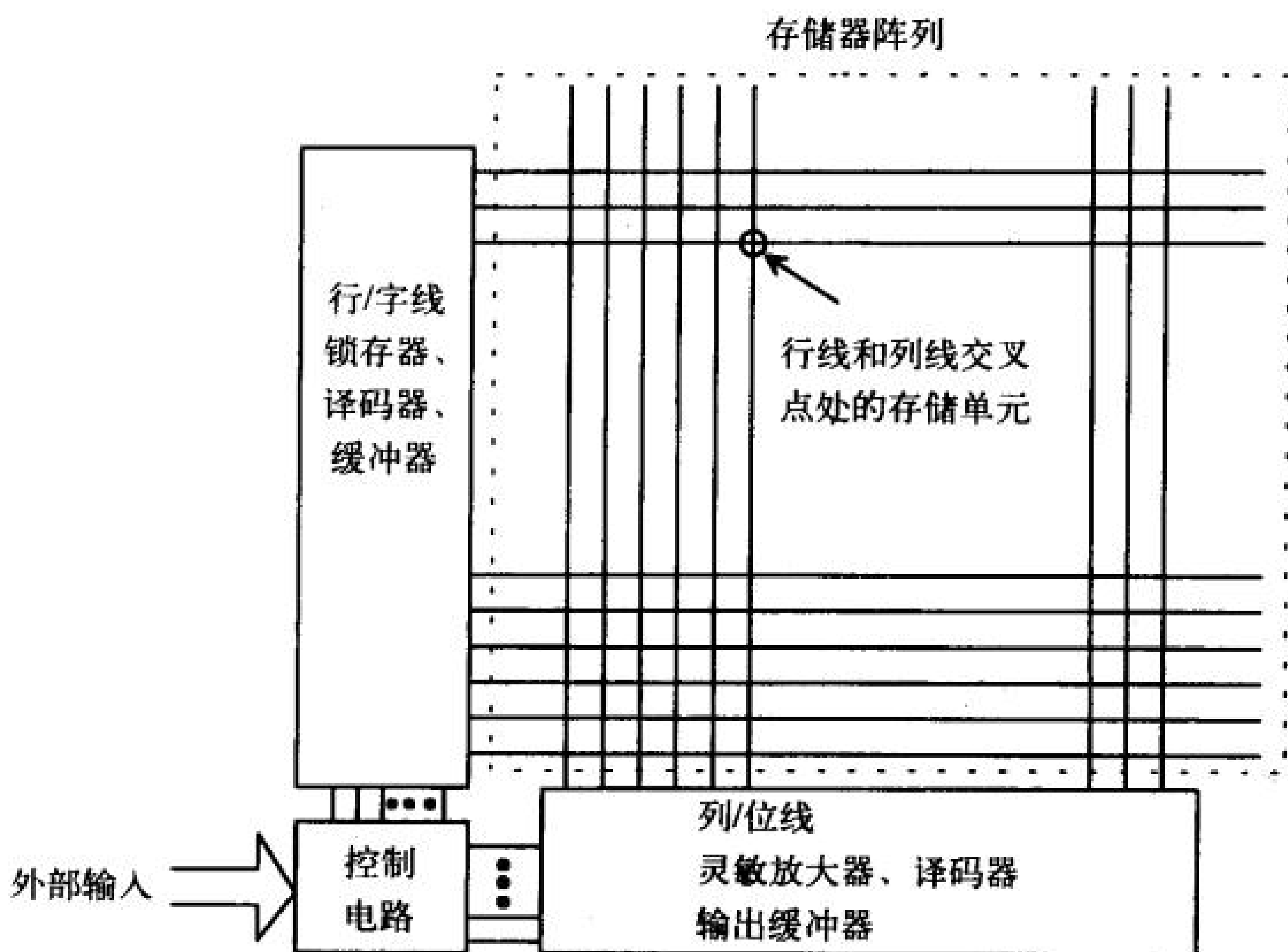


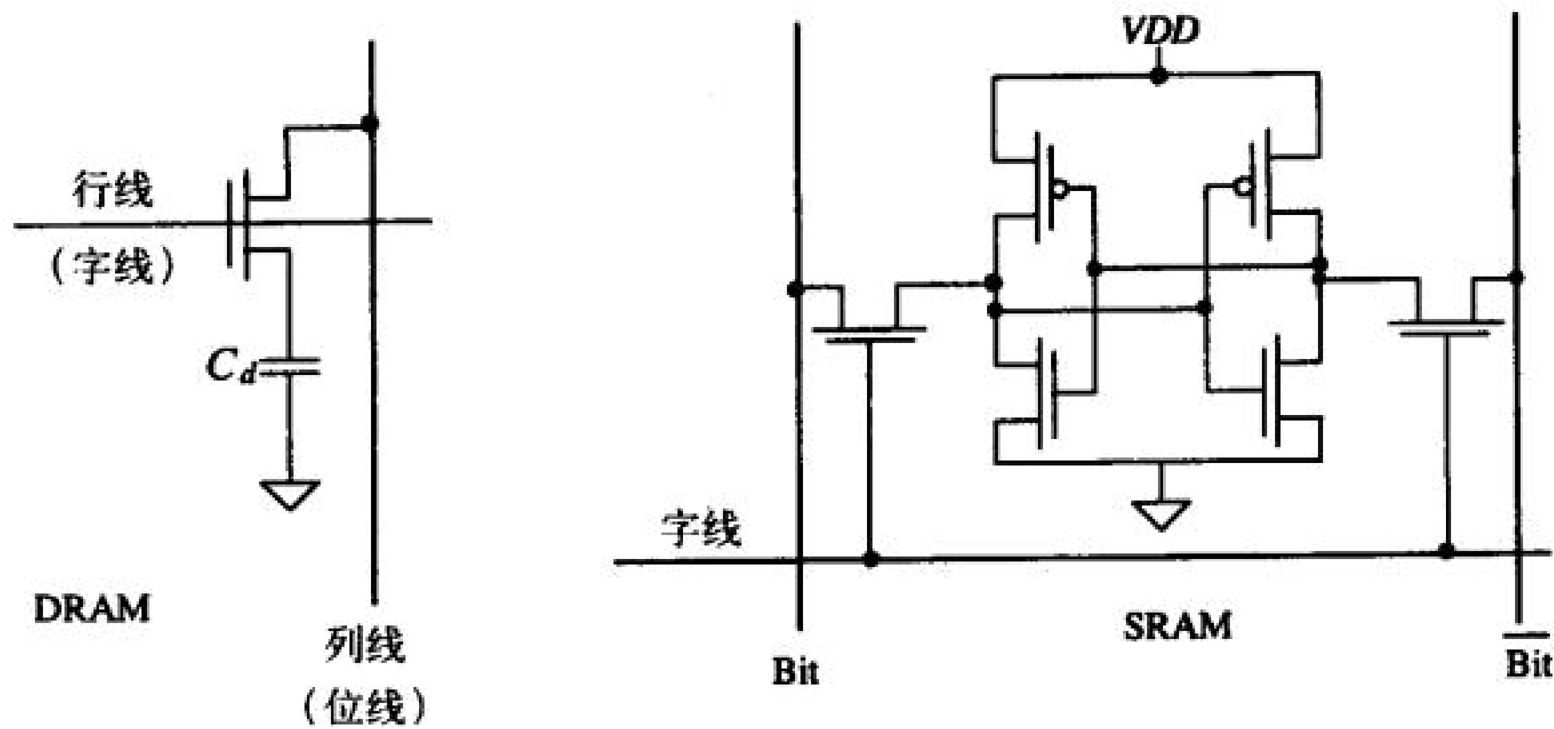
图17-1 随机存取存储器框图

在存储器阵列之外是行逻辑电路和列逻辑电路。行逻辑电路驱动行线，行线有时也被称为字线。列逻辑电路接收列线信号，列线也被称为位线、数据线。下面简单描述一下RAM的工作原理。首先是字线选择。控制电路向行逻辑电路提供行地址，行地址被锁存器锁存，经译码器译码后，由缓冲器来驱动对应该地址的字线，字线拉到高电平，选中整个这一行。由于字线很长并且要驱动存储单元中的容性负载，因此，需要用缓冲器来提高字线驱动能力。行选完成后，接下来是对列地址译码，确定此行中的哪一单元是需要存取的位。对于被选定的这一存储单元（即字线和位线的交叉点），可以通过列译码器读出或写入数据。本章的重点将集中在RAM的电路实现。

17.1 RAM存储单元

存储阵列是设计RAM时的重点。图17-2分别给出了DRAM和SRAM的存储单元电路图。DRAM存储单元由一个传输管（被称为访问管）和一个存储电容构成；CMOS SRAM存储单元是一个交叉耦合连接的反相器对，交叉耦合反相器对形成正反馈，使得存储单元有两个相反的输出。在第14章中已经讨论过DRAM存储单元的基本工作原理。

对于图17-2中的SRAM存储单元，当字线保持为低电平时，两个访问管都关断，单元中的数据被锁存。只要为存储单元提供电源，数据就可以长期保存。当字线电压为高电平时，访问管导通，可以把位线上的数据写入存储单元。这里要求访问管的宽长比约为SRAM存储单元中MOS管宽长比的四倍左右；如果两者的宽长比差不多，则会因访问管的有效电阻太大，导致新数据不能覆盖单元原有的存储值。



332

图17-2　RAM存储单元的电路图

17.1.1　DRAM存储单元

考虑图17-3a给出的DRAM存储单元的实现电路。单元中的电容用一个工作在反型区的MOS管实现；图17-3a中用作电容的MOS管的一端接访问管，另一端接*VDD*，这和图17-2中电容的接法略有不同（该电容另一端接地）。DRAM存储电容C_d的大小等于MOS管栅氧化层电容和n+注入与衬底之间的耗尽层电容之和。字线和*VDD*线（*VDD*线接用作存储电容的MOS管的栅极）用poly1实现，这极大地简化了存储单元的版图设计。

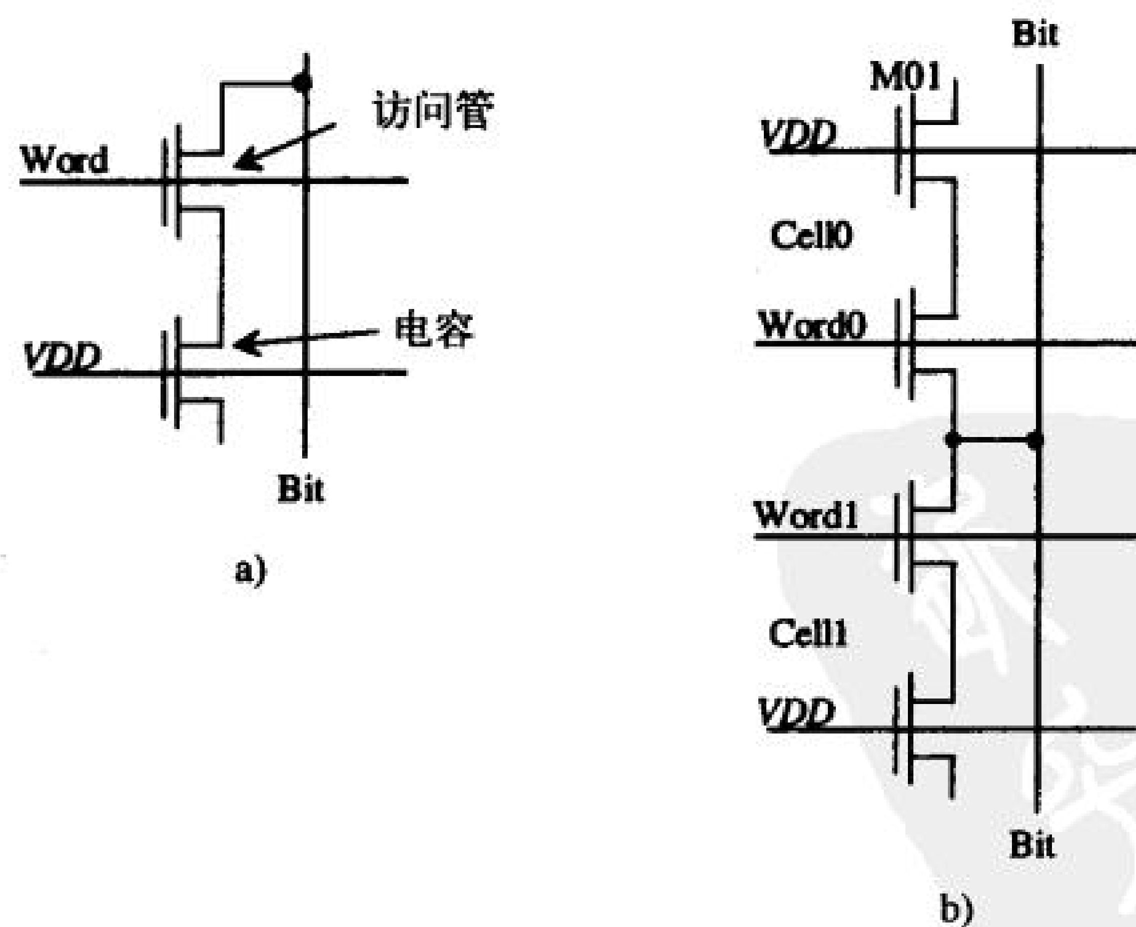


图17-3　DRAM单元的电路实现

为了使DRAM存储阵列的版图面积最小，可采用图17-3b所示结构。在这种结构中，两个单元共用一条位线。当向单元Cell0写入数据时，字线Word0为高电压，把位线上的数据存储

到电容M01上。这种结构被称为折叠位线结构。

现代工艺已不再用MOS管作存储电容，而是用几层多晶硅来制造存储电容。为了更好的理解存储器电路的设计，我们将采用CN20工艺来讲述DRAM的电路实现。

考虑图17-4给出的DRAM存储单元版图。由于字线和*VDD*都是由多晶硅实现的，当多晶硅穿过n+有源区时，字线就自然地和访问管的栅极连在一起了，*VDD*就和用作电容的MOS管的栅极连在一起了。通常用metal1实现位线。把DRAM存储单元规整排列就形成了整个存储阵列。图17-5给出了一个完整的存储单元阵列的版图；观察该图知，一条字线被选中时，并不是所有位线上的数据都有效，只有一半位线上的数据有效。

333

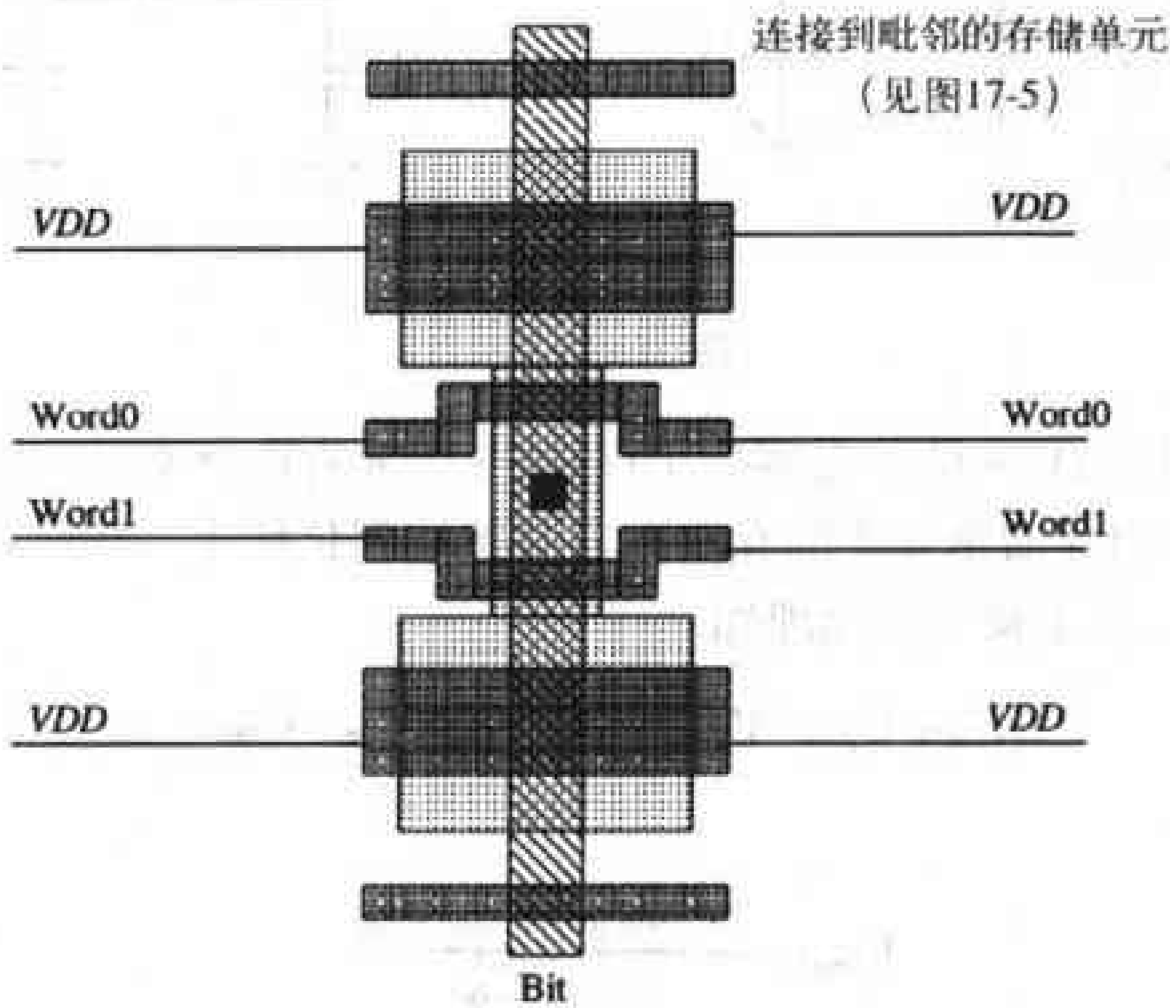


图17-4 折叠位线DRAM单元的版图

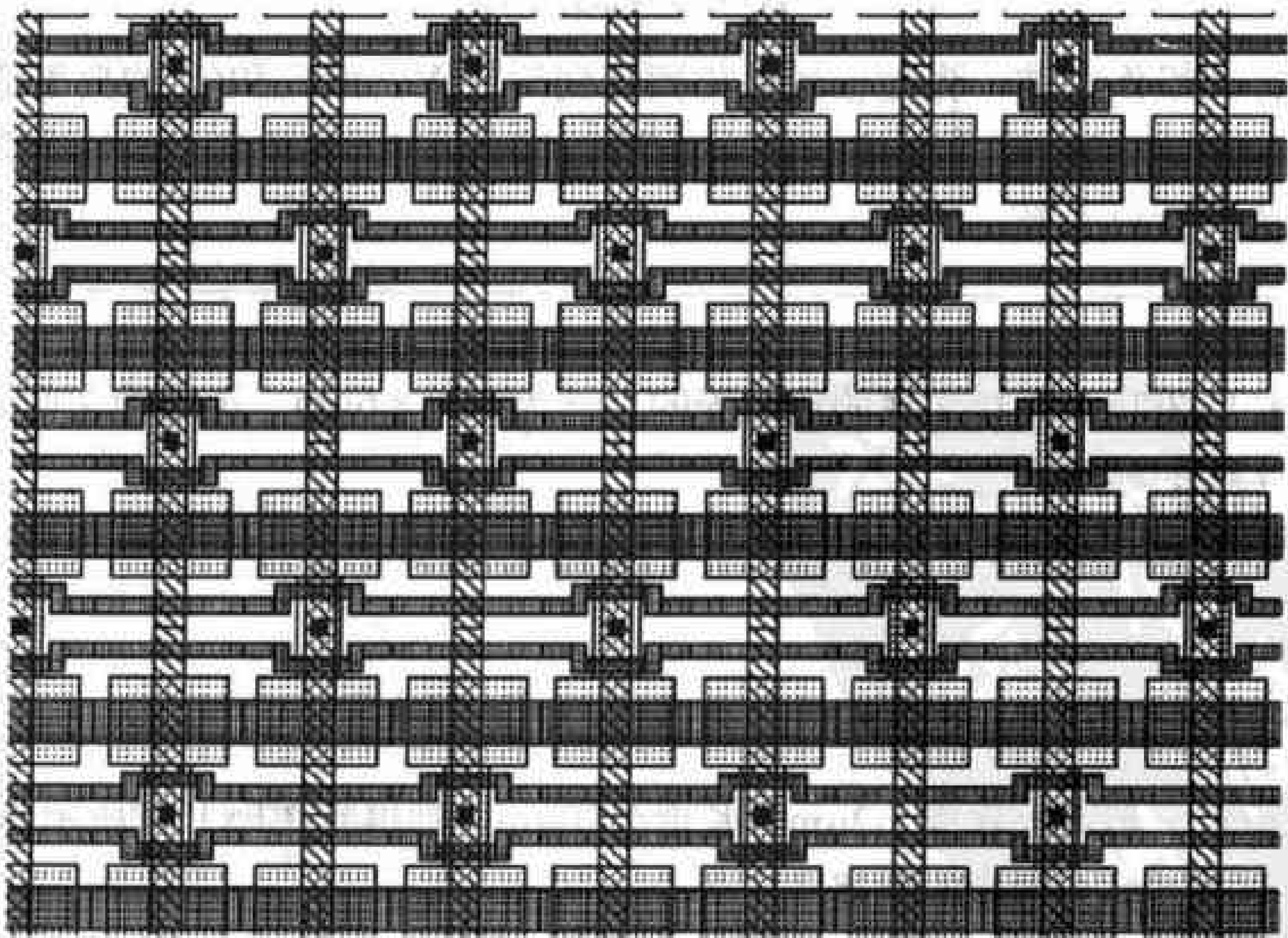


图17-5 DRAM单元阵列的版图

334

例17.1

本例用来说明电荷分享原理。考虑图Ex17-1中的DRAM单元电路的等效电路。位线电容C_{bit}是对存储器单元电路有不利影响的寄生电容，它由两部分组成：一部分是用作位线的metal1和衬底之间的电容，另一部分是DRAM单元中n+有源区的耗尽层电容（因为位线与选通管的一个n+有源区相连）。假设DRAM存储电容C_d的初始电压为V_d，位线初始电压为V_{bit}。当字线电压由低电平变为高电平时，计算C_{bit}上的电压变化。

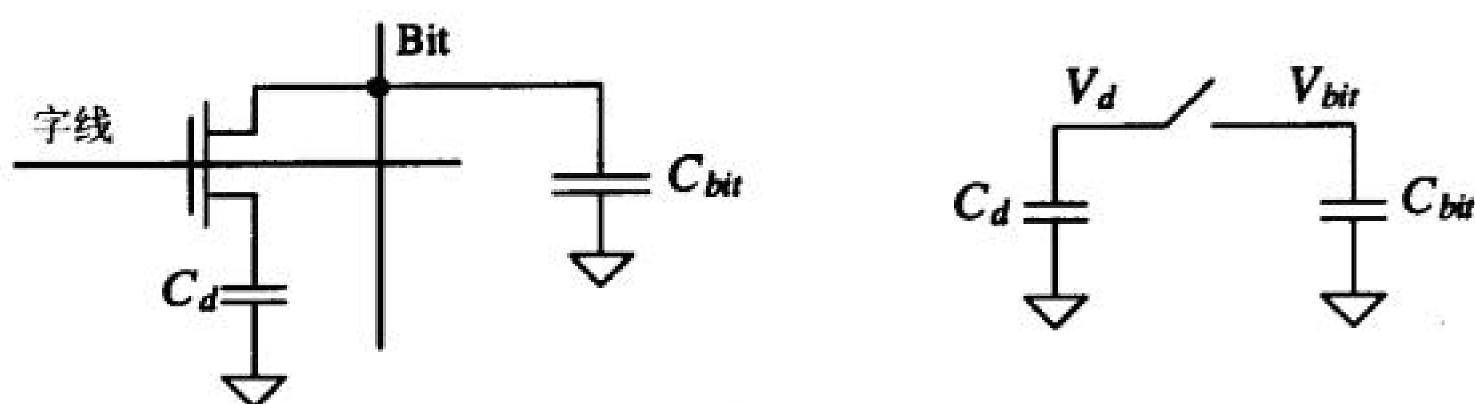


图　Ex17-1

电容C_d的初始电荷量为$V_d \times C_d$，电容C_{bit}的初始电荷量为$V_{bit} \times C_{bit}$。当字线变为高电平时，选通MOS管导通，DRAM存储单元中的存储电容直接接到位线上，最终两个电容上的电压相等，把该电压记为V_{final}。由电荷守恒原理知：

$$(C_d + C_{bit}) \cdot V_{final} = V_d \cdot C_d + V_{bit} \cdot C_{bit}$$

由此得到：

$$V_{final} = \frac{V_d \cdot C_d + V_{bit} \cdot C_{bit}}{C_d + C_{bit}} \tag{17-1}$$

位线电压的变化为：

$$\Delta V_{bit} = V_{final} - V_{bit} \tag{17-2}$$

通常在进行读操作之前，先把位线电压预充到约2.5V，而C_d和C_{bit}的典型值分别是75fF和500fF。因此，当V_d等于4V时，位线电压的变化仅为200mV。将位线上的这个微小电压变化读出的电路被称为灵敏放大器。■

例17.2

假设字线长度为2mm，接字线的选通管的尺寸为2μm × 6μm，选通管之间的间距为20μm，由此估算通过字线的延迟。

335

由附录A知，poly1的方块电阻为21Ω/方块，poly1和衬底之间的电容为58aF/μm²。每个选通管的电容为：

$$C_{inn} = \frac{3}{2} \cdot 6 \cdot 2 \cdot 800 \text{ aF} = 14.4 \text{ fF}$$

如果把字线分成段，每段的宽度为2μm、长度为20μm，则得到图Ex17-2所示等效电路图。可由下式估算出通过整个字线的延迟：

$$t_d = 0.35rcN^2 = 0.35 \cdot 210 \cdot 16.7\text{f} \cdot (100)^2 = 12.5 \text{ ns}$$

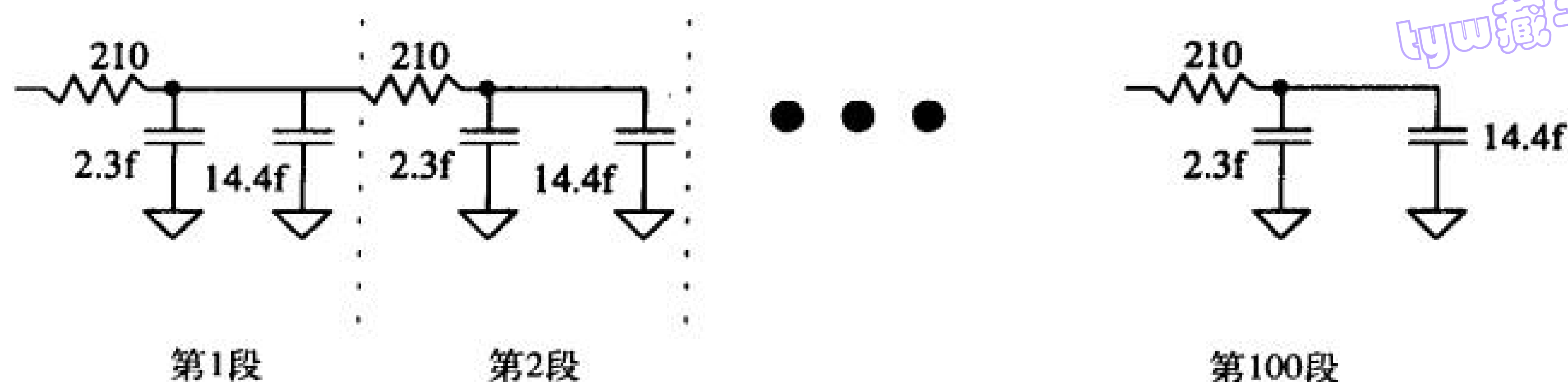


图 Ex17-2

随着版图密度的增大，连接到单位长度字线的MOS管的数目也在增加，因此，字线延迟越来越大。为了解决这一问题，在DRAM设计中，通常采用阵列分割技术，把一个很大的存储单元阵列分成几个较小的子阵列。需要高速读写的DRAM存储阵列的规模应该较小，以降低存储阵列配套支持电路（行逻辑电路、列逻辑电路）的设计难度。 ■

在DRAM中通常给衬底加一个负偏压，典型值是-2V，负的衬底偏压可以减少n+注入区和衬底之间的耗尽层电容，从而减小位线电容。负衬底偏压的另外两个好处是：可以提高电路的抗闩锁能力；允许芯片的输入为负电压（但不能低于衬底的负偏压，以防止n+/p衬底二极管进入正偏状态）。负衬底偏压也有其不利影响，包括：增大了访问管的阈值电压；增大了结的泄漏电流。在向存储单元写入高电压时，访问管的阈值电压会增大（见第14章），使写入时间增大；为了补偿阈值电压增大带来的不利影响，可以使字线驱动器所使用的电源电压增大为VDD+2V，这样，字线驱动访问管时，访问管的栅电压会高于$VDD+V_{THN}$。

现代DRAM工艺已不再采用工作在反型区的MOS管作存储电容了，而是利用层叠式电容（stacked capacitor）或沟槽式电容（trenched capacitor）（本章后面会详细介绍）。为了使单位面积上的存储电容最大化，在设计这些存储电容时，一般期望氧化层厚度尽可能薄。从电路设计的角度看，氧化层厚度进一步变薄的最大制约因素是击穿电压。为了保证电路能够正常工作，可以加在二氧化硅上的最大电场值是7MV/cm（相当于0.7V/10Å）（见第6章）。对于厚度为100Å的氧化层，为了避免氧化层被击穿，氧化层上的最大电压应小于7V；如果衬底电压为-3V，VDD为5V，当氧化层厚度t_{ox}为100Å时，器件的可靠性很差。为了限制存储电容上的电压，存储电容的一个极板保持在$VDD/2$，而另一个极板（即与访问管相接的极板）可以在地到VDD之间变化。 336

17.1.2 SRAM存储单元

图17-2给出的SRAM单元电路并不是很通用，主要是因为制备PMOS管需要n阱，造成单元版图面积太大。图17-6给出了一种得到广泛应用的SRAM单元，它的版图面积很小。图中，电阻用n+和p+多晶硅制成，因此，不能用附录A给出的CN20工艺实现。多晶硅电阻的版图如图17-7所示，可以把该电阻看成是一个导通的双极晶体管。电阻的典型阻值约为10MΩ（或更大）。CMOS SRAM单元没有静态功耗。而电阻-NMOS管型SRAM单元有静态功耗，静态功耗的大小为VDD^2/10MΩ；当VDD为5V时，每个单元的功耗为2.5μW。如果一个SRAM存储阵列有一百万个电阻-NMOS管型单元（128k × 8），其功耗为2.5W。

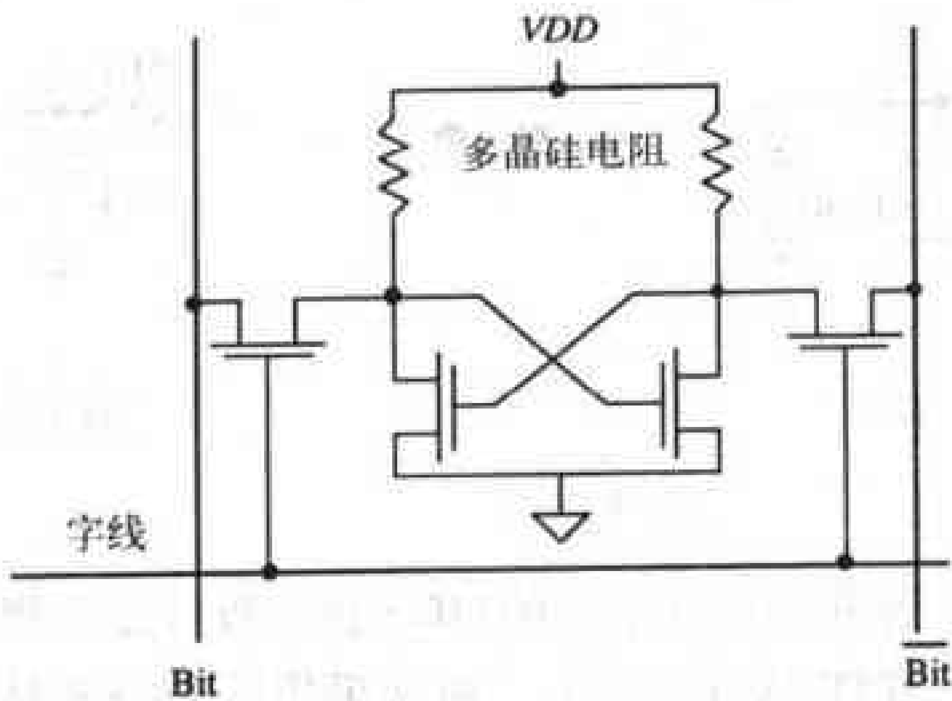


图17-6 用多晶硅电阻实现的SRAM存储单元

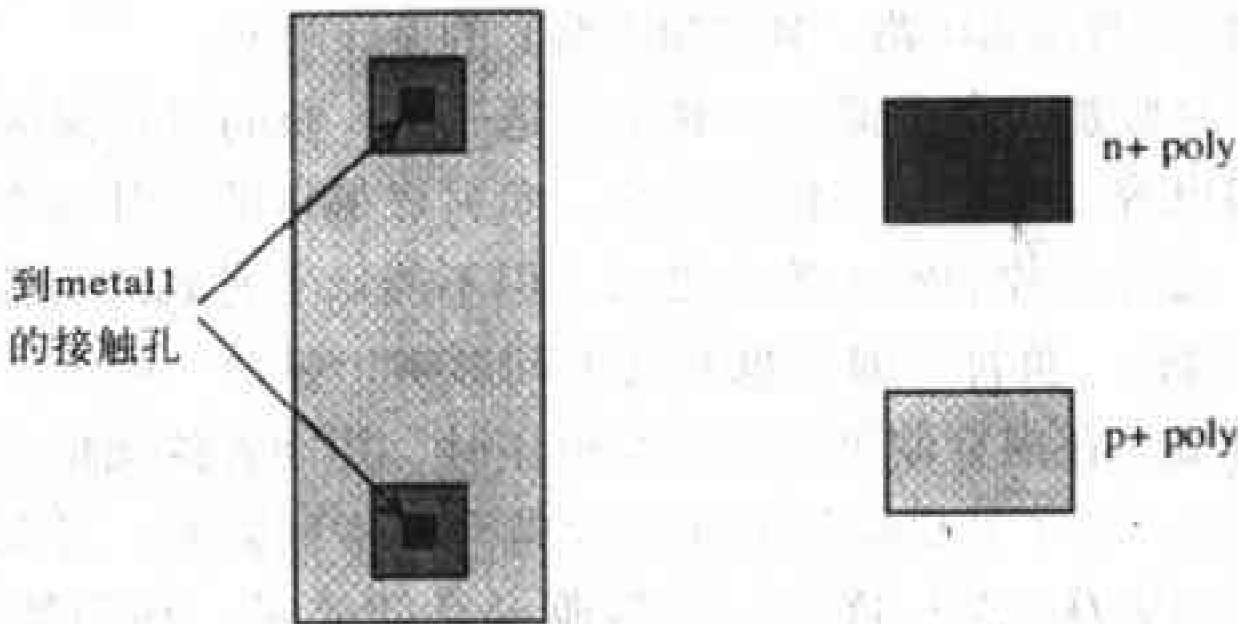


图17-7 多晶硅电阻的版图

17.2 灵敏放大器

考虑图17-8给出的DRAM存储阵列片断。图中，给出了两条位线。由例17.1计算结果知，当读取单元数据时，位线电压的变化很小，需要灵敏放大器来放大位线上这个微小的电压变化，从而确定读出的数据是“0”还是“1”。

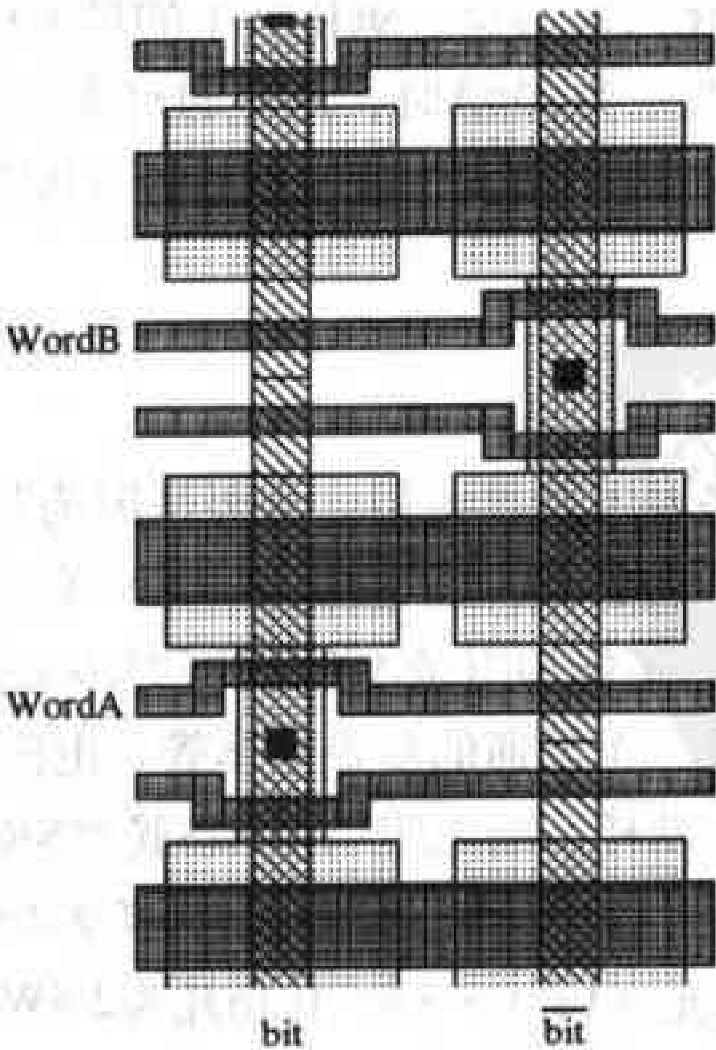


图17-8 DRAM存储阵列片断

在讨论灵敏放大器的工作原理之前，先考虑图17-8中字线WordA为高电平时，位线发生的变化。图中，$\overline{\text{bit}}$ 位线的电压保持不变，作为灵敏放大器的参考电压；bit位线接被读写单元的访问管，访问管导通时，存储电容上存有的电荷会引起bit位线上的电压发生变化。$\overline{\text{bit}}$ 位线和bit位线靠得很近，能有效抑制耦合信号引入的噪声。如果字线WordB为高电平，图17-8中的 $\overline{\text{bit}}$ 标记和bit标记应该互换。另外需要注意的是，在某一时间段内，只能有一条字线为高电平（即只能选中一行）。

读取DRAM单元的第一步是要把所有的位线都预充到某一电压值，典型值为*VDD*/2。图17-9给出了预充位线的电路。在读操作之前，EQ控制信号为高电平，使两个NMOS管导通，把两个位线的电压都预充到*VDD*/2。两个位线之间的MOS管使两条位线的电压相等。由于灵敏放大器必须能鉴别出位线上小于100mV的电压变化，因此，把两条位线都预充到同一电压非常重要。

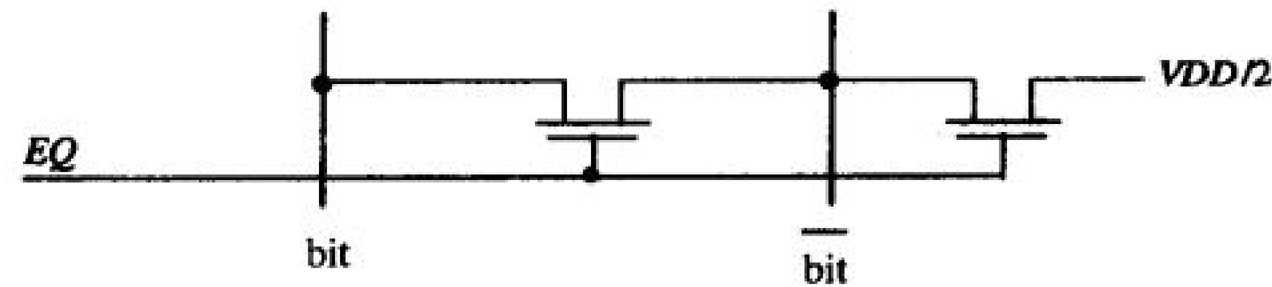


图17-9 把位线预充到*VDD*/2的电路

图17-10给出了n型和p型灵敏放大器的电路图。图中，p型灵敏放大器被放置在阵列顶端，n型灵敏放大器被放置在阵列底部。在把位线电压预充到*VDD*/2的过程中，NSA信号和PSA信号分别为低电平和高电平，NLAT节点和 $\overline{ACT}$ 节点也会被预充一定的电压值。

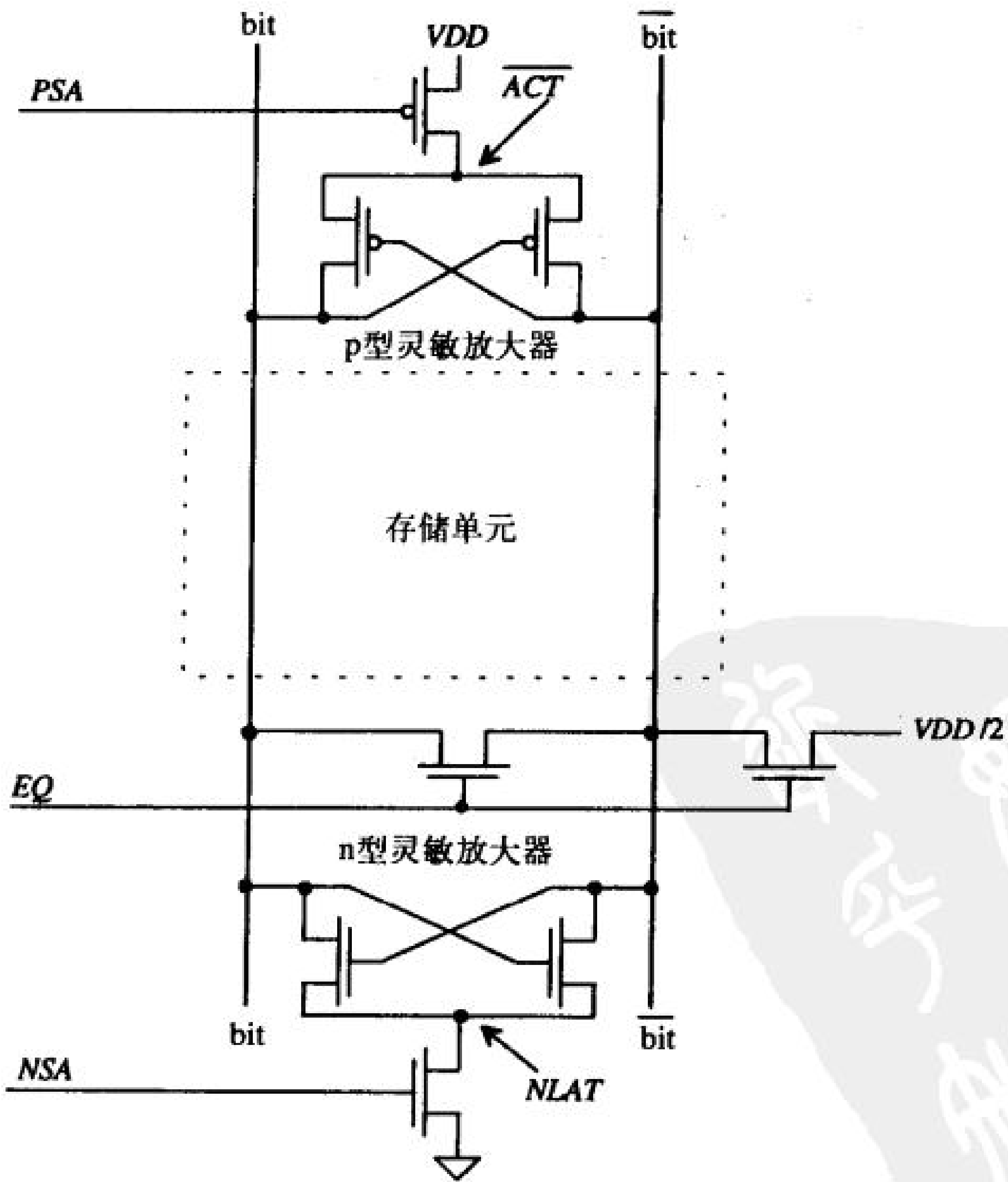


图17-10 灵敏放大器的电路图

当位线预充到$VDD/2$后，行地址译码器选定一根字线，如果字线和位线交叉点处的存储单元存储的数据是“0”，存储电容上没有电荷，则bit位线上的电压会从预充电压开始下降，而 $\overline{\text{bit}}$ 位线上的电压保持不变。当信号NSA变为高电平时，NLAT节点的电压被下拉到低电平，灵敏放大器开始求值。如果bit位线电压低于$VDD/2$（即被访问的存储单元存储的数据为“0”），n型灵敏放大器会把bit位线拉到低电平；如果bit位线的电压高于$VDD/2$，n型灵敏放大器会把 $\overline{\text{bit}}$ 位线拉到低电平。n型灵敏放大器只能把位线下拉到低电平。求值的最后阶段是PSA信号变为低电平，$\overline{ACT}$ 节点的电压升到高电平，p型灵敏放大器开始求值。如果bit位线的电压高于$VDD/2$，p型灵敏放大器把bit位线的电压上拉到VDD；如果bit位线的电压低于$VDD/2$，p型灵敏放大器把 $\overline{\text{bit}}$ 位线上拉到VDD。p型灵敏放大器只能把位线上拉到高电平。

337~340

n型灵敏放大器的灵敏度比p型灵敏放大器的灵敏度要关键的多。n型灵敏放大器求值后，一根位线的电压为地，另一根位线的电压为$VDD/2$。当p型灵敏放大器开始求值时，两根位线之间的电压差已经是$VDD/2$。因此，n型灵敏放大器必须能够鉴别出小于100mV的电压差，而p型灵敏放大器只需要能够鉴别出$VDD/2$的电压差即可。

灵敏放大器的另一个重要功能就是能够恢复（或刷新）存储单元所储存的数据。如果在求值阶段，字线仍保持为高电平，灵敏放大器在强制bit位线到高电平或低电平的过程中，同时也会把存储电容强制到高电压或低电压。由于字线没有访问与 $\overline{\text{bit}}$ 位线相连的存储单元，所以，$\overline{\text{bit}}$ 位线上的电压变化对与它相连的存储单元没有影响。为了防止数据丢失，应定期对DRAM进行刷新。刷新的方法是顺序地读取存储阵列中的每一行，由灵敏放大器完成存储单元的刷新。同一芯片上的不同存储阵列可以共享灵敏放大器。在共享灵敏放大器时，用隔离管来选择灵敏放大器与哪一个存储阵列相连。隔离管也有助于把灵敏放大器与电容值很大的位线电容分隔开来，避免灵敏放大器发生振荡。

17.3 行/列译码器

考虑图17-11给出的详细的RAM结构框图。如果存储阵列有2^n条字线、2^m条列线（一条列线指bit和 $\overline{\text{bit}}$），整个存储阵列存储的数据为2^{n+m}位。为了使字线和列线的长度最小，通常要求$n=m$，即存储阵列是正方形。

如果要读/写阵列中的某一位数据，首先是行地址和列地址的锁存和译码。通过行译码器，把对应的字线电压变为高电平；字线缓冲器用于驱动穿过阵列的整条字线（见例17.2）。列地址译码器的输出连接到一个传输管（见图17-12），该传输管的作用类似于数据选通器；选中对应的存储单元后，就可以对它进行读或写操作。

常用于RAM的行地址译码器电路如图17-12a所示。用三位地址字A0、A1、A2来选通译码器中的传输管。根据A0、A1、A2的值，八个输出中有一个被上拉到高电平（$VDD-V_{THN}$）。另外，如果加一个传输管，让它与VDD串联，通过控制该传输管是否导通，就可以控制整个译码器是否可以工作，称该传输管为使能管。

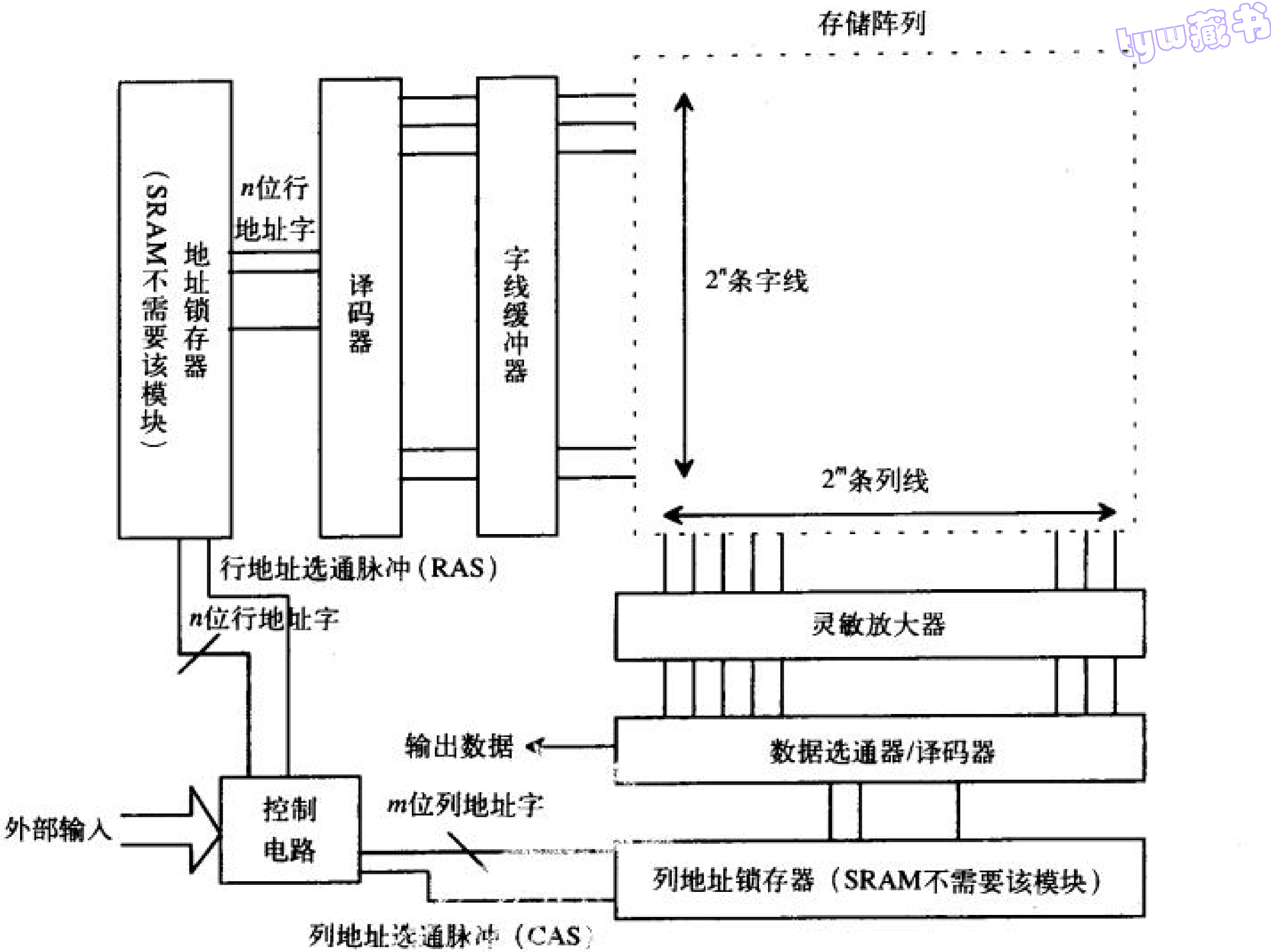
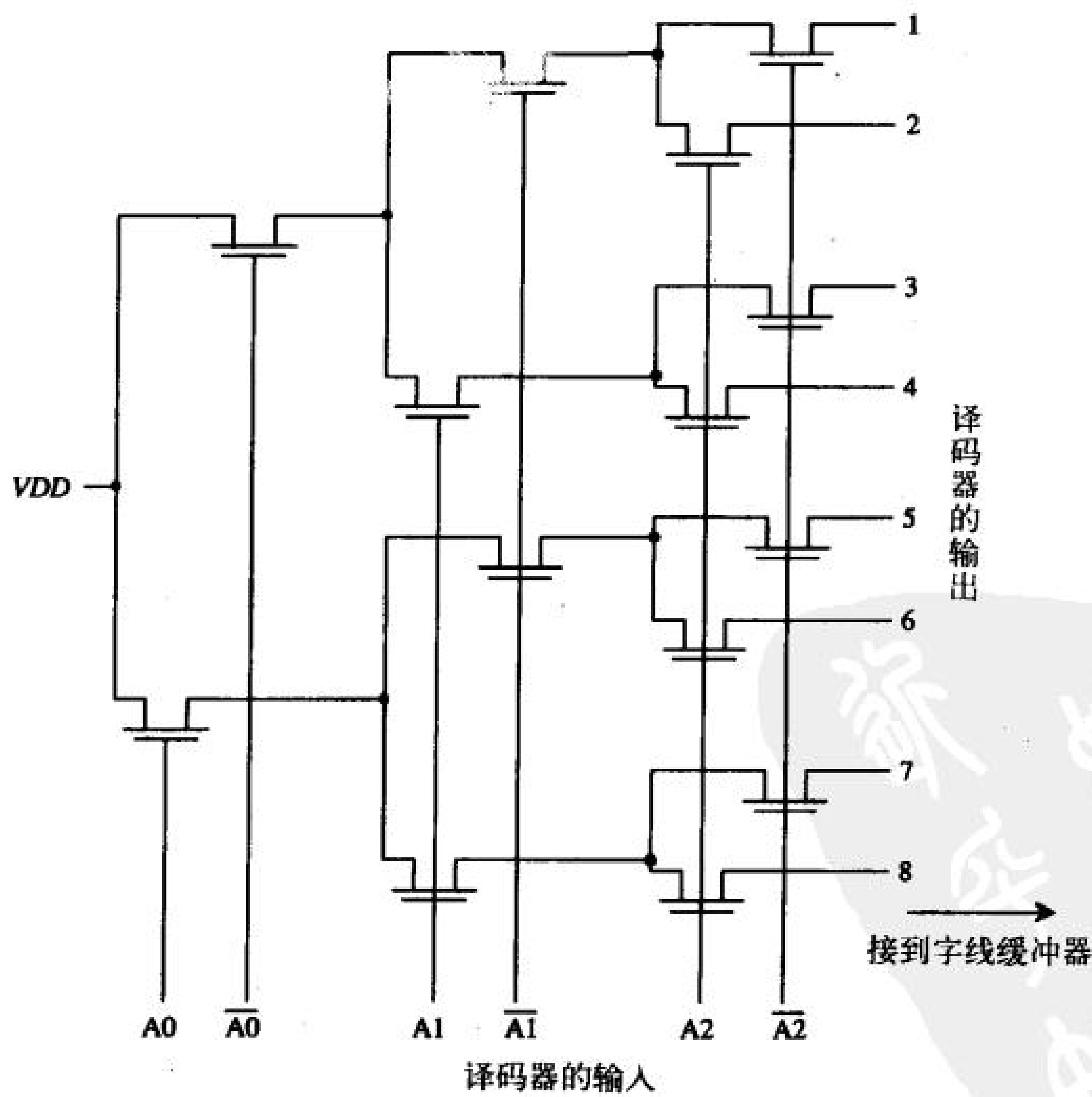
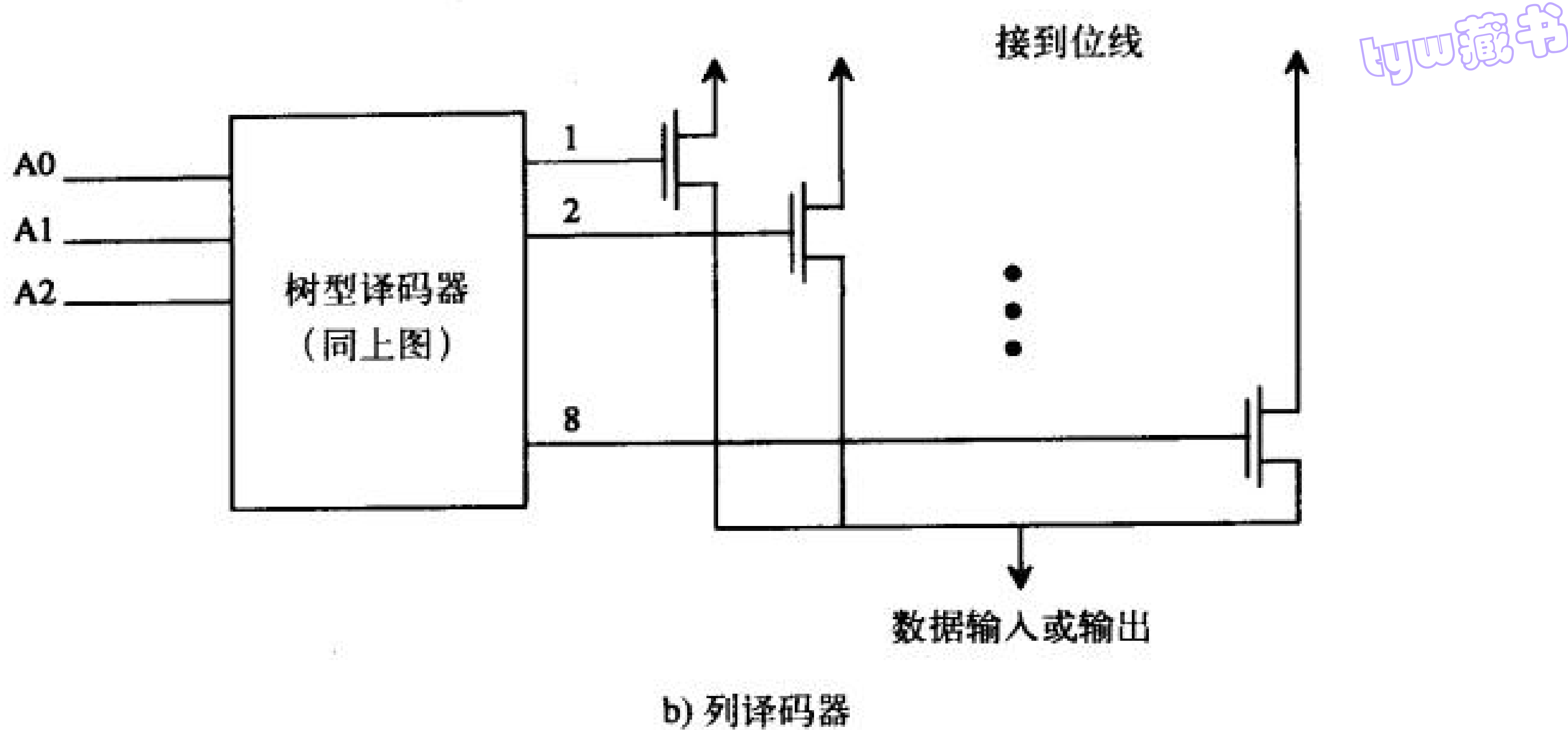


图17-11 RAM详细框图



a) 行译码器

图 17-12



b) 列译码器

图 17-12（续）

图17-12b给出了列地址译码器电路，除了增加传输管外，它与行地址译码器结构基本相同。传输管与位线相连。有时也把列译码器中的树型译码部分称为预译码，也可以在预译码电路中加入使能管来控制它是否可以工作。

在大型DRAM阵列中，译码器延迟是一个非常重要的问题。例如，要完成十位行地址字的译码，需要经过十个串联的传输管才能产生字线驱动信号，降低这十个串联传输管的延迟是设计的重点。另外，由于存在体效应，译码器的输出高电平会低于*VDD*，因此，需要缓冲器电路把该电平恢复到*VDD*。

图17-13中的电路用来说明未被选中的译码器输出如何被拉到低电平。如果某一个译码器输出没有被选中，则由长沟道的MOS管把该输出下拉到低电平；结果是，除了输入地址选定的那个译码器输出为“1”外，译码器的其他输出都为“0”。图中的两个反相器用来驱动字线电容。第一个反相器的转换点电压设置得相对稍低，用来补偿*VDD*经过串联传输管后的阈值损失。

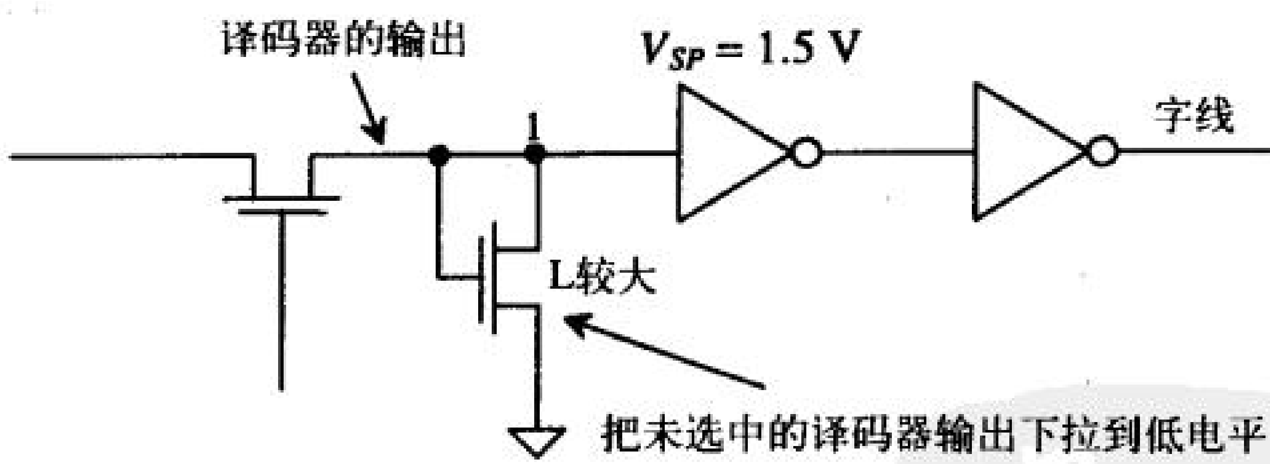


图17-13 行译码器中的字线缓冲器

17.4 DRAM的工作时序

图17-14给出了通用DRAM的时序信号。下面结合图17-11来讨论这些信号。第一个信号 $\overline{RAS}$ 是行地址选通信号，低电平有效。通常，在一个管芯中，行地址和列地址是多路复用，这样就可以共用一组地址输入管脚，减少IC的管脚数目。假定行地址在DRAM地址线上建立起来了，当 $\overline{RAS}$ 下降沿来临时，行地址被锁存到行地址锁存器中。行地址被锁存后，列地址通过芯片的地址输入管脚送到芯片中。当列地址选通信号 $\overline{CAS}$ 下降沿来临时，列地址被锁存

到列地址锁存器中。经过一段时间后，就可以在DRAM的输出管脚上得到读出的数据。所有的内部信号（如*EQ*、*NLAT*、*ACT*等）都由 $\overline{RAS}$ 和 $\overline{CAS}$ 信号产生。该时序图中没有给出写使能信号 $\overline{WE}$，这个信号可以确定DRAM是处于读模式还是写模式。图17-15是标准的写操作模式的时序图。

341～343

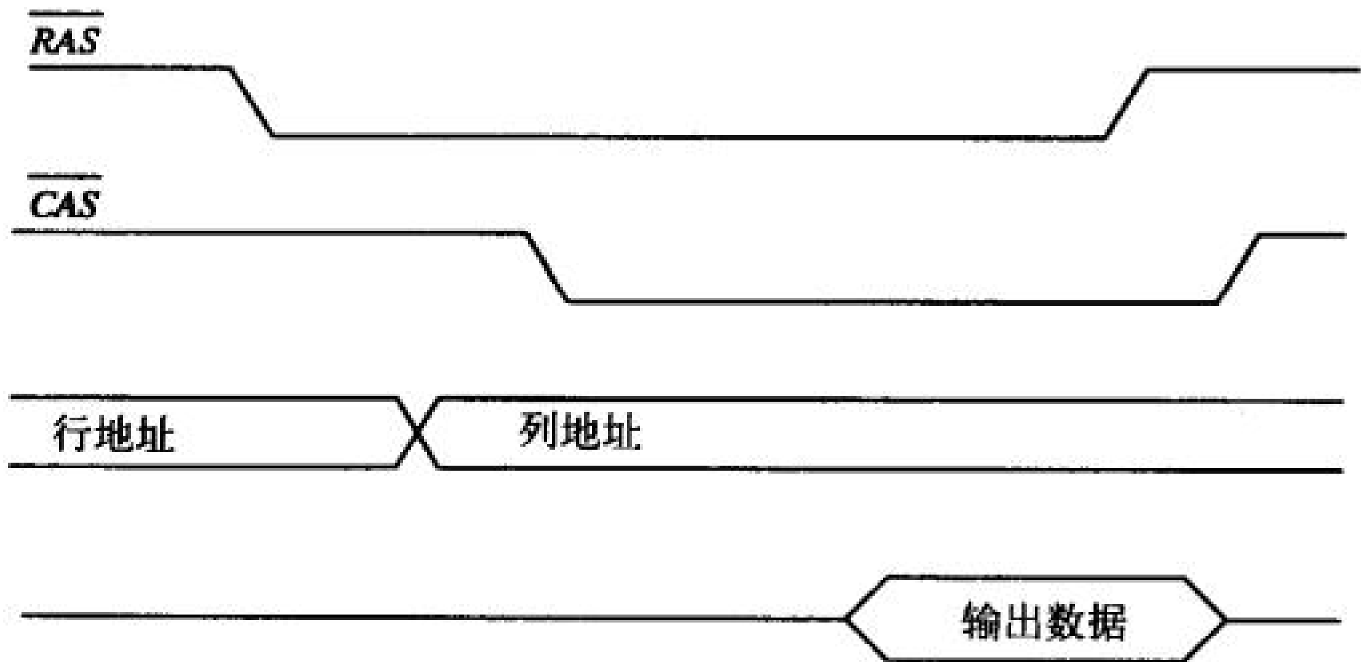


图17-14 DRAM的标准读周期时序（$\overline{WE}=1$）

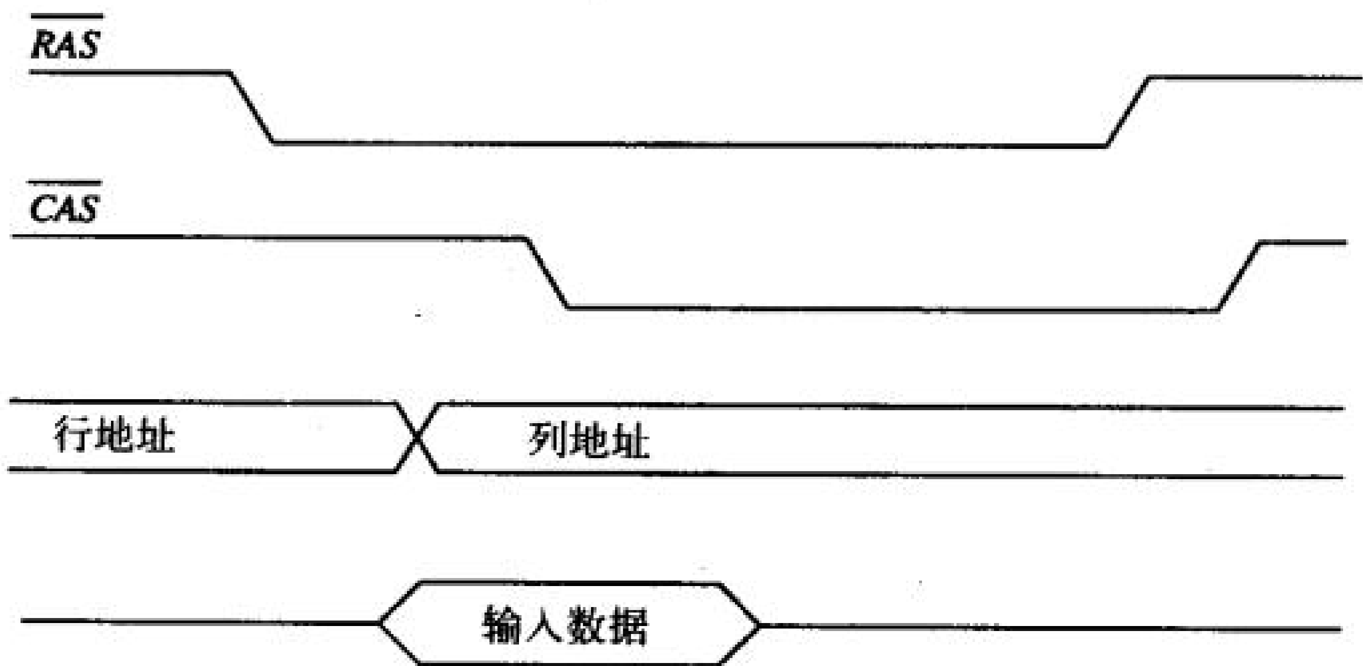


图17-15 DRAM的标准写周期时序（$\overline{WE}=0$）

344

DRAM的刷新是通过顺序地依次选中各条字线（如17.2节所述），当某条字线被选中时，该字线上的所有存储单元都会被灵敏放大器刷新。图17-16给出了DRAM刷新时的时序图。图中的 $\overline{RAS}$ 信号一旦降为低电平，就开始刷新过程；在刷新周期中，行地址被顺序地用到DRAM存储阵列中，实现逐行刷新。

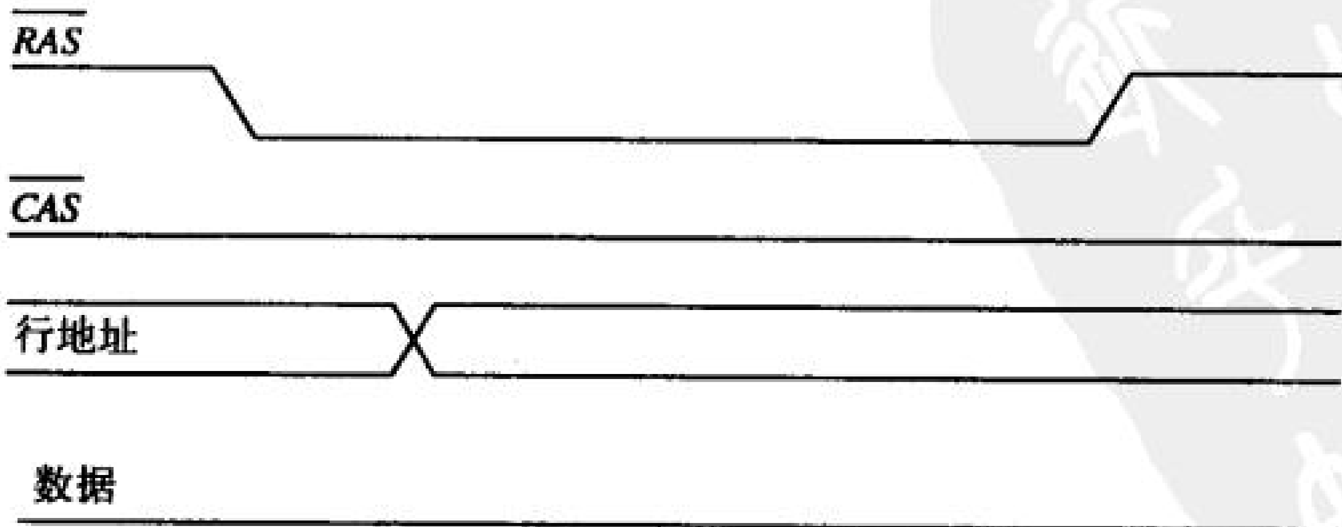


图17-16 DRAM存储阵列的刷新周期

17.5 现代DRAM电路

CN20工艺是通用的CMOS工艺，而存储器电路一般需要特定的CMOS工艺来进行生产制造，这种工艺专门针对存储器电路的特点进行优化以提高产量。这一节将讨论现代CMOS存储器电路的一些特点。

17.5.1 DRAM存储单元的版图设计

相对于图17-4所示的早期DRAM存储单元版图而言，现代DRAM存储单元版图已有很大变化。图17-17给出了一个现代DRAM存储单元版图。图中，共享的位线接触孔用于连接访问管和位线；字线由poly1实现。现代DRAM存储单元的一个共同特点是存储位的排列非常紧凑（一个存储单元即为一个存储位）。另外，存储位的版图通常总有一些地方异于传统CMOS电路。

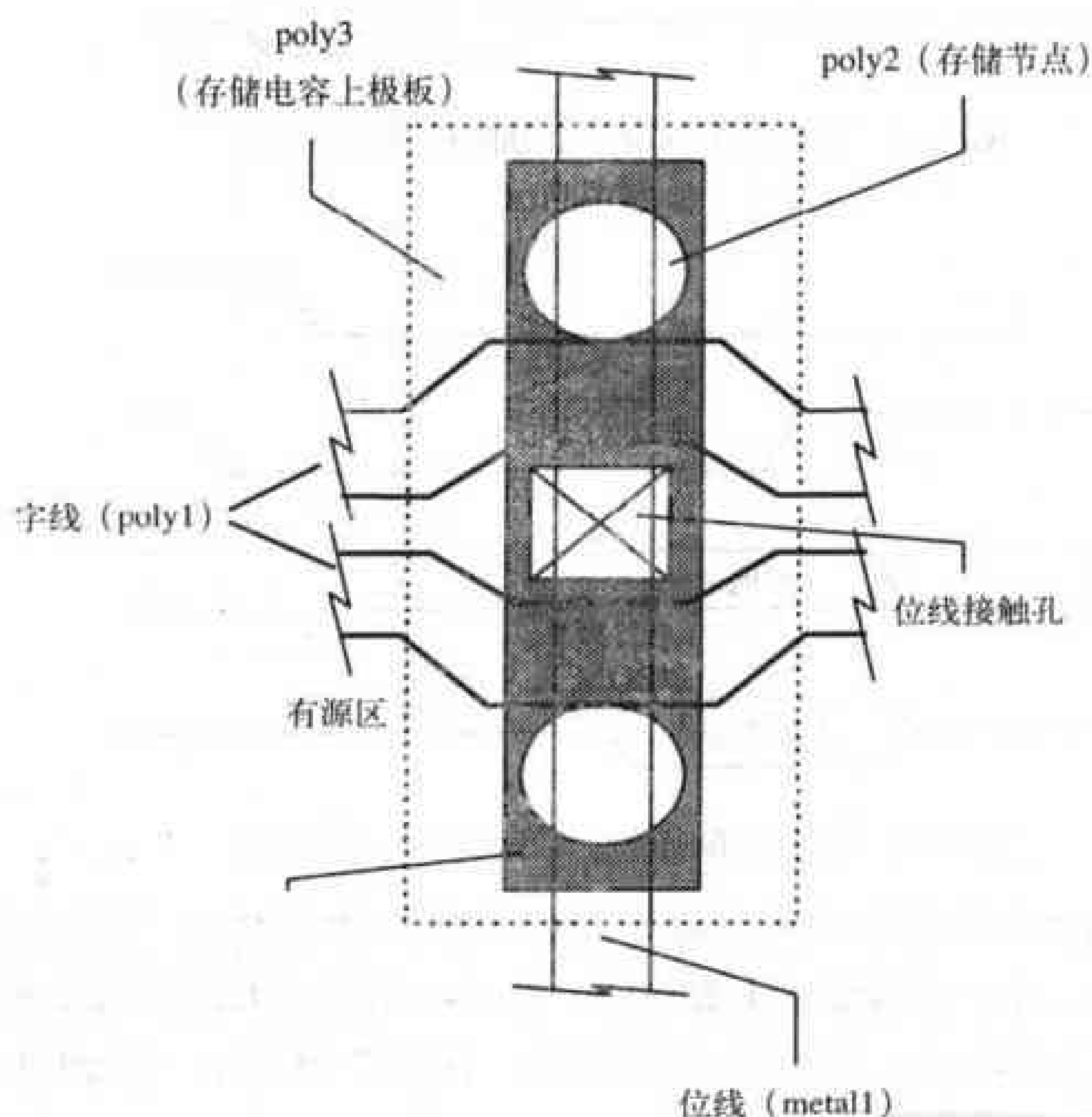


图17-17 毗邻的两个存储位的版图

存储电容是DRAM存储器电路的关键部分。DRAM工艺中的电容通常与传统CMOS工艺中的电容有一定差异。图17-18给出了图17-17中沿位线切开后的剖面图。该存储电路采用的存储电容是一个埋层电容，位线直接在存储电容上面走线[4]。位线由金属或硅化物来实现，通过金属或硅化物的填充工艺实现位线与传输管之间的互连。poly2做存储电容的下极板，poly3做存储电容的上极板，中间是氧化物－氮化物－氧化物（ONO）绝缘介质；由poly3构成的上极板是所有存储电容的共用节点。存储电容的结构和形状可能很简单，如矩形；也可能比较复杂，如同心圆柱体结构或者层叠圆片结构。研究DRAM工艺的科研论文当中，有很多是专门讨论存储电容新结构[5][6][7]的。另外，通常要对ONO介质进行优化，使存储电容

的泄漏电流最小，电容值最大，并且在正常工作时不能被击穿。图17-19是用沟槽电容做存储电容的存储单元剖面图[6][7]。

图17-20给出了存储阵列中存储位的排布方式。在这种由一个单元重复排布构成的版图中，常用的一个术语是中心距（pitch），它被定义为相邻两个单元中心之间的距离。在存储阵列中，通常定义毗邻的两条位线之间的距离为中心距（图17-20）。图17-20也给出了存储单元尺寸的定义方式。图中，有一个存储单元周围画了一个虚框，虚框中的面积就是存储单元的尺寸。通常定义特征尺寸F为位线或字线中心距的一半。图17-17和图17-20中的存储单元的面积为$8F^2$。

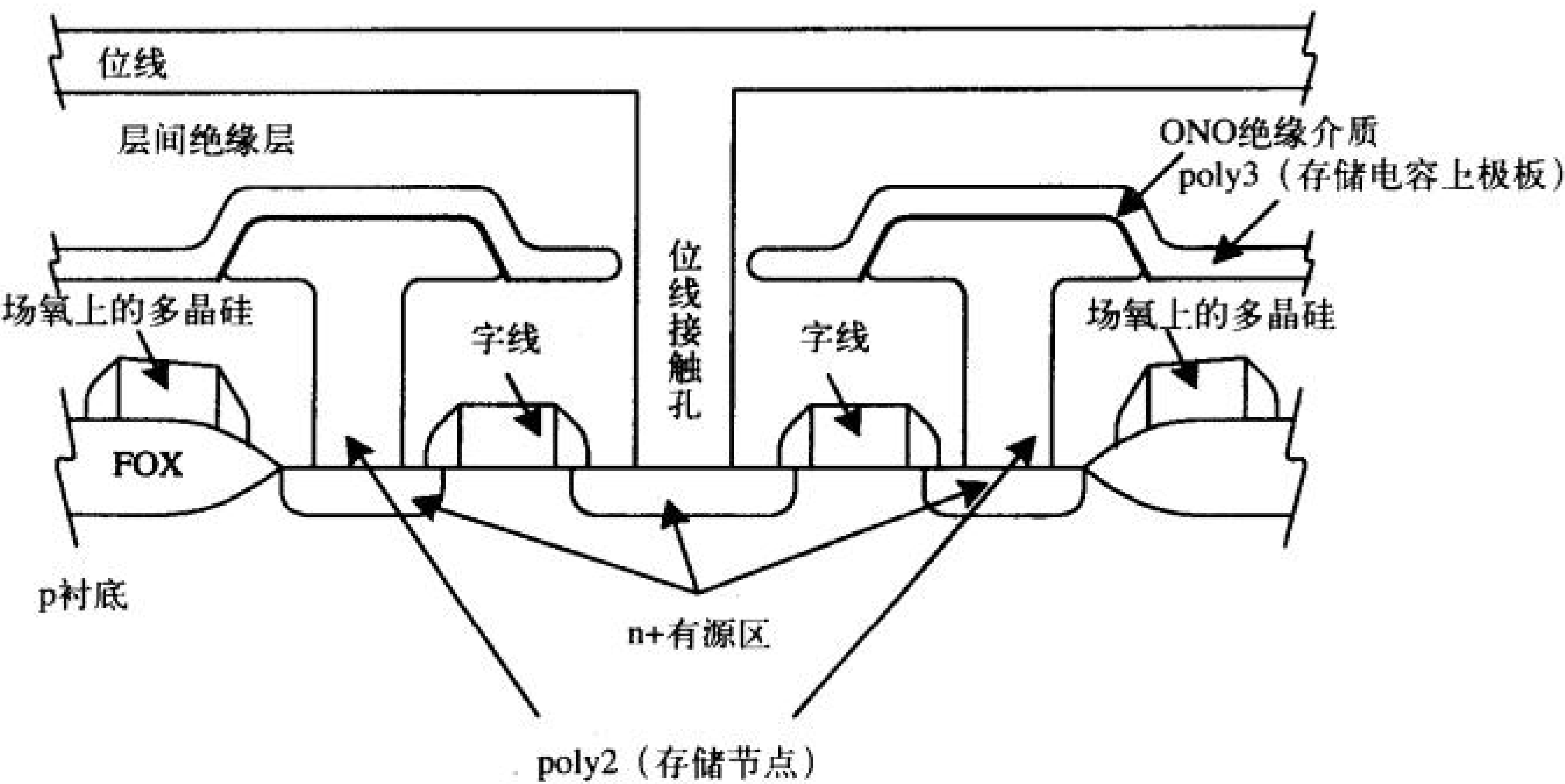


图17-18　图17-17的剖面图（沿位线切开）

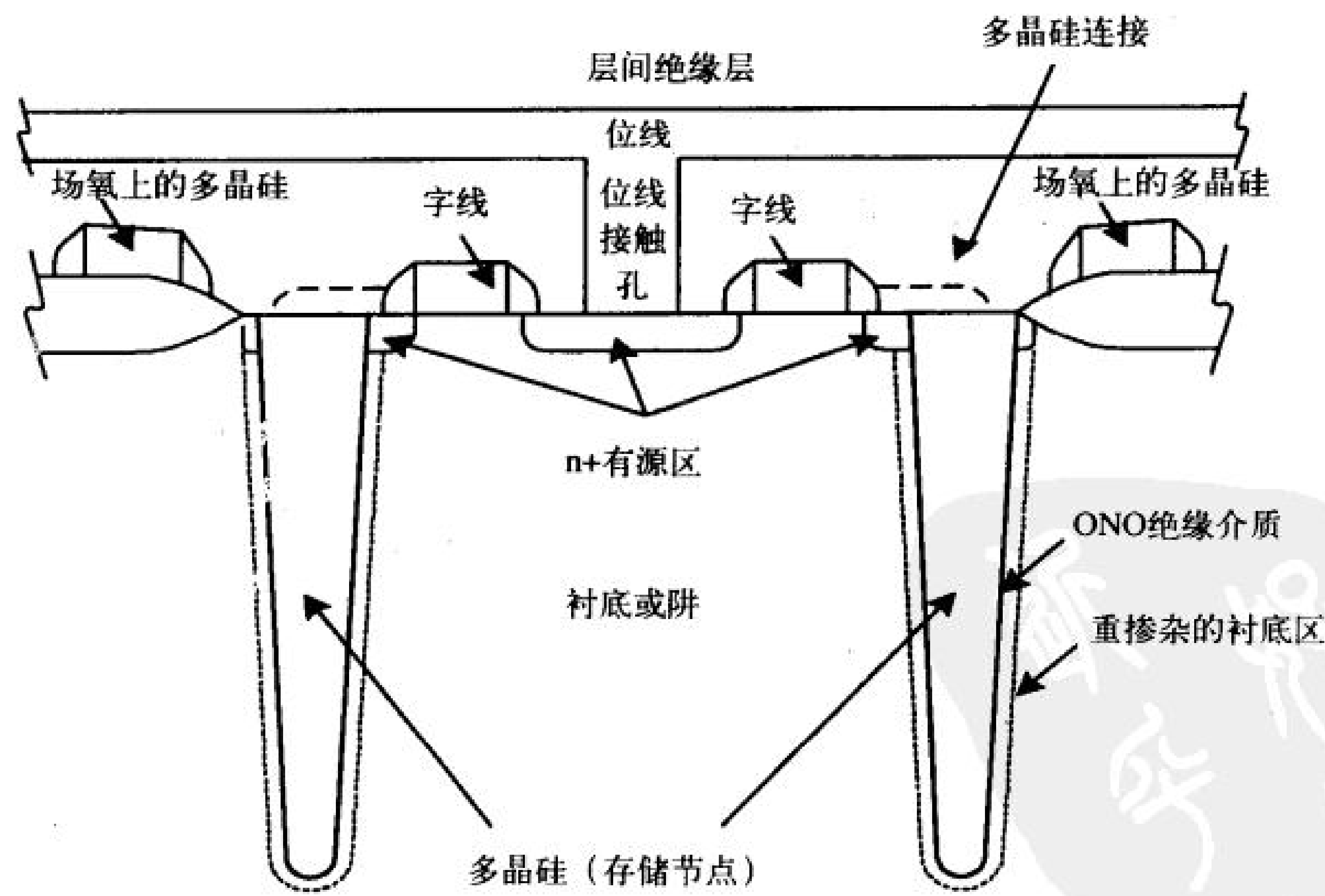


图17-19　用沟槽电容做存储电容的存储单元剖面图

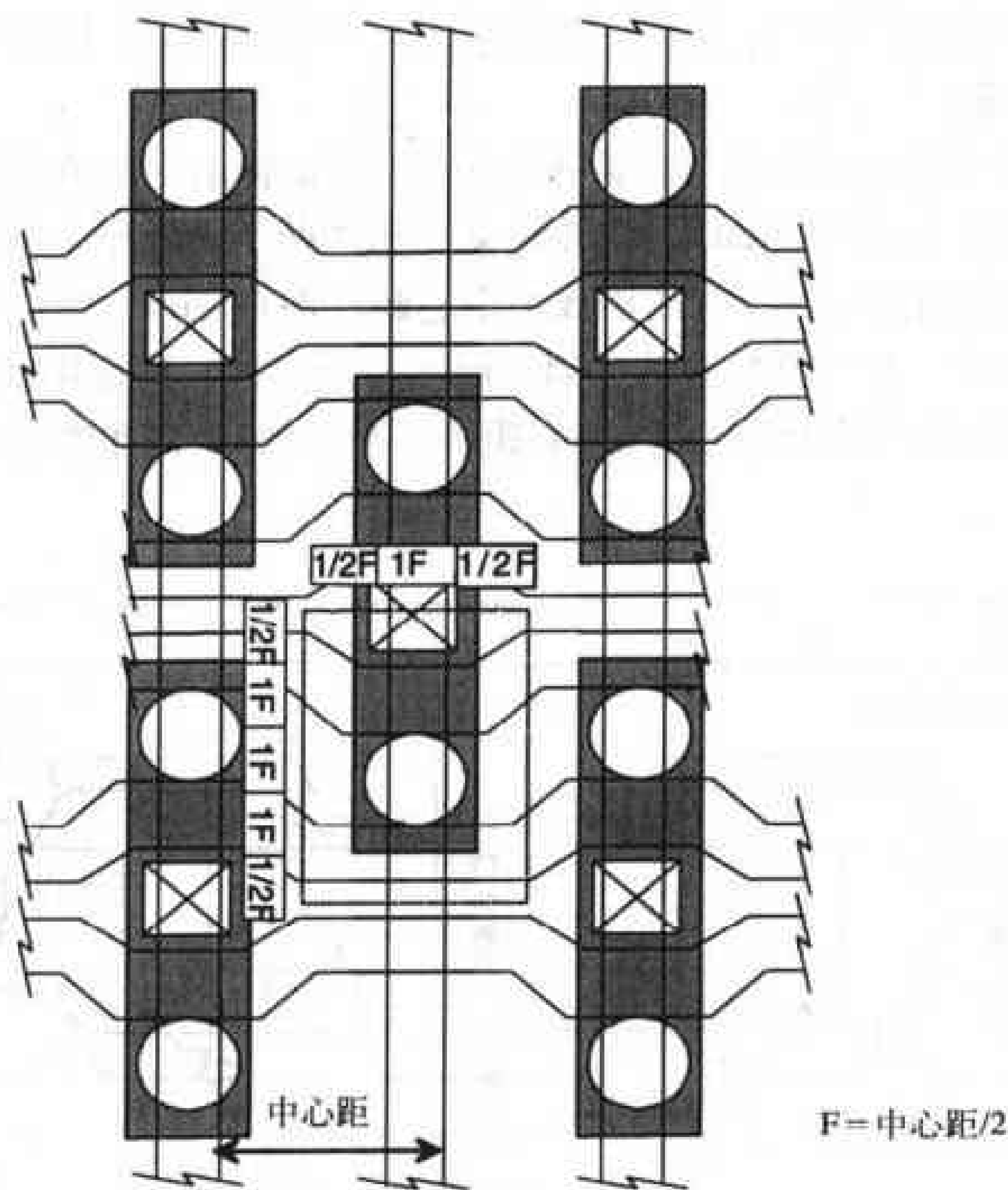


图17-20 存储单元尺寸的定义（说明：图形尺寸不是按比例画出）

17.5.2 折叠位线结构和开放位线结构

前面讨论的各种存储单元都可以用于图17-21所示的折叠位线存储阵列结构中。在这种结构中，n型灵敏放大器和p型灵敏放大器分别放置在存储阵列的底部和顶部。第一代DRAM的规模是64k位或更小，通常采用图17-22所示的开放位线存储阵列结构。在这种结构中，灵敏放大器的输入来自分离的两个存储阵列。开放位线结构的主要优点是存储单元面积仅为$6F^2$

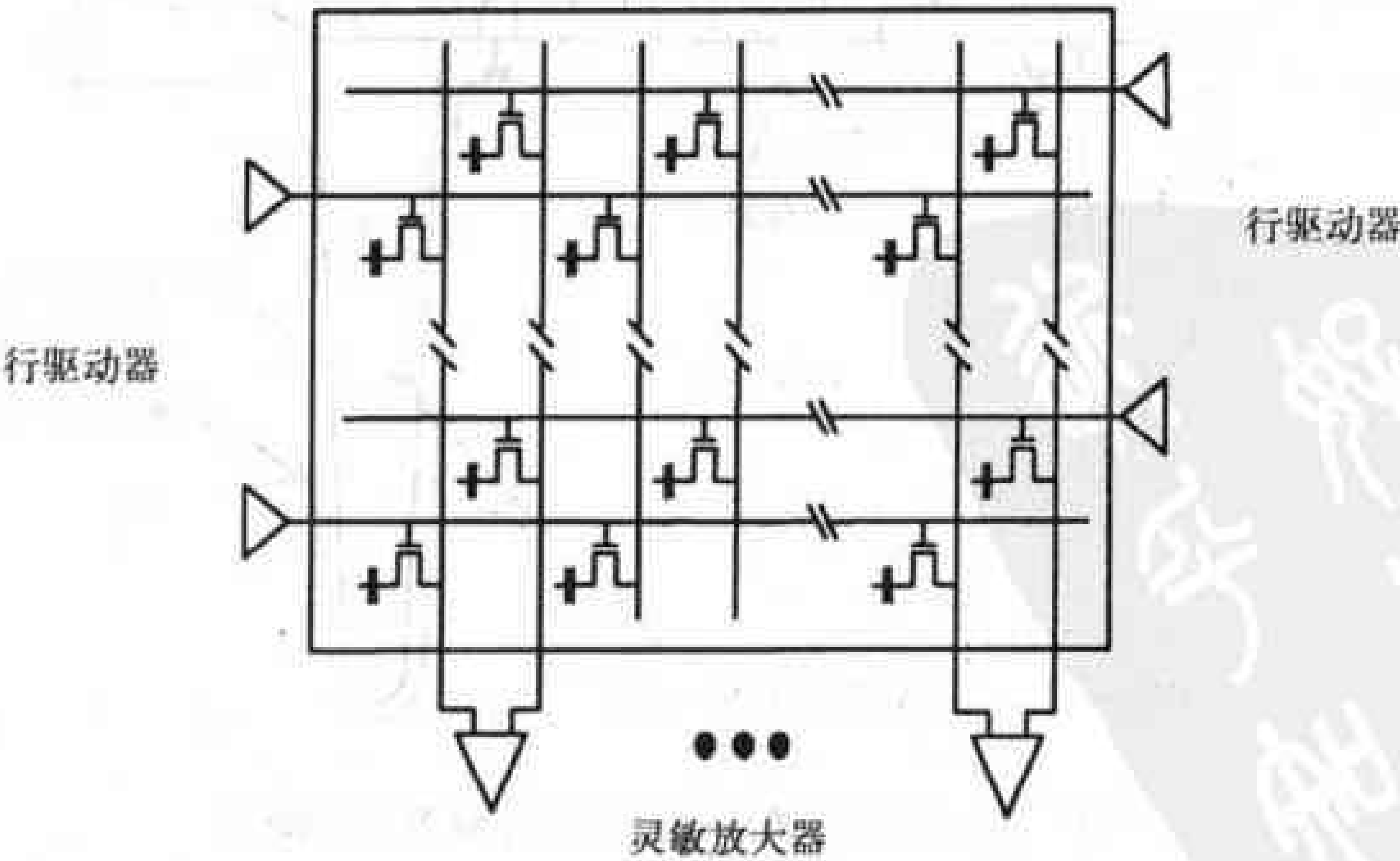


图17-21 折叠位线结构

345
~
348

（见图17-23）。开放位线结构的主要缺点在于：来自衬底、邻近的字线和位线的噪声不能同等数量地耦合到灵敏放大器的输入端，使得该结构对噪声敏感；这也是后来不再采用开放位线结构的主要原因。折叠位线结构实际上就是把开放位线结构中的两个存储阵列"折叠"为一个存储阵列，这使得接在每个灵敏放大器上的两条位线彼此毗邻，耦合到灵敏放大器输入端的噪声相同（理想情况下），从而提高了存储电路的抗噪声能力。折叠位线结构的不足是存储单元的面积稍大（$8F^2$）。

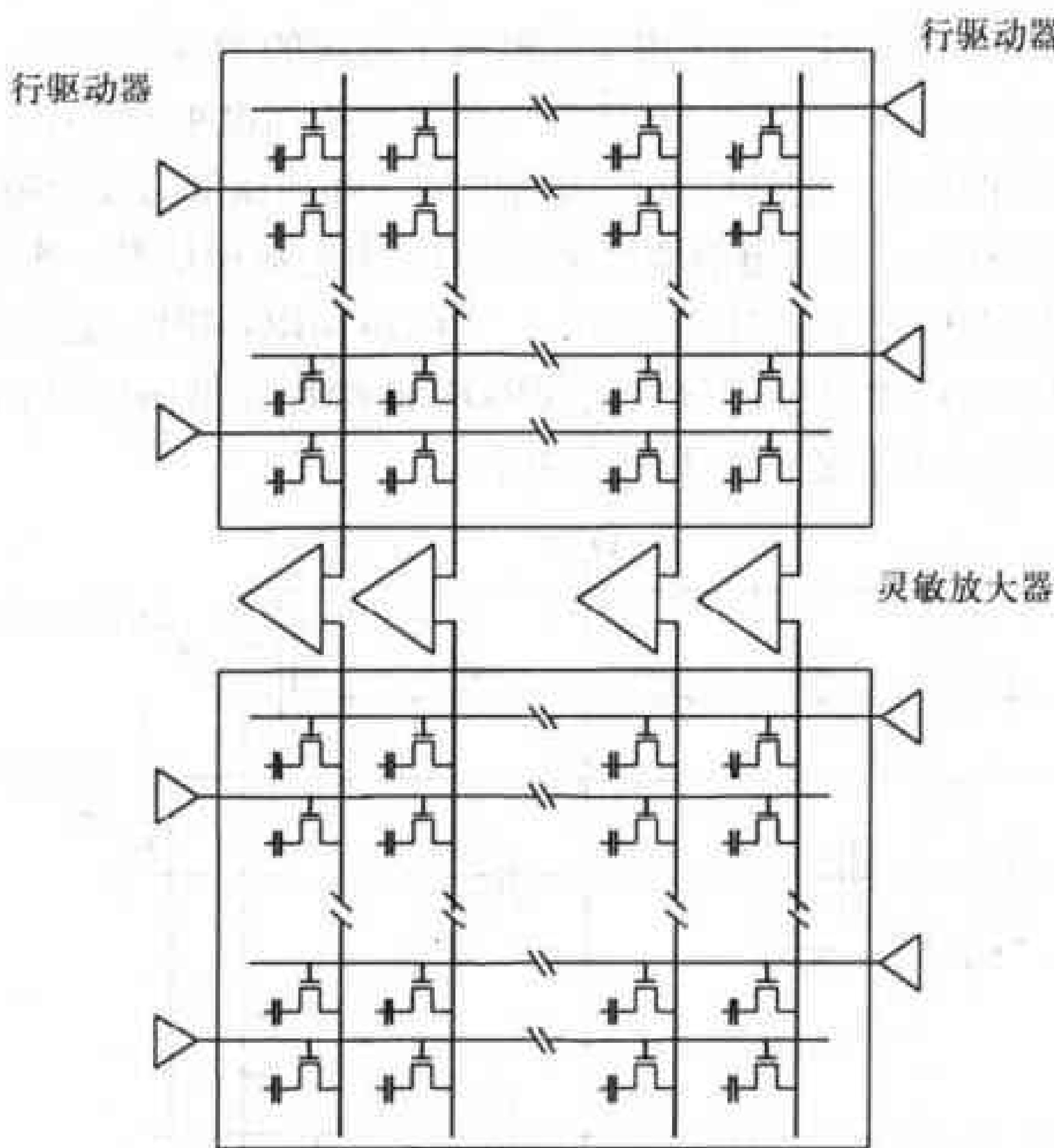


图17-22 开放位线结构

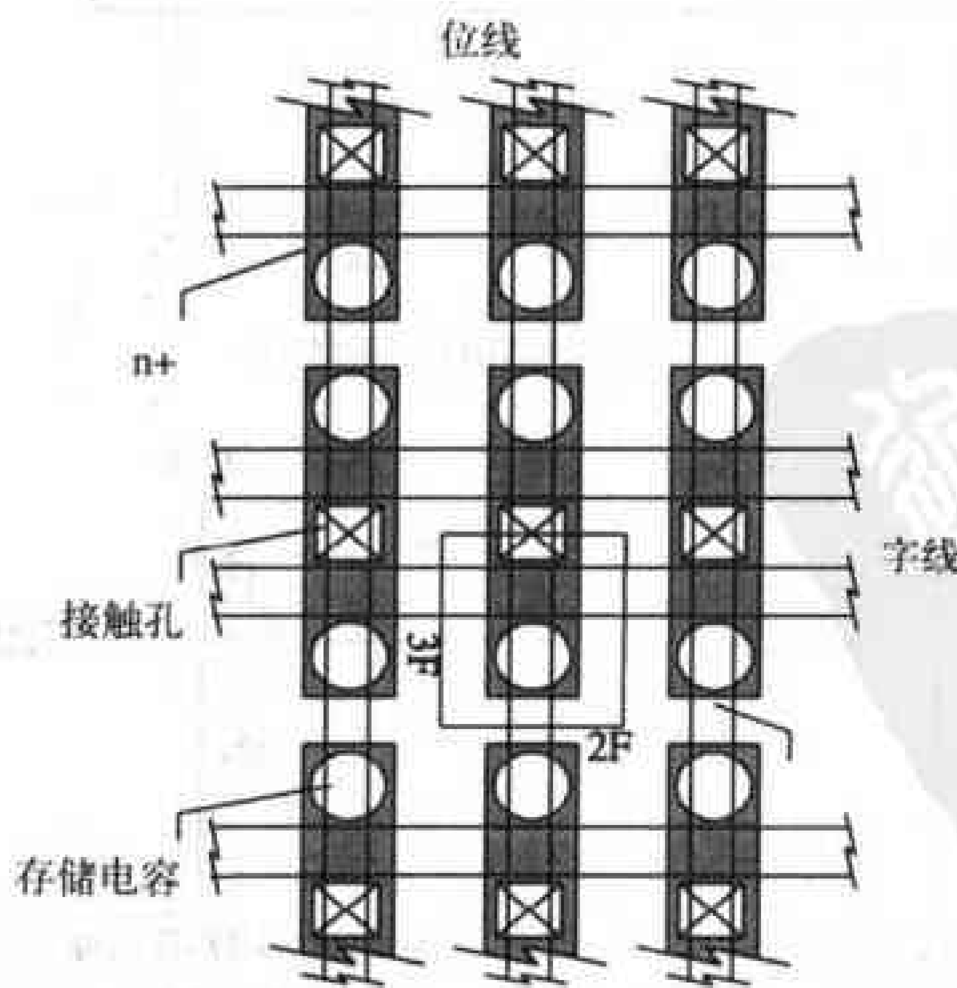


图17-23 开放位线结构中的存储单元版图

17.6　其他类型的存储单元

除了本章讨论的DRAM和SRAM存储单元外，还有其他几种存储单元[1][2][8][9]，主要包括只读存储器（Read-Only-Memory，ROM）、可擦除可编程只读存储器（Erasable Programmable ROM，EPROM）、电可擦除可编程只读存储器（Electrical EPROM，EEPROM）和快速存储器（Flash Memory）。

只读存储器（ROM）

ROM是最简单的半导体存储器，主要用于存储数字系统的指令或常数。下面通过图17-24来理解ROM的基本工作原理。任一时刻，只能有一条字线为高电平。图中，当R_1为高电平时，列线C_1、C_2和C_4被下拉到低电平，列线C_3和C_5为高电平（阵列顶部的长沟道PMOS管使它们为高电平）。如果在制造ROM前，不知道将要存储到ROM中的数据信息，则存储阵列中行线和列线的交叉点由NMOS管来构成（见图17-25a）；实际应用ROM时，通过切断NMOS管漏端和列线的连接（或在制造过程中就不连接）实现ROM的编程（见图17-25b）。由于不易实现ROM编程，所以，ROM仅限于需要量极大的应用中。

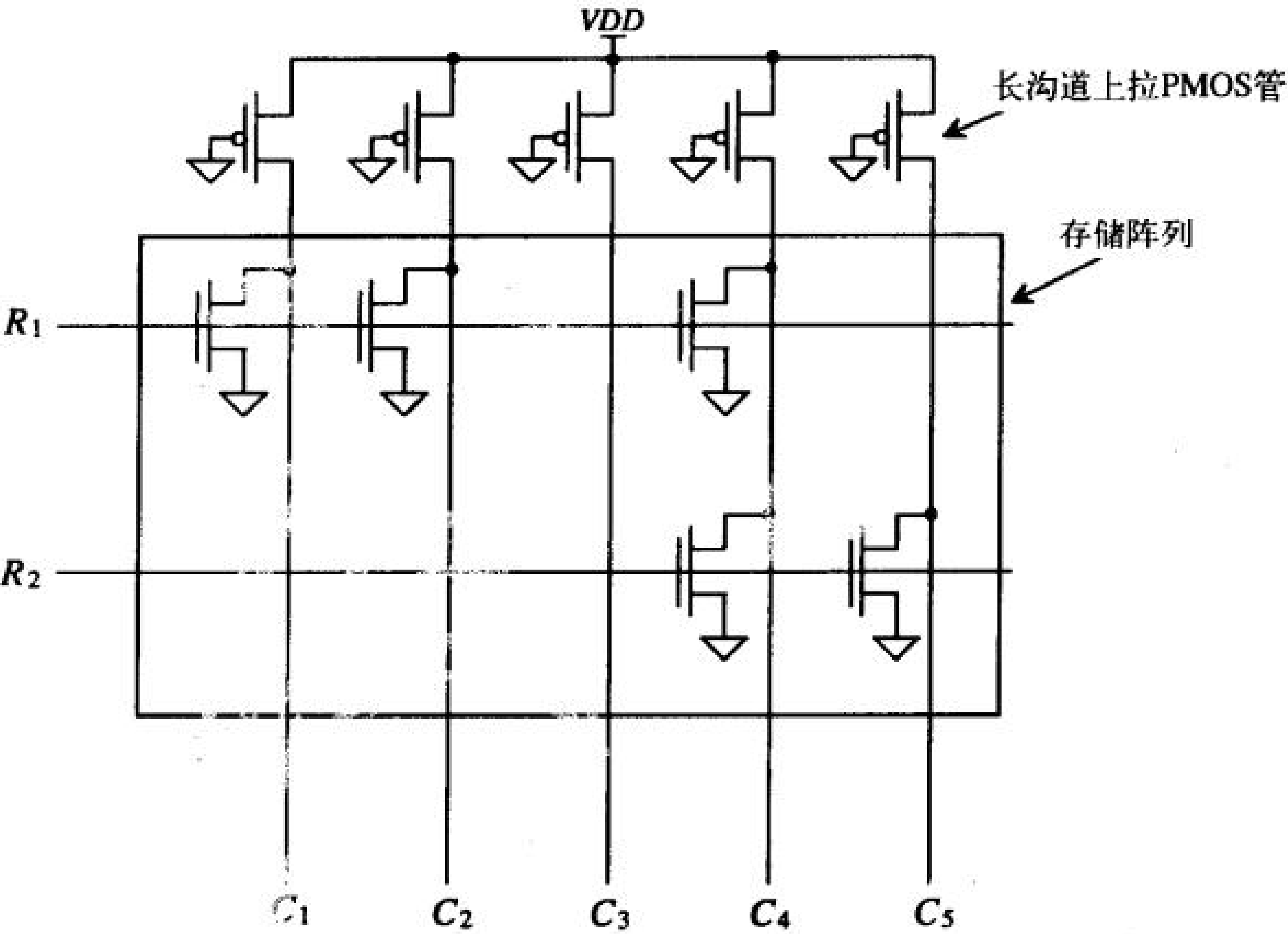
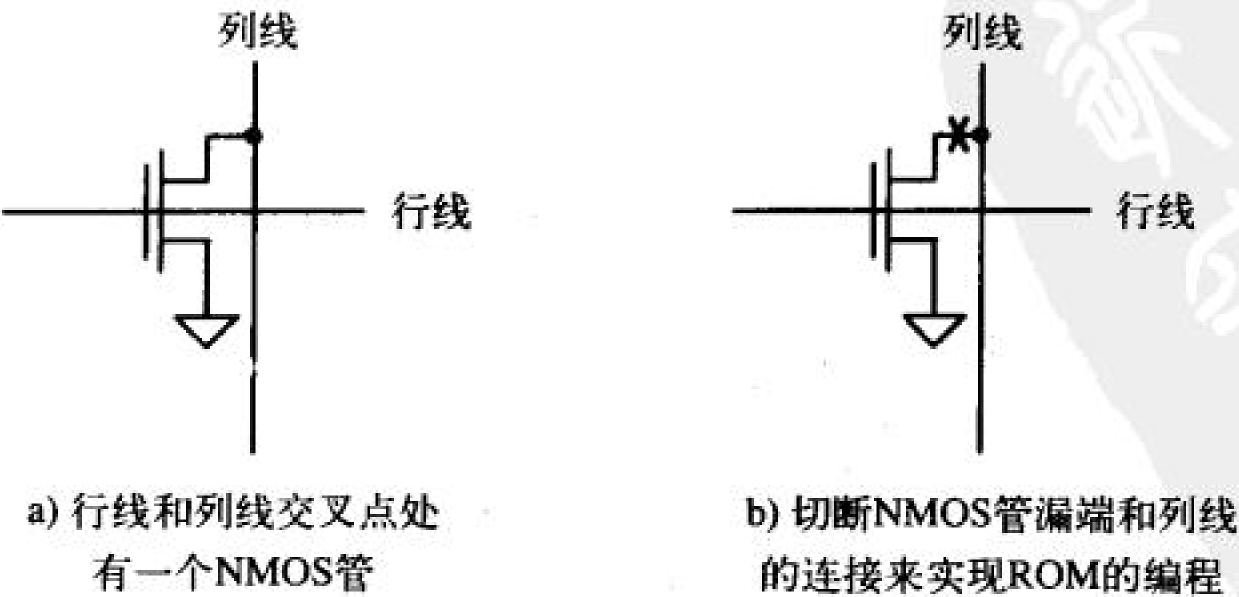


图17-24　一个ROM的存储阵列



a) 行线和列线交叉点处有一个NMOS管

b) 切断NMOS管漏端和列线的连接来实现ROM的编程

图　17-25

可擦除可编程只读存储器（EPROM）

EPROM使得ROM的编程比较容易。图17-26给出了EPROM存储单元的剖面图。图中，用改进的NMOS管替代了图17-24中行线和列线交叉点处的NMOS管。第二层多晶硅（poly2）直接加在了原来的多晶硅层（poly1）上，poly1处于悬浮状态（没有任何连接），poly2与行线相连。这样就形成了一个poly2-poly1电容，电容的下极板poly1也是MOS管的栅极。

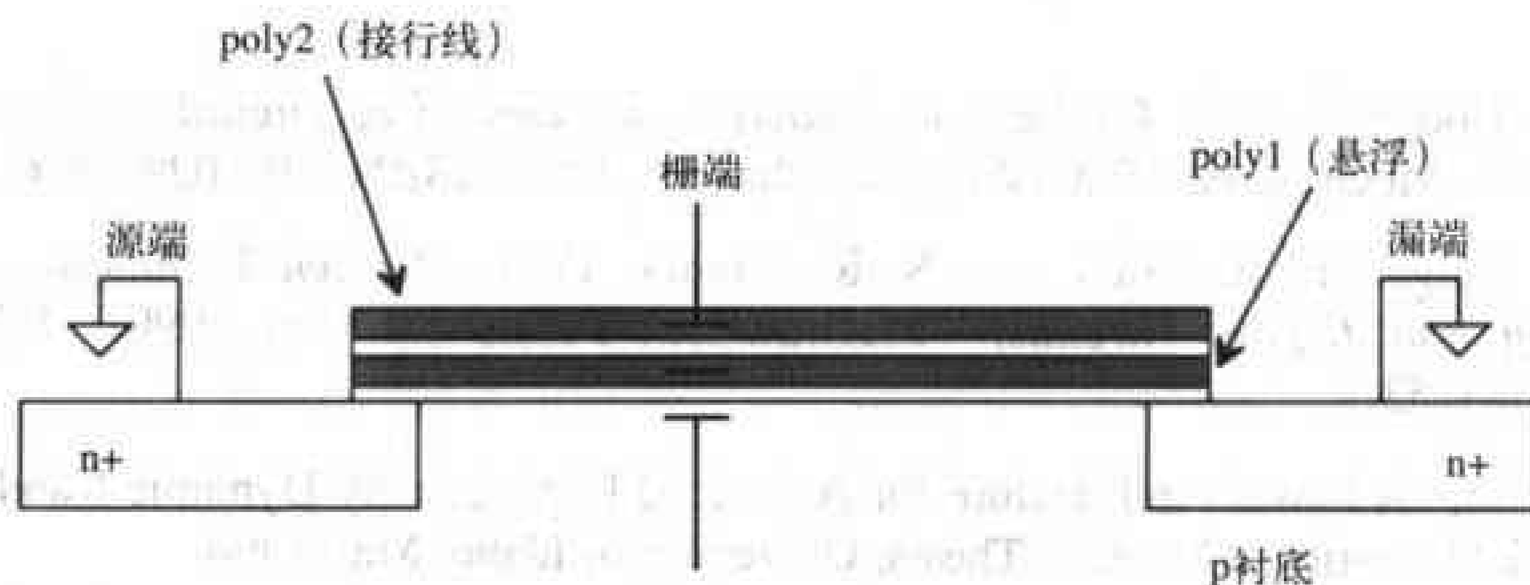


图17-26 EPROM的存储单元

为了理解如何对MOS管编程，首先假设两层栅poly1和poly2的电压都为0V。poly1和poly2之间存在电容，poly1和衬底之间也有电容存在。如果poly2的电压从0V开始增加，由于这两个电容大约相等，因此，电压几乎平均分配在两个电容上，结果导致poly1的电压增加。如果poly2的电压增加到$2V_{THN}$左右，则poly1的电压约增加到V_{THN}。如果行线电压（即poly2上电压）增加到5V，则会使MOS管导通，把列线电压下拉到低电平。换句话说，当行线电压升高到足以使MOS管导通时，就会把列线电压下拉到低电平。

当EPROM正常工作时，有些NMOS管需要保持为截止态，这就需要对这些NMOS管进行编程；只需把这些NMOS管的poly2接一个约为25V的大电压即可。这个大电压一方面使得MOS管中有大电流流过，另一方面，会使得衬底中发生雪崩倍增，雪崩倍增产生的热载流子会穿过栅氧化层，被poly1捕获[10]。如果再把poly2上的大电压移走，poly1上的电压将会降到一个负值，通常是-5V。这样MOS管在EPROM正常操作时就不会导通，使得列线保持为高电压。由于两个栅都被二氧化硅（一种很好的电介质）包围着，poly1捕获的电荷可以保持几年。用紫外线照射芯片后，可以重新对存储单元进行编程。紫外线照射芯片时，二氧化硅中会产生电子空穴对，使得电导率增大，导致poly1上捕获的电荷泄漏掉。

电可擦除可编程只读存储器（EEPROM）

EPROM的缺点是不能快速进行重新编程。后来出现的EEPROM解决了这一问题，使得它被广泛用于需要非易失存储器的电路系统中。EEPROM中，用一个电压发生器来产生对EEPROM编程所需要的大电压。EEPROM中的栅氧化层比EPROM的薄；当10V电压加到poly2上时，在衬底和poly1之间就会因Fowler-Nordheim隧道效应而形成电流通路[11]。这种电流通路与雪崩击穿不同，电流可以从衬底流向poly1，也可以从poly1流向衬底。当poly2接10V电压时，EEPROM存储单元被编程为逻辑“1”；当poly2接-10V电压时，EEPROM存储单元被编程为逻辑“0”。

快速存储器是基于EPROM和EEPROM两种技术的。快速存储器的编程原理与EPROM类似，都是利用热电子在poly1上积累电荷实现编程（见图17-26）。从结构上看，除了氧化层厚

度外，快速存储单元与EPROM存储单元相同[9]；快速存储器的氧化层厚度约为100Å，而EPROM的氧化层厚度为200Å ~ 400Å。与EPROM不同，快速存储器可以用与EEPROM类似的方法进行擦除。换句话说，快速存储器是用热电子效应进行编程，用Fowler-Nordheim隧道效应进行擦除。

参考文献

[1] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* McGraw-Hill Publishing Co., 2nd ed., 1988. ISBN 0-07-029158-6.

[2] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits,* McGraw-Hill Publishing Co., 1990. ISBN 0-07-023253-9.

351 ~ 352

[3] B. Keeth, "A Novel Architecture for Advanced High Density Dynamic Random Access Memories," Master's Thesis, University of Idaho, May 1996.

[4] T. Hamada, "A Split-Level Diagonal Bit-Line (SLDB) Stacked Capacitor Cell for 256Mb DRAMs," *1992 IEDM Technical Digest*, pp. 799-802.

[5] T. Mohihara et al., "Disk-Shaped Capacitor Cell for 256Mb Dynamic Random-Acess Memory," *Japan Journal of Applied Physics*, Vol. 33, Part 1, No. 8, pp. 4570-4575, August 1994.

[6] J. H. Ahn et al., "Micro Villus Patterning (MVP) Technology for 256Mb DRAM Stack Cell," *1992 Symposium on VLSI Technical Digest of Technical Papers*, pp. 12-13.

[7] K. Sagara et al., "Recessed Memory Array Technology for a Double Cylindrical Stacked Capacitor Cell of 256M DRAM," *IEICE Trans. Electron.*, Vol. E75-C, No. 11, pp. 1313-1322, November 1992.

[8] M. I. Elmasry, *Digital MOS Integrated Circuits II,* IEEE Press, 1992. ISBN 0-87942-275-0, IEEE order number: PC0269-1.

[9] R. D. Pashley and S. K. Lai, "Flash Memories: The Best of Two Worlds," *IEEE Spectrum,* 1989, pp. 30-33.

[10] D. Frohman-Bentchkowsky, "FAMOS-A New Semiconductor Charge Storage Device," *Solid-State Electronics,* Vol. 17, pp. 517-529, 1974.

[11] E. H. Snow, "Fowler-Nordheim Tunneling in SiO_2 Films," *Solid-State Communications,* Vol. 5, pp. 813-815, 1967.

习题

17.1 字线电容（图17-3a）的一部分是由传输管（图17-3中）引入的，估算传输管引入的这部分电容的大小。假定MOS管取最小尺寸3μm × 2μm。

17.2 用SPICE验证例17.1的结果。

17.3 例17.2中的字线是用CN20工艺中的哪一个层制造的？为什么不可以用metal1（通过接触孔与poly实现互连）作字线？如果能够用metal1做字线，这个方法能否降低字线的延迟？为什么？

17.4 画出图P17-4中版图所对应的剖面图。

17.5 在图17-6中，假设多晶硅电阻的阻值为10MEGΩ，仿真验证SRAM单元的工作原理。

17.6 在从存储单元中读取数据之前，需要先把两条位线预充到同样的电压。参考图17-10，解释先把两条位线预充到同样电压的重要性。

353

17.7 DRAM体系结构主要有折叠位线结构和开放位线结构两种。两种结构中，哪一种结构的存储位版图尺寸最小？折叠位线结构主要在哪些方面优于开放位线结构？

17.8 假设想用制造SRAM的工艺来制造ROM存储器，如果SRAM工艺中的n+/p+多晶硅电阻可用，用这样的电阻代替图17-24中的PMOS上拉管，这么做会出现什么问题。用n+/p+多晶硅电阻是否有什么好处？

17.9 是否可以用CN20工艺生产EEPROM？如果可以，用附录A给出的poly2设计规则，画出一个可行的EEPROM单元版图。

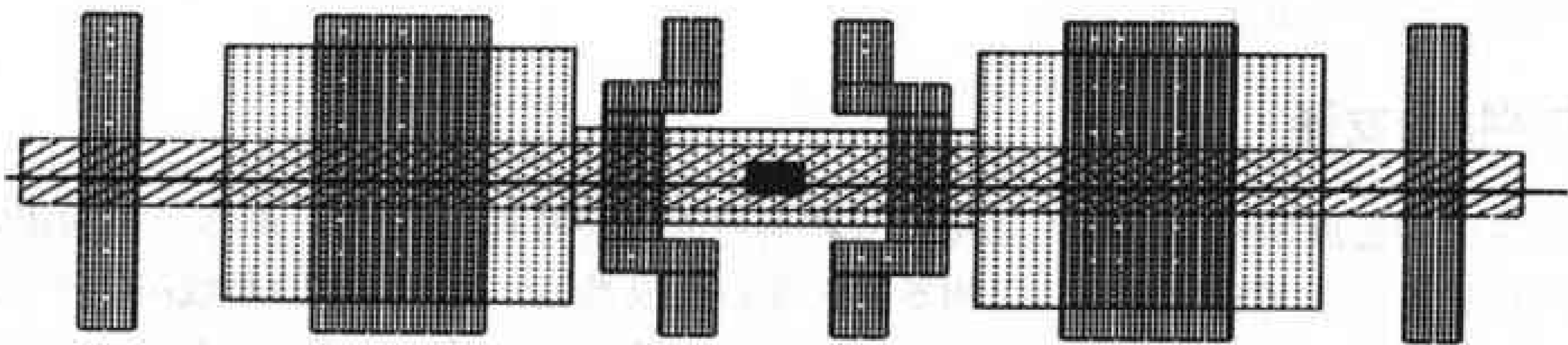


图 P17-4

354



第18章 专用数字电路

本章我们将讨论一些专用集成电路。首先要讨论的是施密特触发器。即使输入信号中含有大量的噪声，施密特触发器仍可产生良好的脉冲信号；此外，施密特触发器在设计振荡器电路时也非常有用。在讨论过施密特触发器后，会讨论非稳态多频振荡器和单稳态多频振荡器。最后讨论一下片上电压产生电路。

18.1 施密特触发器

图18-1给出的是施密特触发器的电路符号和典型的转移特性曲线[1]。由该图可看出，除了一个陡峭的转换区，其转移特性与反相器的转移特性很类似。图18-1中的曲线A对应于施密特触发器的输出从低电平变为高电平的情形，而曲线B对应于输出从高电平变为低电平的情形。施密特触发器区别于反相器的主要地方是其转移特性曲线中有磁滞现象。

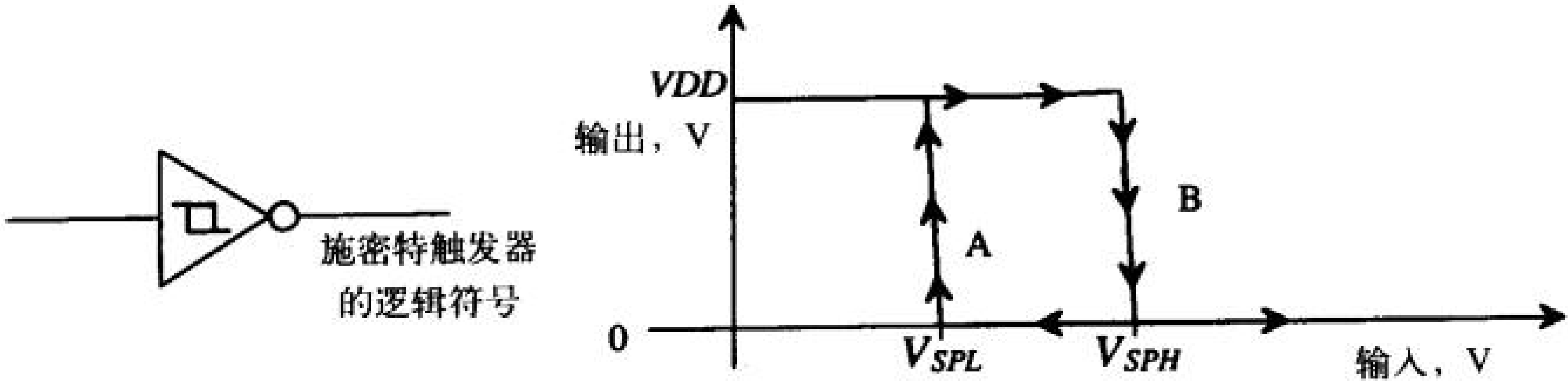


图18-1 施密特触发器的转移特性

图18-2给出了施密特触发器可能的输入信号以及相应的输出。当输出是高电平而输入超过了V_{SPH}时，输出将转换为低电平。当输入电压降到低于V_{SPL}时，输出可以再次转换到高电平。当$V_{SPH}=V_{SPL}$时，施密特触发器的功能与普通反相器相同。施密特触发器的磁滞程度可用下式来反映：

$$V_H = V_{SPH} - V_{SPL} \tag{18-1}$$

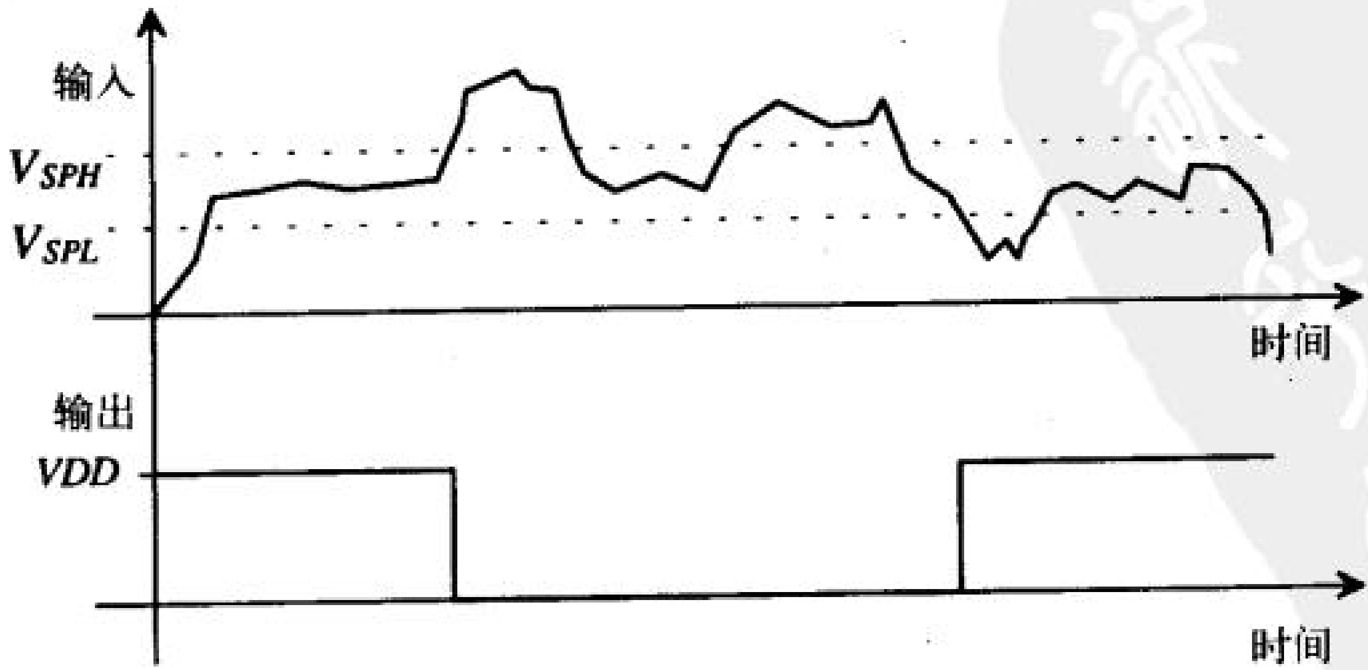


图18-2 施密特触发器的输入和相应的输出

18.1.1 施密特触发器的设计

基本的施密特触发器电路如图18-3所示。根据输出是高电平还是低电平，可以把施密特触发器电路分为两个部分。如果输出是低电平，则M6管导通，M3管截止，计算转换点电压时主要需考虑PMOS管部分；如果输出是高电平，则M3管导通，M6管截止，计算转换点电压时主要需考虑NMOS管部分。另外，当输出是高电平时，M4管和M5管导通，提供了一条输出到*VDD*的直流通路。

假设输出是高电平（*VDD*），输入是低电平（0V），在这种初始条件下来分析图18-3中的电路。图18-4给出的是用于计算高转换点电压V_{SPH}的施密特触发器的下半部分电路。M1管和M2管都截止，且$V_{in}=0$，M3导通，M3的源端电压为$VDD-V_{THN}$（在$VDD=5V$时，其值约为4V），可以把该节点的电压记为V_x。

355~356

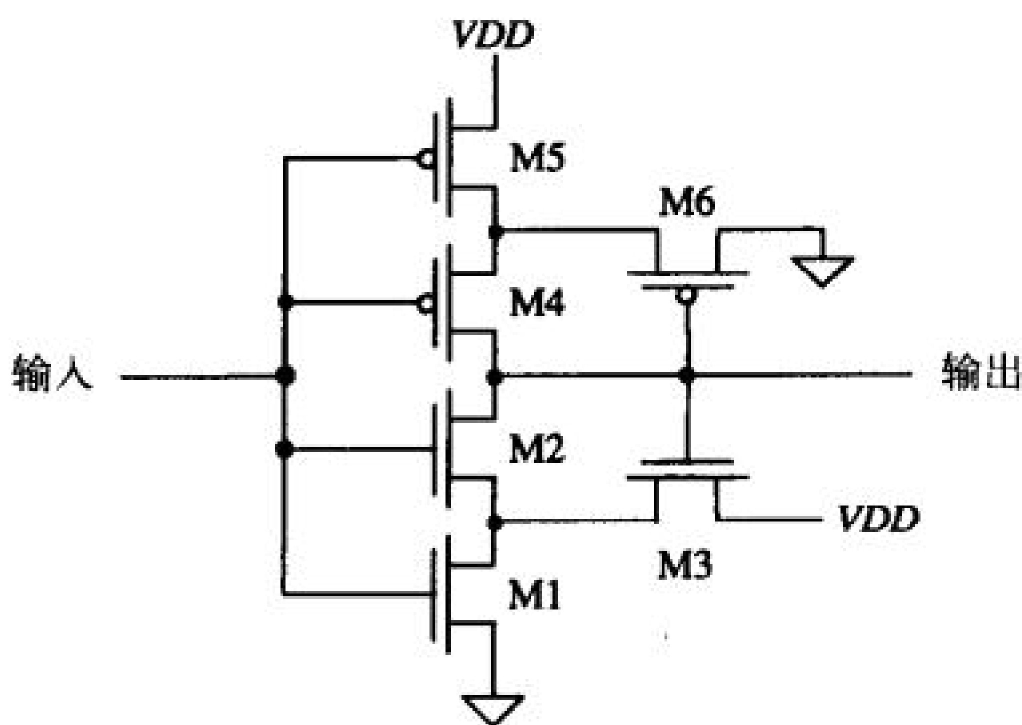


图18-3 施密特触发器的电路图

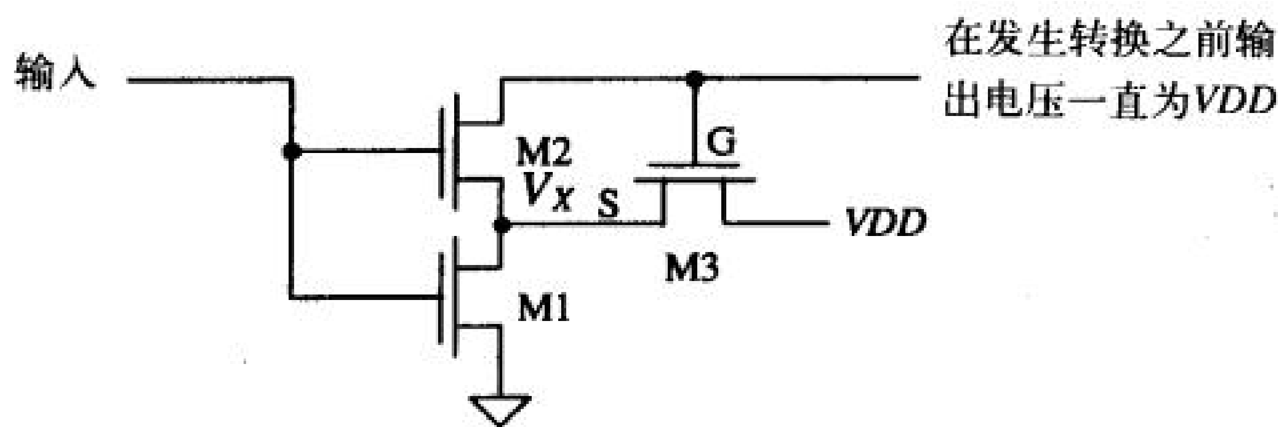


图18-4 用于计算施密特触发器V_{SPH}的电路

在V_{in}小于M1管的阈值电压时，V_x保持在4V左右。随着V_{in}的进一步增加，M1管开始导通，电压V_x开始降低。定义M2管开始导通时的输入电压为V_{SPH}，即：

$$V_{in}=V_{SPH}=V_{THN2}+V_X \tag{18-2}$$

M2管一旦开始导通，输出就开始下降。随着输出的下降，M3管导通的程度就会越来越差，这会使V_x下降得更快，M2管导通的更好。这个过程一直持续到M3管完全截止，而M2管和M1管完全导通；这是一个正反馈过程。因此，把M2管开始导通时的输入电压定义为V_{SPH}，使得V_{SPH}的物理含义非常明晰。

在M2管开始导通的这一刻，流过M1管和M3管的电流相等，因此，有：

$$\frac{\beta_1}{2}(V_{SPH}-V_{THN})^2=\frac{\beta_3}{2}(VDD-V_X-V_{THN3})^2 \quad (18\text{-}3)$$

由于M2管和M3管的源端连接在一起，因此，$V_{THN2}=V_{THN3}$；M2管和M3管因体效应引起的阈值电压增加量相等。由式（18-2）和式（18-3）得：

357

$$\frac{\beta_1}{\beta_3}=\left[\frac{VDD-V_{SPH}}{V_{SPH}-V_{THN}}\right]^2 \quad (18\text{-}4)$$

式中，M1管的阈值电压V_{THN}是没有体效应时的阈值电压；CN20工艺中，NMOS管的阈值电压为0.83V。给定一个V_{SPH}，由上式可得到M1管和M3管的跨导比率。通常要求M2管的β_2满足下式：

$$\beta_2 > 5\beta_1 \text{且} \beta_2 > 5\beta_3 \quad (18\text{-}5)$$

由于M2管用作开关，因此，要求它的尺寸比M1管和M3管的尺寸大一些。

可以用同样的分析方法，得到下式，并由下式求出低转换点电压V_{SPL}：

$$\frac{\beta_5}{\beta_6}=\left[\frac{V_{SPL}}{VDD-V_{SPL}-V_{THP}}\right]^2 \quad (18\text{-}6)$$

下面这个例子用来说明施密特触发器的设计过程。

例18.1

用CN20工艺设计一个$V_{SPL}=2\text{V}$、$V_{SPH}=3\text{V}$的施密特触发器，并进行仿真验证。

通过式（18-4）和式（18-6），可得到跨导比率。对于高转换点电压，有：

$$\frac{\beta_1}{\beta_3}=\left[\frac{5-3}{3-0.83}\right]^2=0.85=\frac{KP_N\frac{W_1}{L_1}}{KP_N\frac{W_3}{L_3}}=\frac{W_1L_3}{W_3L_1}$$

对于低转换点电压，有：

$$\frac{\beta_5}{\beta_6}=\left[\frac{2}{5-2-0.91}\right]^2=0.92=\frac{KP_P\frac{W_5}{L_5}}{KP_P\frac{W_6}{L_6}}=\frac{W_5L_6}{W_6L_5}$$

上面这两个方程有无穷个解。如果画版图时的格点间距取为1μm㊀，则可用下面这个尺寸组合：

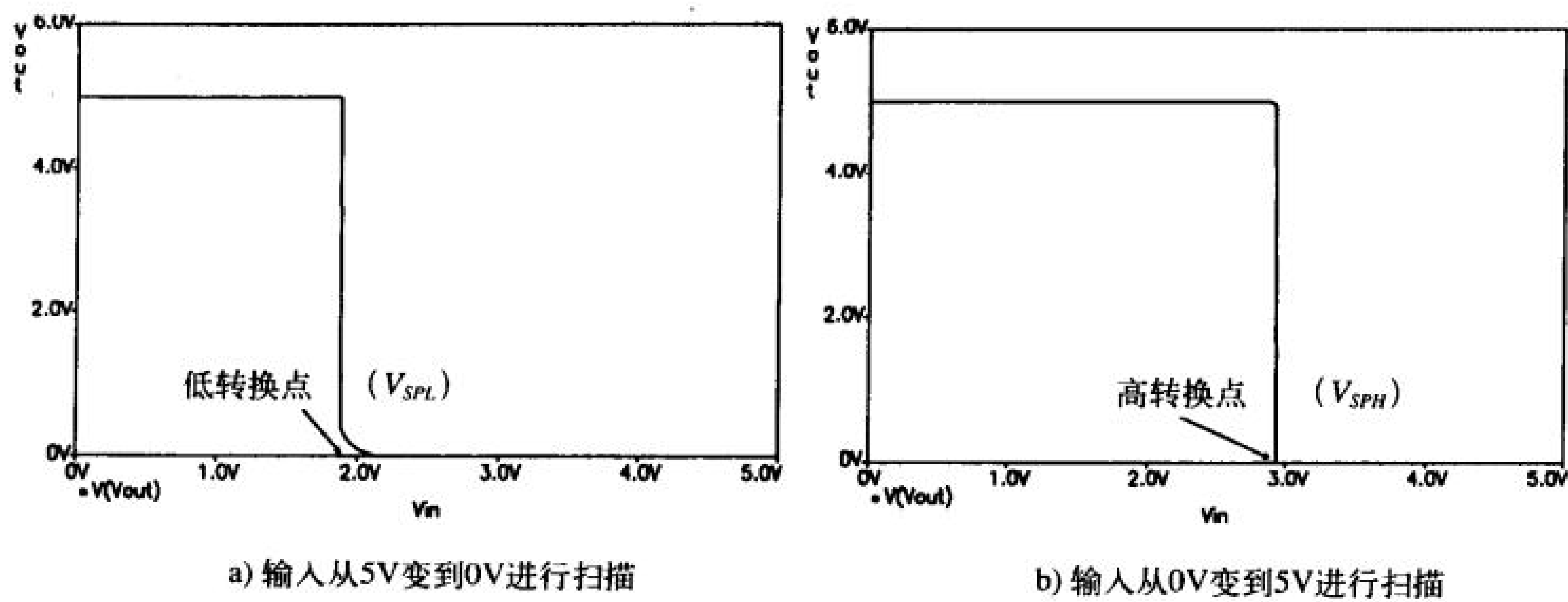
$$W_1=L_1=W_5=L_5=3\mu\text{m}$$
$$W_3=7\mu\text{m},\ L_3=6\mu\text{m}$$
$$W_6=12\mu\text{m},\ L_6=11\mu\text{m}$$

358

M2管和M4管的尺寸可依据式（18-5）来确定。可以注意到，M1管、M3管、M5管和M6管的W/L都接近于1，因此，可以取W_2/L_2和W_4/L_4等于5。对于M2管和M4管，可取$W_2=W_4=$

㊀ 实际上，如果用CN20工艺设计电路版图，可以把格点间距设置的再小一些。如果要精致地设计版图，可以把格点间距设为0.1 μm。在LASI中，用Set命令可以设置格点的数目和间距。

10μm，$L_2=L_4=2\mu m$。图18-5给出了仿真结果。针对该电路做了两个直流仿真，分别得到了输出从低电平变为高电平和从高电平变为低电平时的仿真波形。■



a) 输入从5V变到0V进行扫描　　b) 输入从0V变到5V进行扫描

图18-5　仿真结果

18.1.2　开关特性

施密特触发器传输延迟的计算方法与第11章中反相器传输延迟的计算方法相同。定义M1管、M2管、M4管和M5管的等效数字电阻分别为R_{n1}、R_{n2}、R_{p4}和R_{p5}。如果忽略施密特触发器的输出电容，输出在高电平和低电平之间转换时的传输延迟分别为：

$$t_{PHL}=(R_{n1}+R_{n2})\cdot C_{load} \tag{18-7}$$

$$t_{PLH}=(R_{p4}+R_{p5})\cdot C_{load} \tag{18-8}$$

18.1.3　施密特触发器的应用

在总线或系统之间的互连线中，经常出现振荡的脉冲信号，如图18-6所示。如果把这种振荡着的脉冲信号直接接到逻辑门或反相器（$V_{SP}=2.5V$）的输入端，逻辑门的输出也会随输入信号的振荡而不断变化。如果采用施密特触发器（转换点电压需设计得当），就可以避免输出的振荡。

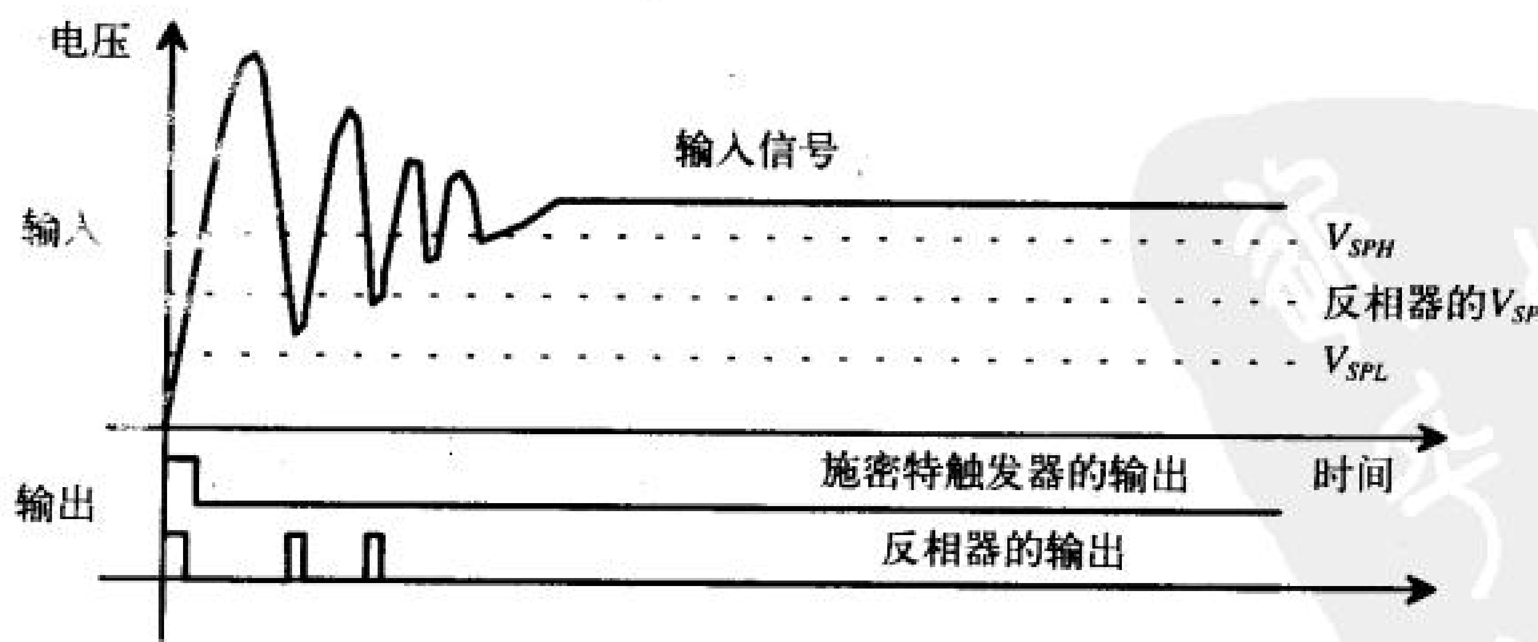


图18-6　用施密特触发器"净化"互连线上的信号

施密特触发器也可以用作振荡器（图18-7）。电容充放电的延迟时间可以用于设定振荡频

率。当电容上的电压增大到V_{SPH}时，施密特触发器的输出就转换为低电平，电容开始向地放电。下式给出了电容上电压的变化关系：

$$V_c(t) = V_{SPH} \cdot e^{-t/RC} \tag{18-9}$$

经过t_1时间后，$V_c(t)$会降为V_{SPL}，这时，施密特触发器的输出又会转换为高电平。由式（18-9）可求得t_1：

$$t_1 = RC \cdot \ln \frac{V_{SPH}}{V_{SPL}} \tag{18-10}$$

同理，可以分析电容上的电压从V_{SPL}充电到V_{SPH}的过程（经过的时间记为t_2），得到：

$$V_c(t) = V_{SPL} + (VDD - V_{SPL})\left(1 - e^{\frac{-t}{RC}}\right) \tag{18-11}$$

解得t_2为：

$$t_2 = RC \cdot \ln \frac{VDD - V_{SPL}}{VDD - V_{SPH}} \tag{18-12}$$

如果忽略施密特触发器的内在延迟，则振荡频率为：

$$f_{osc} = \frac{1}{t_1 + t_2} \tag{18-13}$$

上面各式中的电容C是施密特触发器的输入电容和其他外部电容之和。

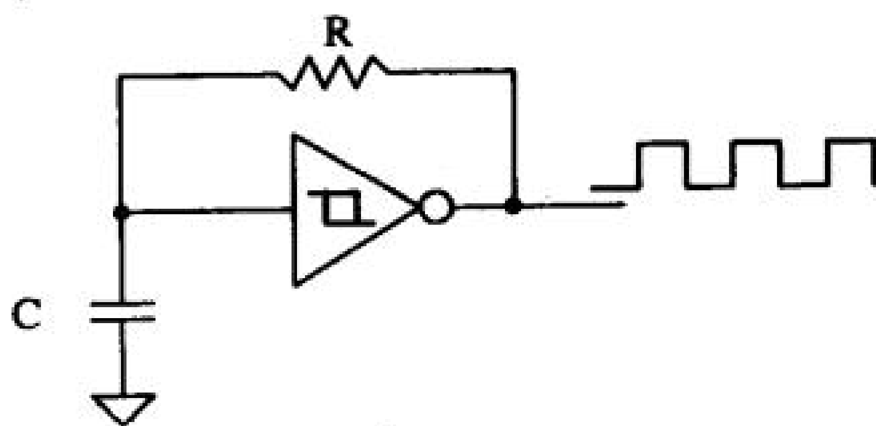


图18-7 用施密特触发器实现的振荡器

359～360

图18-8给出了另外一种用施密特触发器实现的振荡器[2]。图中，M1管和M4管分别镜像流过M5管和M6管的电流（见第20章）。当振荡器的输出为低电平时，M3管导通，M2管截止，流过M4管的恒定电流对电容C充电。当电容C上的电压升到V_{SPH}时，施密特触发器的输出变为低电平，振荡器的输出变为高电平，流过M1管的恒定电流开始对电容C放电。当电容C上的电压降到V_{SPL}时，施密特触发器的输出又会变为高电平。这种输出状态的转换持续进行，就形成了方波输出。

如果把M1管和M4管的漏电流分别记为I_{D1}和I_{D4}，则可用下式来估算把电容上的电压从V_{SPL}充电到V_{SPH}所需的时间：

$$t_1 = C \cdot \frac{V_{SPH} - V_{SPL}}{I_{D4}} \tag{18-14}$$

从V_{SPH}放电到V_{SPL}所需的时间为：

$$t_2 = C \cdot \frac{V_{SPH} - V_{SPL}}{I_{D1}} \tag{18-15}$$

振荡器的周期就是t_1和t_2之和。

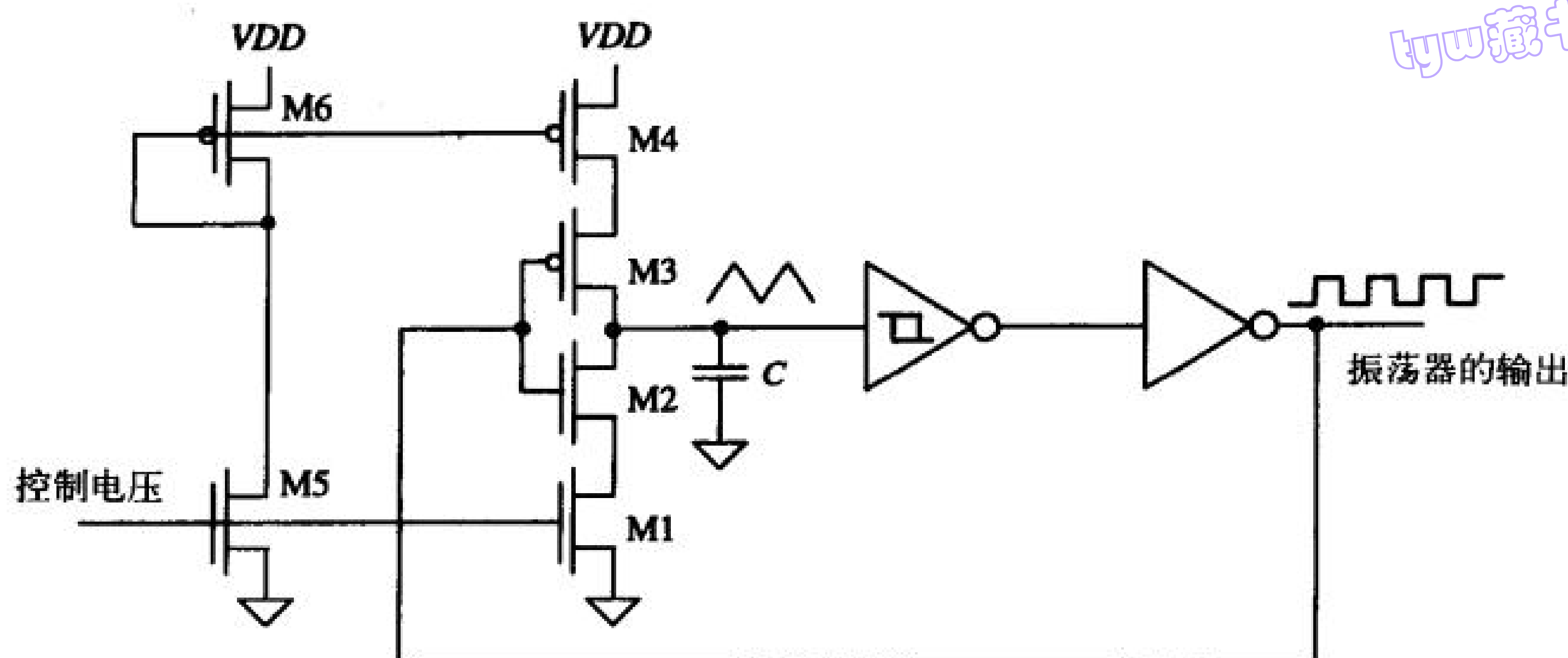


图18-8　用施密特触发器和电流镜实现的压控振荡器（M2管和M3管用作开关）

上面这种类型的振荡器之所以被称为压控振荡器（Voltage-Controlled Oscillator，VCO），是因为振荡器的输出频率由外部电压来控制。外部电压直接控制电流I_{D1}和I_{D4}的大小（图18-8）。在第20章我们会看到，可以把流过M5管和M6管的电流以一定比例（与MOS管之间的尺寸比例有关）镜像为流过M1管和M4管的电流。

18.1.4　高速施密特触发器

事实证明，图18-3中的施密特触发器不易进行高速优化；在不改变转换点电压的前提下，很难减小MOS管的等效数字电阻。图18-9给出了一个用锁存器实现的施密特触发器，锁存器是由反相器构成的。尽管这种施密特触发器的延迟时间小于前面给出的施密特触发器，但它的转换点电压很难设定，因此，在很多情况下，这种类型的施密特触发器无法实用。

361

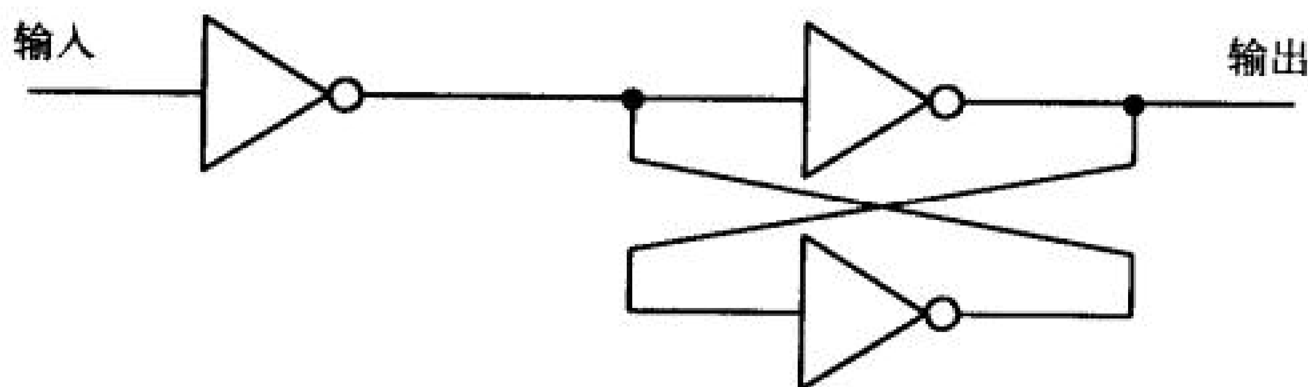


图18-9　用锁存器实现的施密特触发器

18.2　多频振荡器

多频振荡器电路（图18-10）是利用正反馈原理工作的电路。多频振荡器有三种类型，即：非稳态多频振荡器、双稳态多频振荡器、单稳态多频振荡器。无论非稳态多频振荡器的输出是处于“1”状态还是“0”状态，它都不稳定。前面我们讨论的振荡器就是一种非稳态多频振荡器的实例。双稳态多频振荡器无论其输出是“1”还是“0”，它都处于稳定状态。触发器

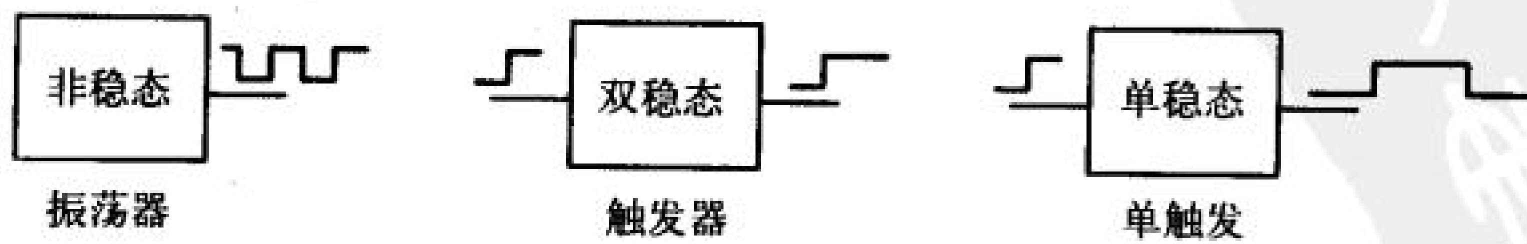


图18-10　多频振荡器电路

和锁存器就是双稳态多频振荡器的实例。单稳态多频振荡器稳定在一个单一的状态，也被称为单触发。在这一节中，我们将讨论单稳态和非稳态多频振荡器。

18.2.1 单稳态多频振荡器

由CMOS实现的单稳态多频振荡器如图18-11所示。在正常情况下，V_{in}是低电平，而NOR门的输出V_1是高电平，V_2通过电阻被上拉到高电平，反相器的输出V_3是低电平。当有触发脉冲时，即V_{in}由低电平转换为高电平，V_1和V_2都将降到零电压，反相器的输出（也就是单稳态多频振荡器的输出）就变为高电平。这个输出又反馈到NOR门的输入端，使V_1保持为零电平。

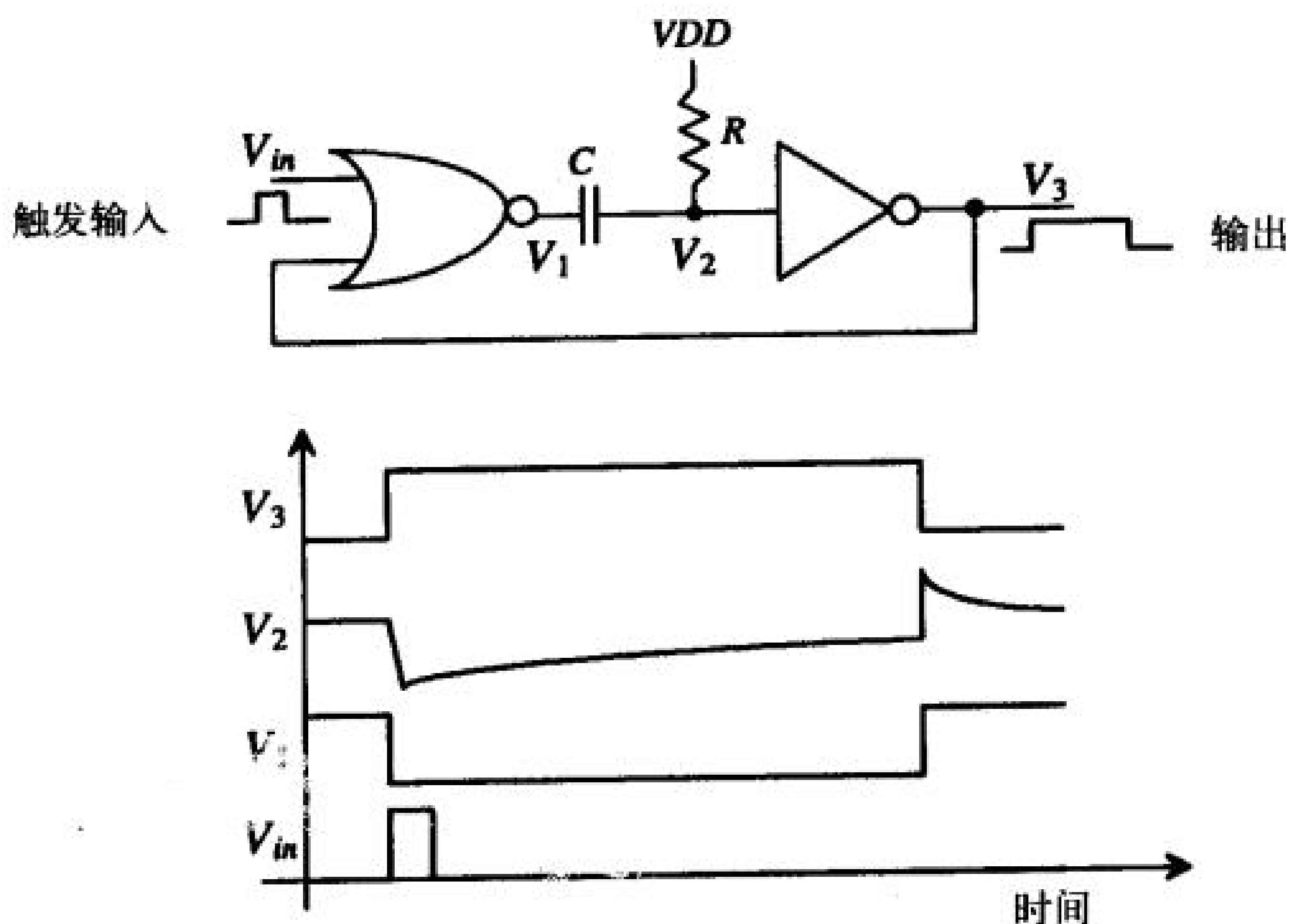


图18-11 单稳态多频振荡器的工作原理

在单稳态多频振荡器被触发后，通过电阻R，电容C被充电，V_2电压开始上升。电容C上的电压为：

$$V_c(t) = V_2(t) - \overbrace{V_1(t)}^{=0} = VDD(1 - e^{\frac{-t}{RC}}) \tag{18-16}$$

如果假设反相器的V_{SP}是$VDD/2$，则把电容充电到V_{SP}所需的时间为：

$$t = RC \cdot \ln\frac{VDD}{VDD - V_{SP}} = RC \cdot \ln(2) \approx 0.7RC \tag{18-17}$$

t时间后，反相器的输出变为低电平；因此，如果忽略门延迟，t也是输出脉冲的宽度。反相器输出V_3降为低电平，使得V_1由零电压变为VDD，而V_2达到$VDD+VDD/2$。如果把电阻和电容连接到输出压点，压点中的ESD保护二极管会使V_2电压不能高于VDD+0.7。V_2回落到 VDD的时间决定了单稳态多频振荡器需要经过多长时间后才可以再次被触发（即触发速率）。另外，输入触发脉冲的宽度可以大于输出脉冲宽度；过长的输入脉冲宽度能使V_2电压达到10V，这也会影响最大触发速率。

18.2.2 非稳态多频振荡器

图18-12给出了一个非稳态多频振荡器的例子。图中这个电路没有稳定状态，总在振荡。

为了分析这个多频振荡器的工作原理，首先假设输出V_3已经转换到高电平，这使得V_1达到高电平（为$VDD+V_{SP1}$），V_2变为低电平，电容上的电压为：

362~363

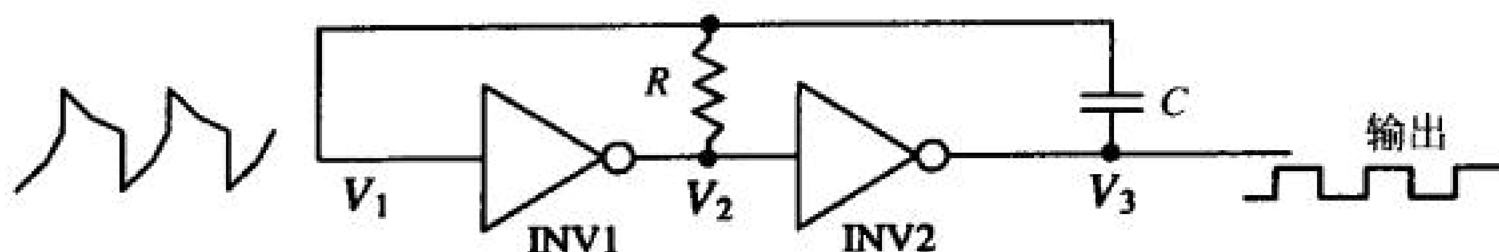


图18-12 非稳态多频振荡器电路

$$V_c(t) = V_1(t) - \overbrace{V_3(t)}^{=VDD} = (VDD + V_{SP1}) \cdot e^{\frac{-t}{RC}} - VDD \tag{18-18}$$

当$V_1 = V_{SP1}$时，非稳态多频振荡器的输出又降为低电平，$V_3=0$。把这个条件带入上式，就可以求得输出为高电平（或低电平）的时间：

$$t_1 = RC \cdot \ln \frac{VDD + V_{SP1}}{V_{SP1}} = t_2 \tag{18-19}$$

如果$V_{SP1} = VDD/2$，则有：

$$t_1 = t_2 = 1.1RC \tag{18-20}$$

振荡频率为：

$$f_{osc} = \frac{1}{t_1 + t_2} = \frac{1}{2.2RC} \tag{18-21}$$

与单稳态多频振荡器相同，如果把非稳态多频振荡器中的电阻和电容连接到压点，压点中的ESD保护二极管会限制V_1的电压摆幅。

18.3 电压产生电路

在设计CMOS电路时，有时需要的直流电压不一定都在VSS~VDD之间。例如，图11-28中就需要一个VDD+2V的直流电压来驱动反相器。图18-13给出了一个简单电路，它可以产生大于VDD的电压。该电路有时被称为电压泵（voltage pump），更常用的名称是电荷泵（charge pump）。

下面说明图18-13中电荷泵的工作原理。首先应该意识到，图中的M1管和M2管的作用与二极管相同，M1管仅用于把A节点的电压拉到$VDD-V_{THN}$（对CN20工艺，当$V_{SB}=5$V时，考虑体效应后的阈值电压约为1.5V）。假设反相器的输出为低电平，A节点电压为$VDD-V_{THN}$。当反相器的输出变为高电平时，A节点的电压变为$VDD+(VDD-V_{THN})$，这使得M2管导通。如果$C_1 >> C_{load}$且振荡器的频率允许电容被充分的充/放电，则C_{load}上的电压会被充电到$2(VDD-V_{THN})$（对于CN20工艺，约等于7V）。在大多数情况下，C_{load}和C_1的大小相当，并且电荷泵的输出会接一个直流负载，因此，输出电压需要一个建立时间，即V_{out}并不是直接升到$2(VDD-V_{THN})$，而是要等若干个振荡器周期后才能达到稳定状态。另外，由于输出接直流负载，输出电压不是恒值，会有起伏，起伏大小与直流负载有关。图18-14是图18-13中电路的仿真结果。仿真时，MOS管的尺寸取最小尺寸，$C_{load}=C_1=1$pF，振荡器的振荡频率为10 MHz。如果用这种简单的电荷泵驱动直流负载（如一个电阻），需要用大尺寸的MOS管和大电容。

364

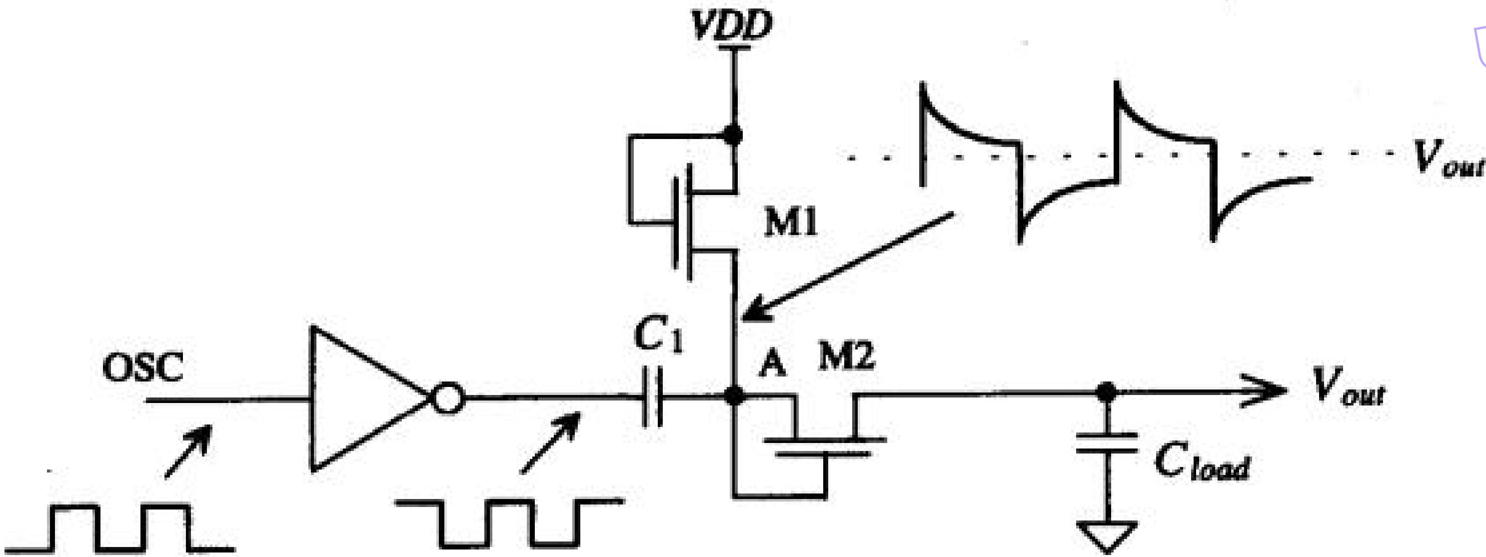


图18-13 简单电荷泵（用于产生高于VDD的电压）

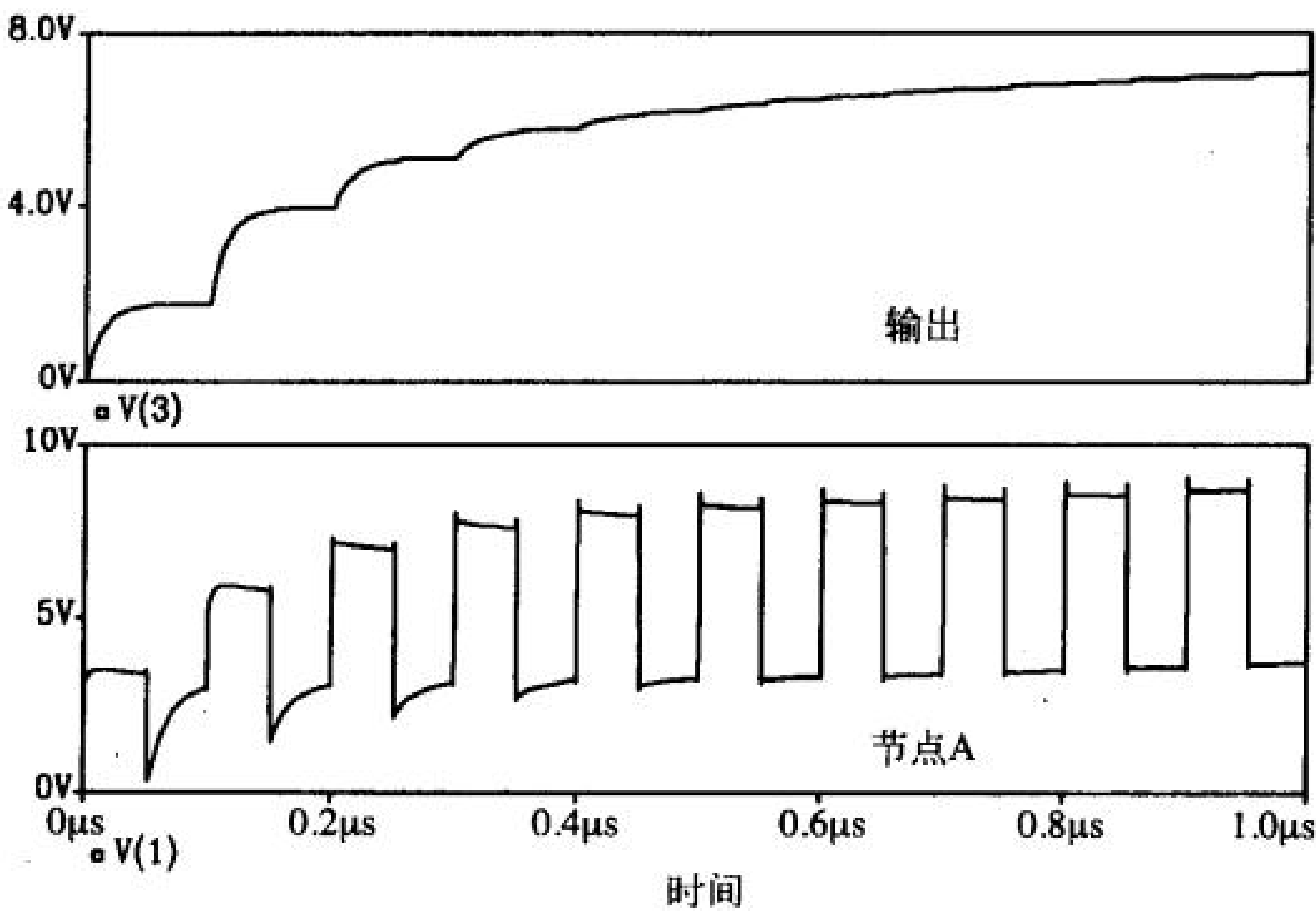


图18-14 简单电荷泵的仿真输出波形

产生高于*VDD*的直流电压的电荷泵被称为正电荷泵，它用NMOS管实现。产生低于*VSS*的直流电压的电荷泵被称为负电荷泵，它用PMOS管实现。图18-15给出了一个负电荷泵。实现正电荷泵和负电荷泵的MOS管之所以类型不同，是为了防止MOS管源/漏端的n+注入区与p衬底（或p+注入区与n阱）构成的二极管进入正偏状态。

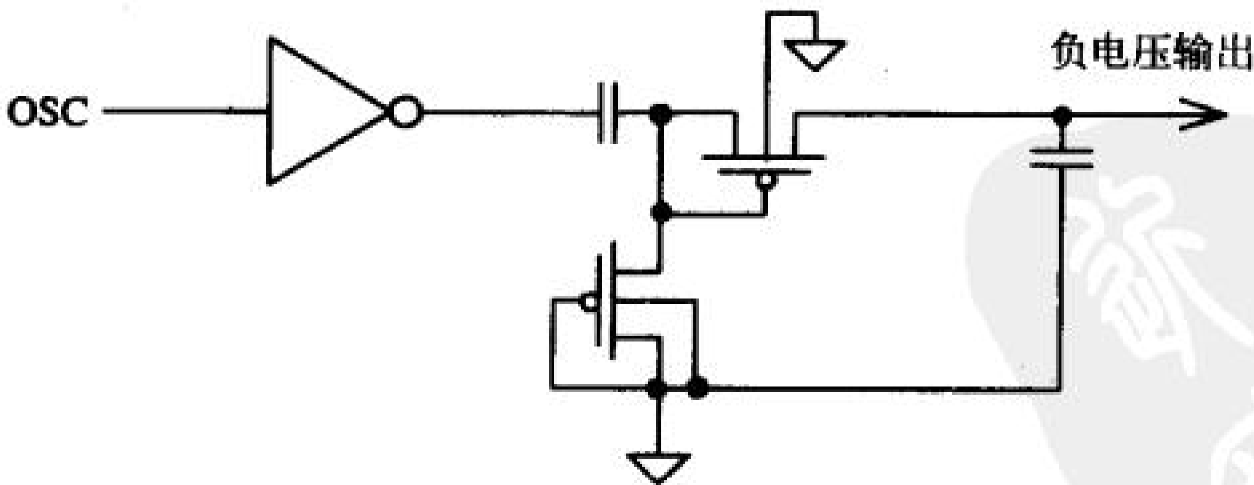


图18-15 用来产生小于*VSS*的直流电压的负电荷泵

图18-13和图18-15中的电容可以用MOS管实现。图18-16 给出的是用NMOS管实现电容的实例。MOS管用作电容的主要前提条件是：在任何可能的工作情况下，V_{GS}都大于V_{THN}，即MOS管应总工作在强反型区，使电容值是常数 $C_{ox}' \cdot W \cdot L$。由于V_{out}>>V_{THN}，图18-16中用作电

容C_{load} 的NMOS管总工作在强反型区。下面来分析用作电容C_1的NMOS管的工作状态。当反相器输出为低电平时，该NMOS管的栅极电压为$VDD-V_{THN}$（$=V_{GS}$）；当反相器输出为高电平时，栅极电压为$2VDD-V_{THN}$。因此，无论反相器输出是低电平还是高电平，该NMOS管的V_{GS}都等于$VDD-V_{THN}$，保证该NMOS管总工作在强反型区。

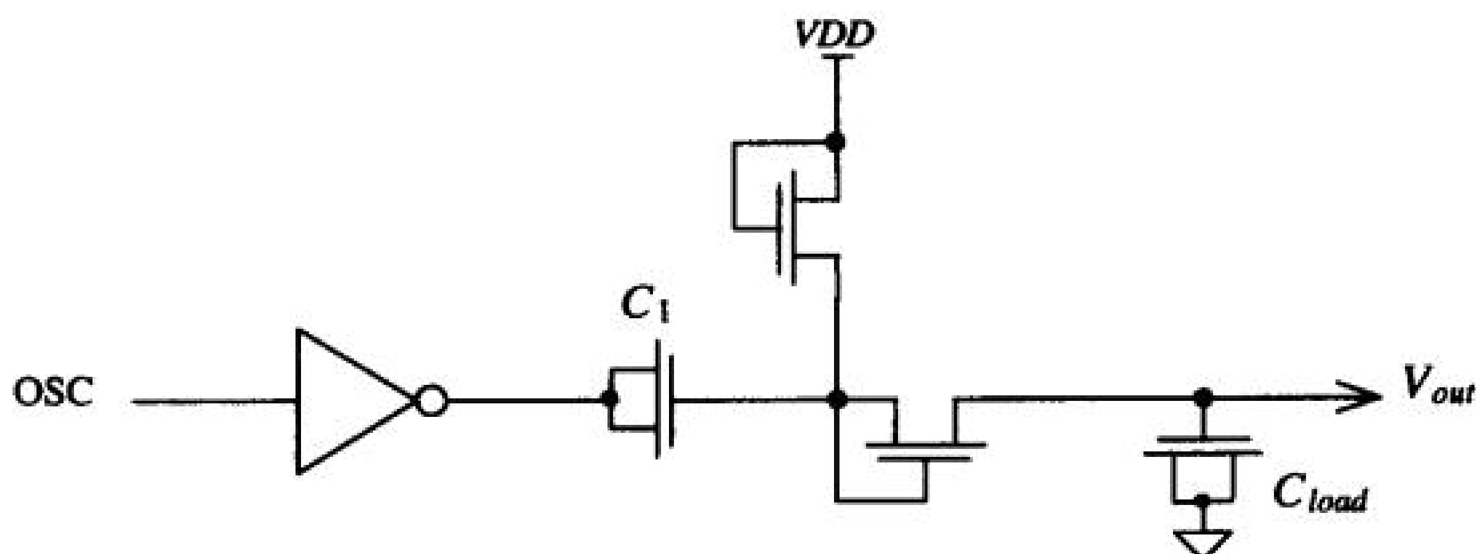


图18-16 用MOS管作为电容

18.3.1 提高效率

图18-17给出了一个效率更高的电荷泵。效率的提高主要在于消除了M7管栅极和漏极之间的阈值电压下降，使得输出可以达到$2VDD-V_{THN}$。

365 ~ 366

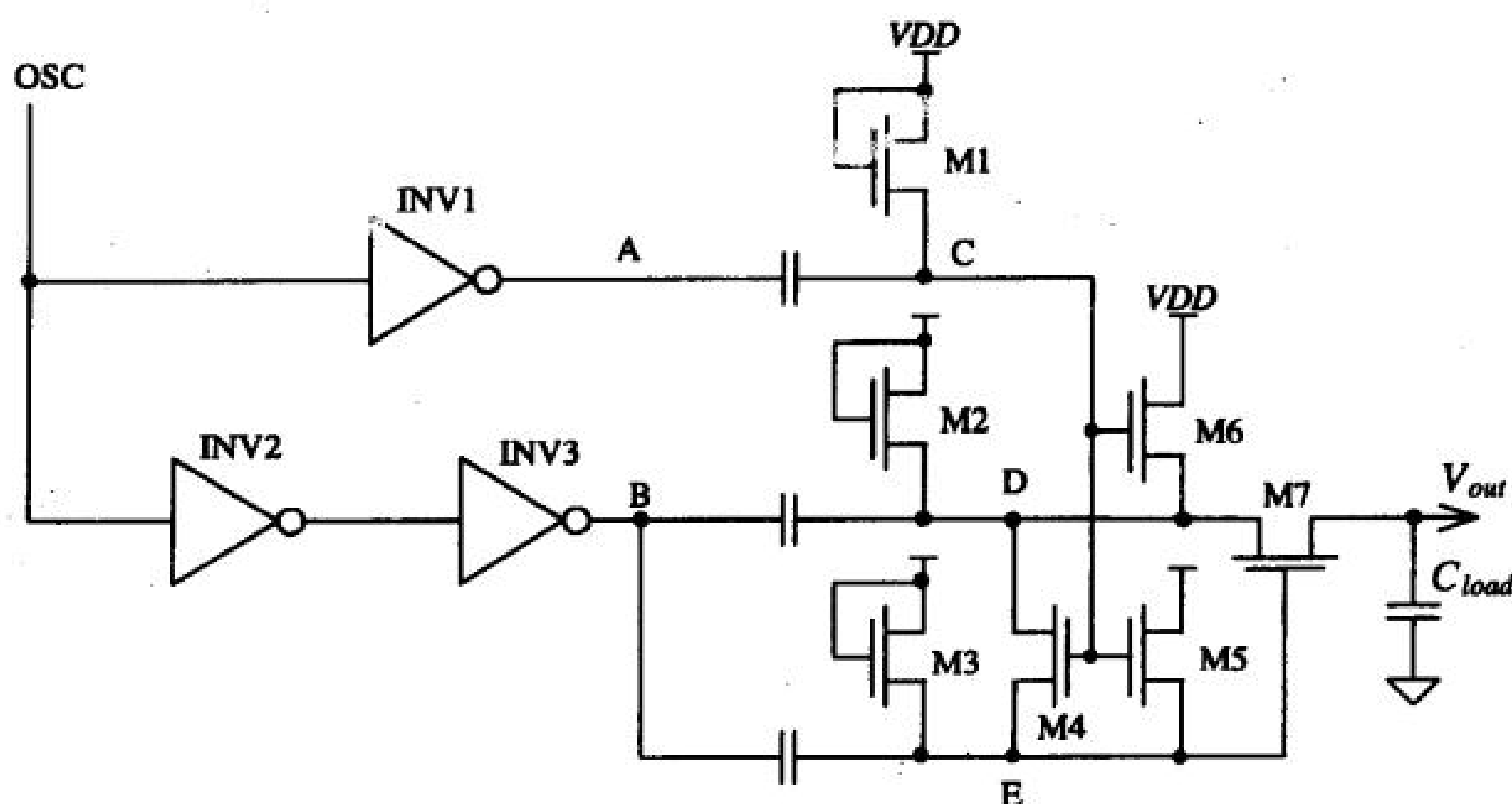


图18-17 提高了效率的电荷泵

为了更好的理解此电路，首先假设A节点电压为低电平。节点C的电压为$VDD-V_{THN}$。当INV1的输出为高电平时，A节点电压为VDD，节点C的电压达到$2VDD-V_{THN}$，此时M4管、M5管和M6管导通，并把节点D和节点E的电平上拉到VDD。当节点B为高电平时（A节点电压降到0），节点D和节点E电压变为$2VDD$，输出为$2VDD-V_{THN}$。图中，M2管和M3管并不是必需的；除非用此电荷泵来驱动直流负载，否则M2管和M3管总是截止。另外，除非电荷泵需要提供直流电流，否则不用把节点D和节点E分开。

18.3.2 更高电压的产生

上面讲到的电荷泵产生的电压范围限制于$2VDD\sim 2VSS$之间。图18-18给出的电路可以产生

任意高的电压（电压值的上限是电容的击穿电压或MOS管氧化层的击穿电压）[3]，该电路被称为电压倍增器。与前面的电荷泵电路相同，电压倍增器中的MOS管也是用作二极管。

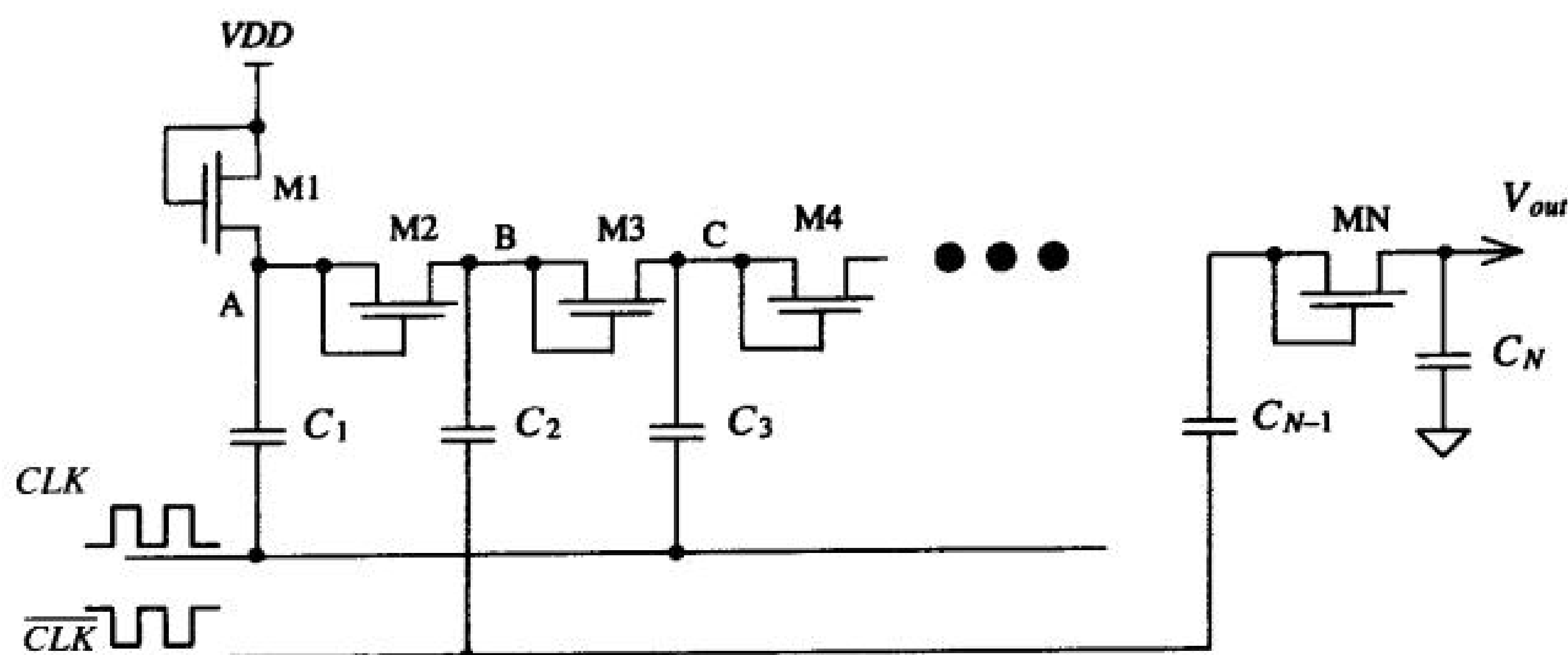


图18-18　N级电压倍增器

下面来分析该电路的工作原理。分析时，假设该电路不带直流负载。当*CLK*是低电平时，通过M1管A节点的电压被上拉到$VDD-V_{THN}$。当*CLK*变为高电平时，A节点电压变为$2VDD-V_{THN}$。二极管接法的M2管导通，B节点被充电到$2VDD-2V_{THN}$。当*CLK*再次降为低电平时，$\overline{CLK}$变为高电平，B节点电压变为$3VDD-2V_{THN}$。当$\overline{CLK}$降到低电平时，B节点电压降为$2VDD-2V_{THN}$。这种电压的变化过程一直持续到电压倍增器的最后一级。最后，电压倍增器的输出摆幅是从$(N+1)\cdot VDD-N\cdot V_{THN}$到$N\cdot VDD-N\cdot V_{THN}$。为了减少输出电压的起伏波动，$C_N$可以大于其他电容。

实际上，这个电路存在一些问题。首先，由于存在体效应，从M1管到MN管，每个MOS管的阈值电压都会有所增加。而且，每个节点和地之间的杂散电容也会降低倍增器的效率；当用该电路提供电流驱动时，电路中的这些杂散电容也会分享电荷。上述这两个因素导致电压倍增器的输出电阻很大，使得该电路只能提供很小的驱动电流。另外，在实际应用该电路时，倍增器的输出端应该有电压保护电路来限制输出电压，以保护电路不被击穿。常见的简单的保护电路就是在输出和地之间加几个串联的长沟道NMOS管。

18.3.3　实例

在数字电路中，电压产生电路的最常见应用是产生一个负的衬底偏压[4]，即：衬底不是接地，而是接一个负电压。通常，这个负电压的范围为−1V ~ −2V。在DRAM中，通常把衬底置为负偏压。把衬底置为负偏压有如下好处：（1）稳定NMOS管的阈值电压；（2）增加抗锁存能力；（3）防止n+注入区和p衬底之间的PN结正偏；（4）允许芯片输入为负电压，同时又不会使PN结正偏；（5）防止衬底的局部电压高于地；（6）减小n+注入区和p衬底之间的耗尽层电容；（7）减小亚阈值泄漏电流。

图18-19给出了一个简单的产生衬底负偏压的电荷泵电路（简称为衬底泵）。与图18-15中的电路不同的是，图18-19中的电路是用NMOS管来产生负电压。这是因为本电路的衬底被偏置为一个负电压，因此，NMOS管的漏/源注入区和衬底之间的PN结不会正偏。另外，该电路中没有给出负载电容。实际上，衬底和电路中任一部分之间都会存在电容，这些电容都是衬底泵的负载电容，换句话说，衬底本身就是一个很大的负载电容。

367
~
368

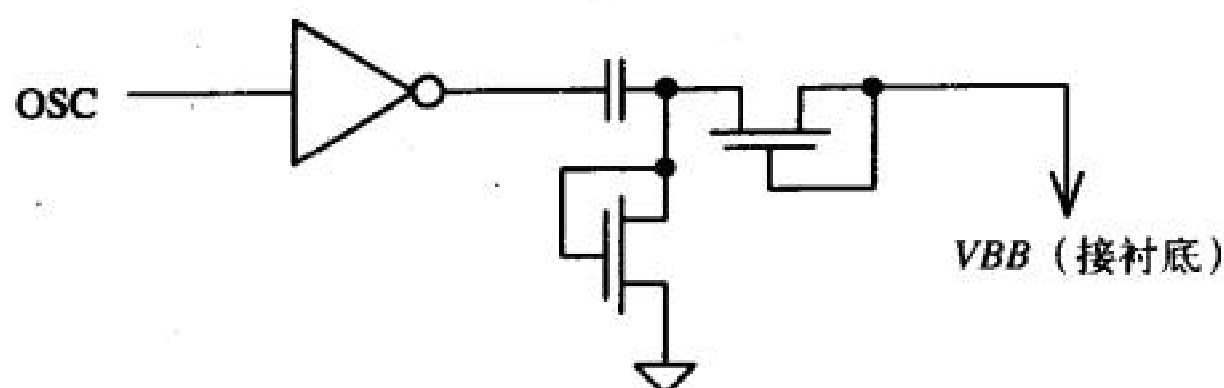


图18-19 一个简单的衬底泵

图18-20给出的是用于驱动上面这个衬底泵的振荡器的电路实例。这是一个标准的环路振荡器。它是用NAND门来启动或停止振荡器。为了使衬底泵中的电容能够充分地充/放电，在振荡器的中间节点加入了一些电容以增大延迟，降低振荡器的频率。

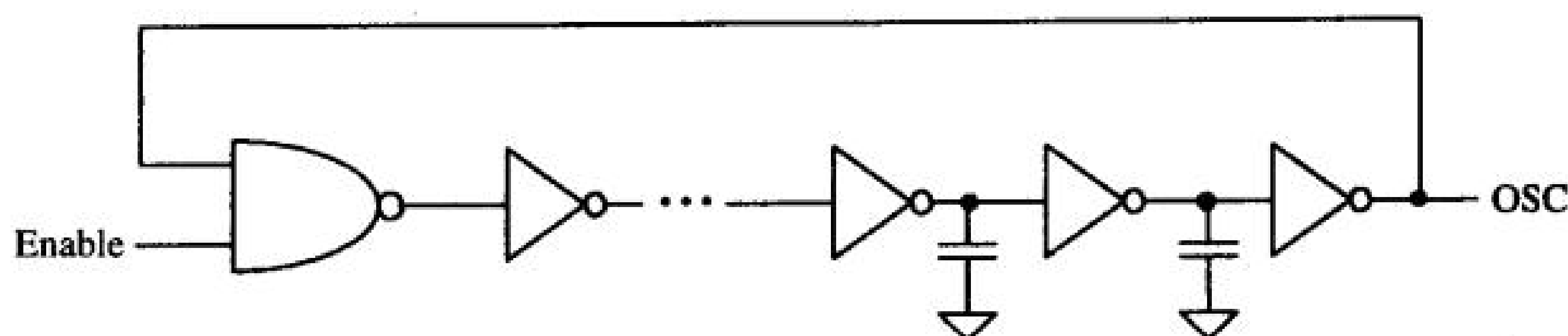


图18-20 带使能控制的环路振荡器

衬底泵的最后一个部分是调节器，如图18-21所示。调节器的功能是：探测衬底电压，根据衬底电压决定启动或停止衬底泵。调节器用来产生振荡器的使能信号（图中的Enable信号），它由如下电路模块构成：带磁滞效应的比较器、高精度电压基准源和电压平移电路。比较器的磁滞程度决定了衬底电压的起伏量。图中，M1管和M2管为PMOS管，不存在体效应，因此，阈值电压保持不变。如果流过M1管和M2管的电流为常量，则M1管和M2管的栅-源电压也是常量，使得MOS管的作用类似一个电池（实现电压向上平移的功能）。M1管和M2管把衬底电压向上平移，使得平移后的电压处于比较器的共模输入范围之内。串联PMOS管的数目（此例中是两个）和电流I的大小决定着衬底电压的大小。

369

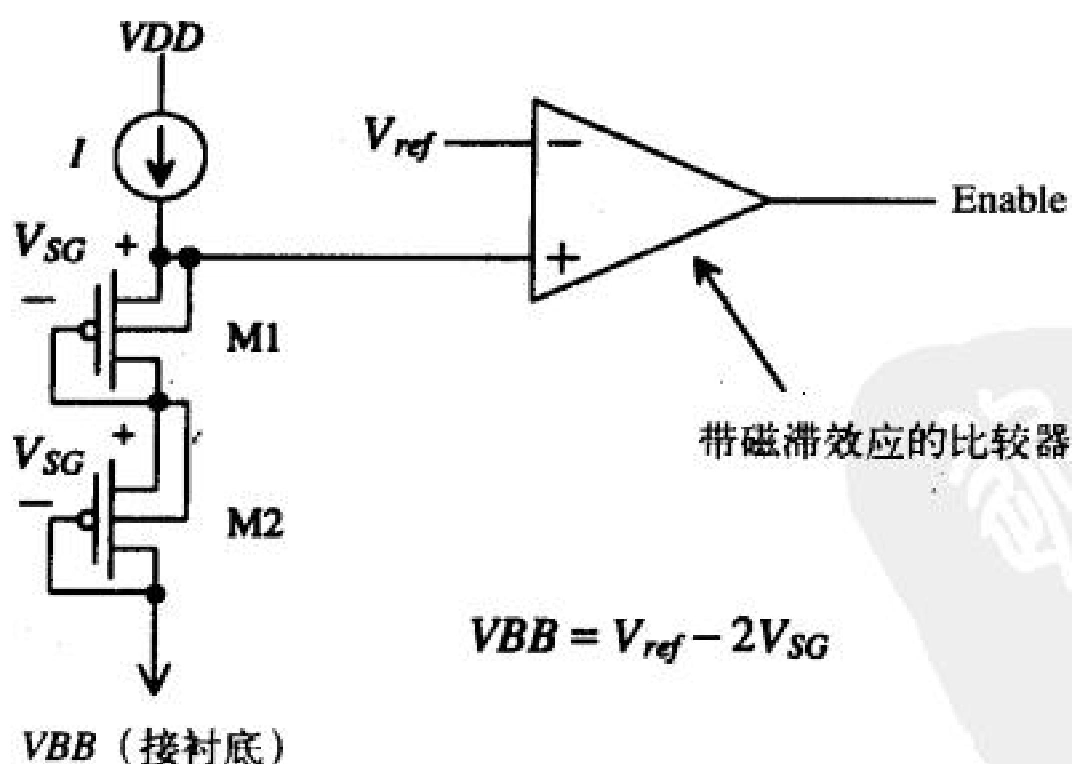


图18-21 衬底泵中的调节器

图18-22给出了一种比较简单的精度较低的调节器电路。图中的比较器和电压基准电路由反相器和M1管、M2管、M3管实现。M3管使得反相器有磁滞效应，工作方式类似于施密特触发器。M2管和M3管构成一个反相器，其转换点电压约为V_{THN}。图18-22的电流源是用长沟道

的M4管实现。电压平移电路由M5管和M6管实现。当A节点电压高于V_{THN}时，Enable信号变为高电平，使得衬底泵开始工作，把衬底电压置于负偏压。衬底电压降到一定程度后，通过M5管和M6管，A节点的电压被下拉到小于V_{THN}，使得Enable信号变为低电平，衬底泵停止工作。用该电路产生的衬底偏压约为$-V_{THN}$（存在体效应），即约为-1V。

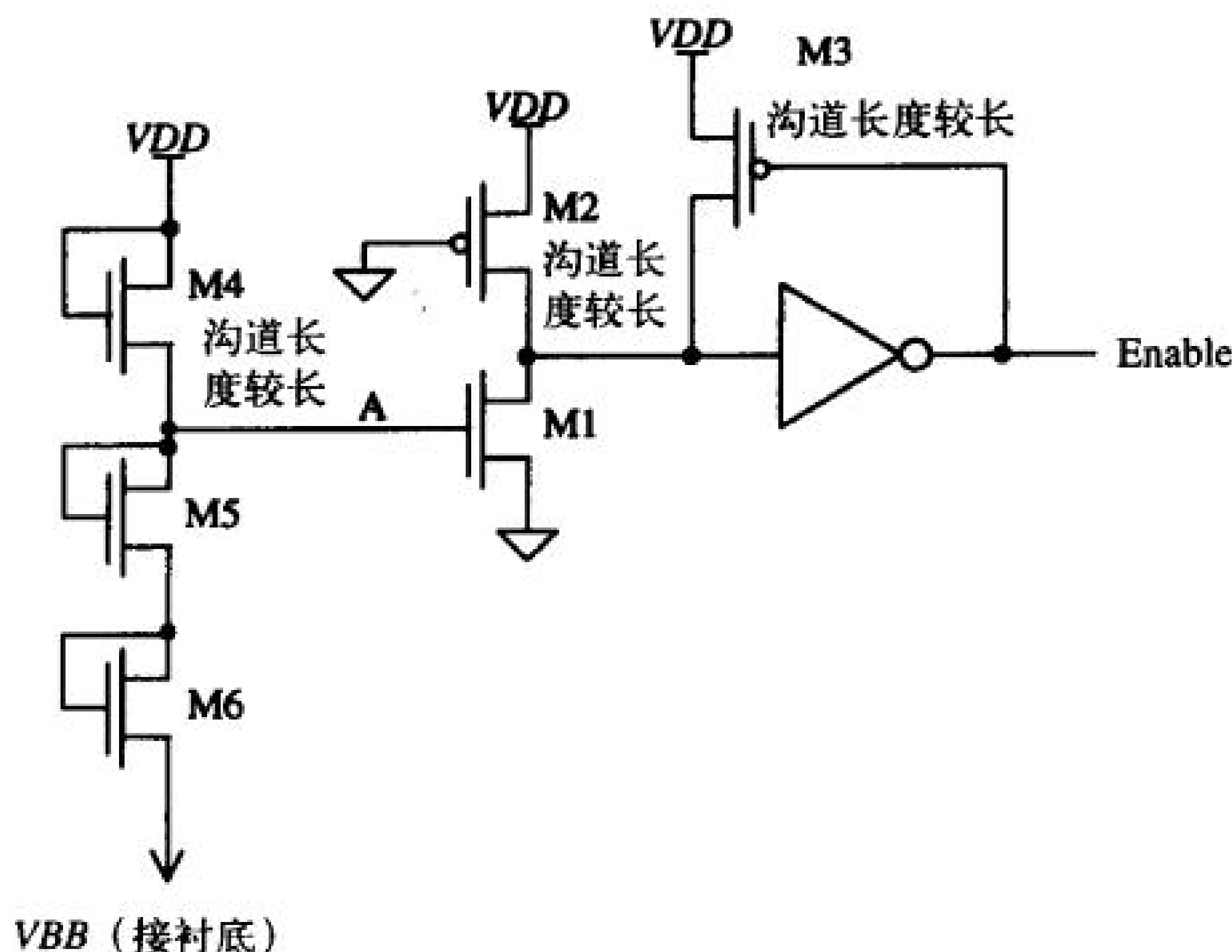


图18-22 一个简单的衬底调节器

参考文献

[1] D. A. Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits,* McGraw-Hill Publishing Co., 2nd ed., 1988. ISBN 0-07-029158-6.

[2] R. Gregorian, K. W. Martin, and G. C. Temes, "Switched-Capacitor Circuit Design," *Proceedings of the IEEE,* Vol. 71, No. 8, August, pp. 941-966, 1983.

[3] J. F. Dickson, "On-Chip High-Voltage Generation in MNOS (sic) Integrated Circuits Using an Improved Voltage Multiplier Technique," *IEEE Journal of Solid State Circuits*, Vol. SC-11, No. 3, June 1976.

[4] P. Zagar, *4 MEG DRAM Tutorial-Course Notes,* Micron Semiconductor, Boise, Idaho.

[5] J. Wu, Y. Chang, and K. Chang, "1.2V CMOS Switched-Capacitor Circuits," *ISSCC*, 1996.

习题

18.1 设计一个施密特触发器，使其$V_{SPH}=3V$、$V_{SPL}=2.5V$。用SPICE做直流扫描，仿真验证设计，并在输出结果中标出转换点电压。

18.2 估算例18.1中施密特触发器的t_{PHL}和t_{PLH}。假设负载电容为100fF。

18.3 设计一个基于施密特触发器的输出频率为10 MHz的振荡器，并仿真验证设计。

18.4 估算图18-8中VCO电路的控制电压的总输入电容。

18.5 用SPICE仿真确定图18-9中施密特触发器的V_{SPH}和V_{SPL}。

18.6 采用最小尺寸的反相器，设计一个输出振荡频率为20MHz的非稳态多频振荡器。反相器的V_{SP}是多少？

18.7 设计一个输出脉冲宽度为100ns的单稳态多频振荡器并做仿真验证。分析该单稳态多频振荡器的再次触发的最大速率。如果电阻和电容接到压点上，分析压点中的ESD二极管如何影响电路的工作。

18.8 利用SPICE生成图18-14的波形。

370~371

18.9 设计一个额定输出电压为7V的电压产生器，使其可提供的最大直流电流为1μA（针对7MEGΩ的电阻）。用SPICE仿真验证你设计的电路。

18.10 设计一个额定输出电压为-1V的衬底泵并进行仿真验证。讨论设计中的折衷考虑。

18.11 图P18-11给出了一个电压产生器[5]，它能提高N级电压倍增器的效率。分析该电路的工作原理，并用时序图说明你的理解。

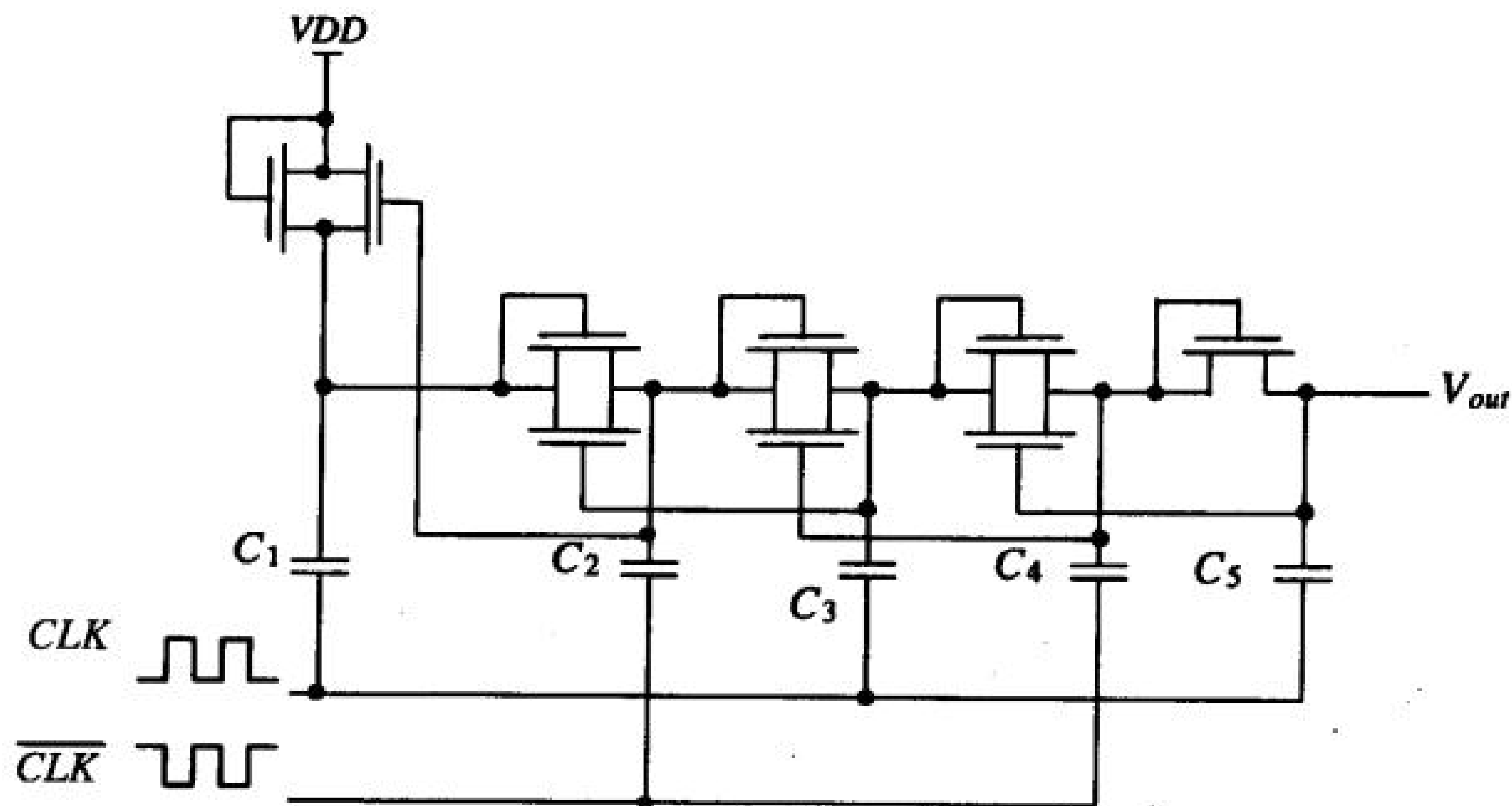


图 P18-11

372

第19章 数字锁相环

数字锁相环（Digital Phase-Locked Loop，DPLL）是现代集成电路设计中经常用到的电路[1]。考虑图19-1中通信系统的信号波形和框图。在发送端，数字化的数据被装入移位寄存器，然后顺序地移到发送器的输出驱动器。在接收端，数据在经过了传输信道后，可能变成了模拟量（逻辑高电平和逻辑低电平不是非常清晰了），接收器要放大这些信号并把它们恢复为清晰的数字逻辑电平。接下来是将已恢复的数据移入接收端的移位寄存器，然后处理接收到的数据。但是，如果缺乏时钟同步信号，接收端的数据恢复和处理就很难实现。DPLL的功能就是产生一个与输入信号同步（即锁定输入信号）的时钟信号。产生的时钟信号用来在接收端给移位寄存器提供时钟信号，从而实现数据恢复。DPLL用于这种情形时，常被称为时钟恢复电路（clock-recovery circuit）或位同步电路（bit synchronization circuit）。

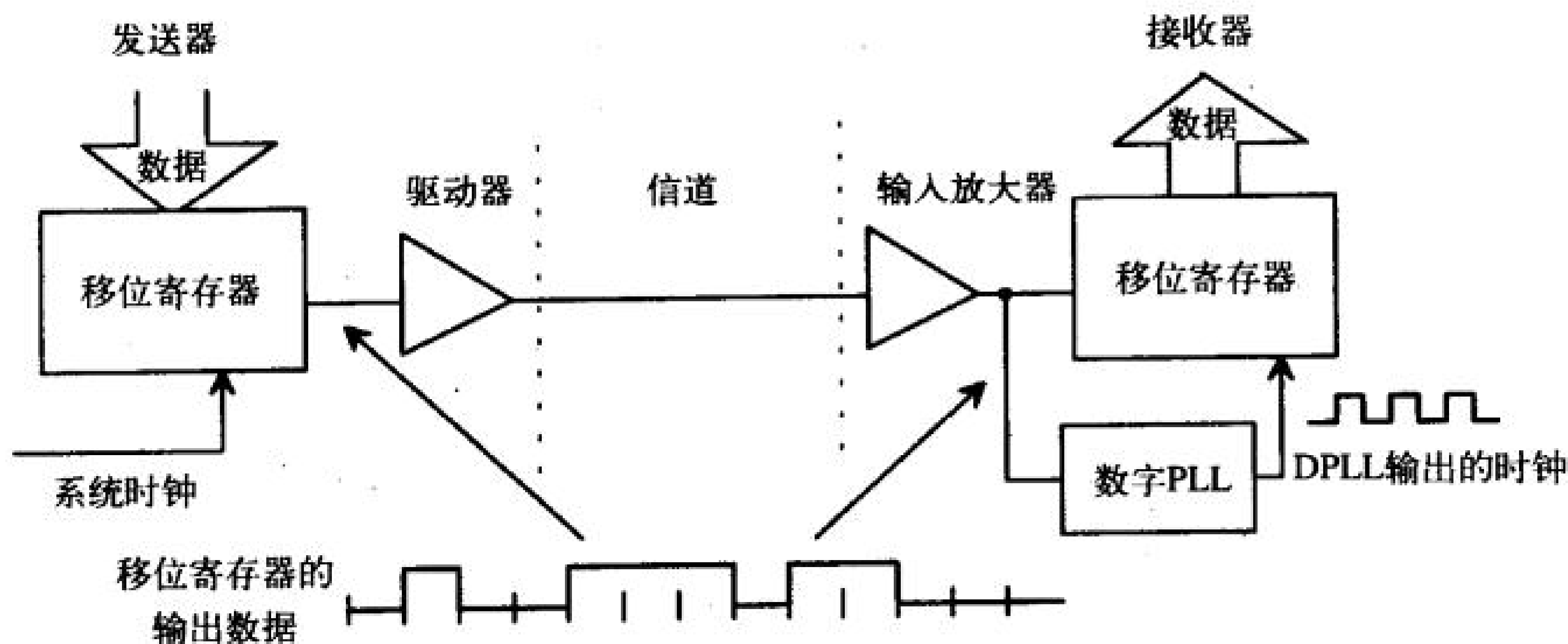


图19-1 用DPLL来产生时钟信号的通信系统框图

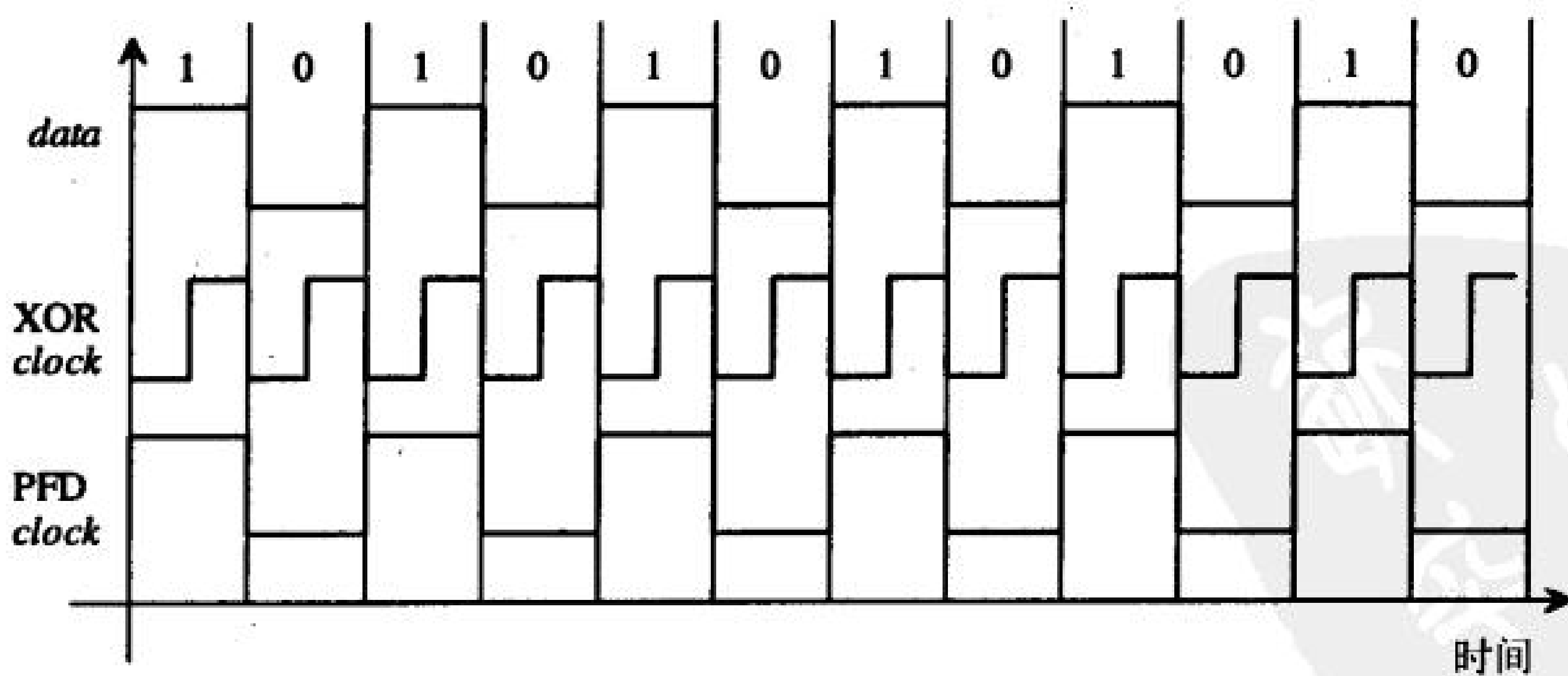


图19-2 DPLL的输入数据和采用不同鉴相器时的时钟输出

图19-2给出了输入数据和DPLL可能的输出信号的波形。时钟输出信号与所采用的鉴相器（Phase Detector，PD）的类型有关⊖，因此，对应XOR鉴相器和鉴频鉴相器（Phase Frequency

⊖ 在数字系统中，鉴相器的更准确的名字是时间鉴差器（Time Difference Detector，TDD）。

Detector，PFD），时钟输出信号被分别标记为“XOR clock”和“PFD clock”。对于XOR鉴相器，时钟输出信号的上升沿出现在数据位的中心点；而对鉴频鉴相器，时钟输出信号的上升沿出现在数据位开始的时刻。时钟输出信号的相位由所采用的鉴相器类型决定[⊖]。

图19-3是一个DPLL的框图。鉴相器的输出信号与输入数据和分频后的时钟信号dclock之间的时间差成比例。该输出信号再经过一个环路滤波器进行滤波，滤波后的信号V_{inVCO}接到压控振荡器的输入端。在接下来的章节中会详细讨论图中各个模块，一旦各个模块讨论清楚后，我们再将它们合起来，讨论完整的DPLL的工作原理。

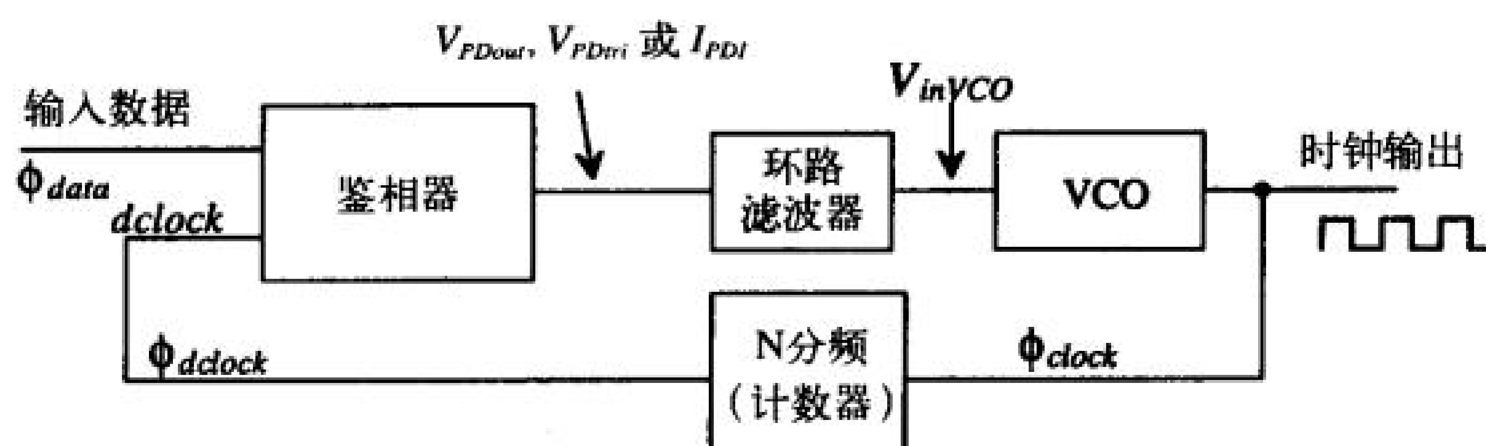


图19-3 DPLL的框图

374

19.1 鉴相器

组成DPLL的第一模块是鉴相器。XOR鉴相器和鉴频鉴相器有显著差异，熟悉它们各自的优缺点非常重要。选择合适的鉴相器是DPLL设计的第一步。

19.1.1 XOR鉴相器

XOR鉴相器就是一个异或门。当XOR鉴相器的输出是占空比为百分之五十的脉冲序列（方波）时，称DPLL处于锁定状态，也称DPLL的时钟输出信号与输入数据同步。考虑图19-4所示的XOR鉴相器。假设输入数据为一串“0”，且反馈回路中采用的是二分频器，则鉴相器的输出与dclock信号完全相同。由于dclock信号的占空比为百分之五十，DPLL看起来似乎处于锁定状态。这时，如果输入数据data突然由“0”变为“1”，那么就无法知道DPLL的时钟输出信号是否与输入数据同步（即时钟信号的上升沿处于数据位的正中间）。这就引出了XOR鉴相器的第一个特性。

1. 在一定的时间间隔内，输入数据至少要翻转一定的次数。定义该数目为最小翻转数。

当鉴相器的输入数据为一串“0”时，考虑把鉴相器的输出连到一个简单RC低通滤波器的情形，如图19-5所示。如果RC值远远大于时钟输出信号的周期，则滤波器的输出就是$VDD/2$。这就引出了XOR鉴相器的第二个特性。

2. 在没有输入数据时（即输入一直为“0”），鉴相器的输出经滤波后为$VDD/2$。

环路滤波器的输出接到VCO的输入端。考虑图19-6所示VCO的典型特性曲线。当$V_{in}=V_{center}$时（典型情况下，V_{center}等于$VDD/2$），VCO的输出方波频率为f_{center}。另外两个比较重要的频率是VCO的最低振荡器频率和最高振荡器频率，分别记为f_{min}和f_{max}，对应的输入电压分别为V_{min}和V_{max}。在没有输入数据时VCO也可以继续振荡，这一点很重要。在设计VCO时，通常把

⊖ 在时钟恢复电路中，很少采用PFD。图19-2只是用来说明：在一个锁定的DPLL中，用XOR鉴相器或PFD会产生不同的相位关系。

VCO的中心频率和标称数据输入速率设计成相等的值，这会使DPLL的锁定时间最小（这对保证XOR鉴相器能正常工作有重要意义）。

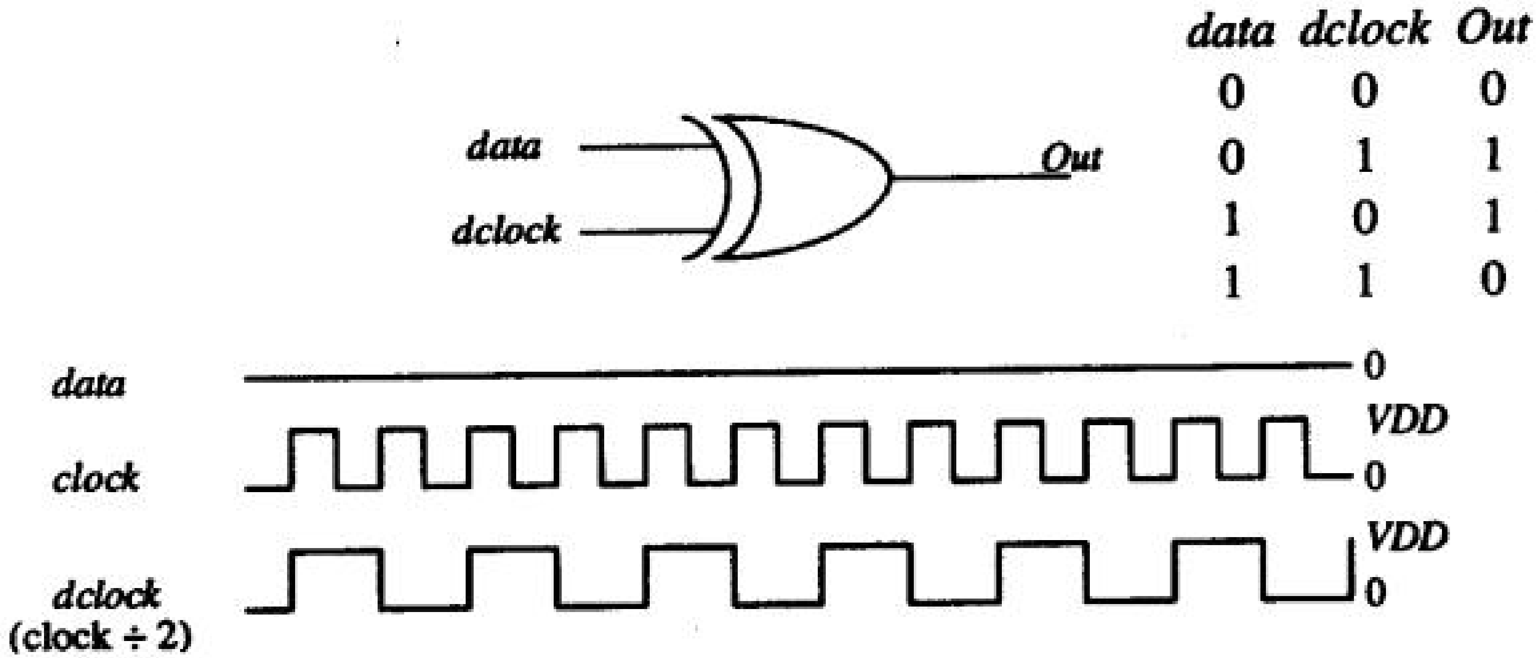


图19-4 XOR鉴相器的工作原理

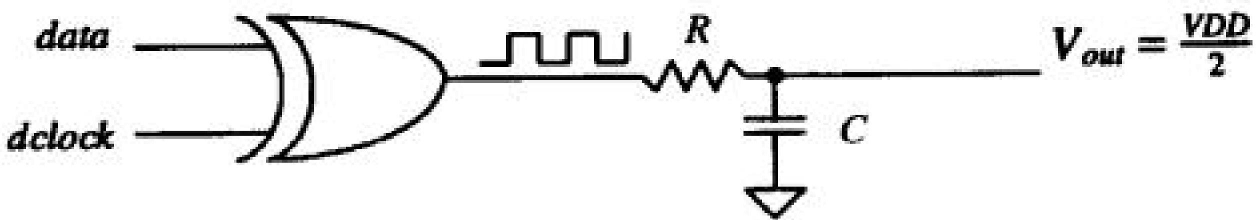


图19-5 鉴相器的输出滤波后变成*VDD*/2

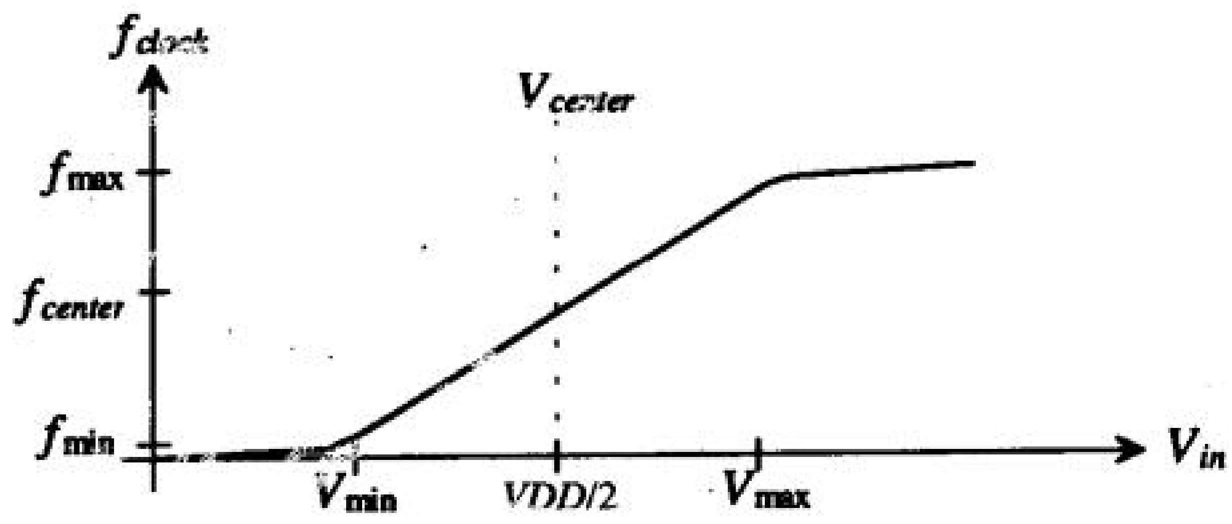


图19-6 VCO输出频率和输入控制电压的关系

现在我们来考虑图19-7所示的鉴相器输入和相应的输出。图中，data超前于dclock信号，PDout是鉴相器的输出。如果把鉴相器的输出接到低通滤波器，滤波器输出信号的平均电压会小于*VDD*/2，使VCO时钟输出信号的频率下降，直到dclock信号的边沿位于数据的中心点。

3. DPLL环路锁定所需时间与输入数据的模式和环路滤波器的特性有关。

对鉴相器的输出会进行求平均处理（严格讲应该是经过了积分处理），所以，数据流中的噪声（即错误的数位）可以得到抑制。

4. 有较好的噪声抑制特性是XOR鉴相器的第四个特性。

DPLL的另一个重要特性是环路是否会锁定在输入数据的谐波上。XOR DPLL会锁定在输入数据的谐波上。为了证明确实存在这种可能性，考虑把图19-2、图19-4或图19-7中各个时钟信号的频率都增大一倍或都减小一倍，波形的均值会保持不变。

5. 用XOR门做鉴相器的DPLL的第五个特性是：VCO的工作频率范围应该限制在远小于$2f_{clock}$、远大于$0.5f_{clock}$的频率范围内。这里，f_{clock}是保证DPLL能够正常锁定的标称时钟频率。

XOR鉴相器所采用的环路滤波器是简单的RC低通滤波器，如图19-5所示。由于鉴相器的输出在不断的振荡，滤波器的输出也会跟着有波动（即使环路处于锁定状态），滤波器输出的

波动会调制时钟频率，这是我们所不希望的。由此，可总结出用XOR鉴相器的DPLL的第六个特性。

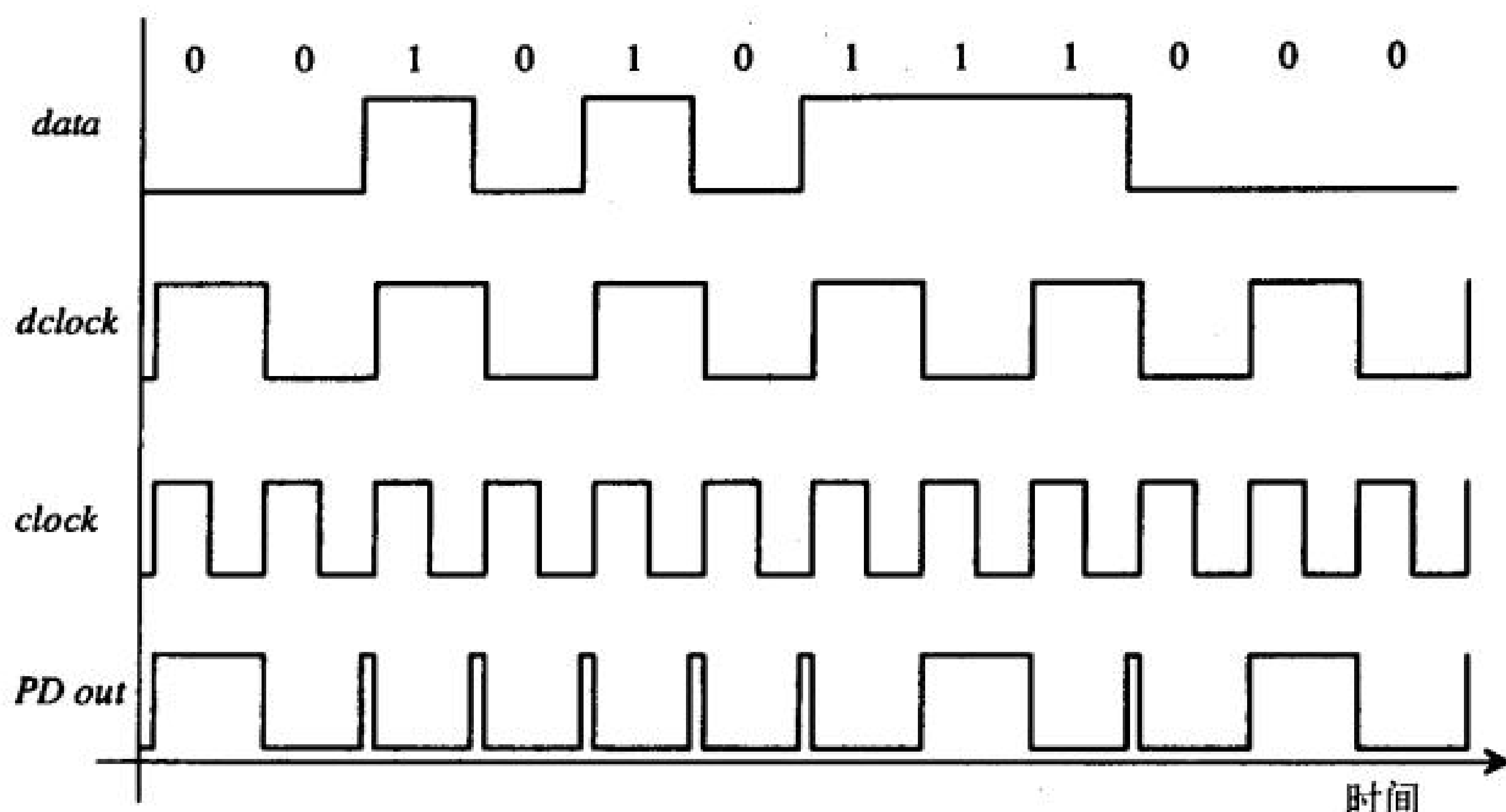


图19-7 XOR鉴相器的输入和相应的输出

6. 环路滤波器的输出有与时钟信号频率相同的波动，该波动会调制VCO的控制电压。

为了描述鉴相器的特性（见图19-8），我们可以定义dclock的上升沿和data开始时刻之间的时间差为Δt。dclock和data之间的相位差是$\phi_{data}-\phi_{dclock}$，由下式给出：

$$\Delta\phi=\phi_{data}-\phi_{dclock}=\frac{\Delta t}{T_{dclock}}\cdot 2\pi\ (\text{rad}) \tag{19-1}$$

从DPLL的输出时钟频率来看，相位差为：

$$\Delta\phi=\frac{\Delta t}{2T_{clock}}\cdot 2\pi \tag{19-2}$$

$$f_{clock}=\frac{1}{T_{clock}}=2f_{dclock}=\frac{2}{T_{dclock}} \tag{19-3}$$

当环路已经锁定时，clock的上升沿位于输入数据的中心点，dclock的上升沿和data开始时刻之间的时间差Δt为$T_{clock}/2$或者$T_{dclock}/4$（见图19-8c）。因此，在锁定情况下，dclock和data之间的相位差为：

$$\Delta\phi=\frac{\pi}{2} \tag{19-4}$$

375~377

由图中知，当DPLL锁定时，clock和data之间的相位差为π。

图19-8中，鉴相器输出电压的平均值可表示为：

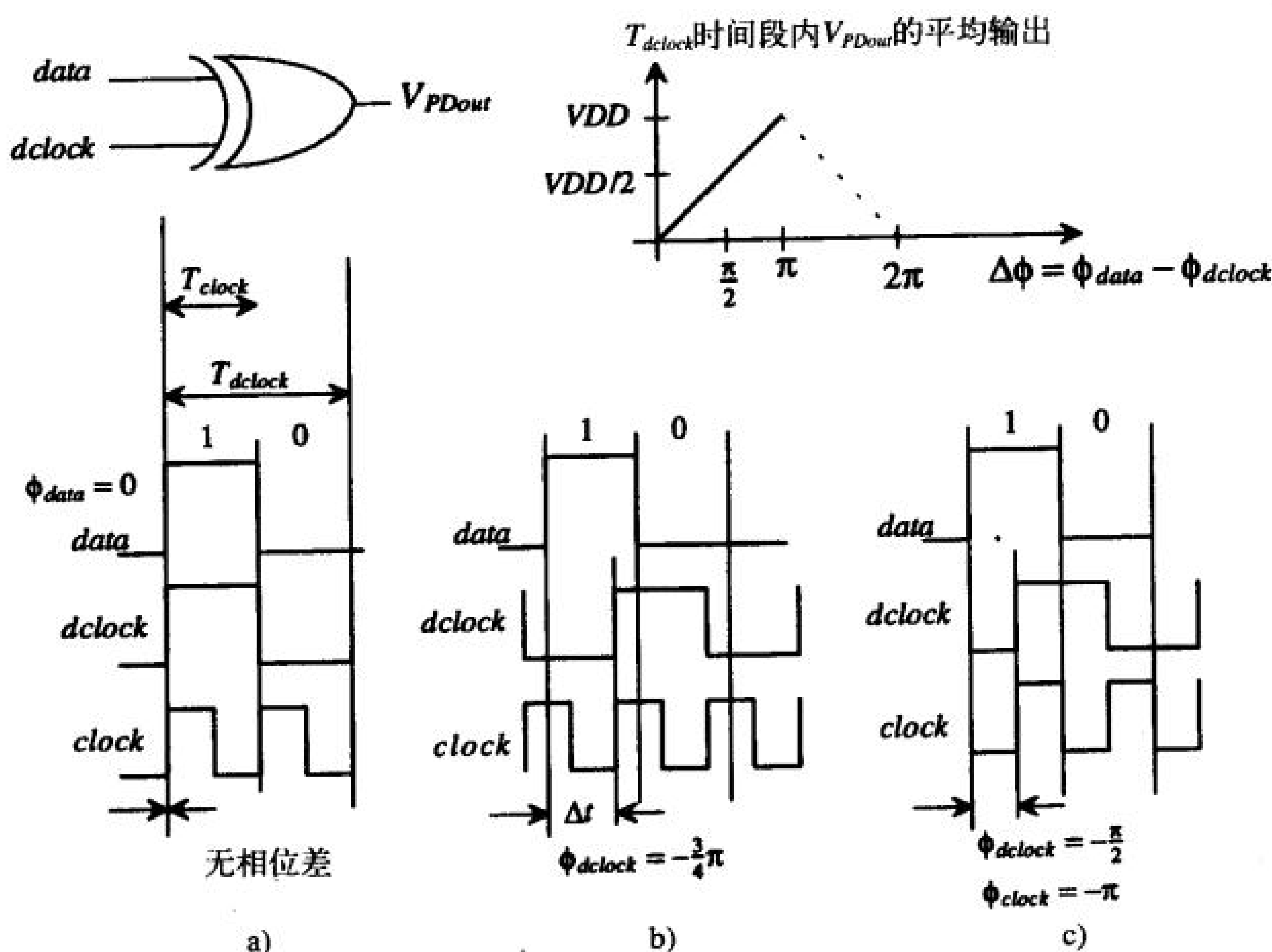
$$V_{PDout}=VDD\cdot\frac{\Delta\phi}{\pi}=K_{PD}\cdot\overbrace{\Delta\phi}^{input} \tag{19-5}$$

式中，鉴相器的增益K_{PD}为：

$$K_{PD}=\frac{VDD}{\pi}\ (\text{V/rad}) \tag{19-6}$$

为了更好地理解上述这些公式，考虑图19-8所示波形。如果clock和data的边沿对齐（图

19-8a)，XOR的输出V_{PDout}为0伏，相位差也是0。环路滤波器对鉴相器的输出取均值，使VCO降低其输出频率。这会使$\Delta\phi$增大，从而使V_{PDout}增大。根据所选用的环路滤波器的不同，V_{PDout}的增大会使clock的上升沿在时间轴上超过理想的中心点（即过冲），如图19-8b所示；其相位差为$-\frac{3}{4}\pi$，V_{PDout}为$\frac{3}{4}VDD$。图19-8c是环路锁定的情形，相位差为π/2。



378

图19-8　不同输入情形下XOR鉴相器的输出（假设输入数据是一串交替的“1”和“0”）

VCO的中心频率f_{center}应该等于期望的时钟频率，这一点非常重要。如果$f_{center}=f_{clock}$，在捕获期间（即环路试图锁定的过程），VCO的控制电压波形与图19-9a所示波形相似（与环路滤波器有关）。如果f_{center}和f_{clock}不等，控制电压会有振荡（如图19-9b所示），导致clock信号上升沿在数据位中心点附近移动。由于VCO的控制电压与输入数据模式有关，因此，实际的VCO控制电压波形和图19-9所示波形会有所不同。

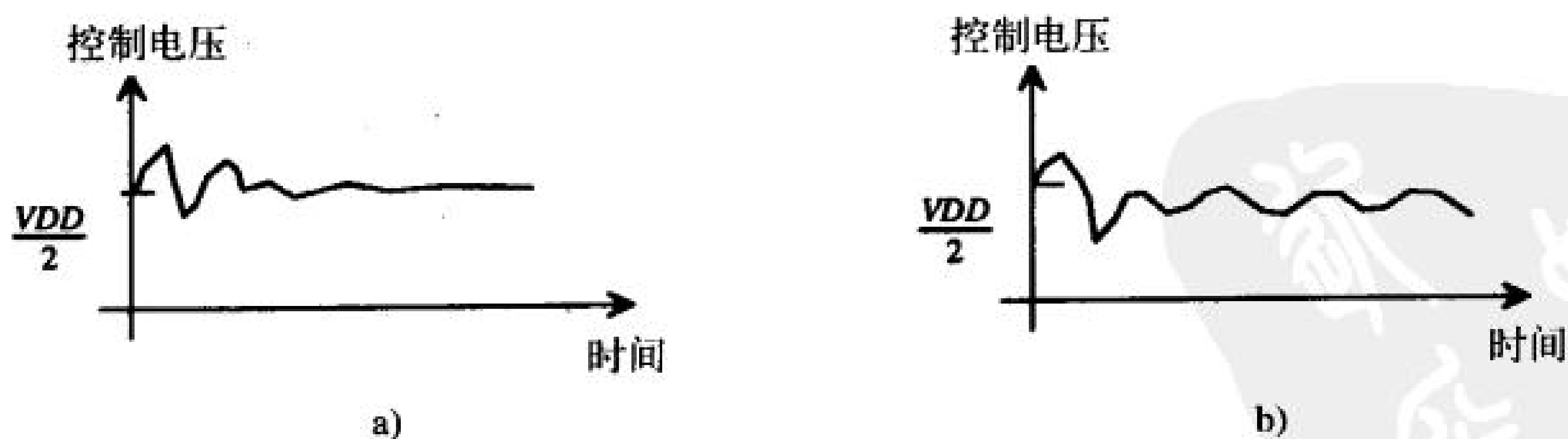


图19-9　捕获期间鉴相器的平均输出电压

下面总结一下带XOR鉴相器的VCO的设计原则：

1. 当VCO的控制电压为VDD/2时，中心频率f_{center}应该与时钟频率f_{clock}相等。

2. 应恰当地选择VCO的最大振荡频率f_{max}和最小振荡频率f_{min}的值，以避免环路锁定在输入数据的谐波上。

3. VCO输出信号的占空比为百分之五十这一点非常重要，否则，DPLL的锁定就会有问题；即使锁定，时钟也会有抖动（在时间轴上有摆动）。

19.1.2 鉴频鉴相器

图19-10给出了鉴频鉴相器的电路[1]。鉴频鉴相器的输出既和输入信号的相位有关，也和输入信号的频率有关。这种类型的鉴相器也被称为时序鉴相器。它比较data和dclock的上升沿。如果data无上升沿，即使dclock有上升沿，也不会产生有效输出。为了理解鉴频鉴相器的工作原理，考虑图19-11所示的实例。由图知，data的脉冲宽度和dclock的脉冲宽度并不重要。如果data的上升沿超前于dclock的上升沿（图19-11a），鉴相器的输出Up变为高而输出Down保持为低，这会使dclock的频率增大，结果将dclock和data的上升沿变得更近。当dclock超前data时（图19-11b），Up保持为低而Down变为高并保持一段时间，其长度等于dclock和data之间的相差。图19-11c是环路锁定的情形。当环路锁定时，输出保持为低，这一点与XOR鉴相器不同。下面给出鉴频鉴相器的几个特性：

379

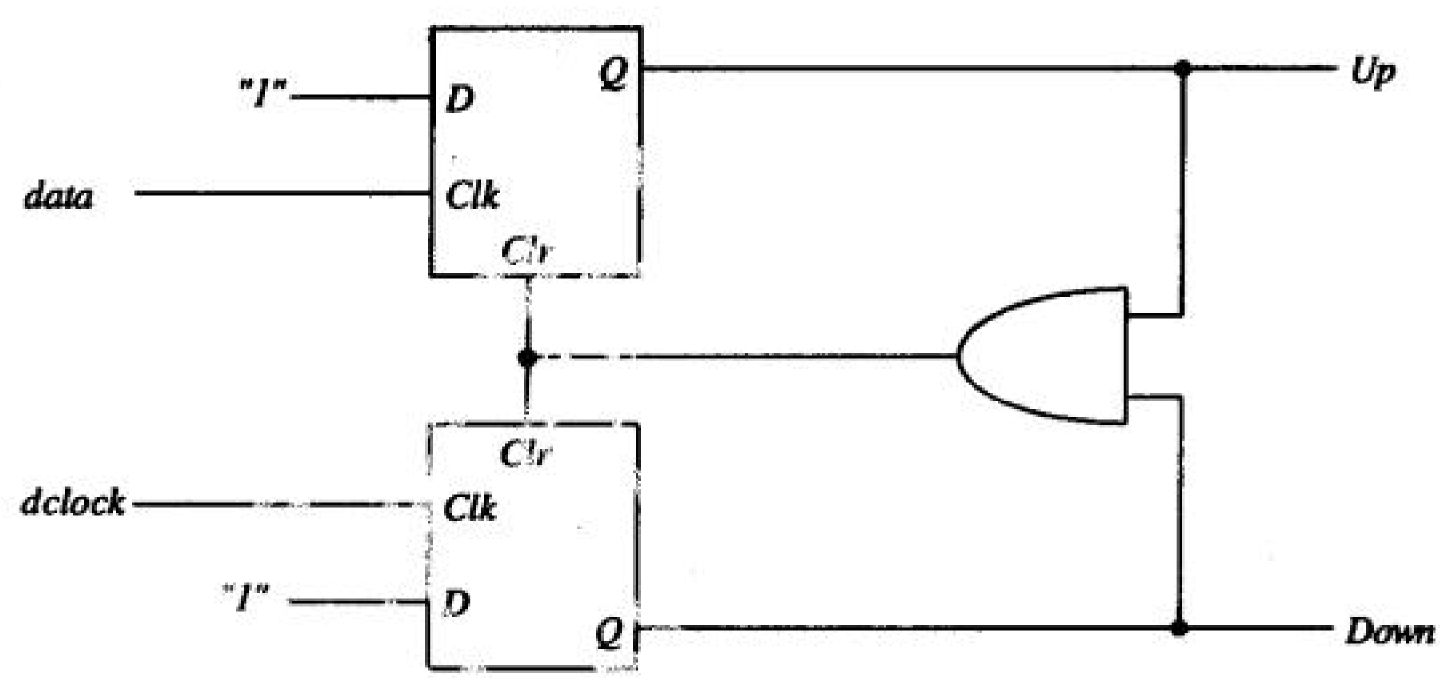


图19-10 鉴频鉴相器

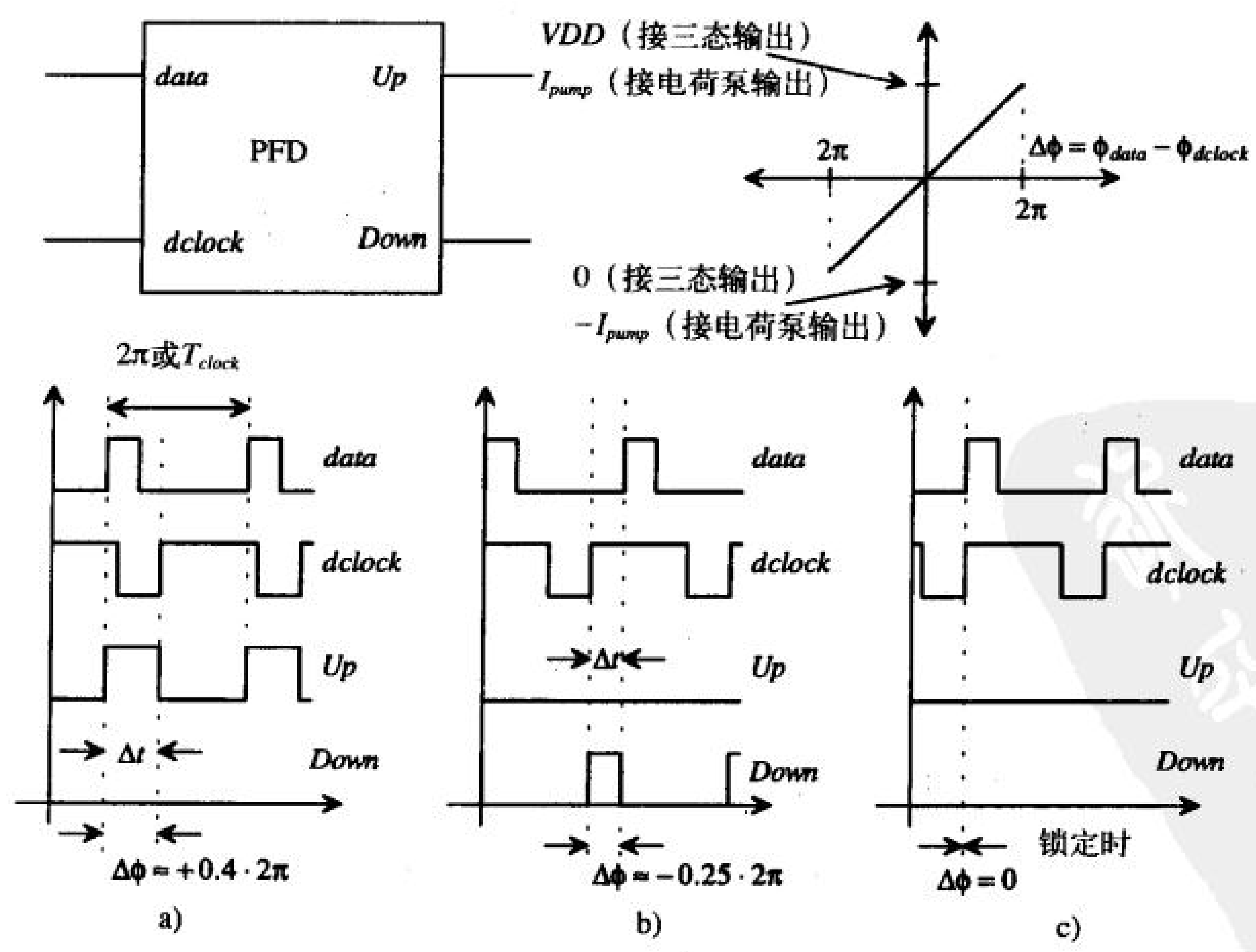


图19-11 鉴频鉴相器的输入和输出

380

1. 做相位比较时，dclock和data的上升沿必须出现。

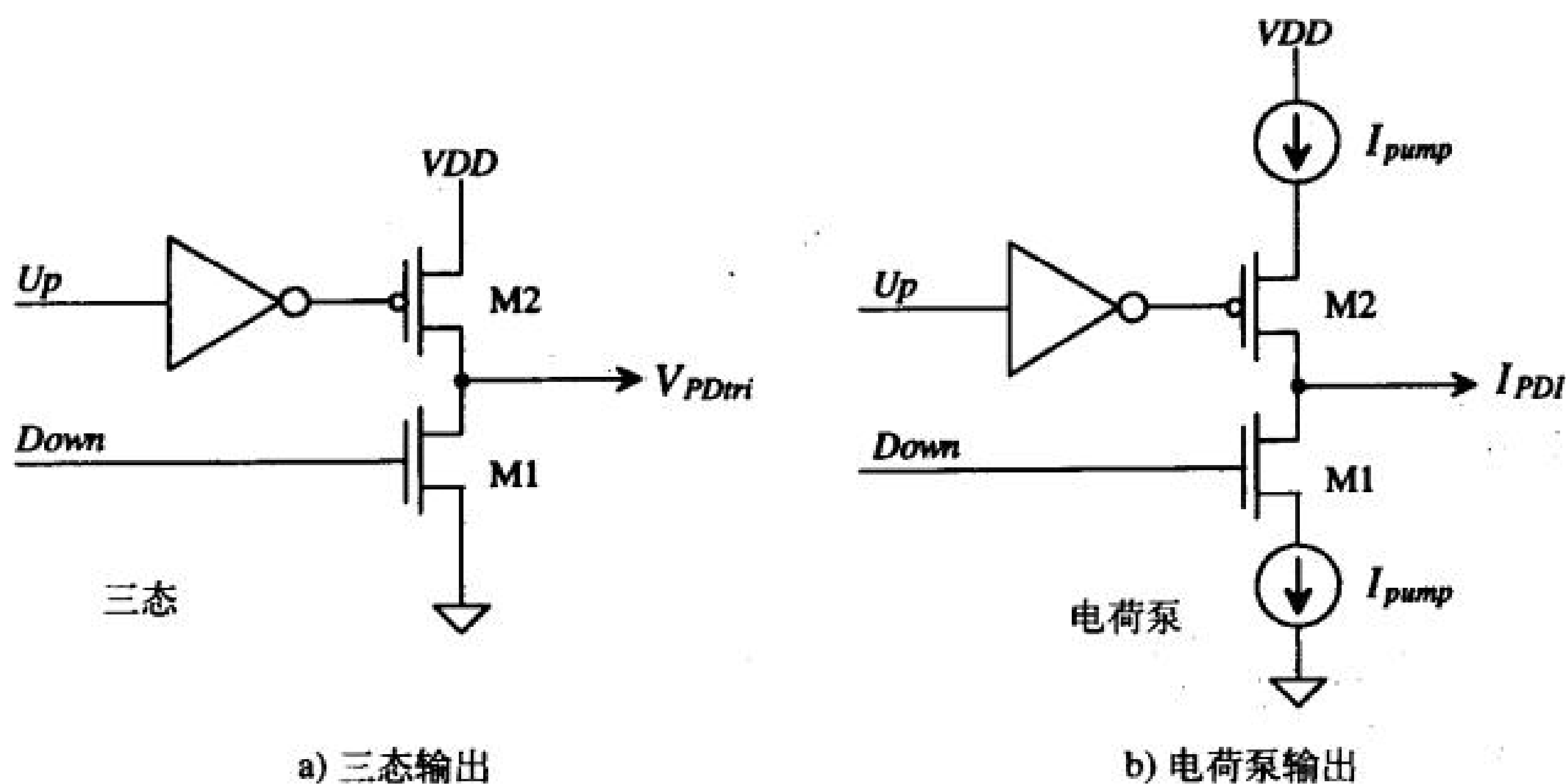
2. dclock的脉冲宽度和data的脉冲宽度无关紧要。

3. 鉴频鉴相器不会锁定在输入数据的谐波上。

4. 在环路锁定时，鉴频鉴相器的输出（Up和Down）都是逻辑低电平，消除了环路滤波器输出信号上的波动起伏。

5. 这种鉴频鉴相器的噪声抑制能力较差。噪声会使data或dclock信号出现电压起伏，由于这种鉴频鉴相器的噪声抑制能力较差，较大的电压起伏会影响鉴频鉴相器的输出。

鉴频鉴相器的两个输出信号（Up和Down）需要合并成一个输出信号来驱动环路滤波器。图19-12给出了两种信号合并电路。a) 图所示电路的输出为三态输出。当Up和Down都为低电平时，M1管和M2管都截止，输出为高阻态。如果Up信号变为高电平，M2管导通，将输出上拉至*VDD*；如果Down信号变为高电平，M1管导通，将输出下拉至低电平。采用这种合并电路的鉴频鉴相器被称为三态输出的鉴频鉴相器。这种合并电路的主要问题是：当M2管导通时，电源电压的波动会显著影响输出电压，进而调制VCO的控制电压。在XOR鉴相器中，由于输出是求均值的结果，这个问题影响不大。图19-12b中的电路被称为电荷泵[2]。MOS电流源与M1管和M2管串连。当鉴频鉴相器的Up信号变为高电平时，M2管开启，将电流源连接到环路滤波器。由于电流源对电源电压的波动不敏感，所以，可以避免对VCO控制电压的调制。采用这种合并电路的鉴频鉴相器被称为电荷泵输出的鉴频鉴相器。



a) 三态输出　　b) 电荷泵输出

381

图19-12 鉴频鉴相器输出信号的合并电路

我们可以采用与XOR鉴相器相同的分析方法来分析鉴频鉴相器的特性。在下面的分析中，我们假设f_{clock}与f_{dclock}相等，因此，图19-3中反馈回路为一分频（$N=1$）。如果将data与dclock上升沿之间的时间差记为Δt，将clock相邻上升沿之间的时间差（或者是data相邻上升沿之间的时间差，因为只有这两个信号的上升沿都出现才能做相位比较）记为T_{clock}，我们就可以将相位写成：

$$\Delta\phi = \frac{\Delta t}{T_{clock}} \cdot 2\pi \text{ (rad)} \tag{19-7}$$

当环路锁定时，相位差$\Delta\phi$为零。如果鉴频鉴相器采用三态输出合并电路，其输出电压为（见图19-11）：

$$V_{PDtri} = \frac{VDD-0}{4\pi} \cdot \Delta\phi = K_{PDtri} \cdot \Delta\phi \tag{19-8}$$

式中，增益K_{PDtri}为:

$$K_{PDtri} = \frac{VDD}{4\pi} \text{(V/rad)} \tag{19-9}$$

如果鉴频鉴相器采用电荷泵合并电路，其输出电流为（见图19-11）:

$$I_{PDI} = \frac{I_{pump}-(-I_{pump})}{4\pi} \cdot \Delta\phi = K_{PDI} \cdot \Delta\phi \tag{19-10}$$

式中，增益K_{PDI}为:

$$K_{PDI} = \frac{I_{pump}}{2\pi} \text{(A/rad)} \tag{19-11}$$

鉴频鉴相器的输出连接到环路滤波器的输入端，针对不同的合并电路（三态输出或电荷泵输出），环路滤波器也不相同，如图19-13所示。

a) 图所示环路滤波器的传输函数为:

$$V_{inVCO} = \frac{1+j\omega R_2 C}{1+j\omega(R_1+R_2)C} \cdot V_{PDtri} = K_F \cdot V_{PDtri} \tag{19-12}$$

b) 图所示环路滤波器的传输函数为:

$$V_{inVCO} = I_{PDI} \cdot \frac{1+j\omega RC_1}{j\omega(C_1+C_2)\cdot\left[1+j\omega R\frac{C_1C_2}{C_1+C_2}\right]} = K_F \cdot I_{PDI} \tag{19-13}$$

上式的输入为电流，输出为电压。

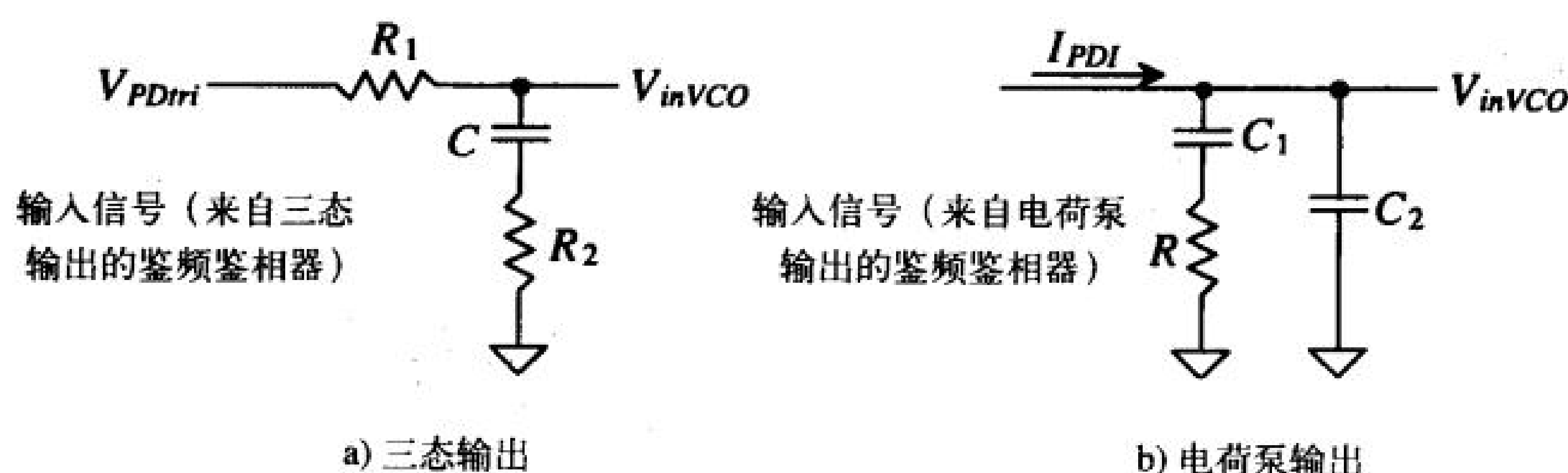


图19-13 环路滤波器

为了定性地理解环路滤波器的工作原理，我们先分析对应三态输出的环路滤波器。当相位差缓慢变化时，环路滤波器对鉴相器的输出取均值，起着类似积分器的作用。但当相位差快速变化时，环路滤波器就是一个电阻分压器，没有积分作用；这使得环路滤波器能够跟踪两个上升沿之间时间差的快速变化。可用同样的分析方法来分析对应电荷泵输出的环路滤波器。当相位缓慢变化时，电流I_{pump}线性地对C_1和C_2充电，起到求均值的作用。当相位快速变化时，电荷泵只是驱动电阻R（假设C_2很小），没有求均值的作用，从而使VCO能够跟踪输入数据的快速变化。

与XOR鉴相器相比，和鉴频鉴相器配套的VCO的设计要求更宽松一些，因此，一般都采用鉴频鉴相器。由于鉴频鉴相器的输出是一个0到VDD之间的电压，因此，不必把VCO设计

成$f_{center}=f_{clock}$；当然，把VCO设计成$f_{center}=f_{clock}$仍是一个很好的做法。VCO的振荡范围$f_{max}-f_{min}$，不再受f_{clock}谐波的限制，因为鉴频鉴相器不会锁定在时钟频率的谐波上。另外，VCO的占空比与鉴频鉴相器无关，因为鉴频鉴相器仅仅关注输入信号的上升沿。尽管鉴频鉴相器有这些优点，但在高速或者数据通信电路系统中，设计者有时会不得不采用XOR鉴相器。

19.2 压控振荡器

压控振荡器的增益就是图19-6中曲线的斜率，即：

$$K_{VCO}=2\pi\cdot\frac{f_{\max}-f_{\min}}{V_{\max}-V_{\min}}\ (\mathrm{rad/s\cdot V}) \tag{19-14}$$

VCO输出频率f_{clock}和输入电压之间的关系（见图19-6）为：

$$\omega_{clock}=2\pi\cdot f_{clock}=K_{VCO}\cdot V_{inVCO}+\omega_o\ (\mathrm{rad/s}) \tag{19-15}$$

式中，ω_0为常数。锁相环中的反馈量不是频率而是相位。VCO输出的时钟信号的相位与f_{clock}的关系为：

$$\phi_{clock}=\int\omega_{clock}\cdot dt=\frac{K_{VCO}}{j\omega}\cdot V_{inVCO}\ (\mathrm{rad}) \tag{19-16}$$

ϕ_{clock}与ϕ_{dclock}的关系为：

$$\phi_{dclock}=\frac{1}{N}\cdot\phi_{clock}=\beta\cdot\phi_{clock} \tag{19-17}$$

382~383

这里N为分频器的分频数，β为反馈系数。

19.2.1 电流饥饿型VCO

图19-14所示为电流饥饿型VCO。它的工作原理与第11章中讨论过的环路振荡器类似。M2管和M3管用作反相器，M1管和M4管用作电流源/沉，它们共同构成环路振荡器的一级。M1管和M4管构成的电流源/沉控制着流过M2管和M3管的电流；换句话说，由M2管和M3管构成的反相器处于电流饥饿状态。M5管和M6管的漏端电流相等，大小由输入控制电压设定。流过

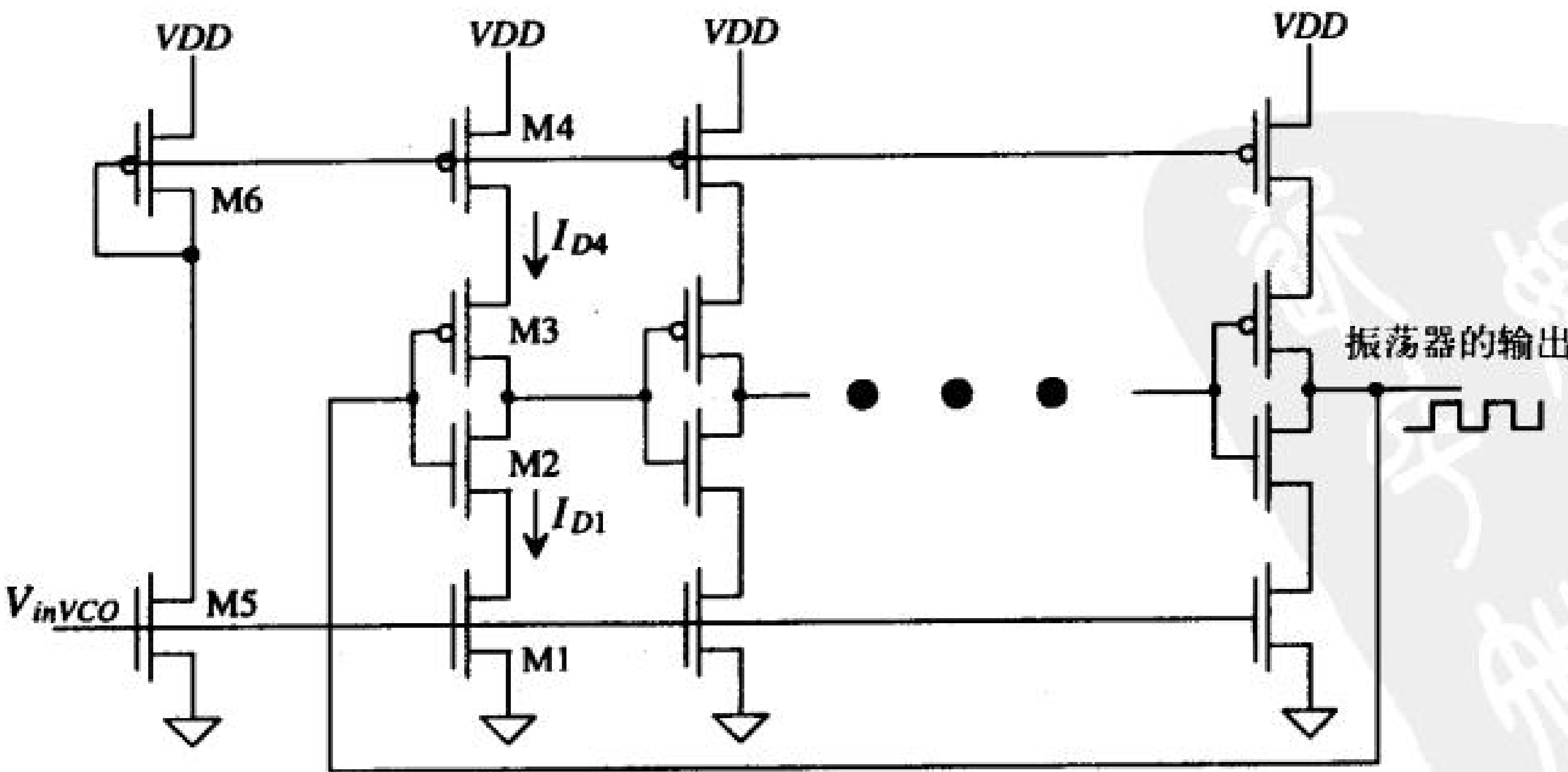


图19-14 电流饥饿型VCO

M5管和M6管的电流被镜像到环路振荡器的每一级中。VCO的比较重要的一个性能指标是输入电阻。我们前面讨论滤波器时都是基于如下假设：VCO的输入电阻无穷大；与环路滤波器中的电容相比，VCO的输入电容很小。通常，在设计VCO时得到无穷大的输入电阻比较容易。对电荷泵输出的鉴频鉴相器而言，VCO的输入电容可以加到滤波器的C_2上（图19-13b）。

为了推导出电流饥饿型VCO的设计方程，考虑图19-15所示VCO中每一级的简化电路图。M2管和M3管漏端的总电容为：

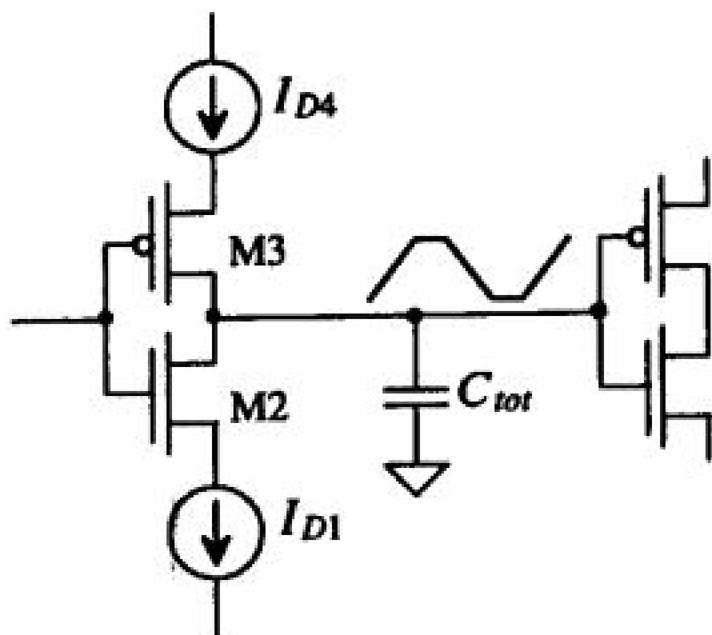


图19-15 电流饥饿型VCO中单级的简化电路图

$$C_{tot} = C_{out} + C_{in} = \overbrace{C'_{ox}(W_pL_p + W_nL_n)}^{C_{out}} + \overbrace{\frac{3}{2}C'_{ox}(W_pL_p + W_nL_n)}^{C_{in}} \tag{19-18}$$

上式就是第11章中讨论过的反相器的输出和输入电容，可进一步整理为： 384

$$C_{tot} = \frac{5}{2}C'_{ox}(W_pL_p + W_nL_n) \tag{19-19}$$

用一个恒定电流I_{D4}将C_{tot}从0充电到V_{SP}所需要的时间为：

$$t_1 = C_{tot} \cdot \frac{V_{SP}}{I_{D4}} \tag{19-20}$$

将C_{tot}从VDD放电到V_{SP}所需的时间为：

$$t_2 = C_{tot} \cdot \frac{VDD - V_{SP}}{I_{D1}} \tag{19-21}$$

若$I_{D4} = I_{D1} = I_D$（当$V_{inVCO} = VDD/2$时，将此电流记为$I_{Dcenter}$），则t_1与t_2之和为：

$$t_1 + t_2 = \frac{C_{tot} \cdot VDD}{I_D} \tag{19-22}$$

N级电流饥饿型VCO的振荡频率为（N为大于等于5的奇数）：

$$f_{osc} = \frac{1}{N(t_1 + t_2)} = \frac{I_D}{N \cdot C_{tot} \cdot VDD} \tag{19-23}$$

当$V_{inVCO} = VDD/2$时，$I_D = I_{Dcenter}$，此时的振荡频率为：

$$f_{osc} = f_{center}$$

上式给出了$I_D = I_{Dcenter}$时VCO的中心频率。若忽略亚阈值电流，当$V_{inVCO} < V_{THN}$时，VCO不再振

荡，因此，可以定义：

$$V_{min}=V_{THN}\ ,\quad f_{min}=0 \tag{19-24}$$

385

VCO的最大振荡频率f_{max}由$V_{inVCO}=VDD$时的电流I_D决定。在振荡频率最大时，有$V_{max}=VDD$。

通常，图19-14所示的电流饥饿型VCO的输出都要经过一到两级反相器缓冲后再输出。在VCO的输出端接一个大电容负载会显著影响振荡频率或者会将增益降到足够小而导致振荡器不再振荡。

VCO抽取的平均电流（见第11章）为：

$$I_{avg}=N\cdot\frac{VDD\cdot C_{tot}}{T}=N\cdot VDD\cdot C_{tot}\cdot f_{osc} \tag{19-25}$$

因此，有：

$$I_{avg}=I_D \tag{19-26}$$

VCO的平均功耗为：

$$P_{avg}=VDD\cdot I_{avg}=VDD\cdot I_D \tag{19-27}$$

如果考虑由M5管和M6管构成的电流镜的功耗，并假设$I_D=I_{D5}=I_{D6}$，则总功耗为式（19-27）给出功耗的二倍。为了降低功耗，必须降低I_D的值，也就是说，要降低功耗就必须采用较低的振荡频率。

例19.1

采用CN20工艺参数设计一个$f_{center}=100\text{MHz}$的电流饥饿型VCO，估算该电路功耗，并用SPICE仿真。

我们从计算总电容C_{tot}开始。假设使反相器中M2管和M3管具有相同的驱动能力，则M2管和M3管的尺寸可以为：$L_n=L_p=2\mu\text{m}$、$W_n=3\mu\text{m}$、$W_p=9\mu\text{m}$。由式（19-19），得总电容为：

$$C_{tot}=\frac{5}{2}\cdot 800\frac{\text{aF}}{\mu\text{m}^2}\cdot(9\cdot 2+3\cdot 2)\mu\text{m}^2=48\ \text{fF}$$

与第11章中给出的五级环路振荡器相比，本例要设计的VCO的振荡频率较高，因此，需采用最小的振荡器级数，即5级。由式（19-23）知，中心频率所对应的漏电流为：

$$I_{Dcenter}=100\ \text{MHz}\cdot 5\cdot 48\ \text{fF}\cdot 5\ \text{V}=120\ \mu\text{A}$$

为了确定图19-14中M5管和M1管的尺寸，可从下式中解出W/L：

$$I_{Dcenter}=\frac{\beta_5}{2}(V_{GS}-V_{THN})^2=\frac{50\frac{\mu\text{A}}{\text{V}^2}}{2}\cdot\frac{W_n}{L_n}(2.5-0.83)^2=120\ \mu\text{A}$$

解得：$W_n/L_n=1.72$。我们取$W_n=5\mu\text{m}$、$L_n=3\mu\text{m}$，使W_n和L_n都是整数且W_n/L_n在1.72附近。这就是M5管和M1管的尺寸。求PMOS管的尺寸时，我们要求$\beta_6=\beta_5$；由此，可求得M6管和M4管的尺寸为$W_p=15\mu\text{m}$、$L_p=3\mu\text{m}$。这样设置好各个MOS管尺寸后，当V_{inVCO}等于3.5V或更高电压时，M5管会进入线性区。由式（19-27），可求得电路总功耗为1.2mW。图19-16给出了仿真结果。网表文件中没有给出源/漏区的面积和周长，因此，仿真时没考虑源/漏区的耗尽层电容的影响；如果考虑源/漏区耗尽层电容的影响，f_{center}会降至80MHz。 ■

386

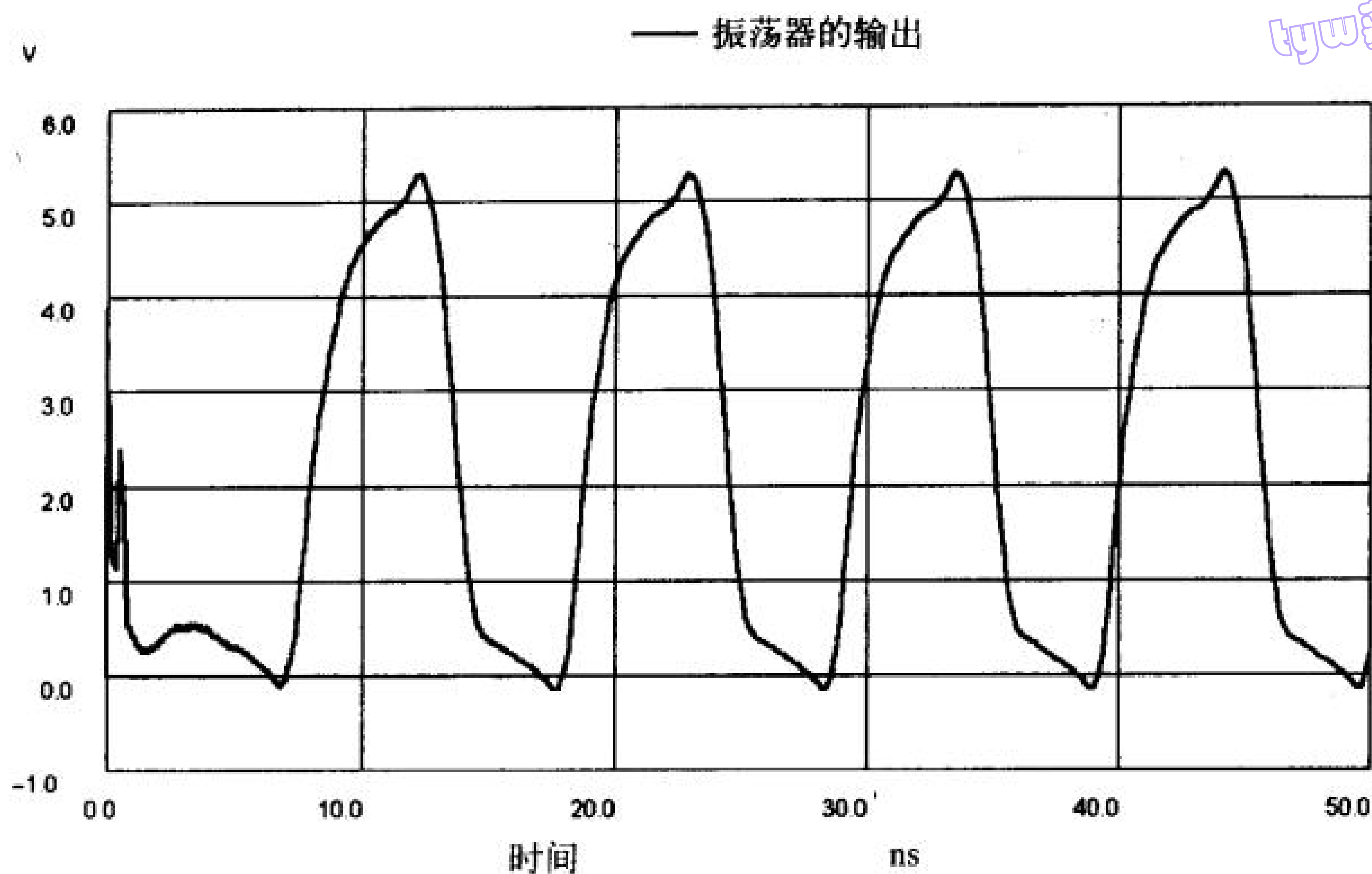


图19-16 例19.1中振荡器的仿真结果（输出没有经过反相器缓冲）

19.2.2 源耦合VCO

图19-17给出了另一种VCO的电路图[3]。对于给定的频率，这种电路比上一节讨论的电流饥饿型VCO功耗更小。这个电路的主要缺点是输出电压摆幅小而且需要一个电容。有时候，在单层多晶硅的纯数字工艺中，如果不利用寄生电容（如metal1和metal2之间的寄生电容），这个电容就很难实现。但是，当VCO的中心频率由片外电容设定时（即图中的电容是片外电容），这种电路结构还是很有用的。

为了理解这个电路的工作原理，我们先考虑图19-17a所示NMOS源耦合VCO。M5管和M6管作为一个恒流源吸收电流I_D。M1管和M2管用作开关。如果M1管截止，M2管导通，M1管的漏端被M3管上拉到$VDD - V_{THN}$。在分析该电路时，非常重要的一点是不能忘掉体效应的影

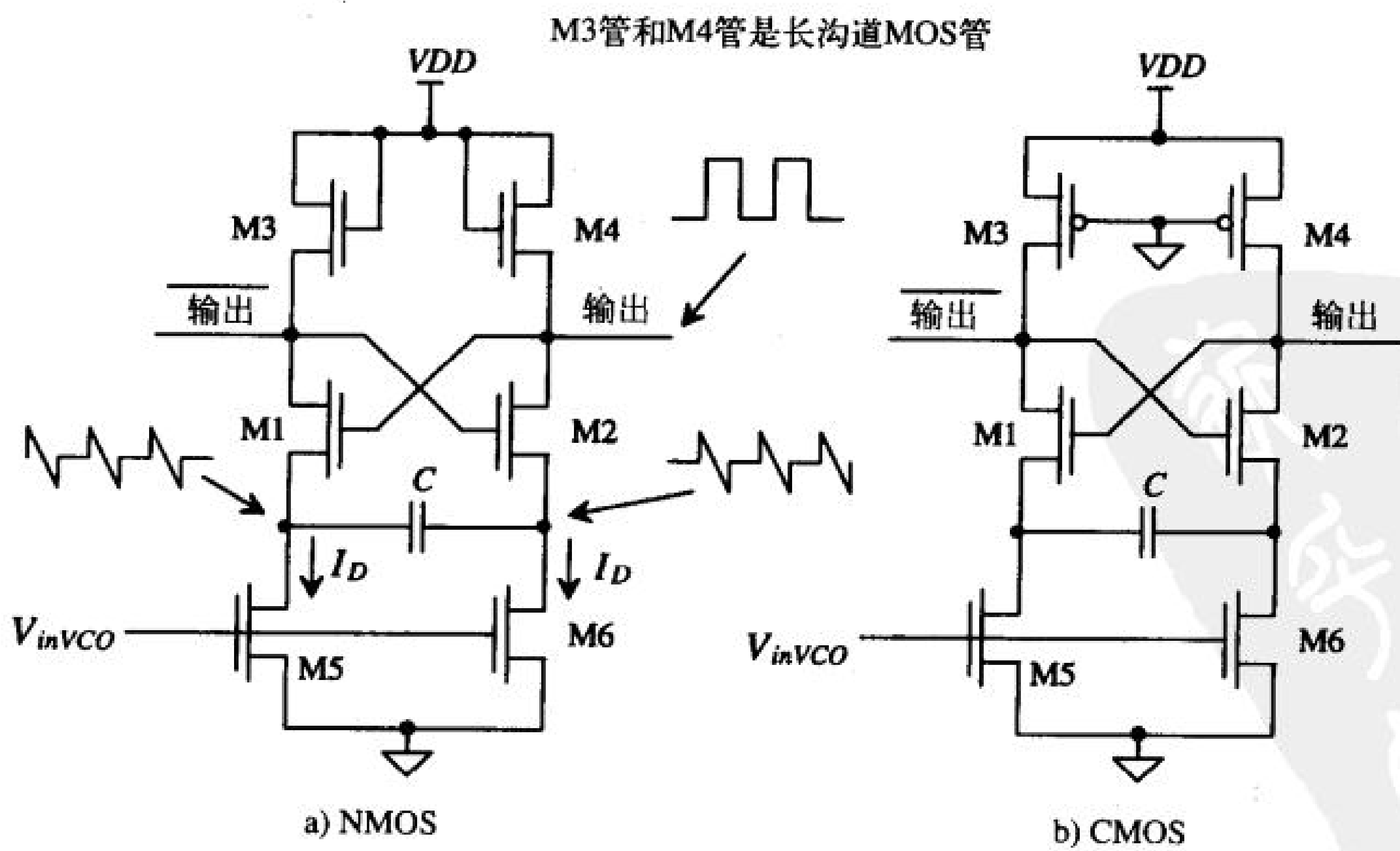


图19-17 源耦合压控振荡器（也被称为源耦合多频振荡器）

响。例如，采用CN20工艺，M3管的阈值电压约为1.5V，所以，当电源电压为5V时，最大的输出电压约等于3.5V。由于M2管的栅压为$VDD - V_{THN}$，所以，M2管的源端和漏端（输出）电压近似为$VDD - 2 \cdot V_{THN}$，这是最小输出电压。输出电压摆幅约为V_{THN}，近似为1.5V，输出电压近似从2V到3.5V。振荡器需要一个缓冲器把输出电压恢复为CMOS逻辑电平，缓冲器可以是反相器或者自偏置差分放大器。图19-17b给出了CMOS源耦合VCO，其工作原理与NMOS源耦合VCO相似；不同的是，在NMOS源耦合VCO中，M3管和M4管将输出上拉到$VDD - V_{THN}$，而在CMOS源耦合VCO中，输出被上拉到VDD。

图19-18给出了源耦合振荡器的简化电路，图中M1管截止，M2管导通。下面借助该图来推导出振荡频率。输出（即M1管的栅压）近似为$VDD - 2 \cdot V_{THN}$，该电压值一直由M2管保持，直到M1管导通、M2管截止。初始时，当M1管截止、M2管导通的瞬间，X点的电压为$VDD - V_{THN}$，电流I_D使X节点对地放电。当X节点的电压下降到$VDD - 3 \cdot V_{THN}$时，M1管导通、M2管截止。换句话说，在输出发生转换前后，X节点的总的电压变化量为$2 \cdot V_{THN}$。节点X变化$2 \cdot V_{THN}$所需要的时间为：

$$\Delta t = C \cdot \frac{2 \cdot V_{THN}}{I_D} \tag{19-28}$$

图19-18　源耦合振荡器的简化电路图（M1管导通、M2管截止）

由于电路是对称的，每个振荡周期需要两倍的放电时间，因此，振荡频率为：

$$f_{osc} = \frac{1}{2\Delta t} = \frac{I_D}{4 \cdot C \cdot V_{THN}} \tag{19-29}$$

当振荡器连续工作时，X节点、Y节点以及输出节点的波形如图19-19所示。

图19-19　NMOS源耦合VCO的电压波形

例19.2

设计一个中心频率为1MHz的NMOS源耦合VCO。假设在V_{inVCO}为2.5V时$I_D = 10\mu A$（电流源的设计将在下一章中讨论）。用SPICE仿真该电路，给出X节点和Y节点及输出节点的波形。

假设V_{THN}近似为1V（该假设基于M1管和M2管的阈值电压），由式（19-29）可求出电容的大小：

$$C = \frac{10\ \mu A}{4 \cdot 1\ MHz} = 2.5\ pF$$

由于我们用M1管和M2管做开关，所以，希望它们有较大的β值；这里我们取$W/L = 30/2$。取M3管和M4管的$W/L = 3/8$，使它们有相对较大的电阻。仿真的结果见图19-20。如果用CN20工艺实现该振荡器，振荡器频率的实际上限为几十兆赫兹。■

图19-20 例19.2的SPICE仿真结果

图19-21给出了另一个VCO的例子，这种VCO对高频和低频应用都很适用[4]。图中，电

图19-21 工作频率范围很大的VCO（需要两个电容）

流源的幅值由外部电压控制。采用围绕环路的正反馈来确保M1管和M2管在同一时刻只有一个处于导通状态。与电流源相连的反相器的转换点电压决定了振荡器的频率。

19.3 环路滤波器

环路滤波器是DPLL的重要电路模块。在本节中，我们将讨论如何正确选择环路滤波器的参数以避免DPLL振荡（即：防止V_{invco}振荡，以避免VCO的输出频率漂移）。如果没有正确选择环路滤波器的参数，环路锁定时间会很长，或者即使环路已经锁定，输入端很小的变化都可能使环路失锁。

在接下来的讨论中，我们比较关注的电路参数是捕获范围（pull-in range）和锁定范围（lock range）。捕获范围$\pm\Delta\omega_P$定义为DPLL可以锁定的输入频率范围。环路锁定所需时间记为T_P，这个时间可能很长。假定DPLL的中心频率为10MHz、捕获范围为1MHz，那么DPLL在时间T_P内锁定在9MHz到11MHz之间的一个频率上（假设$N=1$）。锁定范围$\pm\omega_L$，是DPLL可以在输入（data）和分频后时钟（dclock）一拍之间锁定的频率范围。正常工作时，DPLL的工作频率应该被限制在锁定范围之内。当DPLL处于锁定状态时，只要时间间隔t内的输入频率变化Δω小于系统自然频率的平方，即：$\Delta\omega/t<\pm\Delta\omega_n^2$，环路都会保持在锁定状态。

19.3.1 XOR DPLL

考虑图19-22所示的采用XOR鉴相器的DPLL框图。相位传输函数（不考虑直流特性）为：

$$H(s)=\frac{\phi_{clock}}{\phi_{data}}=\frac{K_{PD}K_FK_{VCO}}{s+\beta\cdot K_{PD}K_FK_{VCO}} \tag{19-30}$$

式中，$s=j\omega$，反馈系数β为：

$$\beta=\frac{1}{N} \tag{19-31}$$

环路滤波器的传输函数为：

$$K_F=\frac{1}{1+j\omega RC}=\frac{1}{1+sRC} \tag{19-32}$$

将式（19-31）和式（19-32）代入式（19-30）中，得：

$$H(s)=\frac{\phi_{clock}}{\phi_{data}}=\frac{K_{PD}K_{VCO}\cdot\frac{1}{1+sRC}}{s+\frac{1}{N}\cdot K_{PD}K_{VCO}\cdot\frac{1}{1+sRC}} \tag{19-33}$$

387~391

由上式知，这是一个二阶系统。由于jω·φ=f，因此，H(s)可以写成：

$$H(s)=\frac{\frac{K_{PD}K_{VCO}}{RC}}{s^2+\frac{s}{RC}+\frac{1}{N}\cdot\frac{K_{PD}K_{VCO}}{RC}}=\frac{f_{clock}}{f_{data}}=\frac{(K_{VCO}V_{invco})/2\pi+f_o}{f_{data}} \tag{19-34}$$

由上式知，系统的自然频率ω_n为：

$$\omega_n=\sqrt{\frac{K_{PD}K_{VCO}}{N\cdot RC}} \tag{19-35}$$

阻尼系数ζ为:

$$\zeta = \frac{1}{2RC\omega_n} = \frac{1}{2} \cdot \sqrt{\frac{N}{K_{PD}K_{VCO} \cdot RC}} \tag{19-36}$$

捕获范围为:

$$\Delta\omega_P = \frac{\pi}{2} \cdot \sqrt{2\zeta\omega_n K_{VCO}K_{PD} - \omega_n^2} \tag{19-37}$$

捕获时间为:

$$T_P = \frac{4}{\pi^2} \cdot \frac{\Delta\omega_{center}^2}{\zeta\omega_n^3} \tag{19-38}$$

环路的锁定范围为:

$$\Delta\omega_L = \pi\zeta\omega_n = \frac{\pi}{2} \cdot \frac{1}{RC} \tag{19-39}$$

锁定时间为:

$$T_L = \frac{2\pi}{\omega_n} \tag{19-40}$$

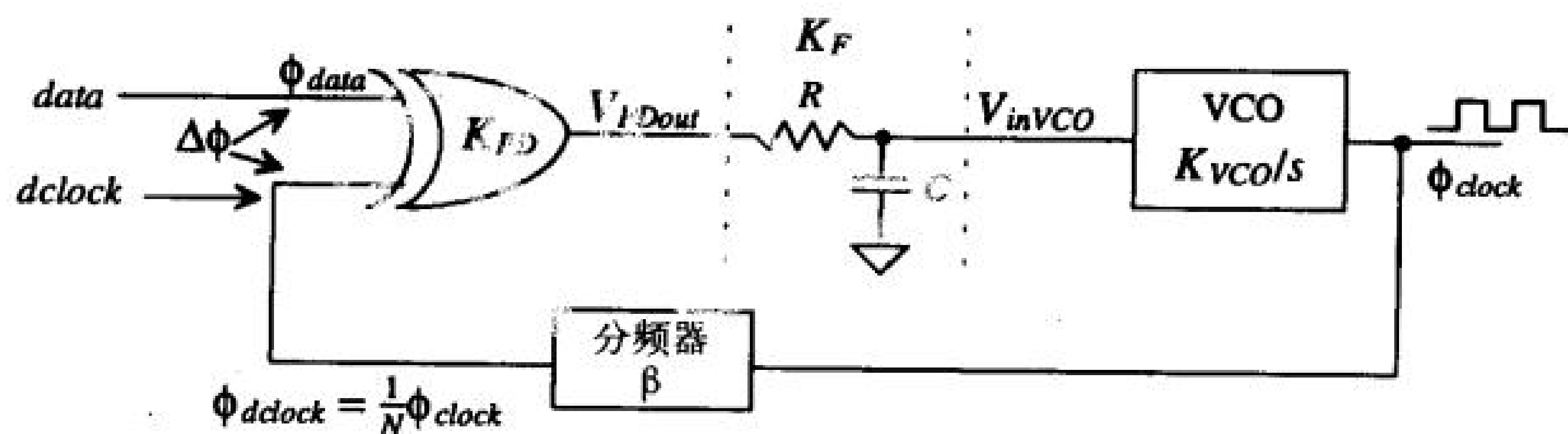


图19-22 采用XOR鉴相器的DPLL框图

下面通过一个例子来说明上述这些公式如何影响DPLL的性能。

例19.3

图19-22所示的DPLL为一个9Mb/s的数据流产生时钟。数据采用的是不归零数据格式(Non-Return to Zero level, NRZ-Level),如图19-7所示。假设:每九个数据位中(包括一个奇校验位)至少会有一次翻转;"11111111"编码不允许使用;并且数据流中会有一些同步字(word)来帮助DPLL锁定[⊖]。确定环路滤波器的R和C,并讨论VCO的设计。

392

data的位宽为111ns(=1/9MHz)。DPLL的输出clock的频率为9MHz。回路中的二分频电路($N=2$)使dclock频率为4.5MHz。如果输入data是图19-23所示的一串交替的1和0,那么由输入数据构成的方波的频率为4.5MHz,是数据速率的一半。这也是采用NRZ编码方式的主要优点,即数据速率可以是信道带宽的两倍。

⊖ 本章的后面会更详细地讨论数据模式选择和从NRZ数据中再生时钟信号的系统考虑。

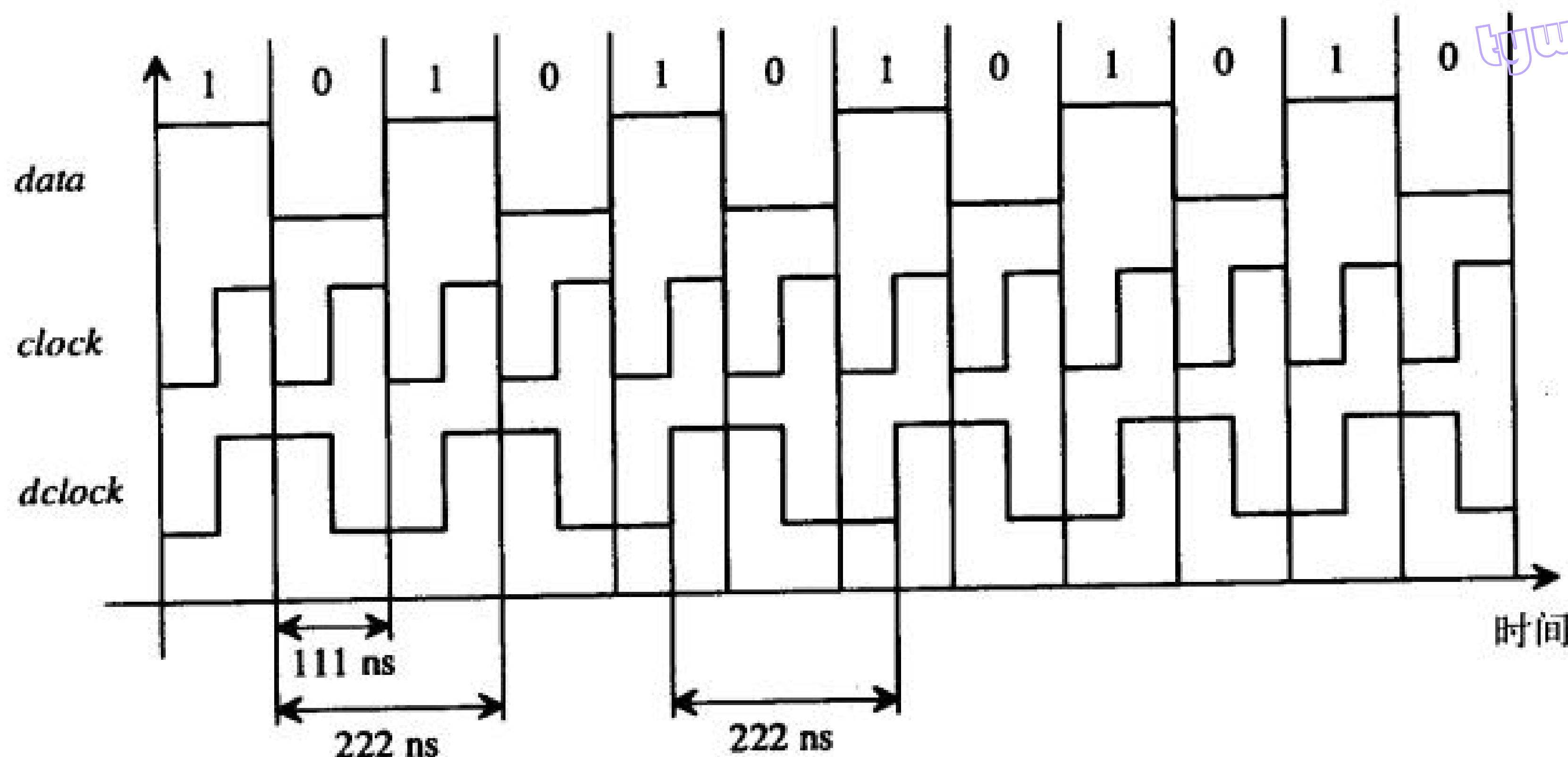


图19-23 例19.3中DPLL锁定时的示例波形

接下来让我们讨论VCO的设计。由19.1.1节的讨论知，f_{clock}的最大值可以是18MHz，最小值可以是4.5MHz。当控制电压为$VDD/2$时，VCO的f_{center}为9MHz（这很重要！）。如果我们采用前一节中讨论的电流饥饿型VCO，会遇到环路锁定在时钟频率谐波上的问题。在这个电流饥饿型VCO中，设定最大电流（从而设定最大频率）的一个简单方法是，在M5管和M6管的漏端串连一个限流电阻（见图19-24）。流经M8管和M9管的电流是流经M5管和M6管电流的镜像，该电流设定了VCO中可变电流的大小。为了设定最小电流，我们增加一个M7管，在$V_{inVCO}<V_{THN}$时，M7管设置流过M6管的最小电流（注意，这个电流总是存在着）。在实际应用时，必须手动调整VCO，才能使它工作在期望的频率范围内；基于XOR的单片式DPLL的主要缺点就是这一问题。引入片外的频率设定元件可以解决这个问题，通过精确调节片外元件的参数可以使VCO工作在期望的频率范围内。设计VCO时最后一个要考虑的问题是温度特性，在接下来的一章中会详细探讨这个问题。

393

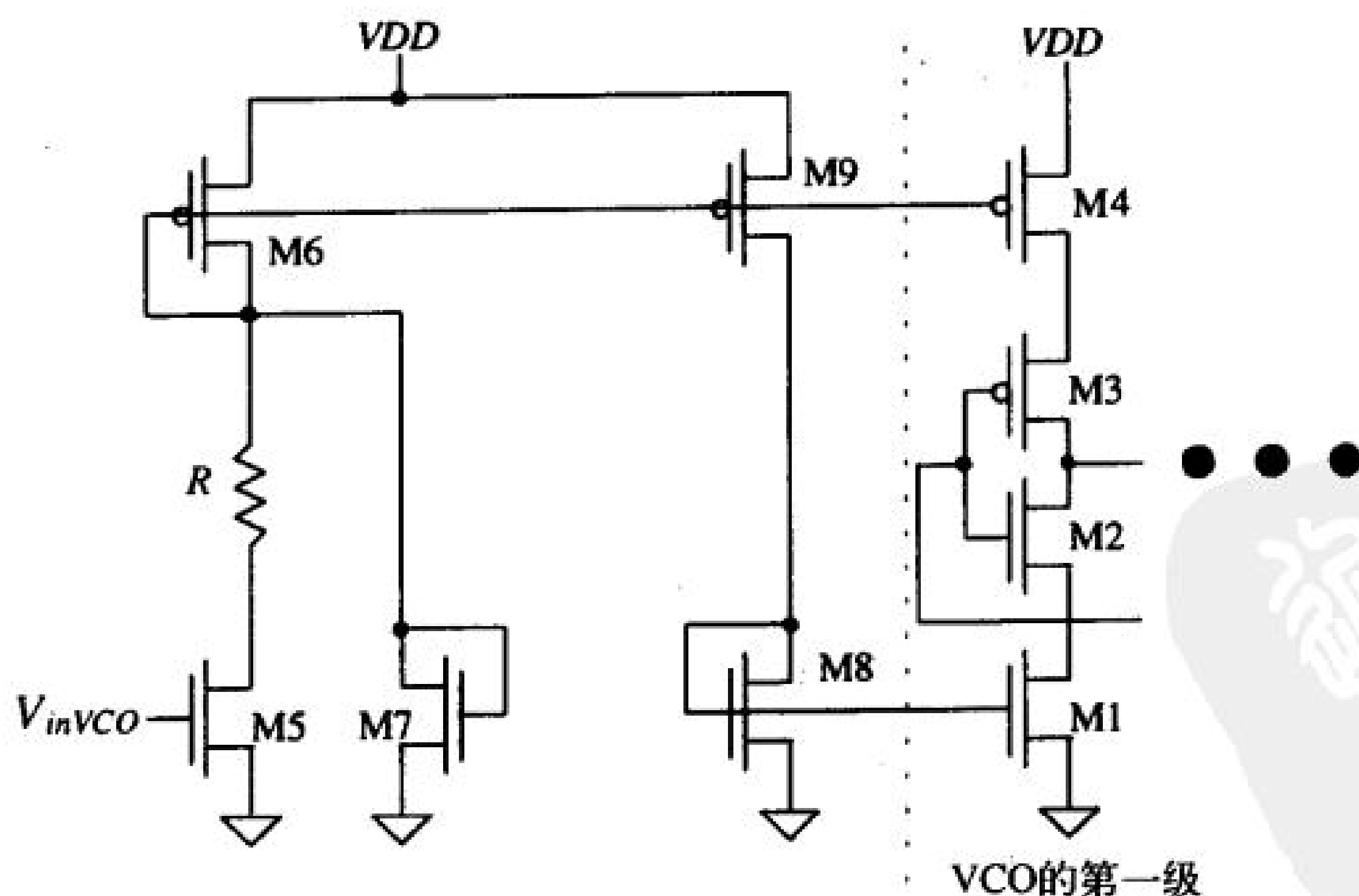


图19-24 能够设定最小和最大振荡频率的电流饥饿型VCO

如果我们设计一个VCO，使得当$V_{inVCO}=4V=V_{max}$时，输出频率f_{max}为9.1MHz；当$V_{inVCO}=1V=V_{min}$时，输出频率f_{min}为8.9MHz，那么VCO的增益K_{VCO}为$2\pi\cdot67kHz/V$，即：

$$K_{VCO} = 418 \times 10^3 \text{ rad/V·s}$$

在前面的设计中，唯一遗留的问题是RC的选择。我们首先设定阻尼系数ξ等于0.7。由式（19-36）知:

$$0.7 = \frac{1}{2} \cdot \sqrt{\frac{2}{\frac{5}{\pi} \cdot (418 \times 10^3)RC}} \rightarrow RC = 1.5\ \mu s$$

由式（19-36）得二阶系统的自然频率为:

$$\omega_n = \frac{1}{2 \cdot RC \cdot \zeta} = 476 \times 10^3 \text{ rad/s}$$

锁定范围为:

$$\Delta\omega_L = \pi\zeta\omega_n = 1 \times 10^6 \text{ rad/s 或 } \Delta f_L = 167 \text{ kHz}$$

394

这比VCO的工作范围大。因此，在整个VCO的工作范围内（即从8.9到9.1Mb/s），DPLL都会锁定。我们不需要计算捕获范围，因为捕获范围比锁定范围大。我们再一次看到，在这个DPLL设计中，振荡器的设计很重要。DPLL的锁定时间T_L近似为13μs。采用[1]中提供的软件对这个DPLL进行了仿真，图19-25给出了仿真结果。图19-25中的A点是起始点，当$t<0$时，输入数据速率为9.0Mb/s，鉴相器平均输出电压和滤波器输出电压为2.5V（$VDD/2$、$\Delta\phi=\pi/2$）。在$t=0$点，数据速率跳变为9.04Mb/s，鉴相器的平均输出电压和滤波器输出电压都升高到3.1V。此时，dclock稍稍偏离data的中心点（$3.1\text{V}/K_{PD}=\Delta\phi$、$\Delta\phi=0.62\cdot\pi$），使环路保持锁定。 ■

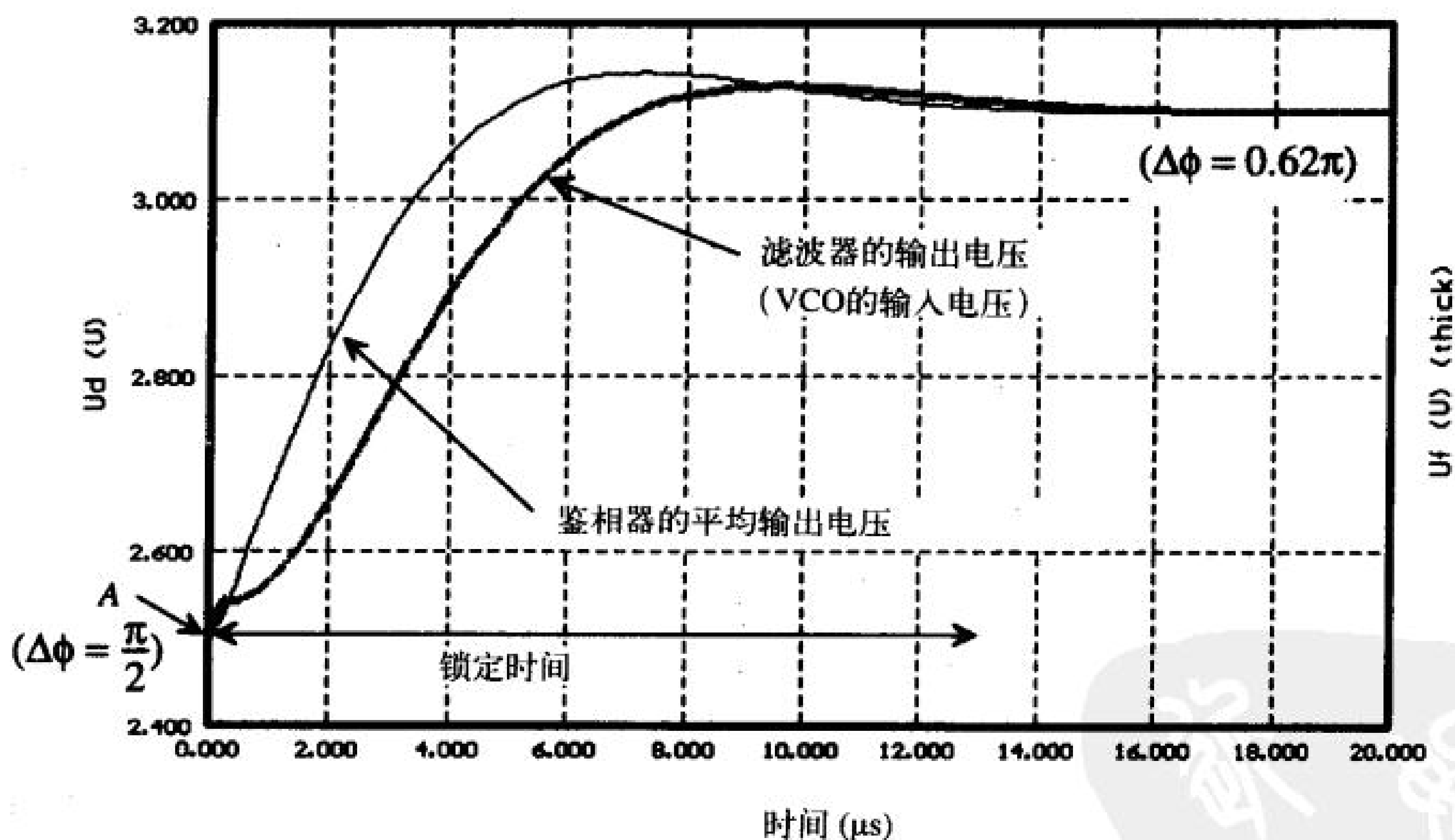
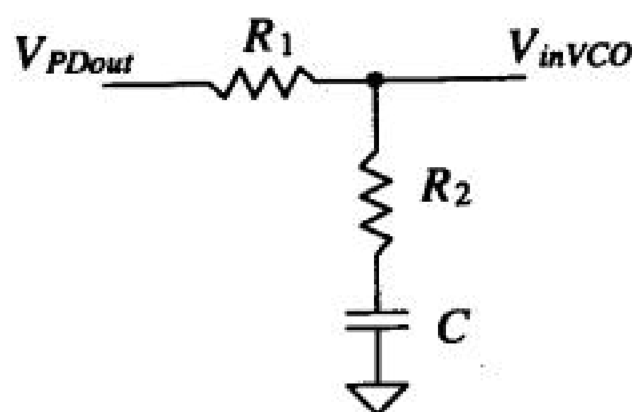


图19-25 例19.3中DPLL的仿真结果（数据速率阶跃为40 kb/s，对应的频率阶跃为20 kHz）

如果在简单无源RC环路滤波器中加入一个零点，如图19-26所示（称这种滤波器为无源滞后环路滤波器），则环路滤波器的极点会变小（VCO的增益会变大），同时可以获得一个适当的阻尼系数。见式（19-37）～式（19-40），这么做，可以增大采用XOR鉴相器的DPLL的锁定范围，缩短锁定时间[1]。在多数情况下，应该采用无源滞后环路滤波器而不是简单的RC滤波器。由例19.3知，如果VCO的中心频率与输入频率不匹配，时钟与数据不会在π/2处对齐。



$$K_F = \frac{V_{inVCO}}{V_{PDout}} = \frac{1 + j\omega R_2 C}{1 + j\omega (R_1 + R_2) C}$$

$$\omega_n = \sqrt{\frac{K_{PD} K_{VCO}}{N(R_1 + R_2)C}} \qquad \Delta\omega_L = \pi\zeta\omega_n$$

$$\zeta = \frac{\omega_n}{2} \cdot \left(R_2 C + \frac{N}{K_{PD} K_{VCO}} \right)$$

图19-26　无源滞后环路滤波器（可增大DPLL的锁定范围）

在XOR鉴相器和无源滤波器构成的DPLL中，存在时钟不对齐问题；可以通过采用图19-27所示有源比例积分（有源PI）环路滤波器把时钟不对齐减到最小。这种滤波器的传输函数为：

$$K_F = \frac{1 + sR_2 C}{sR_1 C} \tag{19-41}$$

得到的二阶系统的自然频率为：

$$\omega_n = \sqrt{\frac{K_{PD} K_{VCO}}{N R_1 C}} \tag{19-42}$$

阻尼系数为：

$$\zeta = \frac{\omega_n R_2 C}{2} \tag{19-43}$$

锁定范围为：

$$\Delta\omega_L = 4\pi\zeta\omega_n \tag{19-44}$$

锁定时间T_L仍为$2\pi/\omega_n$。如果DPLL采用有源PI环路滤波器，则DPLL的捕获范围由VCO的振荡频率决定。为了说明这一问题，考虑下面这个例子。

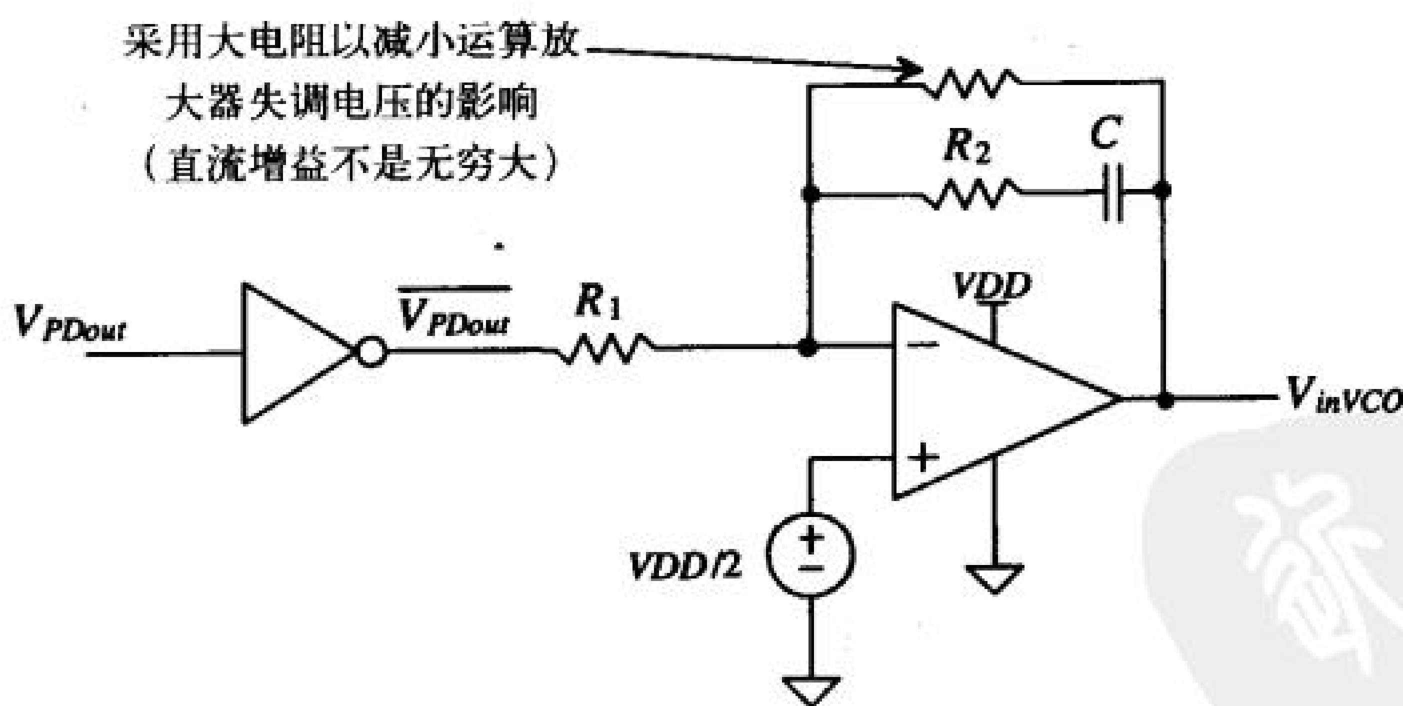


图19-27　有源PI环路滤波器

395
~
396

例19.4

采用有源PI环路滤波器，重做例19.3的设计。

如果：输入电压为4V时，VCO的输出为10MHz（$=f_{max}$）；输入为1V时，频率为8MHz（$=f_{min}$），那么，VCO的增益为：

$$K_{VCO} = 2\pi \cdot \frac{10-8}{4-1} = 4.2 \times 10^6 \text{ rad/V·s}$$

CMOS电路很容易实现这一指标要求。如果恰当设置data和dclock之间的锁定范围，使工作频率范围由VCO决定（即$\Delta f_L = 1\text{MHz}$），那么，利用式（19-44）得到自然频率为（假设$\zeta = 0.7$）:

$$\omega_n = \frac{2\pi \cdot 1 \times 10^6}{4\pi \cdot 0.7} = 713 \times 10^3 \text{ rad/s}$$

利用式（19-42）和式（19-43），可以求得R_1C和R_2C分别近似为6.6μs和2μs（令$N=2$）。此时，环路的锁定时间为8.8μs。图19-28给出了仿真结果，该图中显示了500kb/s的数据速率阶跃，对应于数据从9Mb/s到9.5Mb/s的变化。而例19.3中的DPLL不能锁定在9.5Mb/s的输入数据上。观察该图知，鉴相器平均输出电压为2.5V，使dclock和data的相位差保持为π/2而不依赖于VCO的中心频率和DPLL的输入频率。 ■

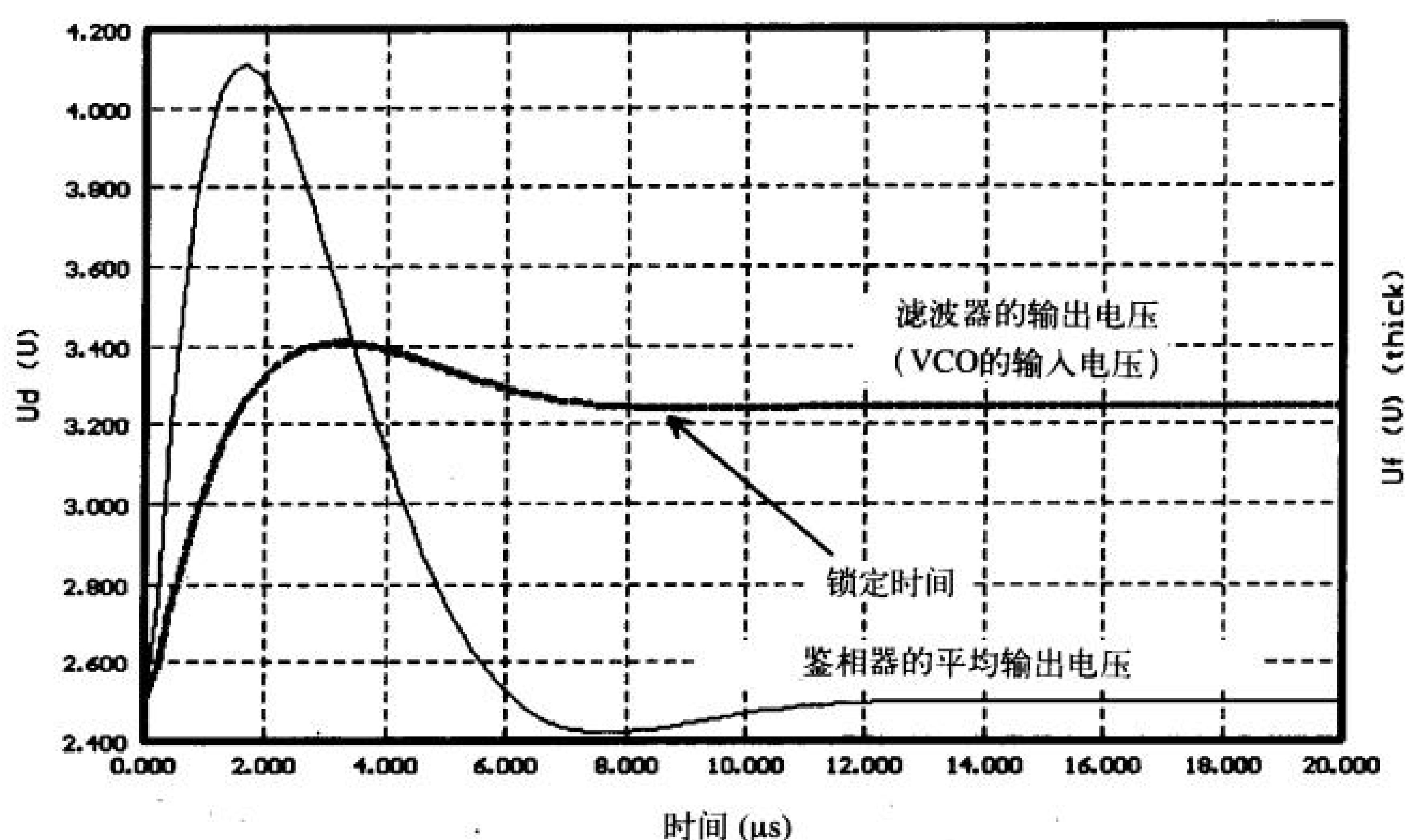


图19-28　例19.4中DPLL仿真结果（输入数据速率阶跃为500kb/s）

397

19.3.2 鉴频鉴相器DPLL

图19-29给出了采用三态输出鉴频鉴相器的DPLL框图。相位的传输函数与式（19-30）相同:

$$H(s) = \frac{\phi_{clock}}{\phi_{data}} = \frac{K_{PDtri}K_F K_{VCO}}{s + \beta \cdot K_{PDtri}K_F K_{VCO}} \tag{19-45}$$

式中:

$$K_F = \frac{1 + sR_2C}{1 + s(R_1 + R_2)C} \tag{19-46}$$

图中，滤波器由三态输出驱动，当输出为高阻态时，R_1和R_2中没有电流流过，电容上的电压保持不变。我们可以把图中的滤波器看作为一个理想的积分器，其传输函数为:

$$K_F^I = \frac{1 + sR_2C}{s(R_1 + R_2)C} \tag{19-47}$$

将上式带入式（19-45），整理得：

$$H(s)=\frac{K_{PDtri}K_{VCO}\frac{1+sR_2C}{(R_1+R_2)C}}{s^2+s\frac{K_{PDtri}K_{VCO}R_2C}{N(R_1+R_2)C}+\frac{K_{PDtri}K_{VCO}}{N(R_1+R_2)C}}=\frac{\phi_{clock}}{\phi_{data}}=\frac{f_{clock}}{f_{data}} \tag{19-48}$$

由上式知，自然频率为：

$$\omega_n=\sqrt{\frac{K_{PDtri}K_{VCO}}{N(R_1+R_2)C}} \tag{19-49}$$

解下式可得到阻尼系数：

$$2\zeta\omega_n=\frac{K_{PDtri}K_{VCO}R_2C}{N(R_1+R_2)C} \tag{19-50}$$

解得阻尼系数为：

$$\zeta=\frac{\omega_n}{2}\cdot R_2C \tag{19-51}$$

锁定范围为：

$$\Delta\omega_L=4\pi\zeta\omega_n \tag{19-52}$$

锁定时间T_L仍然为$2\pi/\omega_n$。捕获范围由VCO的工作频率决定。捕获时间为：

$$T_P=2R_1C\cdot\ln\frac{(K_{VCO}/N)\cdot(VDD/2)}{(K_{VCO}/N)(VDD/2)-\Delta\omega} \tag{19-53}$$

式中，$\Delta\omega$为输入的频率阶跃。

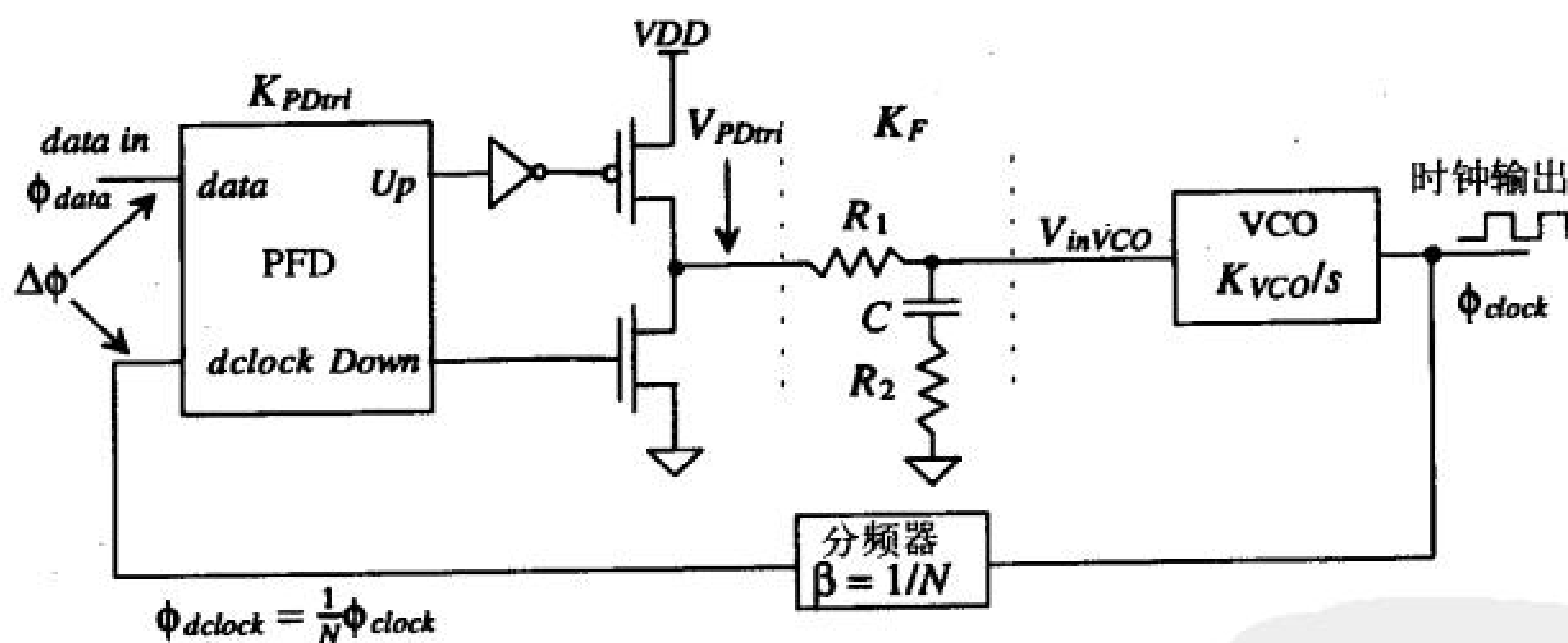


图19-29　采用时序鉴相器（PFD）的DPLL框图

例19.5

设计一个DPLL，使其输入为1kHz的方波，输出为256kHz的时钟信号。DPLL的这种应用被称为频率合成（frequency synthesis）（图Ex19-5）。



图　Ex19-5

我们采用图19-29所示的DPLL，在反馈回路中采用256分频（即$N=256$）。此外，假设当输入电压（V_{inVCO}）从0变到5V时，VCO的振荡频率从0Hz变到500kHz，则VCO的增益为：

$$K_{VCO}=2\pi\cdot\frac{(500-0)\ \text{kHz}}{5-0}=628\times10^3\ \text{rad/V·s}$$

锁定范围Δf_L设定为200 Hz。这意味着：当输入频率从800Hz变为1200Hz时，环路会在时间T_L内锁定并产生一个频率为输入频率256倍的输出。例如，如果环路的输入频率是900Hz，DPLL会生成一个频率为230kHz的输出。假设$\zeta=0.7$，则DPLL的自然频率为：

$$\omega_n=\frac{2\pi\cdot200}{4\pi\cdot0.7}=143\ \text{rad/s}$$

由式（19-51）和式（19-49），可求得环路滤波器时间常数的近似值，即$R_2C=9.8\text{ms}$，$R_1C=38\text{ms}$（$K_{PDtri}=VDD/4\pi$）。在大多数情况下，环路滤波器会片外实现。该DPLL的锁定时间T_L等于44ms。图19-30给出了当输入频率发生200Hz阶跃时，鉴相器的平均输出电压和环路滤波器的输出电压的变化情况。初始时（当$t<0$时），VCO的输入电压为2.5V，输入频率为1 000Hz，VCO的输出为256 000Hz（N · 1000Hz）。当$t>0$时，输入频率跳变为1 200Hz，输出频率跳变为307 000Hz。在频率开始跳变后约44ms，VCO的输入电压V_{inVCO}稳定在3V左右。

398~399

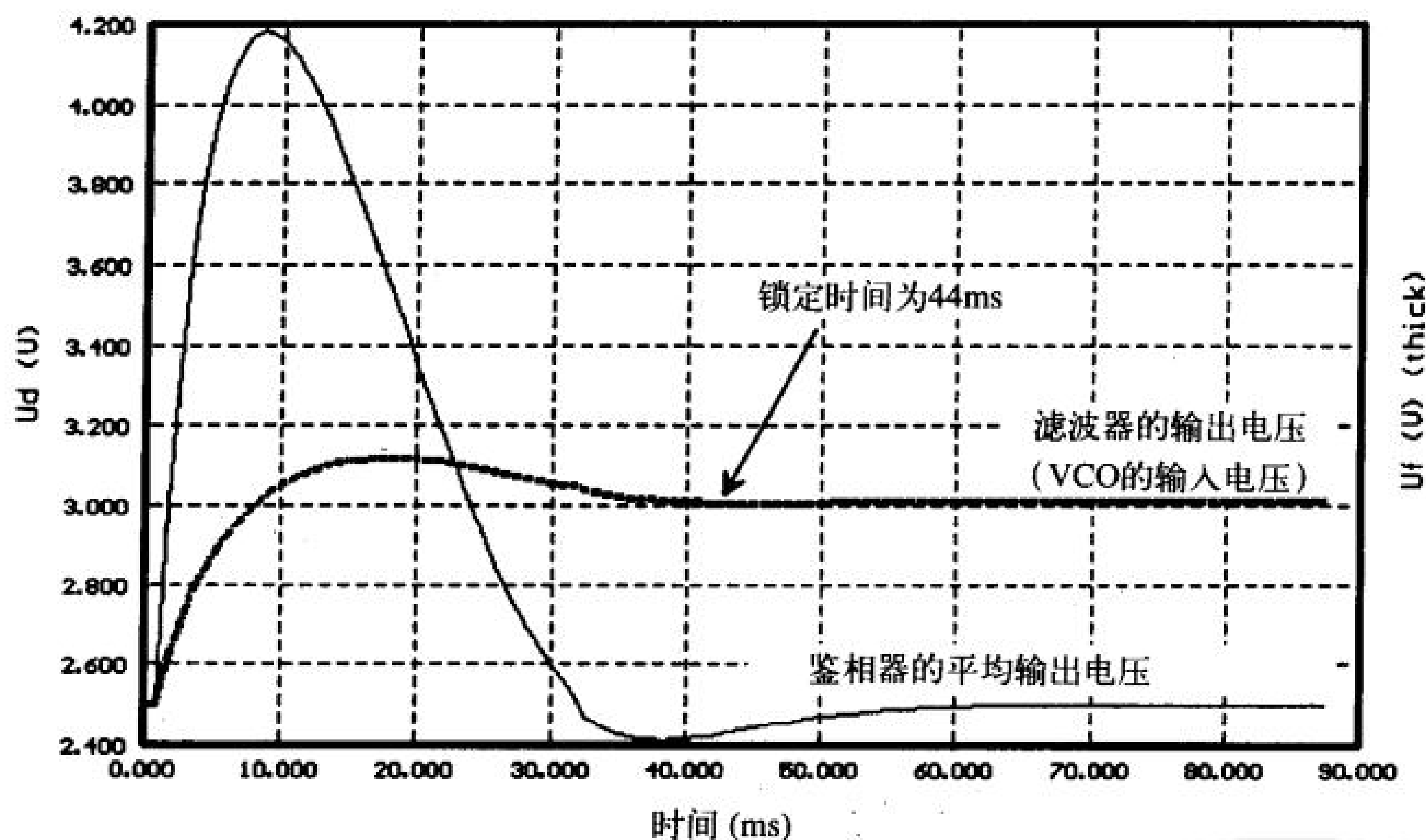


图19-30 例19.5中DPLL的仿真结果（输入频率阶跃为200 Hz）

VCO的最高输出频率为500kHz，对应输入频率为1.95kHz（将VCO的输出256分频）。DPLL输入端800Hz的频率阶跃（即输入频率从1 000变到1 800Hz）产生图19-31所示仿真波形。由于频率阶跃在DPLL的锁定范围之外，所以，在最终锁定之前，VCO的输入电压将会振荡。环路捕获VCO的控制电压并再次锁定所需时间T_P近似为：

$$T_P=2R_1C\cdot\ln\frac{(628\times10^3/256)\cdot(2.5)}{(628\times10^3/256)(2.5)-2\pi\cdot800}=130\ \text{ms}$$

一旦环路锁定，除非输入频率的变化$\Delta\omega$与时间t的比值大于ω_n^2，否则环路将保持锁定状态。在设计CMOS DPLL时，常常选择鉴频鉴相器，因为这种鉴相器对VCO工作频率范围的要求

400 很宽松。 ■

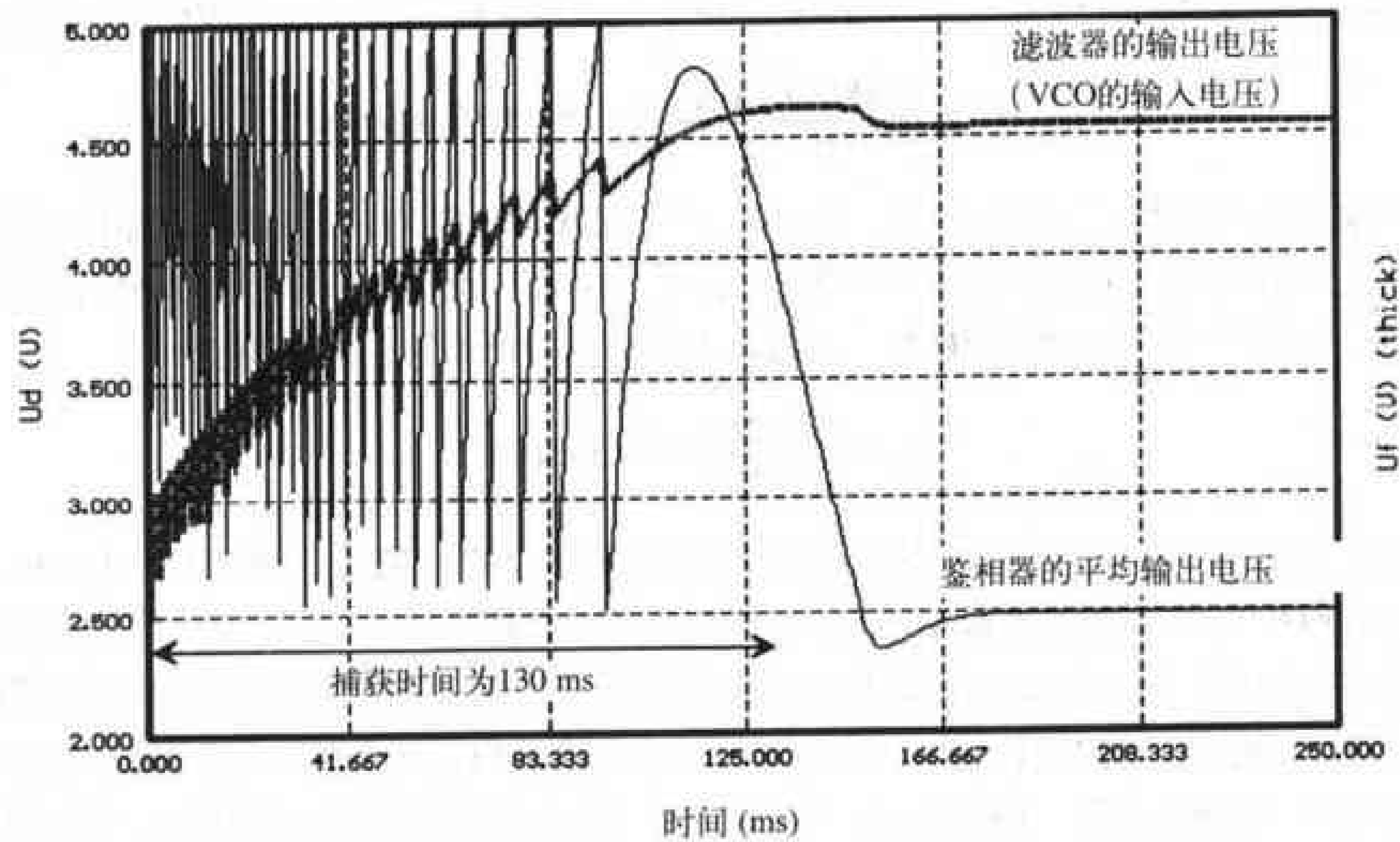


图19-31　例19.5中DPLL的仿真结果（输入频率阶跃为800 Hz）

图19-32为电荷泵输出的鉴频鉴相器。通常，在设计CMOS DPLL时，相比于三态输出的鉴频鉴相器而言，更推荐采用电荷泵输出的鉴频鉴相器，因为后者对电源电压变化更不敏感。图中，电容C_2来防止$I_{pump}\cdot R$发生电压跳变，从而避免VCO的输入电压发生跳变，使DPLL的输出频率稳定。一般而言，C_2的值设定为C_1的十分之一（或更小）。忽略C_2时，环路滤波器的传输函数为：

$$K_F=\frac{1+sRC_1}{sC_1} \tag{19-54}$$

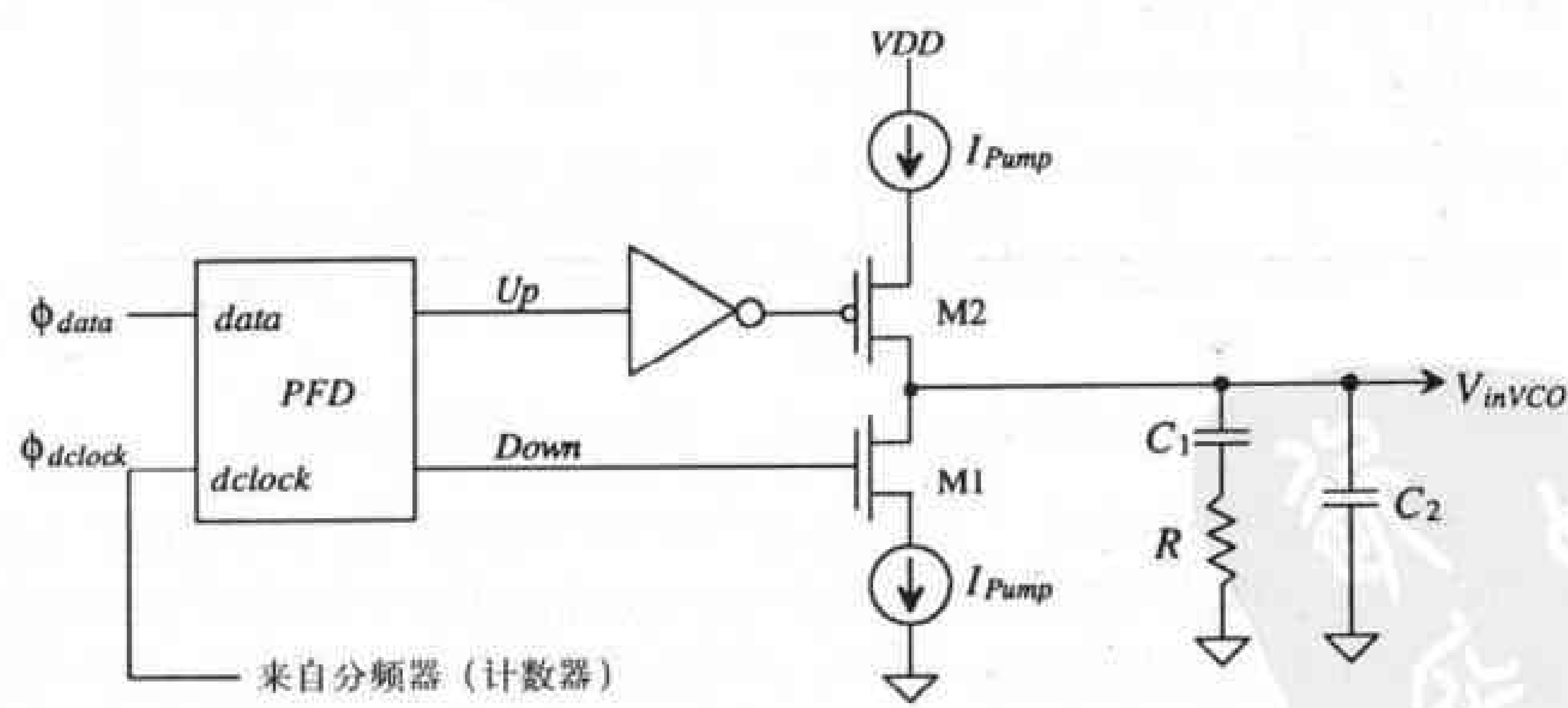


图19-32　电荷泵输出的鉴频鉴相器

反馈回路的传输函数为：

$$H(s)=\frac{\phi_{clock}}{\phi_{data}}=\frac{K_{PDI}K_{VCO}(1+sRC_1)}{s^2+s\left(\frac{K_{PDI}K_{VCO}\cdot R}{N}\right)+\frac{K_{PDI}K_{VCO}}{NC_1}} \tag{19-55}$$

由传输函数，可求得自然频率为：

$$\omega_n = \sqrt{\frac{K_{PDI}K_{VCO}}{NC_1}} \tag{19-56}$$

阻尼系数为：

$$\zeta = \frac{\omega_n}{2} \cdot RC_1 \tag{19-57}$$

锁定范围和锁定时间的公式仍然与三态输出的鉴频鉴相器相同。同样，捕获范围由VCO的频率范围决定。捕获时间为：

$$T_P = 2RC_1 \ln\left[\frac{(K_{VCO}/N)\cdot(I_{pump})}{(K_{VCO}/N)\cdot(I_{pump}) - \Delta\omega}\right] \tag{19-58}$$

讨论

在选择环路滤波器的值时，我们一般假定：相对于环路滤波器中的阻抗，鉴相器的输出电阻很小（对XOR鉴相器和三态输出的鉴相器）。我们还假设：VCO的输入电阻为无穷大，输入电容相比于环路滤波器中的电容来说很小。另外，在设计DPLL时，DPLL中存在的寄生效应是应该重点考虑的问题。

在19.2节中已经给出了CMOS VCO的实例。图19-33给出的是一个CMOS鉴频鉴相器的实例[5]。环路滤波器中的电容可以用MOS管来实现，电阻可以用n阱电阻或MOS管来实现。

当DPLL采用XOR鉴相器、RC环路滤波器时，VCO的中心频率对DPLL的性能有重要影响。如果VCO的中心频率f_{center}（即$V_{inVCO}=VDD/2$时的频率）与输入数据速率的两倍不匹配（当采用NRZ编码时），那么DPLL锁定时，相位差将不是π/2。如果采用鉴频鉴相器或带有源PI环路滤波器的XOR鉴相器，VCO的中心频率就不需要太精确。

401 ~ 402

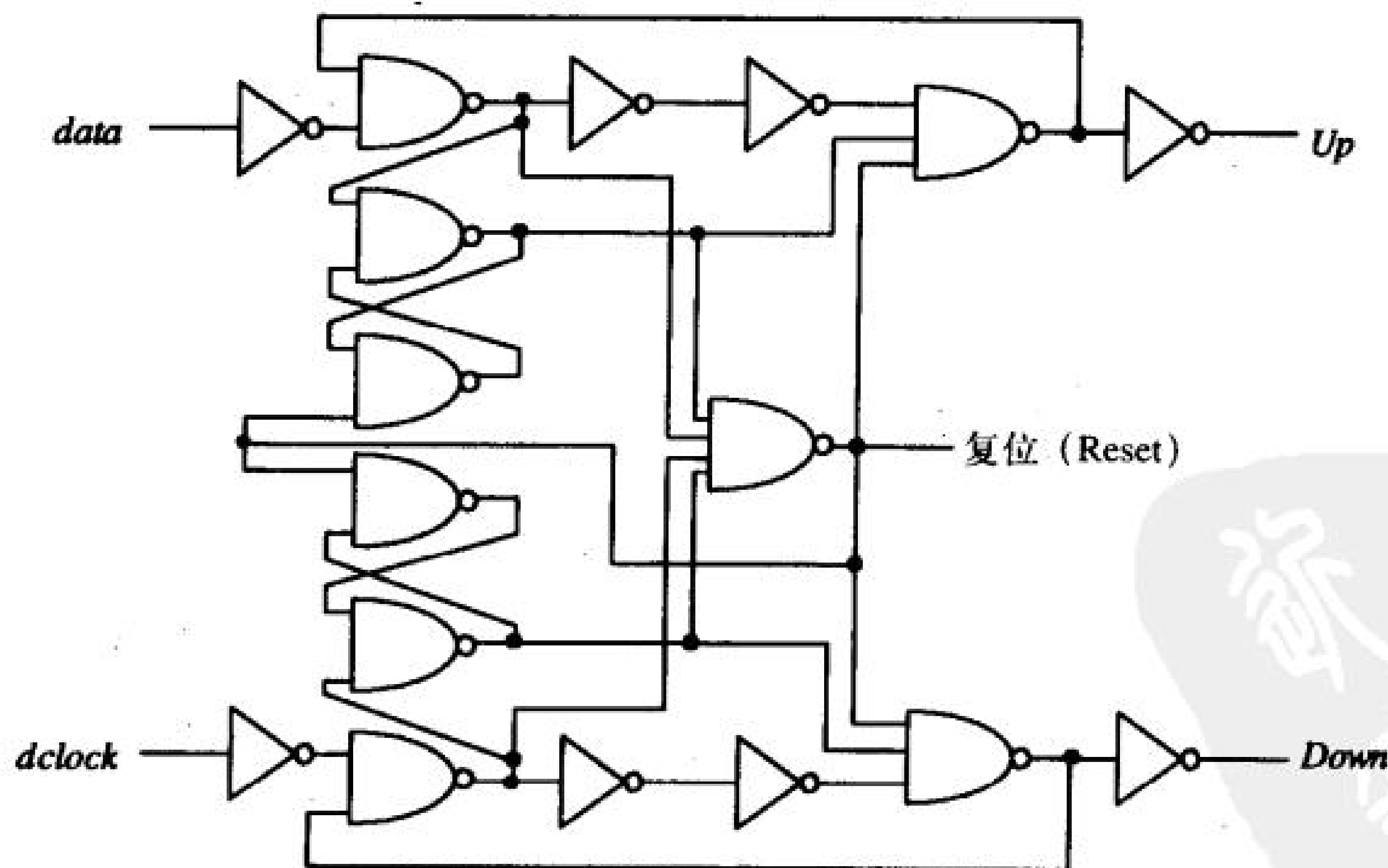


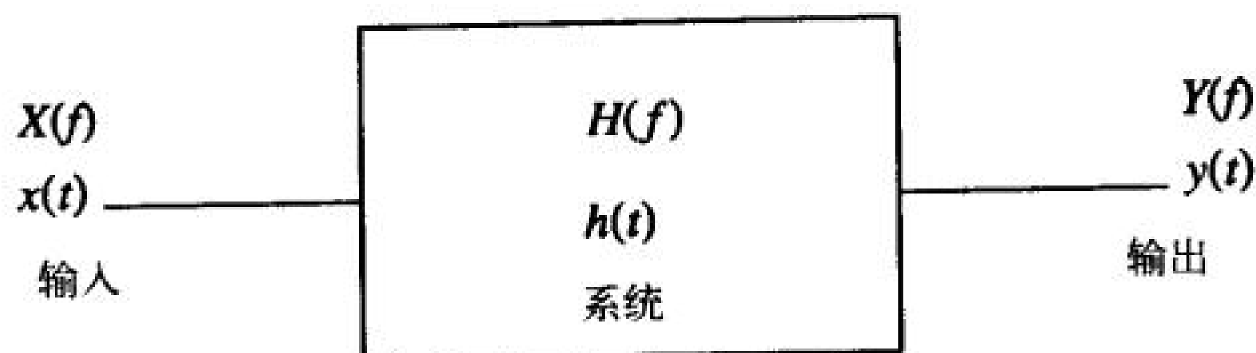
图19-33　一个CMOS鉴频鉴相器

19.4 系统考虑

设计DPLL时，其性能指标一般是根据使用DPLL的电路系统的要求来确定。考虑图19-1，

可以观察到：信道中传输的数据在到达接收端时，理想情况下，到达接收端的信号波形应该与发送时的波形相同[6]。但实际上，数据信号存在失真。失真来自于接收端输入放大器的非线性以及信道带宽的限制。为了理解无失真传输的情形，考虑图19-34所示框图。系统在频域的传输函数为$H(f)$，在时域的传输函数为$h(t)$。对于无失真传输情形，系统输入和输出的关系为：

$$y(t)=K\cdot x(t-t_o) \quad (19\text{-}59)$$



403

图19-34 一个带输入输出的系统框图

式中，t_o是系统的延迟时间，K为常数。该式表明，当通过一个系统的传输为无失真传输时，系统输出的是延迟一定时间后的输入，输出幅值与输入幅值成固定比例关系。对该式两边做傅里叶变换，可以得到一个有趣的结果：

$$Y(f)=\mathrm{K}\cdot X(f)\mathrm{e}^{-j2\pi ft_o} \quad (19\text{-}60)$$

因此，无失真系统的传输函数可以写成：

$$H(f)=\frac{Y(f)}{X(f)}=\mathrm{K}\mathrm{e}^{-j2\pi ft_o} \quad (19\text{-}61)$$

图19-35给出了无失真系统的幅值响应和相位响应。当一个系统的幅值响应$|H(f)|$为常数K、相位响应$\angle H(f)$在所关心的频率范围内是斜率为$-2\pi t_o$的线性响应时，这个系统就是无失真系统。

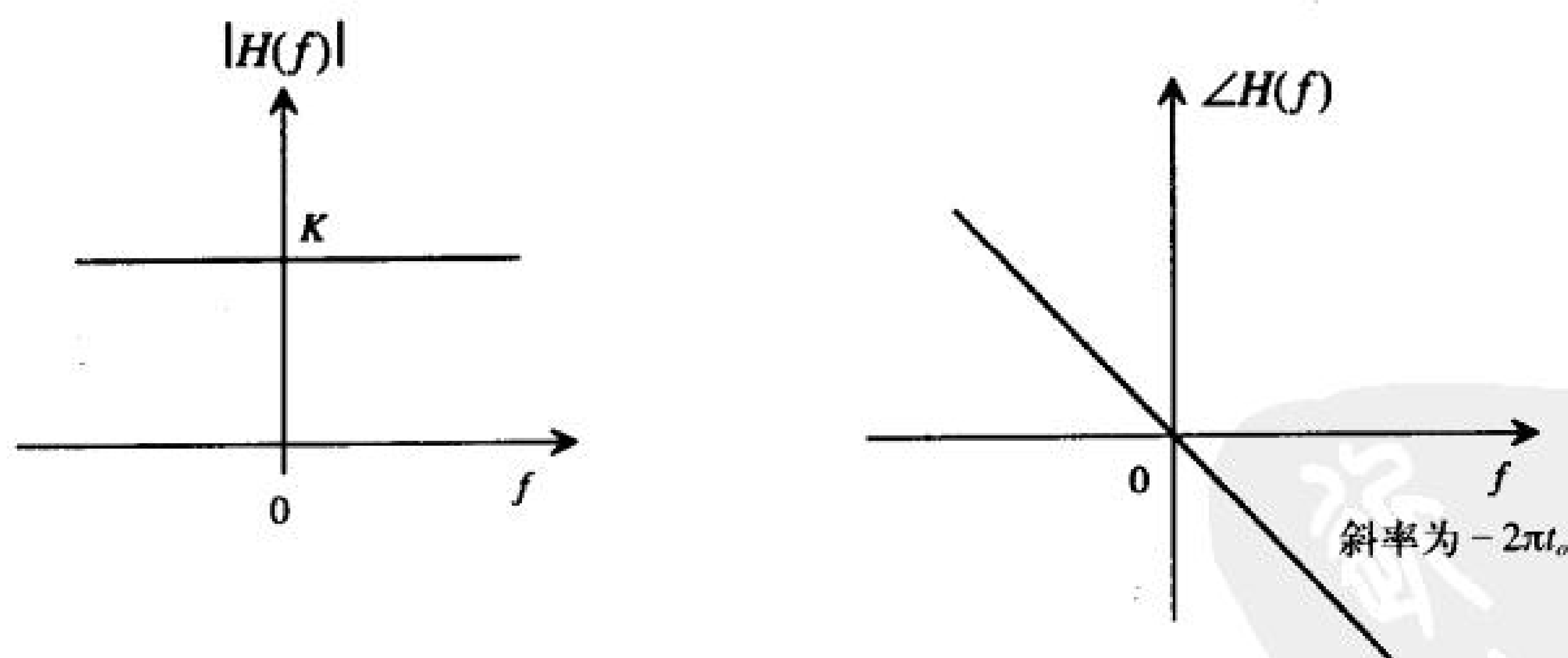


图19-35 无失真系统的幅值响应和相位响应

图19-35给出的是理想的响应。实际上，系统的幅值响应看上去与图19-36a相似，在高频处，幅值会减小。为了补偿幅值的减小，可以添加一个与系统串联的被称为均衡器的电路（图19-36b）。均衡器的传输函数具有这样的特性：当频率超过某个值时，幅值响应就会随频率的增高而增大（图19-36c）。如果均衡器的低频增益是A/K，系统的低频增益是K，那么系统和均衡器组合在一起时的最终增益为A。

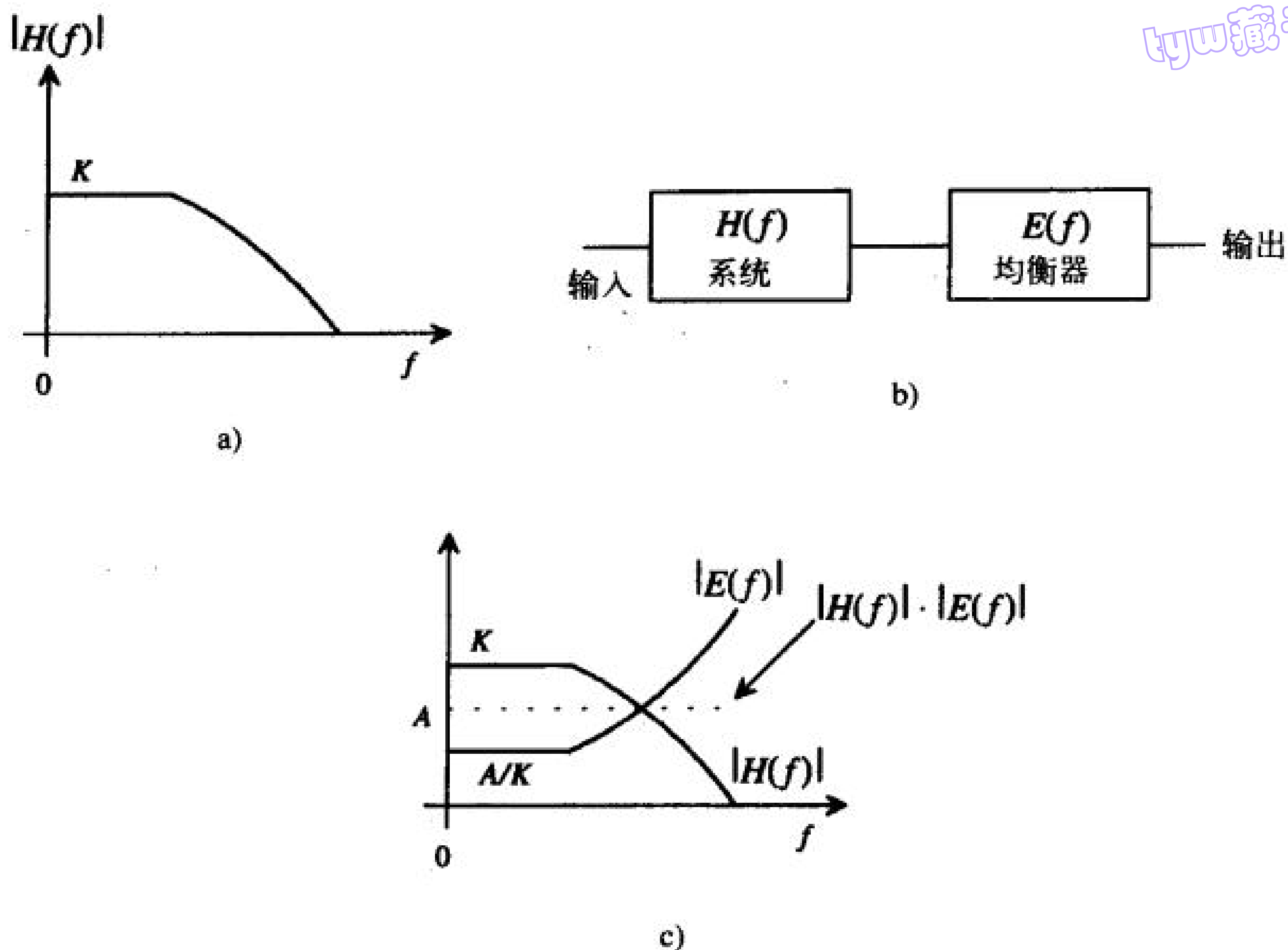


图19-36 采用均衡器以减小系统失真

把接收的输入数据转换为数字电平时，也可能发生失真。图19-37说明了这一问题。当把接收器产生的模拟数据送到比较器时，理想情况下，比较器在中值点将模拟数据进行分割，转换为数字数据。当比较器的判决电平并非正好等于模拟数据电平的中值点时，就会产生时间误差。图19-37a示意了模拟数据被正确分割时的情形。图19-37b则给出了判决电平过高时的情形，此时，得到的数字数据的高电平太窄、低电平太宽。对于图19-38所示的输入数据和判决电路，比较器将输入数据在大约为地电平处分割，得到的结果就是输出高电平太宽（在时间轴上）。在这种情况下，当按时钟节拍将数据载入移位寄存器时，就可能产生时间误差（见图19-1）。另外，信道的幅值响应会随时间变化，并且数据模式也会影响模拟数据平均电平的大小，这都使得精确的分割模拟数据变得更加困难。

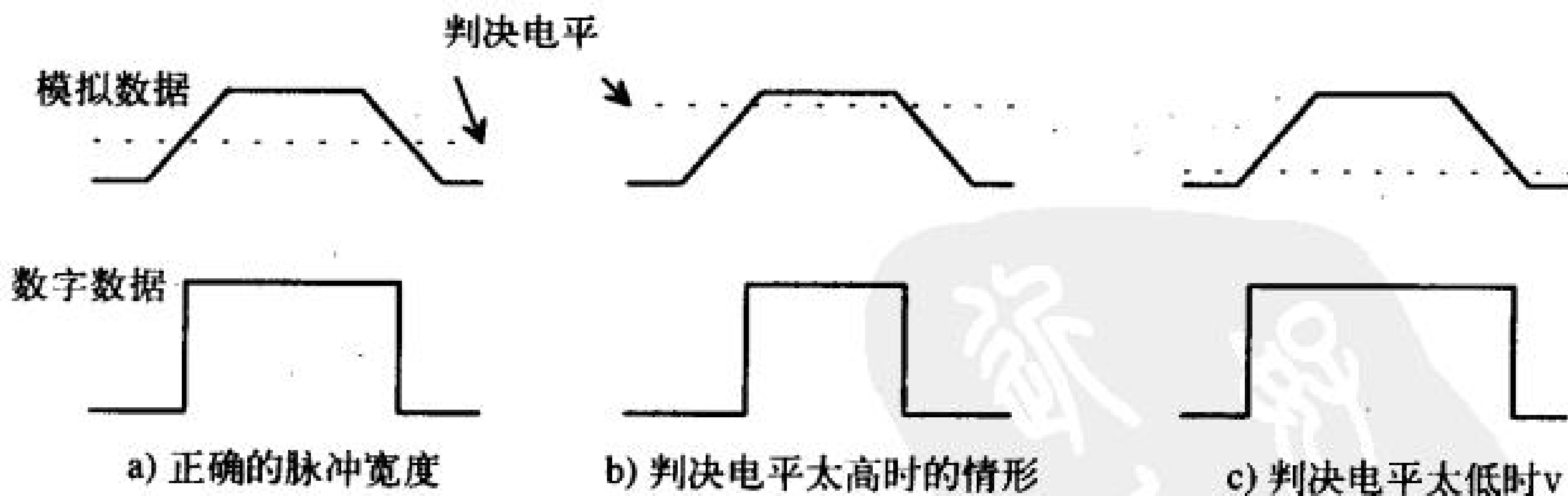


图19-37 模拟数据转换为数字数据时的时间误差

对这个问题有两种解决办法。第一个办法是可以用一个电路来确定输入模拟数据的最大值（正峰值）和最小值（负峰值），对其取平均值，再将结果反馈给判决电路的比较器。第二个办法是将数字数据编码，从而使编码后的数据信号占空比为百分之五十。对恒定的数据速率，编码能增大信道带宽。

404
≀
405

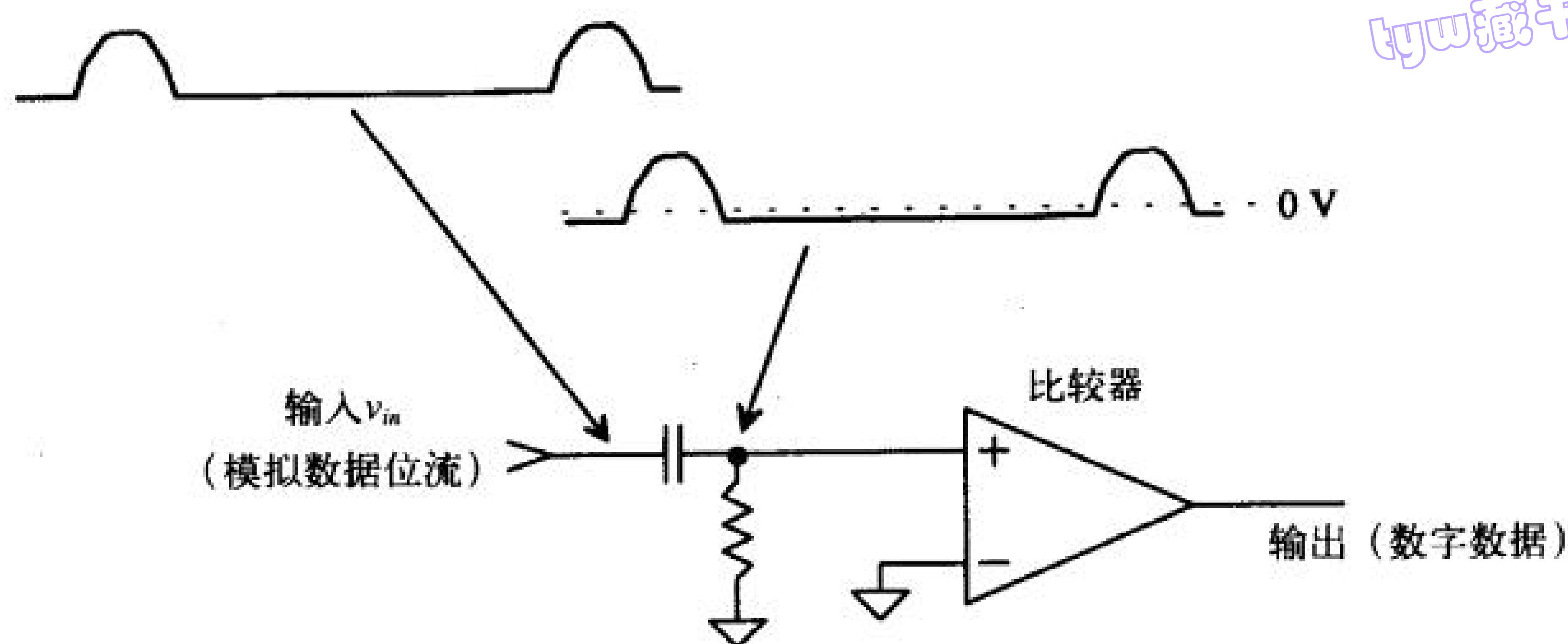


图19-38 数据模式对判决电路的影响

考虑图19-39所示峰值检测器电路。当输入v_{in}比输出v_{peak}大时，比较器的输出为高，MOS管导通，对电容充电，电容上的电压增大。当v_{peak}比输入电压稍高时，比较器的输出为低，使MOS管截止，电容实质上被充电到v_{in}的峰值。

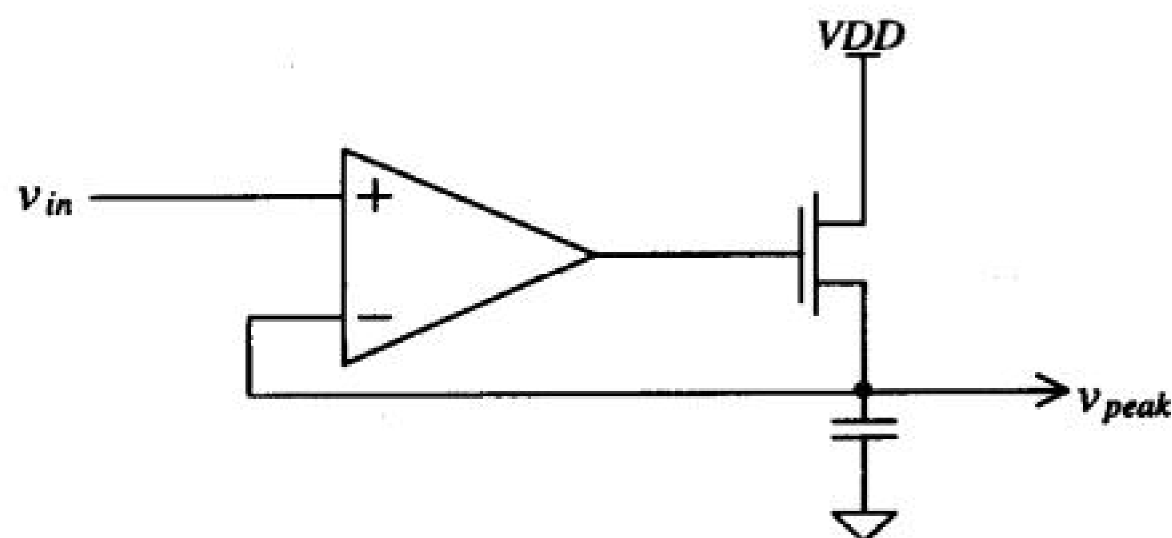


图19-39 CMOS峰值检测器

图19-40给出了采用峰值检测器的判决电路。在基本的判决电路中加入一个电流值很小的电流源来使峰值检测器为有损电路。这一点很有必要，因为这样使判决电路能够跟踪缓慢的幅值和数据变化。电路中的缓冲器将两个峰值检测器隔离开来，某些情况下可以用由MOS管构成的源跟随器（见第22章）来做缓冲器。两个电阻实现求平均值的功能。模拟输入的平均值连接到比较器的反相输入端。这种方案使模拟数据从中值点分割，消除了时间误差。

406

如果对数据进行编码，就可以不需要判决电路。如果编码后得到的数据有百分之五十的占空比，就可以通过接收器中的电容（图19-38），得到一个中值点为地电平的模拟信号。这样就可以将比较器的负输入端接地，将输入数据在恰当的时刻分割开（在数据位的中值点）。图19-41给出了一个编码方案的实例。没有送入信道传输之前，在发送端将数据编码。图中这个编码方案被称为双相格式（bi-phase format），更准确的名称是双相电平格式（bi-phase level），有时候也被称为双相L（bi-phase-L）或曼彻斯特NRZ（Manchester NRZ）格式。采用这种方案对NRZ格式数据进行编码的代价是增大了信道带宽。图19-42给出了另外的几种编码方案[1]。

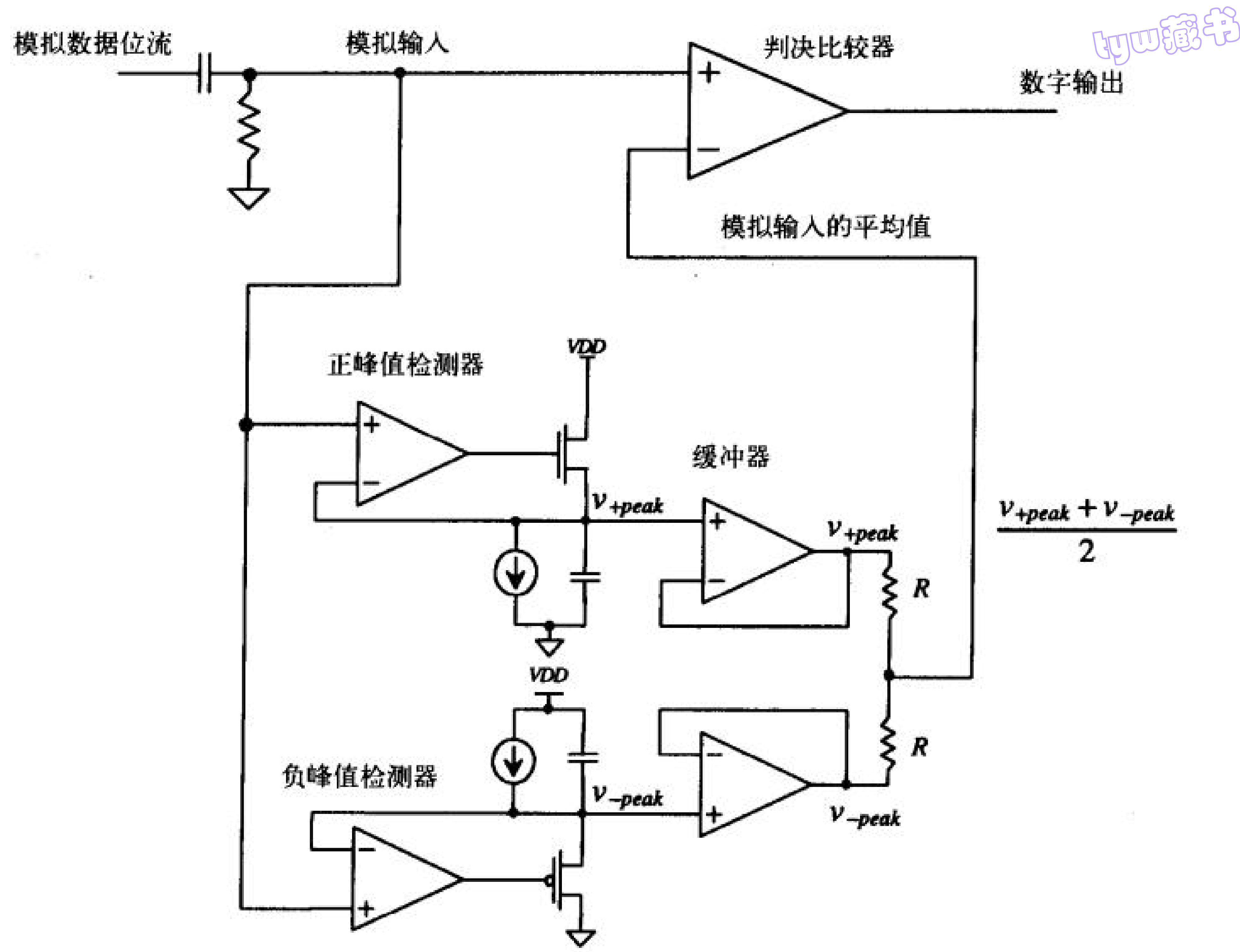
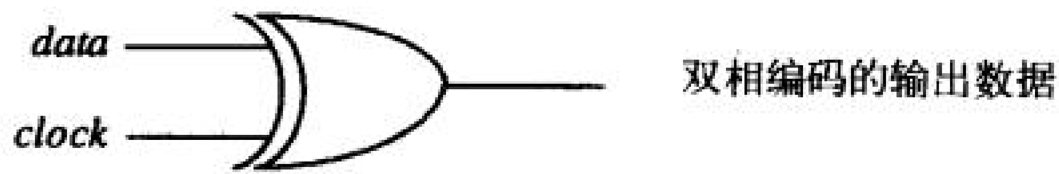


图19-40 判决电路



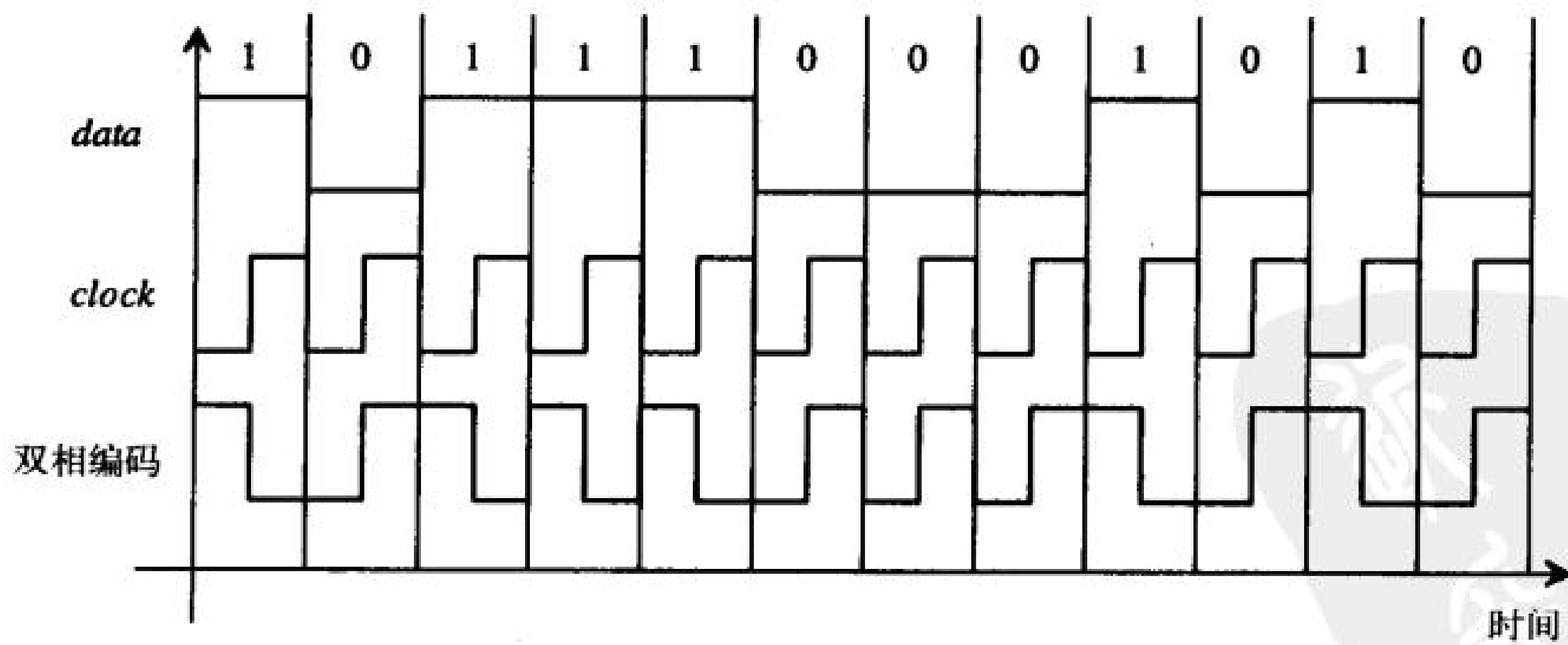


图19-41 双相数据编码

从NRZ数据中再生时钟

在设计通信系统时，一个最重要的步骤就是传输格式的选择（即NRZ、双相或者其他格式）和编码格式的选择（如奇偶校验、循环冗余码校验或者其他编码格式）。

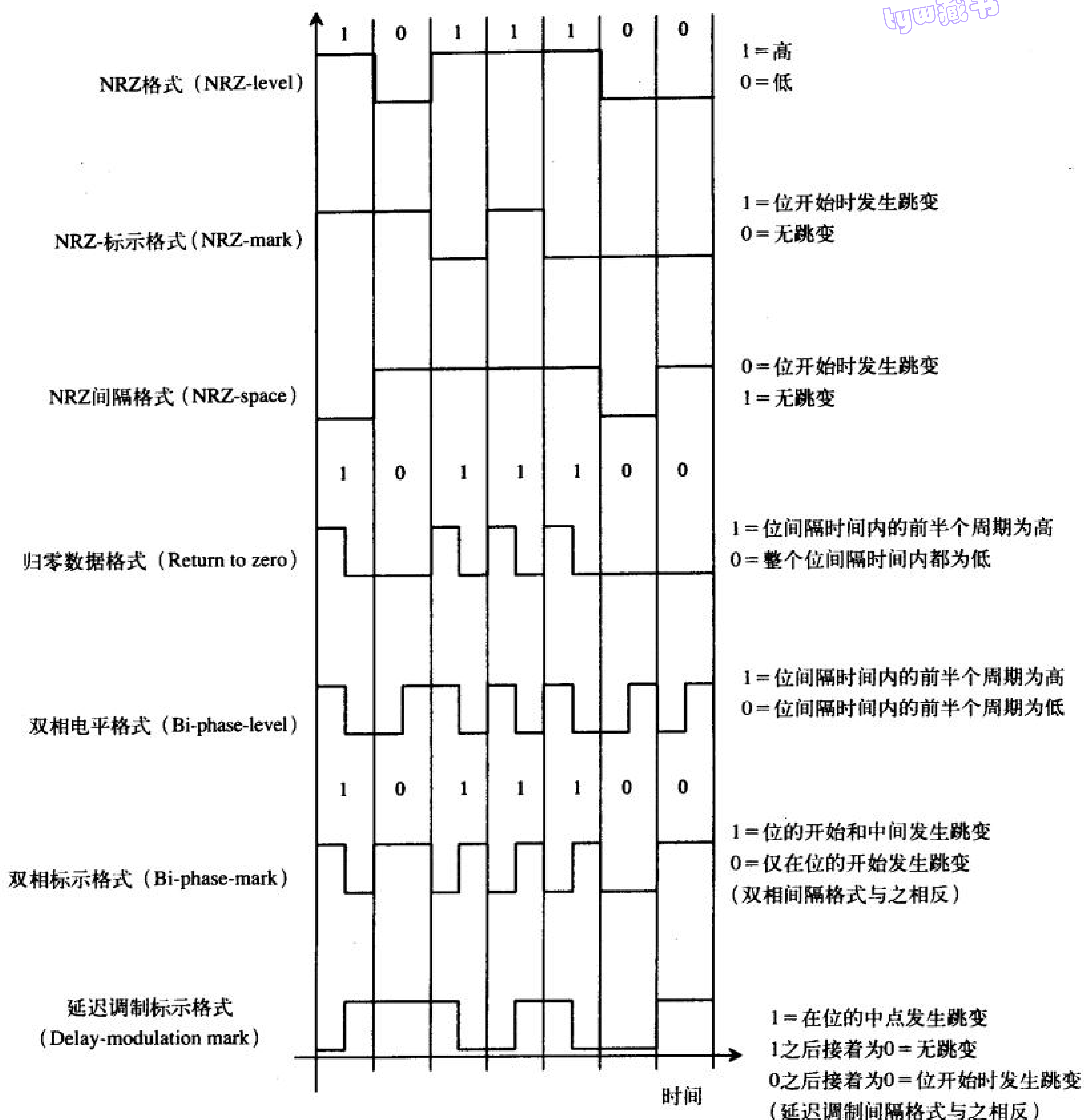


图19-42 数据传输的格式[1]

本节将讨论用于时钟恢复的DPLL的设计应该考虑的问题。该DPLL用于NRZ编码的系统中。另外，会解释例19.3中选择NRZ格式以及反馈回路需要二分频的原因。

首先，考虑图19-43所示clcok信号和NRZ格式的data信号。假设这两个信号是一个DPLL中XOR鉴相器的输入信号。由于clcok没有和data正确对齐，因此，DPLL不处在锁定状态。图中同时给出了XOR鉴相器的输出。如果我们采用一个环路滤波器来对鉴相器的输出求平均值，可以得到*VDD*/2的电压。实际上，很容易看出，在时间轴上移动clcok信号对鉴相器的平均输出没有影响。这是为什么呢？让我们用一些数字来回答这个问题。假设data的位宽为10ns（这也是clock的周期），那么一串交替的“1”和“0”形成的方波频率为50 MHz。我们知道，如果对一个方波求傅里叶变换，结果只会包含奇数次谐波（也就是50、150和250MHz）。由于clock频率

为100MHz，clock和data之间没有共同的能量或信息。为了解决这一问题，我们将clock二分频为dclock。这样，对形式为一串交替的“1”和“0”的输入数据，dclock有与之相同的频率。

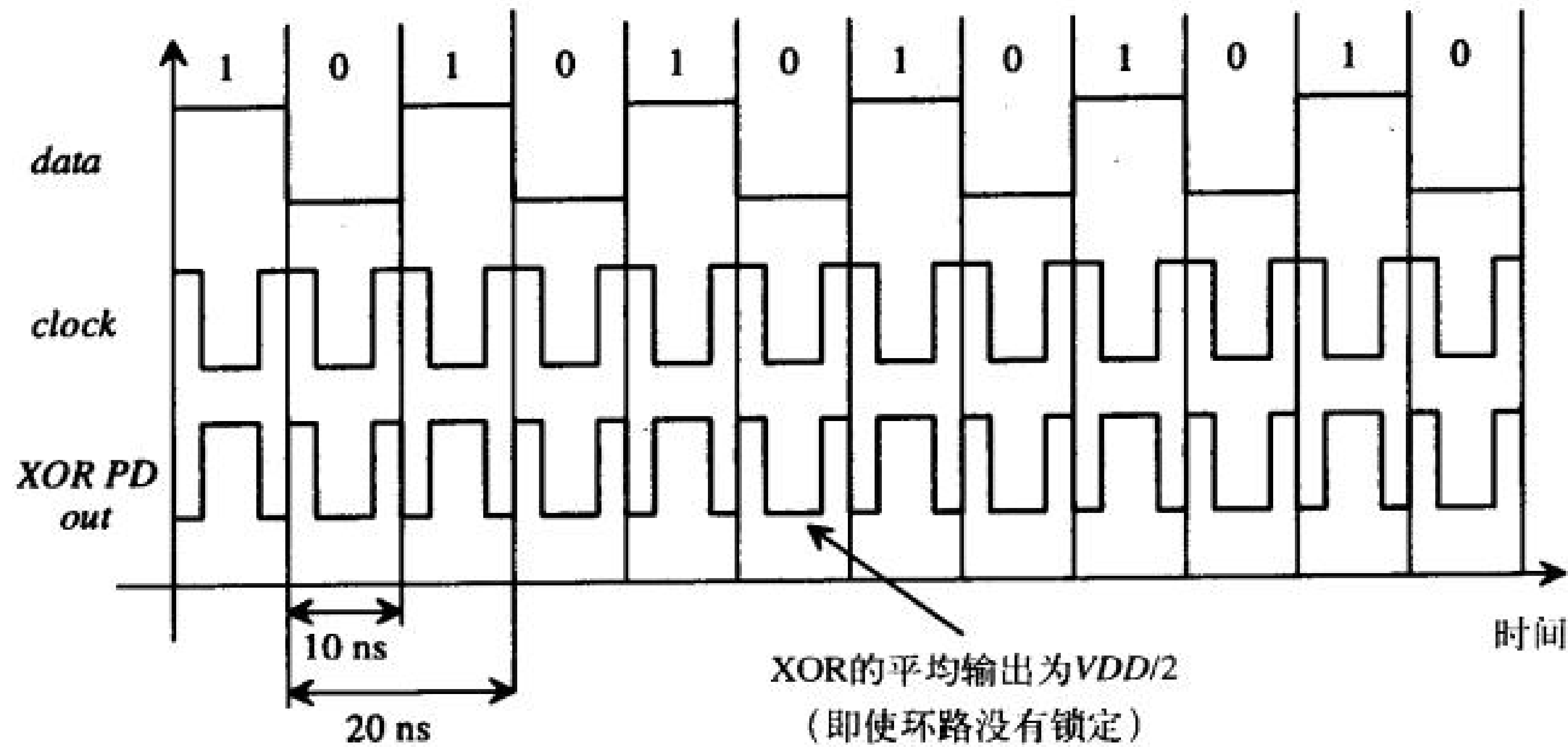


图19-43 没有对时钟进行二分频时试图锁定会遇到的问题

如果我们在反馈回路中采用二分频电路，当data是两个“1”之后紧跟着两个“0”的重复的数据串时，我们就会遇到下述问题，如图19-44所示（图中dclock没有与data锁定）。再一次可以看到，两个输入信号之间没有共同的能量或信息，XOR鉴相器输出平均值始终是*VDD*/2。在这个例子中，dclock信号频率为50 MHz，data是频率为25 MHz的方波。我们可以将clock再次分频来解决上述问题吗？答案是否。无论我们将clock分频多少次，仍然会有输入数据串使环路不能锁定。此外，当输入信号不是纯粹的方波时，起作用的是信号转换沿（data和dclock的频率）。增大dclock的脉冲宽度会丢掉一些信息，并且更难与数据锁定。对八位字，例19.3给出了解决这个问题的一个办法。如果我们对一个八位字采用奇校验位（共九位），并且在发送端消除八位全部为高的情形（即数据没有为11111111的可能性），那么，就不可能产生一个方波。

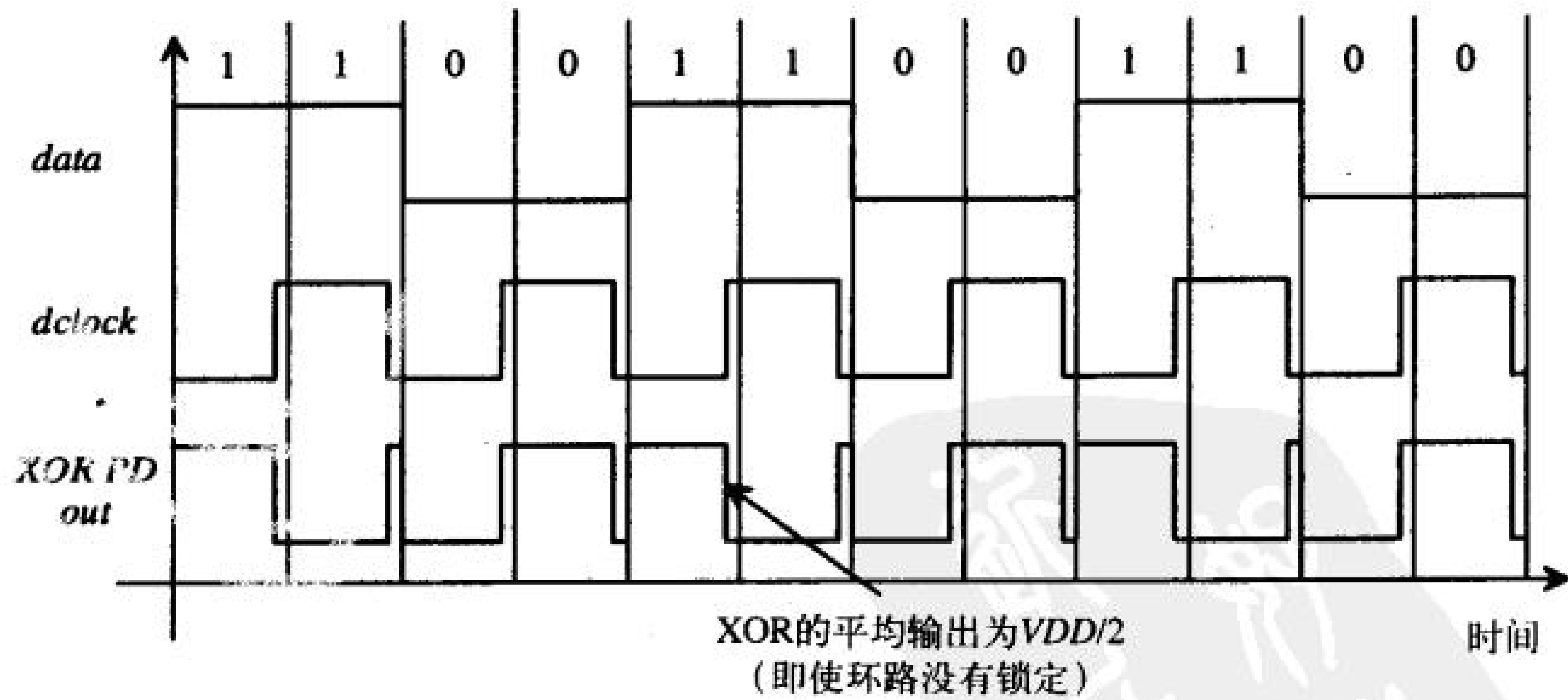


图19-44 数据流频率为dclock频率一半时试图锁定会遇到的问题

408～410

采用NRZ数据格式的通信系统中，可以通过用一个鉴沿器电路（图19-45）来检测输入数据的上升/下降沿，以放松对输入数据的要求[1]。由该电路知，反相器的延迟决定了沿输出（Edge out）的输出脉冲宽度。输出脉冲的频谱总是包含clock频率处的能量，所以环路可以锁定在输入数据上。

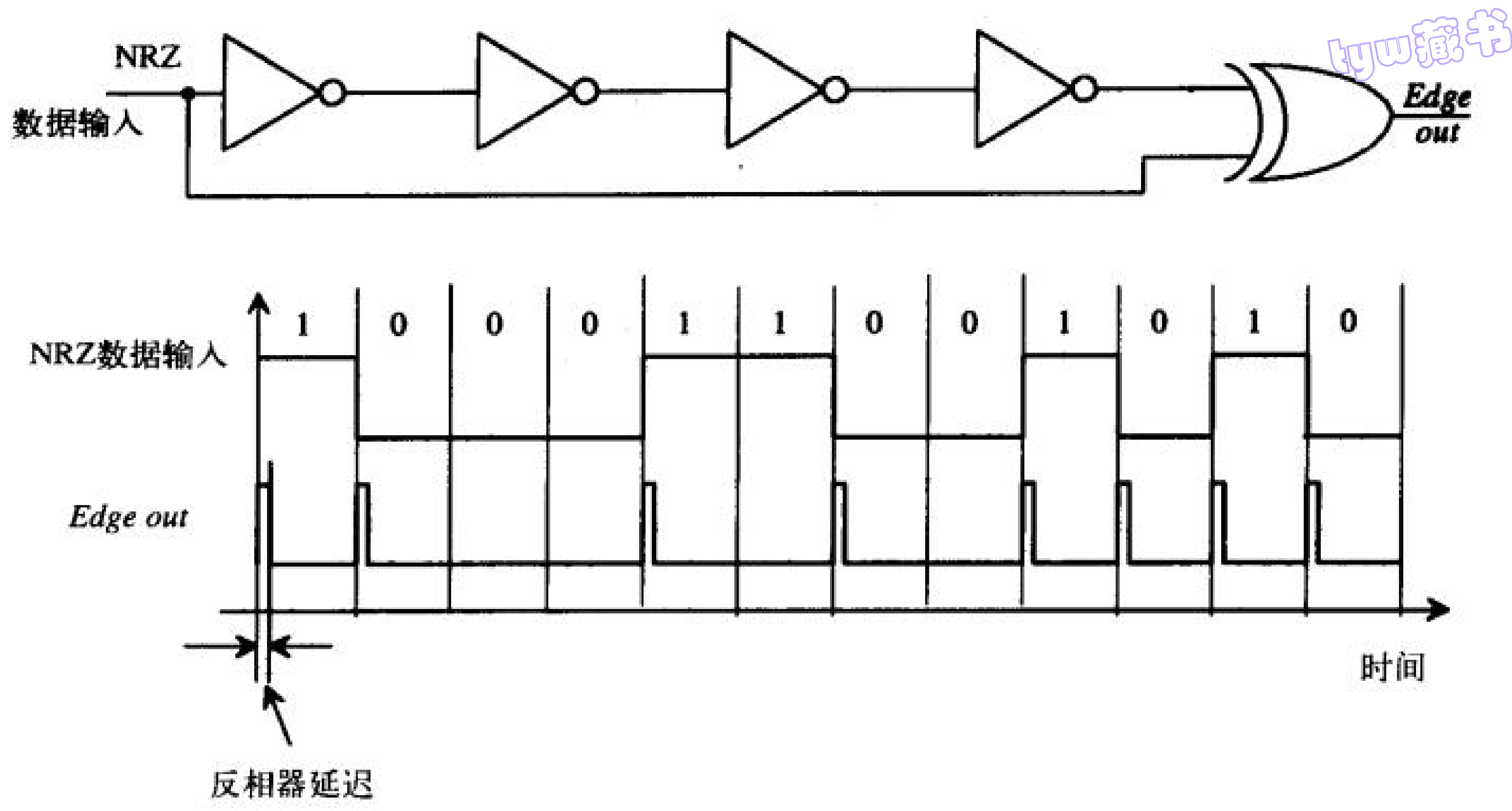


图19-45 对NRZ数据沿的检测

作为一个例子，考虑图19-46所示的框图和数据。图中的DPLL是基于XOR结构，Edge out是其输入。VCO的输出clock会锁定在Edge out的中心点处，即clcok的上升沿与edge out的中心点对齐。图中，鉴相器输出PD out的平均值等于*VDD*/2。如果时钟在时间轴上向左或向右移动，PD out的平均值就会向下或向上移动，使VCO的频率变化，保持clock与Edge out的中心点对齐。

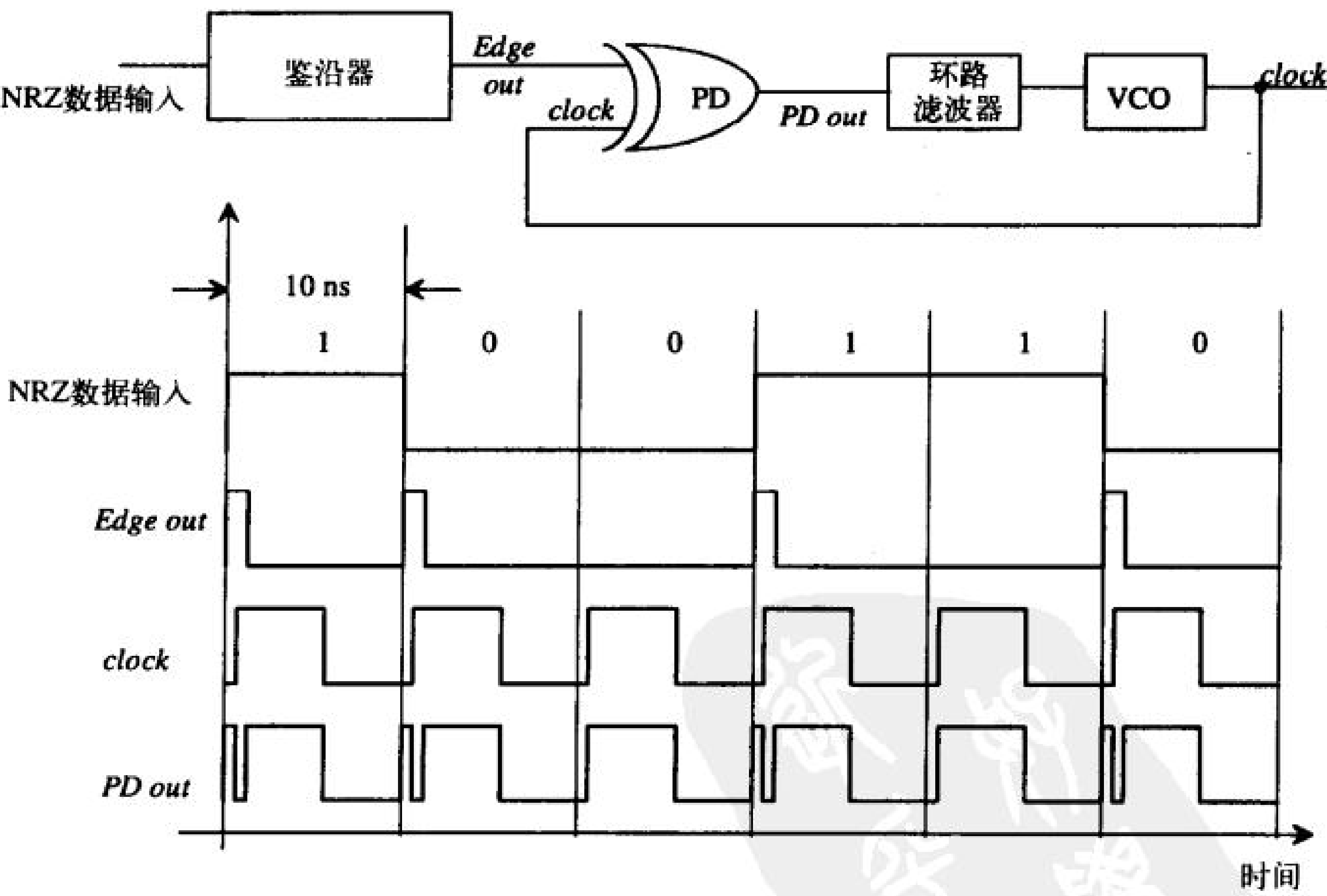


图19-46 采用鉴沿器的时钟恢复电路（数据格式为NRZ格式。当时钟的上升沿在Edge out脉冲的中心点时，DPLL锁定）

这个结构在实用中还存在几个问题。首先，不论反相器传输的是从高到低的翻转还是从低到高的翻转，通过反相器的延迟应该是常数。另外，为了获得最好的性能，反相器或者其

他任何延迟单元的延迟应该接近位间隔时间（bit-interval time）的一半。例如，对图19-46所示的输入数据，位间隔时间为10ns，那么鉴沿器中的延迟时间应该为5ns。延迟时间的设计非常重要，因为它直接影响着鉴相器的增益，因此，也影响着DPLL的瞬态特性。在高速电路中，微带线（microstrip line）是一种常用的延迟单元。

高速时钟恢复电路中，clock与数据位的中心点不对齐会带来很多问题。由于相关电路的性能指标会随温度和工艺的变化而变化，使得电路无法保证能正确对齐。通常情况下，仅仅对clock信号串连一个延迟单元并不能解决对齐问题，我们需要一个自纠错（self-correcting）电路，使时钟信号与数据位的中心点对齐而不受数据速率、温度或者工艺变化的影响。

图19-47给出了一个自纠错时钟恢复电路的鉴相器部分以及处于锁定状态的DPLL中相关

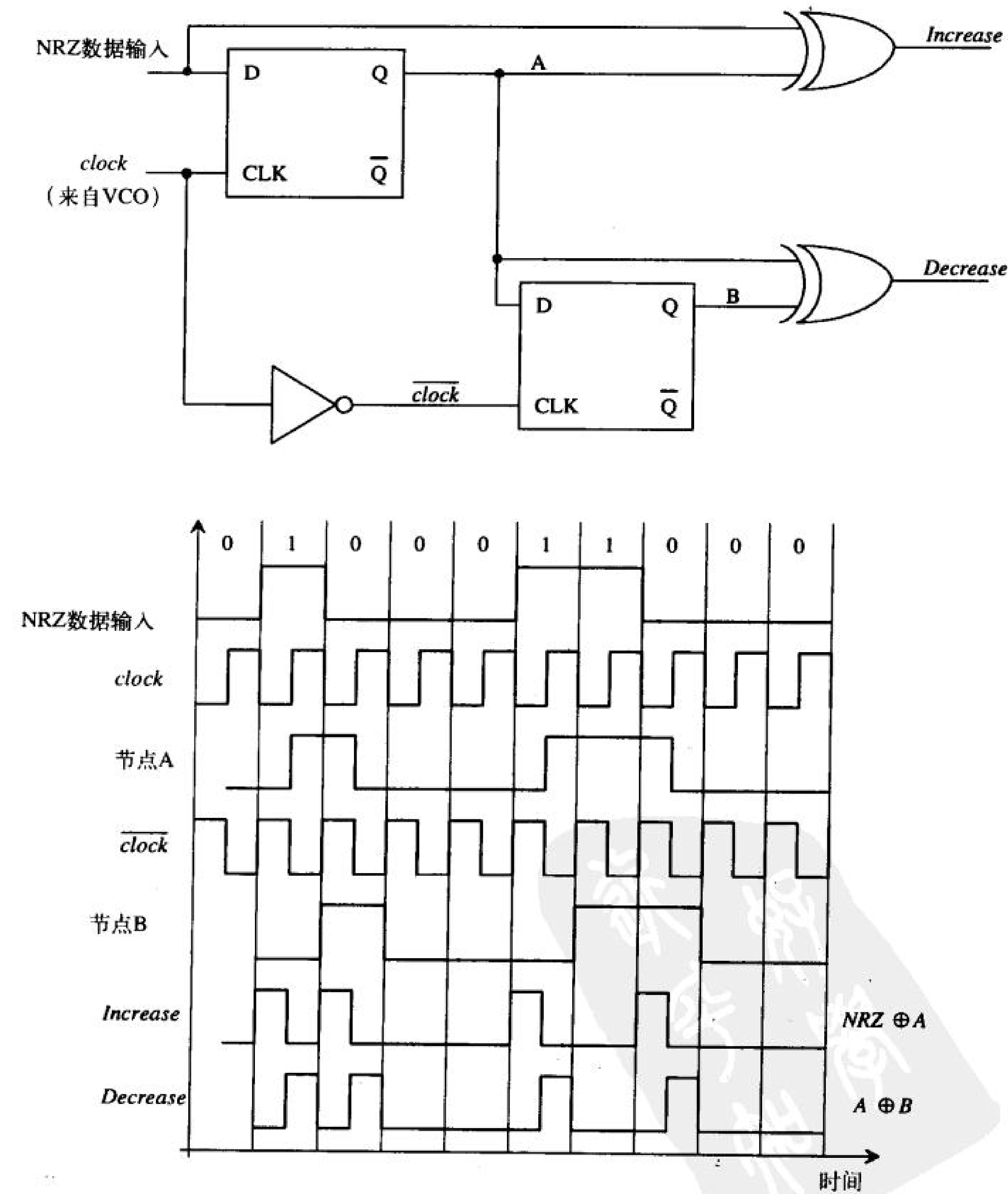
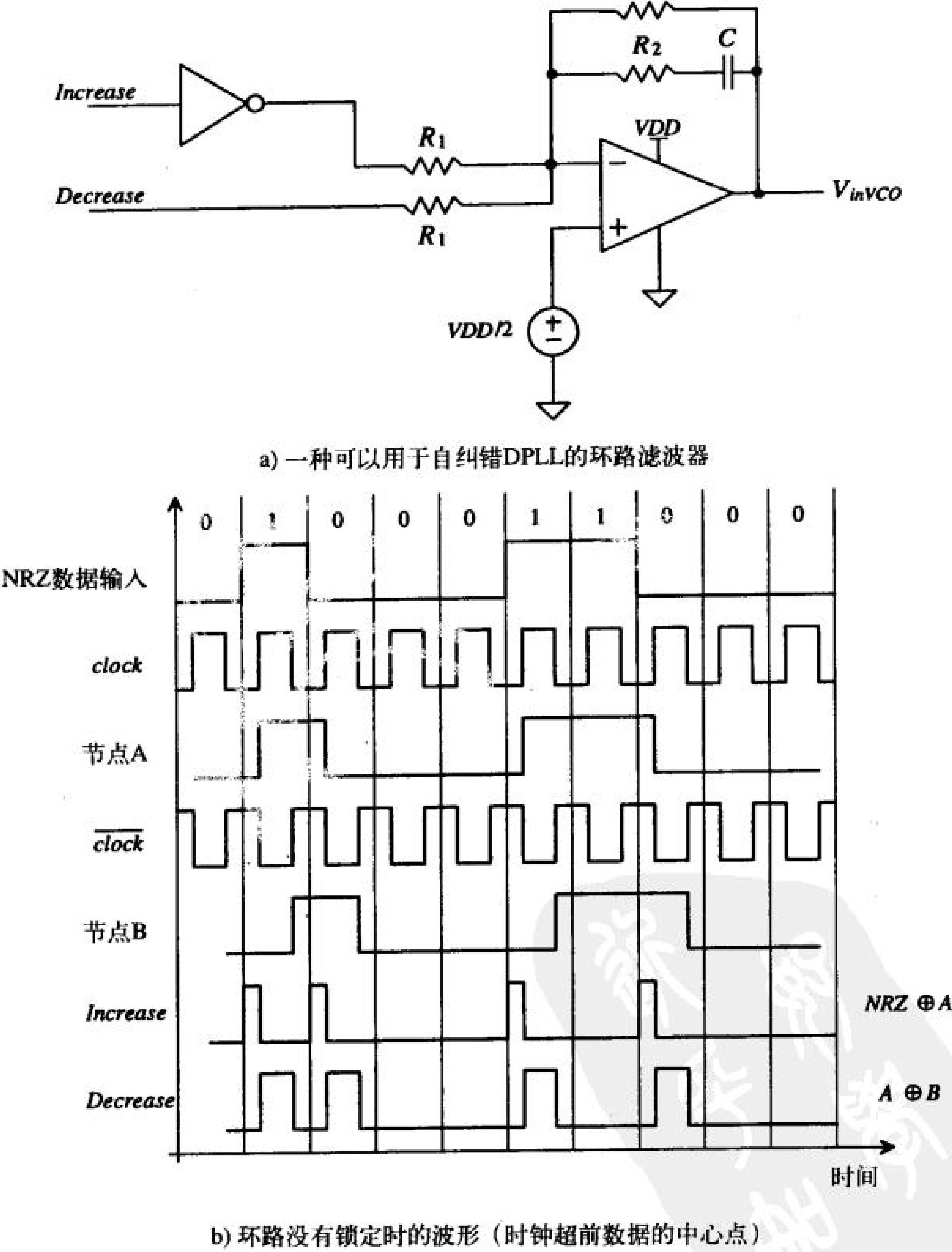


图19-47 自纠错时钟恢复电路中的PD部分（处于锁定状态时）[7]

节点的波形图[7]。节点A和B的信号分别是将输入的NRZ数据在时间轴上移动半个位间隔和一个位间隔的时间。鉴相器的输出记为Increase和Decrease。如果Increase为低电平的时间比Decrease为低电平的时间多，环路滤波器的平均输出电压就会降低，从而使VCO的频率减小。图19-48a给出了一个用在自纠错DPLL中的环路滤波器。这个滤波器就是在第19.3.1节中讨论过的有源PI环路滤波器，由于PD有两个输出，因此，该环路滤波器也增加了一个输入。图19-48b给出了DPLL的输出波形图。图中，时钟超前NRZ数据的中心点，因此，Increase信号为高电平的时间比Decrease信号为高电平的时间短。如果时钟滞后数据位的中心点，则Decrease信号为高电平的时间比Increase信号为高电平的时间短，会使环路滤波器的输出电压升高。注意，在上面的讨论中，我们忽略了电路中的传输延迟。在高速自纠错PD设计中，必须分析PD中的所有延迟，以确定它们对DPLL性能的影响。



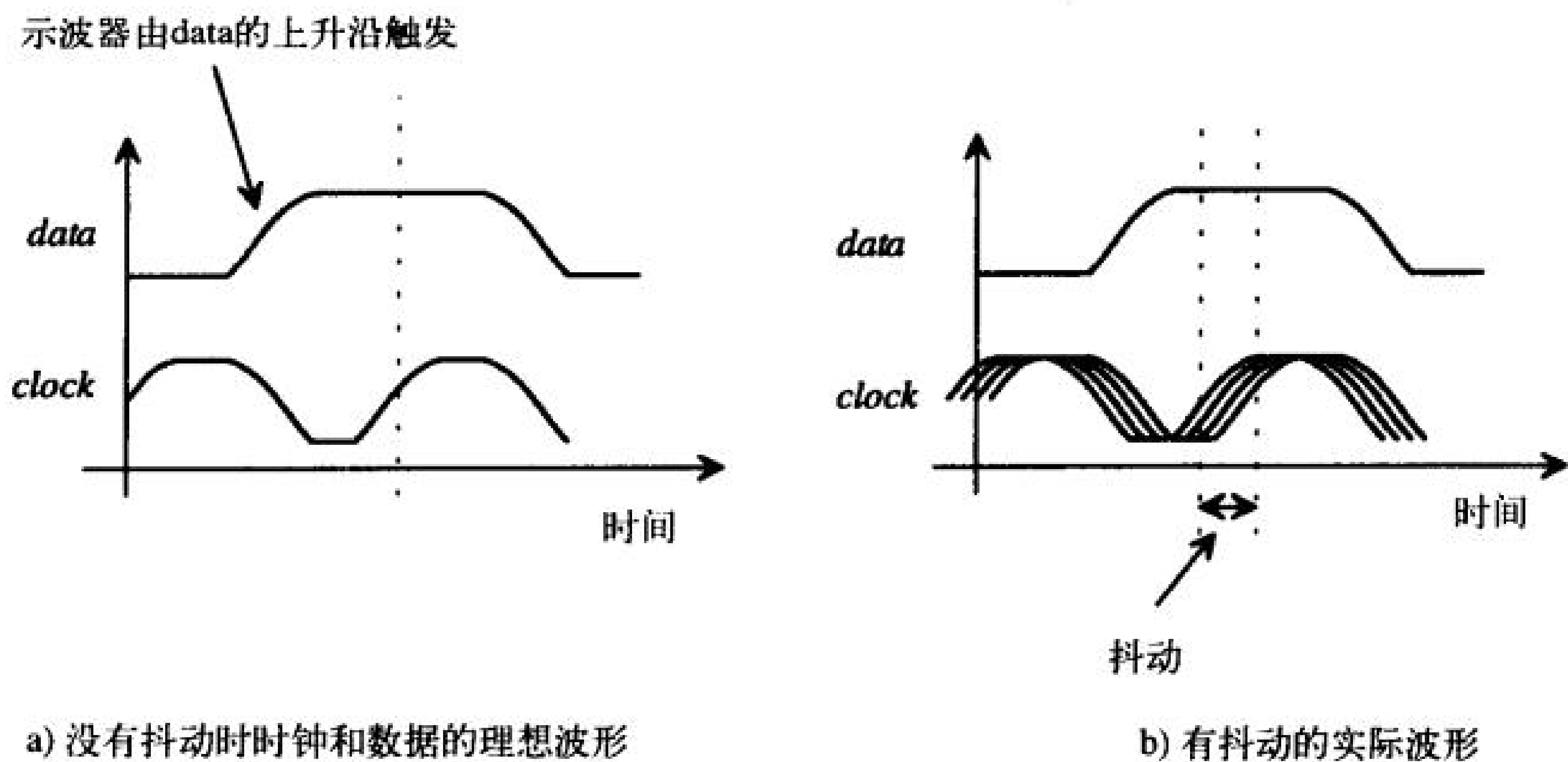
a) 一种可以用于自纠错DPLL的环路滤波器

b) 环路没有锁定时的波形（时钟超前数据的中心点）

图 19-48

抖动（jitter）

对时钟再生和时钟同步电路而言，通常抖动被定义为：环路锁定后产生的时钟信号的时间变化量。图19-49a给出了clock没有抖动时的理想情况，但实际上，时钟（上升/下降沿）在时间轴上会左右移动（即抖动），如图19-49b所示。图中，示波器是由data的上升沿触发。



a) 没有抖动时时钟和数据的理想波形　　b) 有抖动的实际波形

图 19-49

在下面的讨论中，我们忽略电源电压的噪声和振荡器的噪声，即：我们假设振荡器的频率是一个与VCO输入电压直接相关的非常精准的数值。在接下来的一节中，我们会讲述延迟锁环（Delay-Locked Loop，DLL），并且会进一步讨论影响VCO性能的因素。

考虑图19-50给出的电荷泵输出的自纠错PD。当环路锁定时（见图19-47），对于输入数据的每个翻转，Increase和Decrease信号都会有输出脉冲（脉冲宽度相同）。注意，当环路锁定时，对PFD和电荷泵构成的电路组合，电荷泵的输出保持不变；与之不同的是，自纠错PD和电荷泵构成的电路组合会在VCO的输入端产生一个电压波动（这一点与带RC或有源PI滤波器的XOR PD相同）[⊖]。让我们假设这个电压波动为10mV，我们用例19.5给出的VCO增益和频率

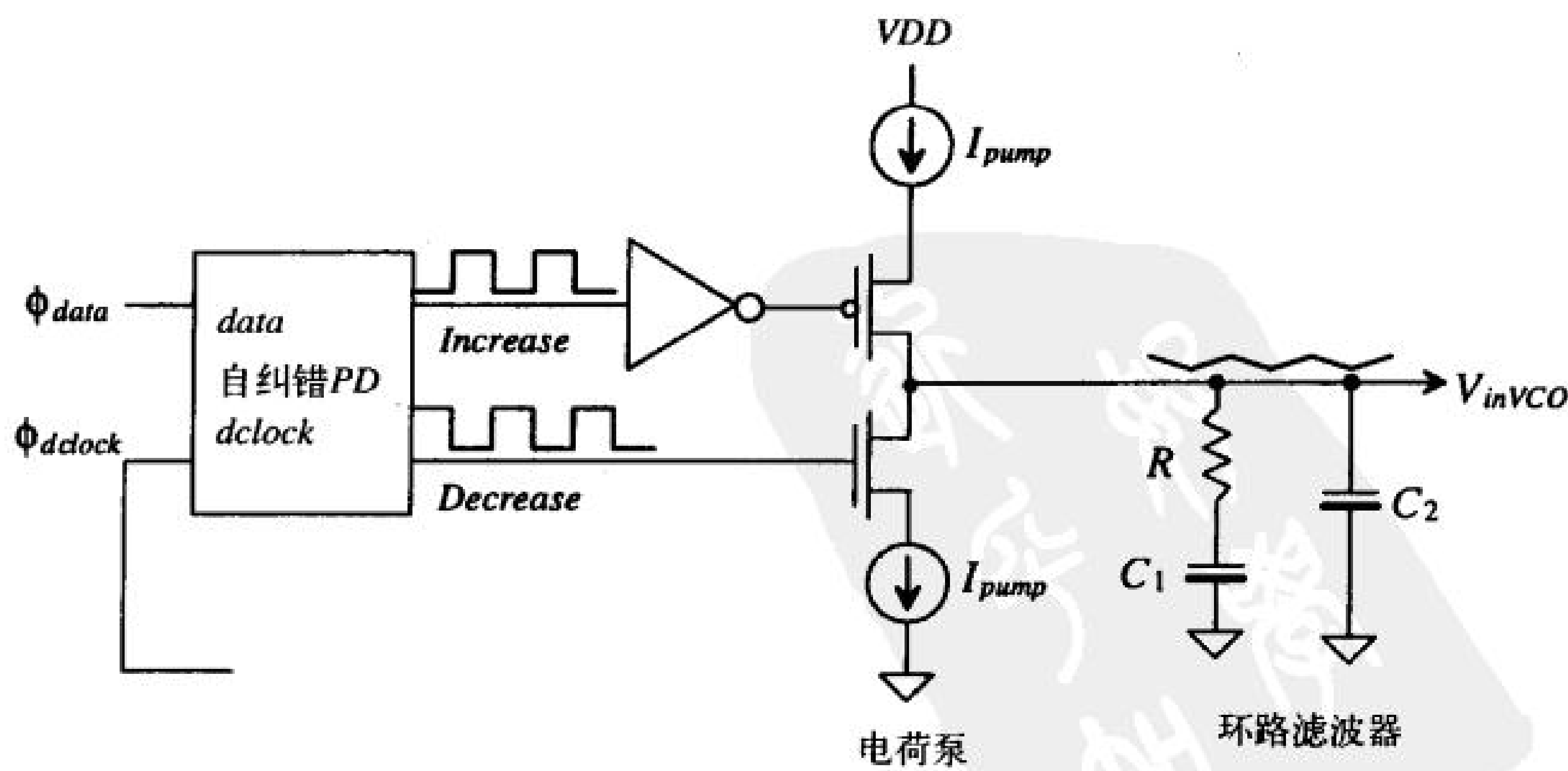


图19-50　电荷泵输出的自纠错PD

⊖ 当然，在大多数频率合成应用中不应采用自纠错PD。同样，在大多数数据恢复应用中不应采用PFD。

值来举例说明电压波动引起的输出时钟的抖动。这个电压波动引起的输出频率的变化为10mV · (628 × 10^3 rad/V·s)·(1/2π)或1kHz。这意味着DPLL的输出会在255.5kHz到256.5kHz之间变化；如果用抖动来表示的话，时钟的抖动为15ns。

由此例可知，可以通过如下方法降低与数据有关的抖动：

1. 减小VCO的增益。这样VCO输入端的波动就会对输出频率有较小的影响。这种方法的主要缺点是：一般来说，若减小VCO的增益，DPLL可以锁定的频率范围也会减小。此外，当VCO制作完成后不可调时，增益的限制会严重影响VCO的工艺可制造性。

2. 减小环路滤波器的带宽。这会使VCO输入端的电压波动减小。主要的缺点是，滤波器中采用较大的器件会增加芯片的面积开销。

3. 减小PD的增益。这同样会减小VCO输入端的电压波动。当环路中采用电荷泵时，这个方法通常是最简单的。因为仅仅减小I_{pump}就可以使增益减小。这时，衬底噪声对设计的影响就需要仔细考虑了。

简单地说，上述减小抖动的方法就是减小DPLL的正向环路增益值，也即$K_{PD}K_FK_{VCO}$的值。减小正向环路增益就会减小环路的锁定范围和捕获范围，相应地，捕获时间和锁定时间就会增加。这是减小DPLL的正向环路增益带来的主要问题。

411~416

频率合成电路或时钟同步电路的输入是一个时钟信号而不是一个数据位流，这些电路中的DPLL也同样需要减少抖动。在这些电路中，VCO的性能通常是限制整个电路性能的主要因素。

19.5 延迟锁环

当输入电压恒定时（即V_{inVCO}为常数），VCO输出频率的变化（常常被称为振荡器噪声或相位噪声）会导致PLL输出存在抖动，这一问题引出了延迟锁环的概念。图19-51给出了DLL的基本框图。假设参考时钟的频率完全精准，输入数据经过一个压控延迟线（Voltage-Variable Delay Line，VVDL），被延迟t_o时间，最终输入数据与参考时钟同步。由于VVDL不生成信号（而VCO有信号生成），因此，采用VVDL可减小抖动，传输函数ϕ_{clock}/ϕ_{out}等于零[8]（参考时钟的相位被用做其他信号的参考，即$\phi_{clock}=0$）。由此可知，设计DLL时不必考虑振荡器噪声以及由此带来的抖动。但上一节讨论的抖动问题仍需考虑，因为环路滤波器输出信号的任何波动都会带来抖动。

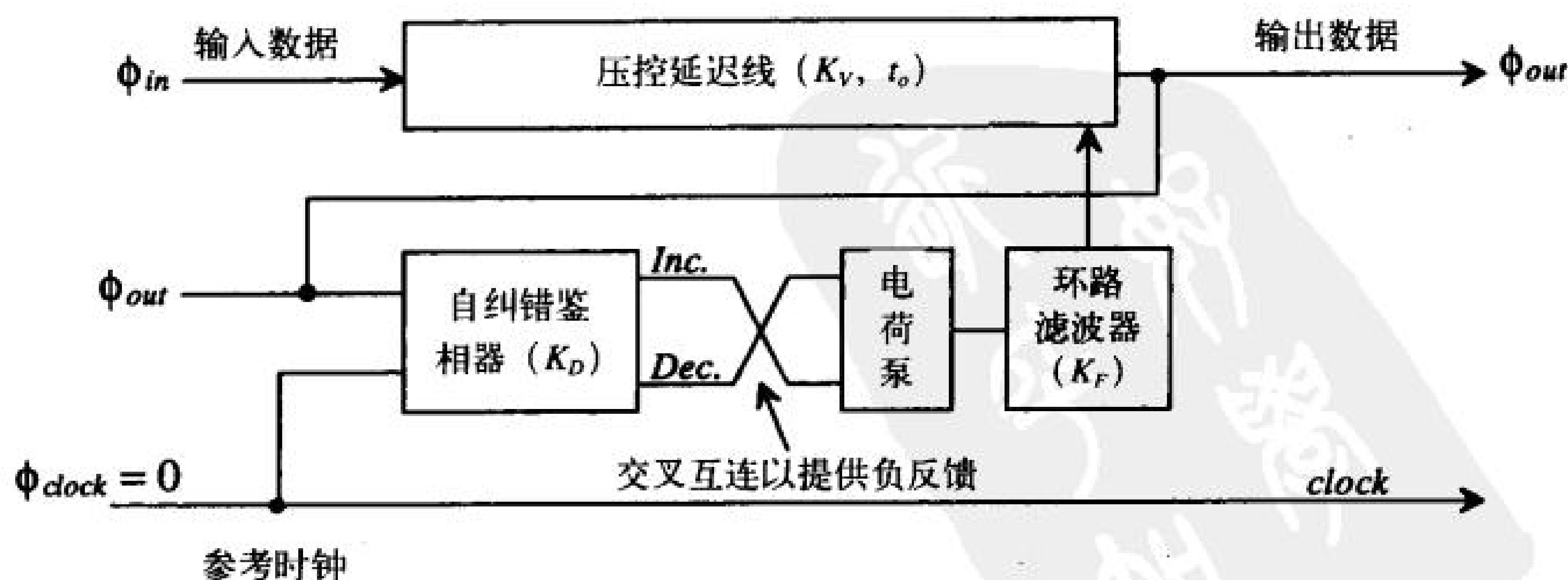


图19-51 延迟锁环的基本框图

输入数据与输出数据的相位关系为（单位为弧度）：

$$\phi_{out} = \phi_{in} + t_o \cdot \frac{2\pi}{T_{clock}} \tag{19-62}$$

式中，T_{clock}是参考时钟的周期。延迟时间t_o与VVDL增益的关系为：

$$t_o = K_V \cdot V_{outfilter} \tag{19-63}$$

式中，K_V的单位为秒/伏，$V_{outfilter}$是VVDL的输入电压（即环路滤波器的输出）。通常，在正常工作情况下，VVDL的最小延迟和最大延迟时间在$0.5T_{clock}$到$1.5T_{clock}$之间。环路滤波器的输出可写为：

$$V_{outfilter} = \phi_{out} \cdot K_D \cdot K_F \tag{19-64}$$

417

总的传输函数为：

$$\frac{\phi_{out}}{\phi_{in}} = \frac{1}{1 - K_D K_F K_V \cdot \omega_{clk}} \tag{19-65}$$

式中，$\omega_{clk} = 2\pi/T_{clock}$。借助图19-52并考虑到Increase和Decrease信号可能会同时有效，可得电荷泵输出的自纠错PD的增益为：

$$K_D = -\frac{I_{pump}}{\pi} \text{ (A/rad)} \tag{19-66}$$

由于自纠错PD的输出Increase和Decrease交叉后再接到电荷泵的输入端（以提供环路的负反馈），因此，上式的右端有负号。DLL的另一个优点是可以用一个简单的电容来做环路滤波器；这时就构成了一个一阶反馈环路，即：

$$K_F = \frac{1}{sC_1} \tag{19-67}$$

DLL的传输函数（反映了输入和输出数据之间的关系）为：

$$\frac{\phi_{out}}{\phi_{in}} = \frac{1}{1 + \frac{I_{pump}}{\pi} \cdot \frac{1}{sC_1} \cdot K_V \cdot \omega_{clk}} = \frac{s}{s + K_V \cdot \frac{2I_{pump}}{C_1 T_{clock}}} \tag{19-68}$$

我们知道，参考时钟的频率必须与输入数据的频率精确相关。但输入数据的相位会存在瞬时变化，DLL的输出应该跟随这种变化。如果ϕ_{in}的瞬时变化用$\Delta\phi_{in}/s$来表示（一个幅值为$\Delta\phi_{in}$的阶跃函数），则输出相位的改变为：

$$\Delta\phi_{out} = \frac{\Delta\phi_{in}}{s + K_V \cdot \frac{2I_{pump}}{C_1 T_{clock}}} \tag{19-69}$$

输入数据发生相位阶跃时，DLL的响应时间为：

$$T_r = 2.2 \cdot \frac{C_1 T_{clock}}{K_V \cdot 2I_{pump}} = \text{时钟周期数} \cdot T_{clock} \tag{19-70}$$

减小C_1/I_{pump}可减小T_r，根据上一节的讨论知，这会增大输出脉冲的抖动；在标准的PLL中，这个抖动与振荡器无关（但与输入数据的模式相关）。减小C_1/I_{pump}会增大VVDL控制电压的波动。同样地，增大K_V也会增大抖动，因为增大K_V会增强VVDL控制电压的波动对延迟的影响。设计时，必须综合权衡输出抖动和对输入变化的响应特性。

延迟单元

VVDL是DLL的重要组成部分。延迟可调的反相器可用来构成VVDL，如图19-53a所示。图中，VVDL的最后两级反相器用来提高输出信号的质量。图19-53b给出了可以用做延迟单元的电路[5, 9~10]。第一个延迟单元可看作电流饥饿型反相器，在前面已讨论过。第二个延迟单元是一个可变负载的反相器。在实际应用中，很少采用这些延迟单元，因为它们对噪声和电源电压变化比较敏感。通常采用的是全差分延迟单元[5]。

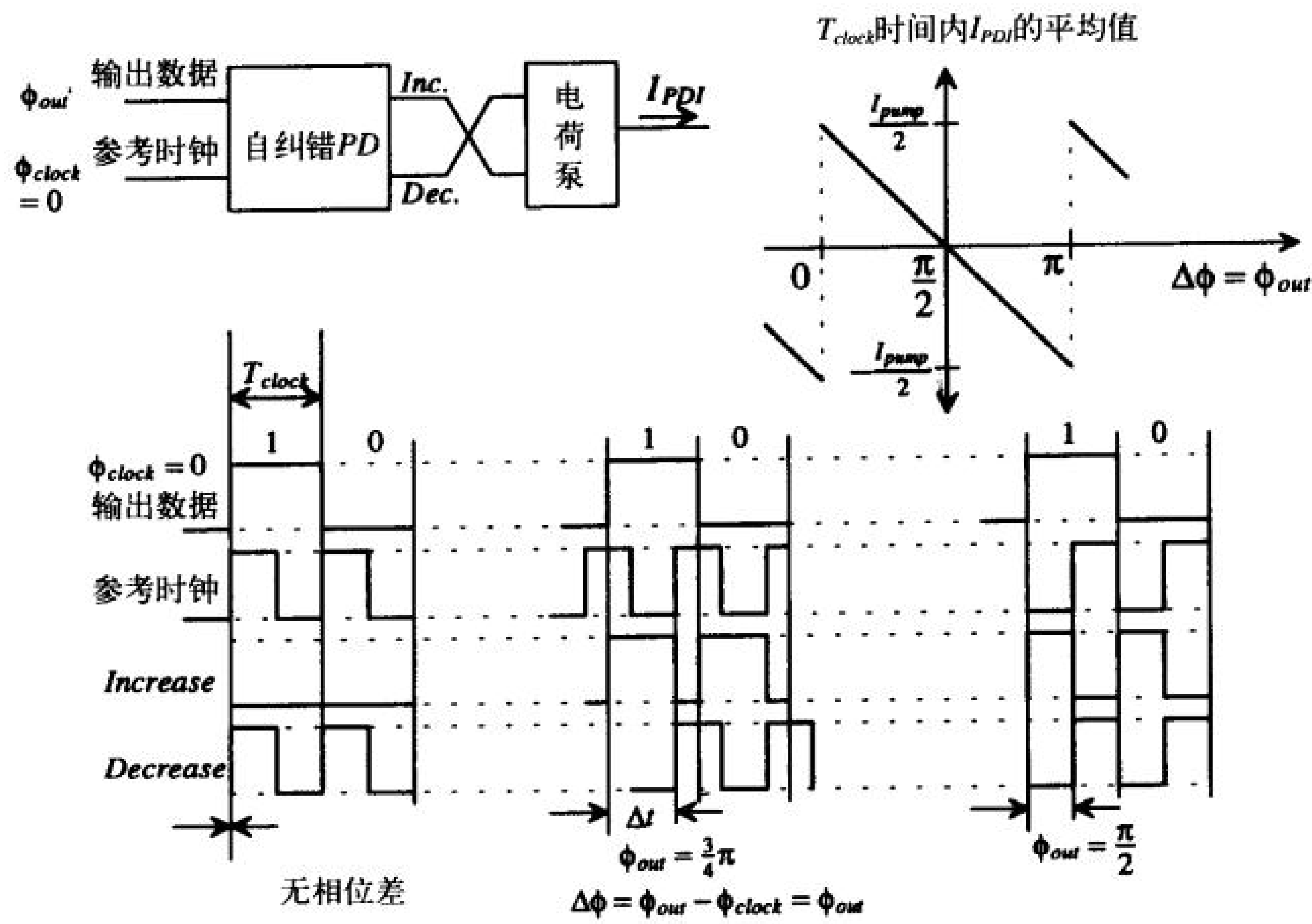
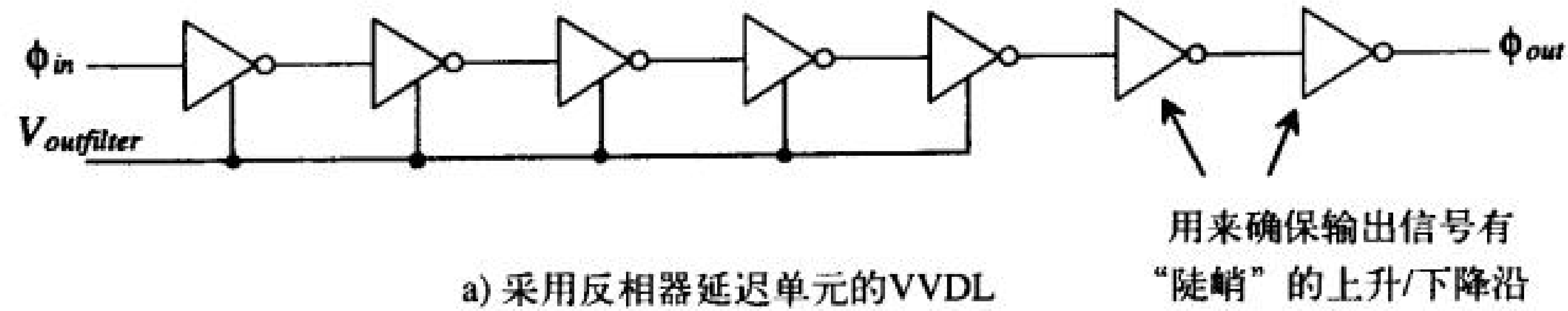
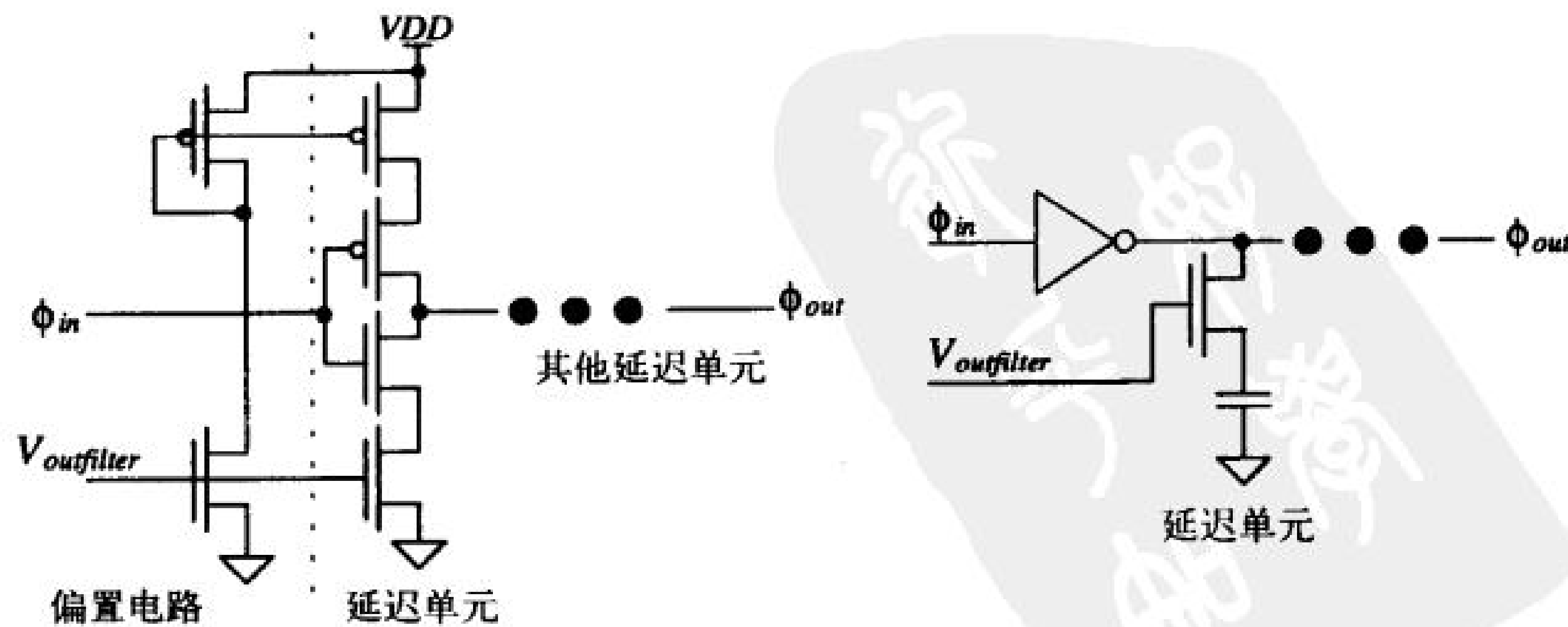


图19-52　不同输入情况下自纠错PD的输出（假设输入数据是一串交替的1和0）



a) 采用反相器延迟单元的VVDL



b) 可选的延迟单元

图　19-53

图19-54给出了一个全差分VVDL的电路图。用任意级数的延迟单元（和适当的反馈），可实现全差分VCO；当延迟单元级数为奇数时，将反相输出反馈连接到同相输入端，将同相输出反馈连接到反相输入端，则可产生同相和正交信号[5]。

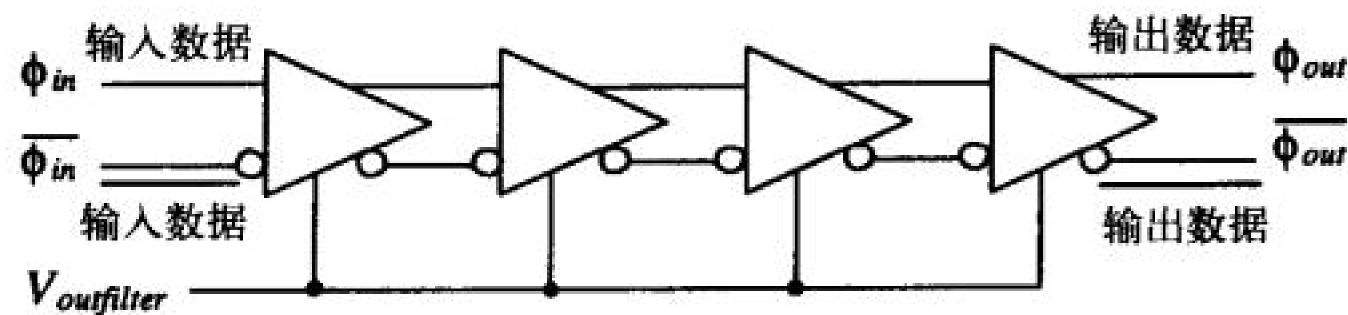


图19-54　全差分VVDL的电路实现

图19-55a给出了一个简单的差分延迟单元。这个电路是一个简单的全差分反相器。PMOS负载管是长沟道器件，这样$V_{outfilter}$可以更好的线性调节延迟单元的延迟。这个电路的输出并不是真正的差分信号，因为由高到低的下降时间和由低到高的上升时间并不相等，电源电压波动对电路性能有较大影响。图19-55b给出的延迟单元有对称的电路结构，因此，可以较好的抑制电源电压波动的影响。该电路会从负载电容（即下一级的输入电容）抽取和注入同等数量的电荷，从而使通过延迟线的上升和下降时间相等。另一种结构的延迟单元见图19-56[10]。

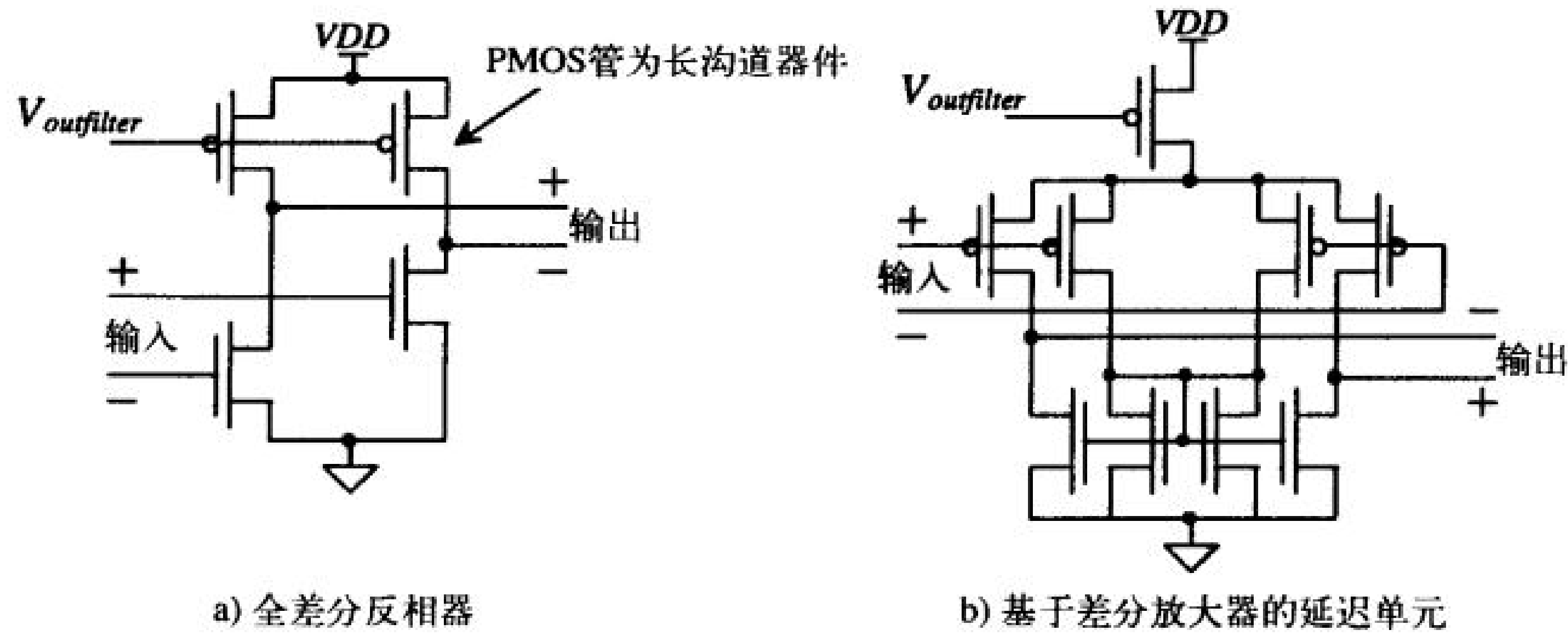


图19-55　注意，a）图中的延迟单元不能用于差分VCO的设计

时钟同步

考虑图19-57所示框图，该图给出了一个主CPU和一个从处理器之间的互连[11]。图中的DLL用来使主CPU的时钟和从处理器的时钟同步。当处理器和处理器之间或者处理器与存储器之间需要共享公用外部数据/地址总线时，保持时钟同步非常重要。DLL的输入“数据”是一个时钟信号（方波），这使得DLL的设计比较简单。实际上，我们仅用数字元件就可以实现该DLL，而不需要模拟环路滤波器或VVDL。值得说明的，如果不采用DLL，而仅仅依靠时钟信号线的排布，并不能保证处理器输出数据的同步，因为主处理器和从处理器的内部延迟并不相同（存在歪斜）。

图19-58给出了一个全数字DLL框图[11]，它被用于时钟同步电路中。这里采用了一个七位计数器来代替模拟环路滤波器，并通过一个译码器来选择延迟线中哪一个节拍的输出接到输出缓冲器上。

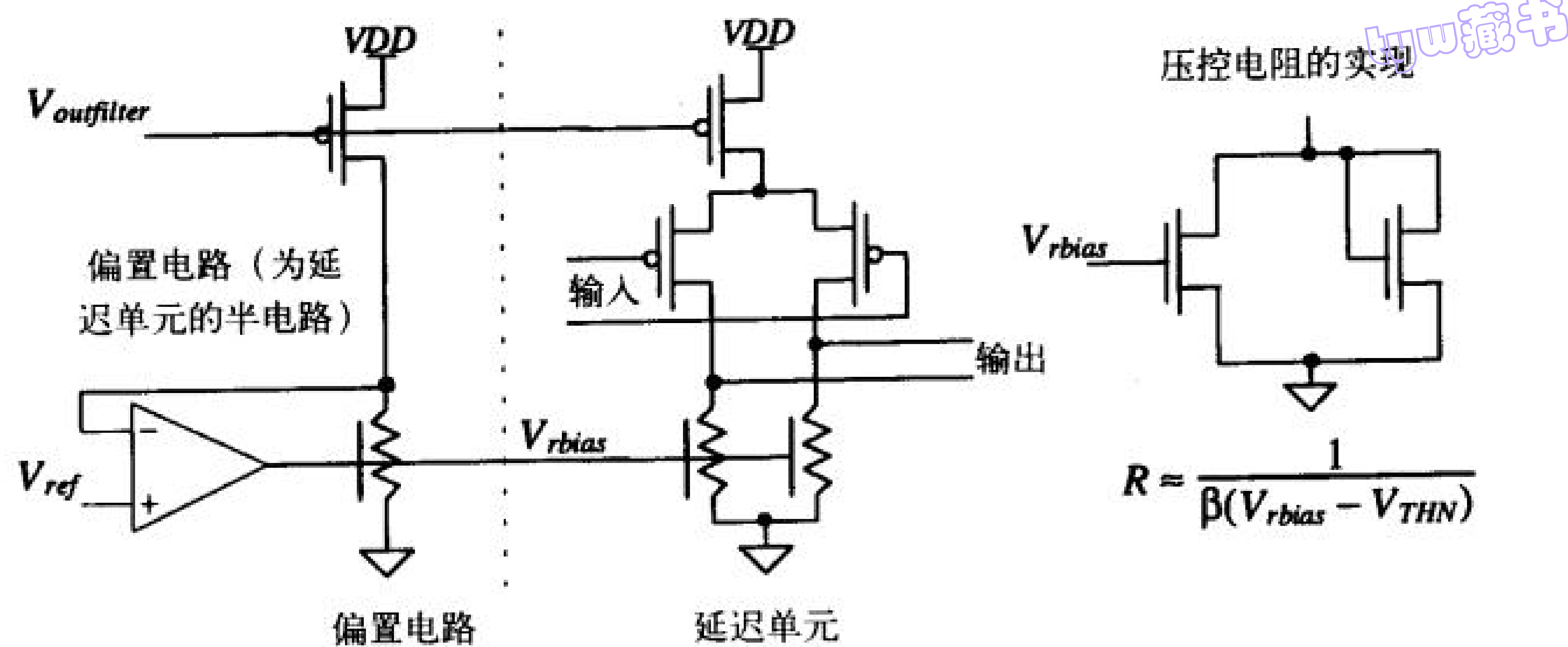


图19-56 由压控电阻实现的差分延迟单元（偏置电路调节延迟单元中的电阻阻值，该电阻抽取PMOS管提供的电流）

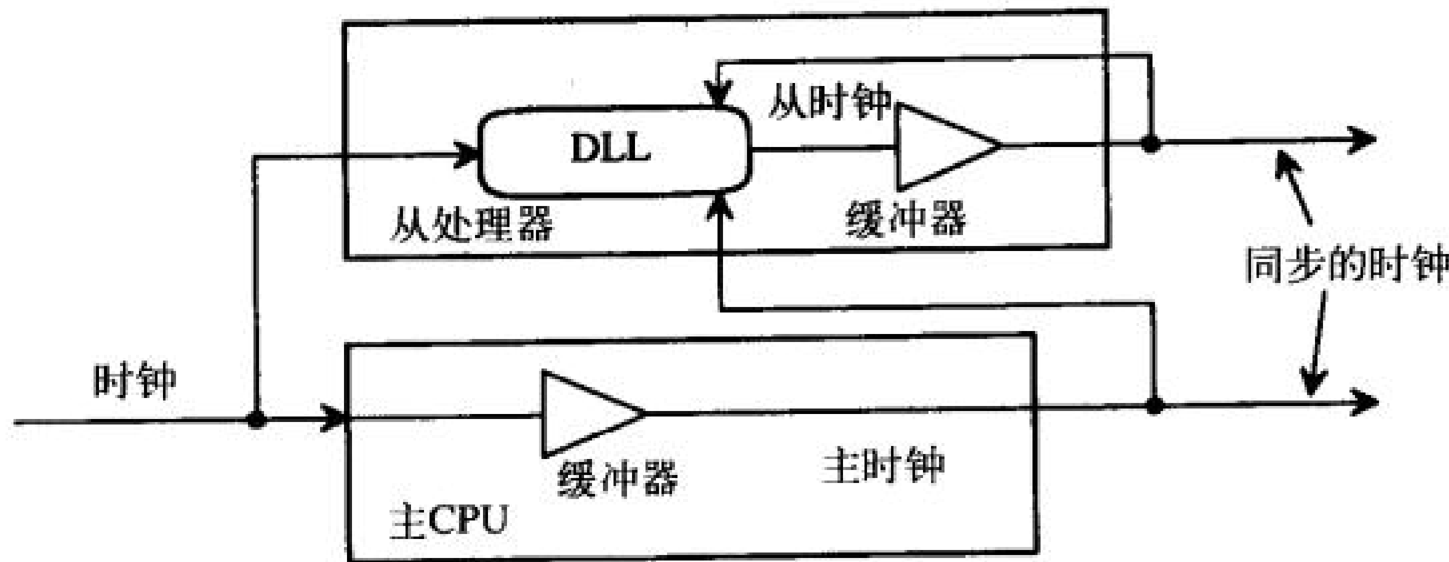


图19-57 主CPU时钟和从处理器时钟之间的同步

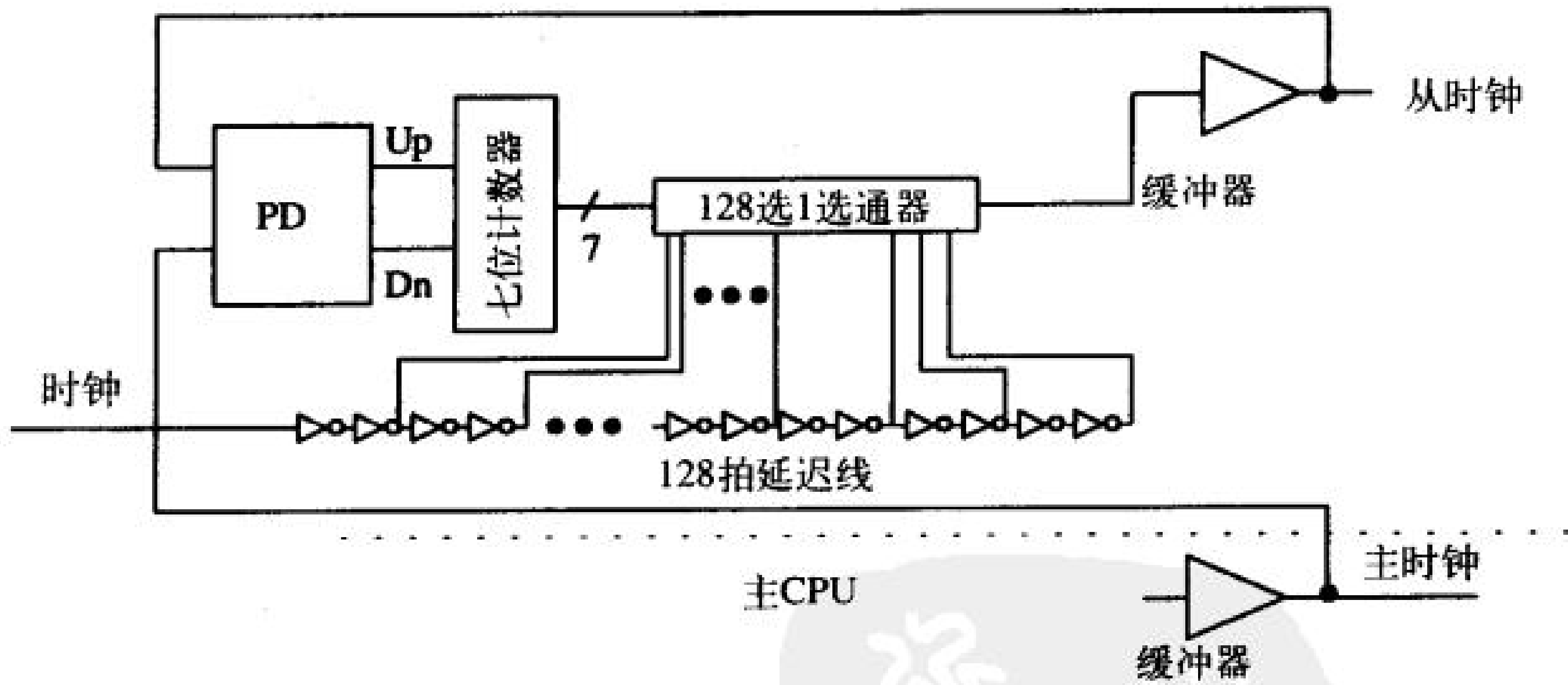


图19-58 一个纯数字的DLL

参考文献

[1] R. E. Best, *Phase-Locked Loops, Theory, Design and Applications*, McGraw-Hill, 2nd ed., 1993. ISBN 0-07-911386-9.

[2] F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Transactions on Communications*, COM-28, No. 11, pp. 1849-1858, November 1980.

[3] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed., John Wiley and Sons, 1993. ISBN 0-471-57495-3.

[4] B. Keeth, R. J. Baker, and H. W. Li, "CMOS Transconductor VCO with Adjustable Operating and Center Frequencies," *Electronics Letters*, Vol. 31, No. 17, pp. 1397-1398, August 1995.

[5] B. Razavi, *Monolithic Phase-Locked-Loops and Clock Recovery Circuits*, IEEE Press, 1996. ISBN 0-7803-1149-3.

[6] S. Haykin, *An Introduction to Analog and Digital Communications*, John Wiley and Sons, 1989. ISBN 0-471-85978-8.

[7] C. R. Hogge, Jr., "A Self Correcting Clock Recovery Circuit," *IEEE Journal of Lightwave Technology*, Vol. LT-3, pp. 1312-1314, December 1985.

[8] T. H. Lee and J. F. Bulzacchelli, "A 155-MHz Clock Recovery Delay- and Phase-Locked Loop," *IEEE Journal of Solid-State Circuits*, Vol. SC-27, pp. 1736-1746, December 1992.

[9] M. G. Johnson and E. L. Hudson, "A Variable Delay Line PLL for CPU - Coprocessor Synchronization," *IEEE Journal of Solid-State Circuits*, Vol. SC-23, pp. 1218-1223, October, 1988.

[10] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," *IEEE Journal of Solid-State Circuits*, Vol. SC-27, pp. 1599-1607, November 1992.

[11] A. Efendovich, Y. Afek, C. Sella, and Z. Bikowsky, "Multifrequency Zero-jitter Delay-Locked Loop," *IEEE Journal of Solid-State Circuits*, Vol. 29, pp. 67-70, January, 1994.

418～422

习题

19.1 参考图19-8，当数据位宽为1μs、dclock和data上升沿之间时间差为0.2μs时，画出dclock和data之间的相位差。相位差是多少？当data由1和0交替构成时，PD输出电压V_{PDout}的平均值是多少？

19.2 对图P19-2所示数据，估算相位差并且画出PFD输出（Up和Down）。

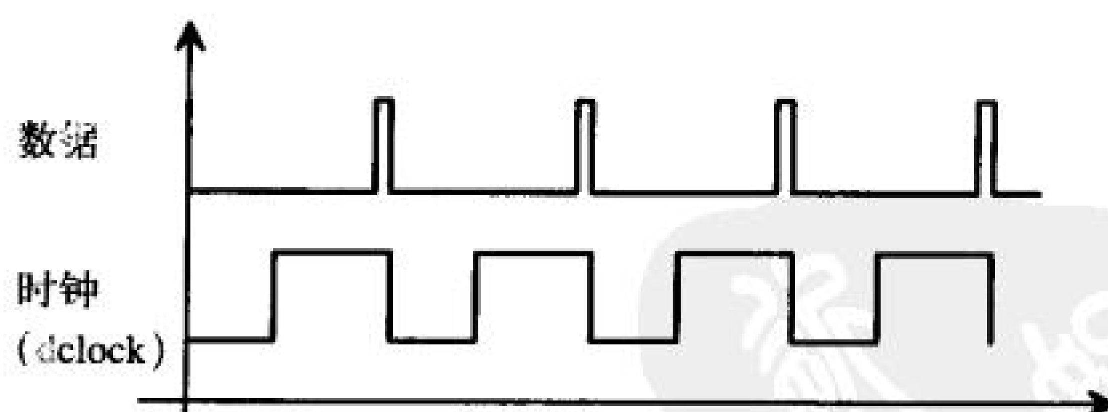


图 P19-2

19.3 设计并仿真验证一个工作频率为10MHz（当$V_{inVCO}=VDD/2$时）的电流饥饿型VCO。

19.4 采用源耦合VCO，重做习题19.3。

19.5 推导式（19-30）。

19.6 设计一个简单电路来实现DPLL反馈回路中的二分频功能。

19.7 例19.3中，当输入数据速率为9.04Mb/s时，利用图19-25所示结果，在时域中画出data和dclcok之间

的相位关系。

19.8 推导式（19-41），并给出所有假设条件。

423

19.9 针对1kHz的输入信号和3kHz的输出信号，重做例19.5。画出反馈回路中三分频电路的逻辑图。

19.10 证明图19-40中的电阻可对v_{+peak}和v_{-peak}取均值。

19.11 设计一种实现方案，用来产生归零格式的数据（见图19-42）。

19.12 采用CN20 CMOS工艺设计一个输出脉冲宽度约为5ns的鉴沿器。

19.13 鉴沿器中应该采用的最佳延迟是多少？当采用最佳延迟时，参照图19-46所示波形图，画出PD的输出。

19.14 在图19-47中采用NRZ数据，当clock的上升沿与位间隔的开始时刻对齐时，画出Increase和Decrease信号的波形图。

19.15 当DLL的输出相位为π/4时，画出信号的波形图（类似图19-52）。

19.16 接收器中的一个重要电路是输入比较器或判决电路，该电路把模拟数据（幅值可能仅为几百毫伏）转换为数字数据。图P19-16给出了用于高速数字电路的单端输出接收器（也可见图26-8）和差分输出接收器。把v_{in-}接固定电压2.5V，用SPICE仿真确定使输出电压从小于1伏变到大于4伏所需要的v_{in+}的最小电压摆幅（它以2.5V为中心）。无负载时，该电路的传输延迟是多少？

5 V
30/2
30/2
30/2
v_{in+}
v_{in-}
10/2
10/2
10/2
v_{out}

单端输出

5 V
30/2
30/2
30/2
3/3
3/3
v_{in+}
v_{out-}
v_{out+}
v_{in-}
3/9
3/9
10/2
10/2
10/2

差分输出

424

图 P19-16

第三部分 CMOS模拟电路

第20章 电流源和电流沉

电流源（current source）和电流沉（current sink）是CMOS集成电路中的基本电路模块，被广泛用于模拟电路设计。理想情况下，电流源和电流沉能在很大电压范围内产生或抽取一个固定电流，其输出电阻r_o应为无限大。但实际设计的电流源和电流沉，其输出电阻不能做到无限大，而且为了使各MOS管都工作在饱和区，输出电压摆幅也有一定的限制。这些因素都会影响电流源/沉的最终性能。本章将针对多种不同性能和复杂度的MOS电流源和电流沉，讨论其设计、仿真和版图的相关问题。

20.1 电流镜

图20-1是一个基本电流镜（current mirror）[1-3]。当M1管和M2管均工作在饱和区时，由于$V_{GS1}=V_{GS2}$，在理想情况下，M2管的漏电流I_{D2}等于M1管的漏电流I_{D1}或与I_{D1}成一定的比例关系。I_{D1}由下式给出：

$$I_{D1}=\frac{\beta_1}{2}\cdot(V_{GS1}-V_{THN})^2 \tag{20-1}$$

输出电流I_{D2}由下式给出：

$$I_{D2}=I_o=\frac{\beta_2}{2}(V_{GS2}-V_{THN})^2 \tag{20-2}$$

因$V_{GS1}=V_{GS2}$，I_{D1}和I_{D2}的比值为：

$$\frac{I_{D2}}{I_{D1}}=\frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}}=\frac{W_2L_1}{W_1L_2}=\frac{\beta_2}{\beta_1} \tag{20-3}$$

425
427

由式（20-3）知，通过调整M1管和M2管宽长比的比值，可得到期望的输出电流。但式（20-3）没有反映出输出电流与M2管漏-源电压V_o的关系。图20-1中的参考电流I_{D1}由下式给出：

$$I_{D1}=\frac{VDD-V_{GS}-VSS}{R}=\frac{KP\cdot W_1}{2L_1}\cdot(V_{GS1}-V_{THN})^2 \tag{20-4}$$

M2管需工作在饱和区，这使得V_o的最小值$V_{min}=V_{DS,SAT}=V_{GS}-V_{THN}$。电流沉的输出电阻与M2管的输出电阻相同，为：

$$r_{o2}=\frac{1}{\lambda I_o}=\frac{1}{\lambda I_{D2}} \tag{20-5}$$

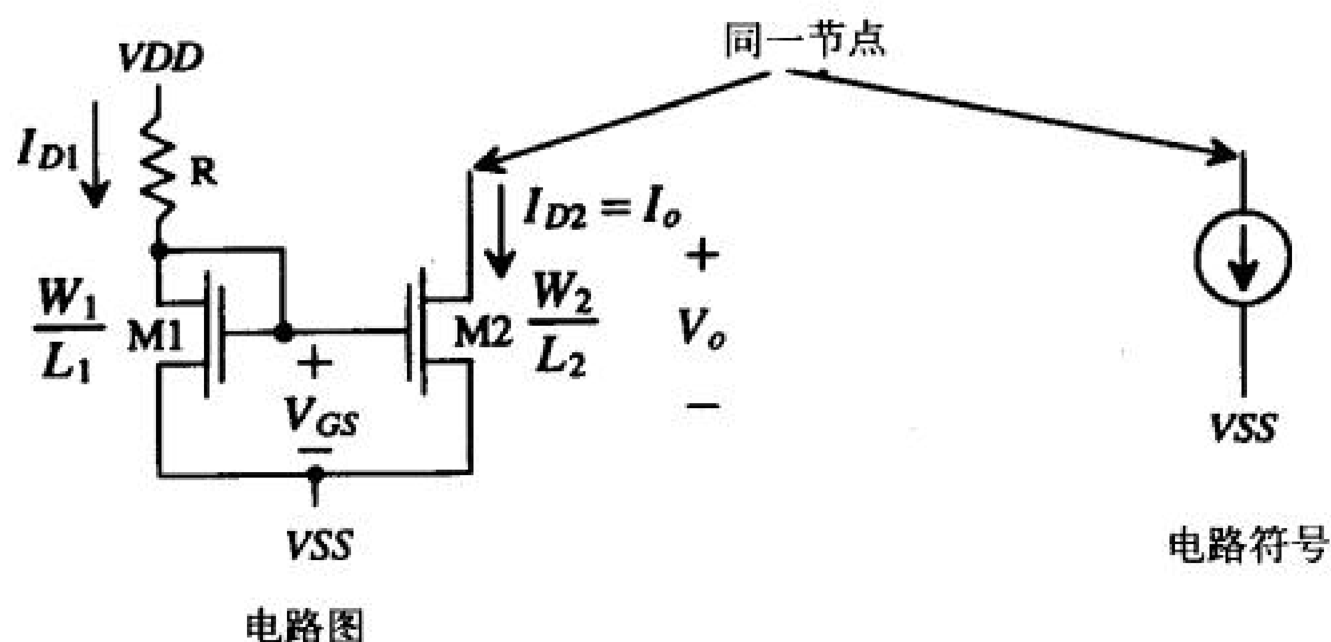


图20-1 基本电流镜的电路图和电路符号

由式（20-3）和式（20-4）知，通过合理设计L_1、L_2、W_1、W_2和V_{GS}这五个变量，可得到期望的输出电流。实际在设计CMOS电流镜时，通常先把V_{GS}和L的值定下来，再调整W以得到期望的输出电流。若电流镜中所有MOS管的L值相等，式（20-3）可简化为:

$$\frac{I_{D2}}{I_{D1}}=\frac{W_2}{W_1} \tag{20-6}$$

对数字电路设计而言，我们不关心工作在饱和区的MOS管的输出电阻，因此，沟道长度L一般取工艺允许的最小值（对CN20工艺而言是2.0μm）。但模拟电路设计就不同了，一般都希望工作在饱和区的MOS管的输出电阻尽可能大，这一点对提高电路性能有重要意义。另外，模拟电路设计还希望尽量减小沟道长度调制效应和迁移率调制效应的影响（见第5章、第6章和第9章的相关讨论），通过增大MOS管的沟道长度可抑制这些效应。通常的设计原则是，模拟电路中MOS管的沟道长度取工艺允许的最小值的二到五倍。附录A给出了不同尺寸MOS管的输出电阻。如果把这些数据用到式（20-5）中，就会发现：沟道长度分别为5μm和10μm的MOS管，其输出电阻大致相等。若用参数λ表征迁移率调制效应和沟道长度调制效应的总和，NMOS管和PMOS管的λ约为$0.06V^{-1}$。另外，由附录A给出的图表知，λ的值（或输出电阻的值）随MOS管偏置的变化而变化。根据上述分析，**当用CN20工艺设计模拟电路时，MOS管沟道长度的最小值可取为5μm。**

428

在设计电流镜或其他模拟电路时，先把MOS管的栅-源电压V_{GS}确定下来，能使电路设计过程简化，确定电路的其他偏置也会容易一些[⊖]。当V_{GS}的取值太接近阈值电压时，MOS管的尺寸会比较大；当V_{GS}的取值比阈值电压大很多时，MOS管又容易过早地进入线性区。因此，一般取V_{GS}比V_{THN}大几百毫伏。V_{GS}与V_{THN}的这个差值，有时被称为剩余栅压ΔV。根据上述分析，**当用CN20工艺设计电流源或电流沉时，栅-源电压初始值可设为1.2V。**

以上两条分析结论是我们设计电流镜的起点，设计者在设计基本电流镜时就可以集中在W_1和W_2这两个变量的设计上，而不再是原来的五个变量（L_1、L_2、W_1、W_2、V_{GS}）的设计。通常还要微调V_{GS}的值，以得到期望的性能指标（如电流源或电流沉的输出电压的最小值）。

例20.1

设计一个电流沉，使其抽取电流为10μA。估算其输出电阻和电流沉两端的最小电压差，

⊖ 这个思路类似于在设计双极型模拟电路时，假定基极-发射极PN结的正向压降一律为0.7V，以简化晶体管偏置的设计。实际上，该压降可能是0.6V或0.8V。

并用SPICE仿真设计的电路。假定$VDD = -VSS = 2.5V$。

图Ex20-1是电流沉的电路图。这里取$V_{GS} = 1.2V$，MOS管沟道长度L取为5μm。令$I_{D1} = I_{D2} = 10\mu A$，由式（20-4）可求得$R$的值：

$$R = \frac{2.5 - 1.2 - (-2.5)}{10\ \mu A} = 380\ k\Omega$$

可由下式求得M1管和M2管的宽度：

$$I_{D2} = 10\ \mu A = \frac{KP}{2}\frac{W}{L}(V_{GS} - V_{THN})^2 = \frac{50\frac{\mu A}{V^2}}{2}\frac{W}{5\ \mu m}(1.2 - 0.83)^2$$

解得$W_1 = W_2 = 14.61\mu m$，取整为15μm。M2管工作于饱和区的条件为：

$$V_{DS2} \geq V_{GS2} - V_{THN} = 1.2 - 0.83 = 0.37V = 剩余栅压$$

只要M2管漏端电压等于或大于−2.13V，M2管就工作在饱和区。这个结果很重要。当MOS管的 429 V_{GS}取为1.2V且M2管要工作在饱和区时，其漏−源之间的最小电压差为0.37V（等于过剩栅压）。

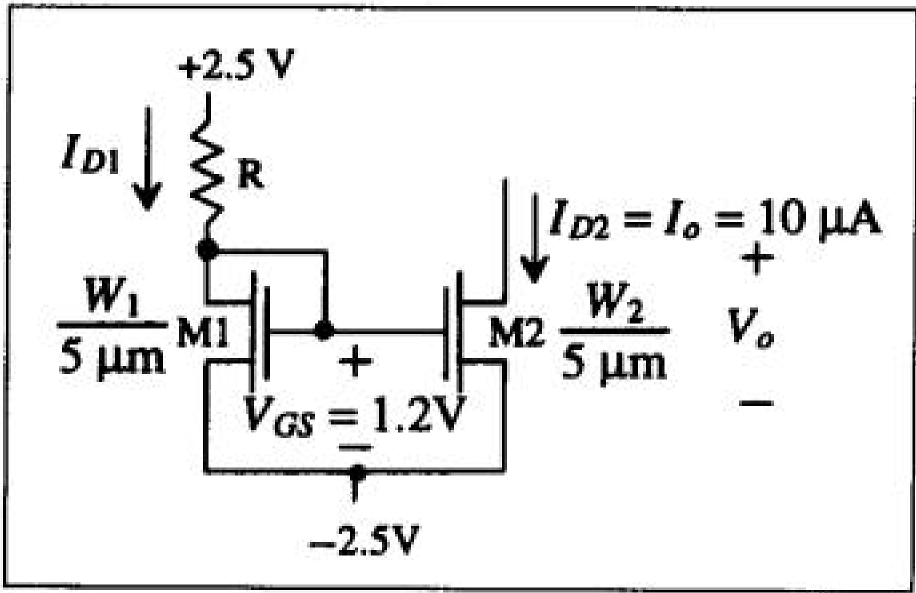


图　Ex20-1

输出电阻的近似值可由式（20-5）求得：

$$r_o = \frac{1}{\lambda I_o} = \frac{1}{0.06 \cdot 10\ \mu A} = 1.67\ MEG$$

在交流小信号分析中，可把电流沉等效为一个接地的电阻，其阻值等于电流沉的输出电阻。输出电阻也可被看作从M2管漏端看进去的电阻。图20-2给出了SPICE仿真结果，由图中可看出有限的输出电阻对电流沉输出电流的影响。■

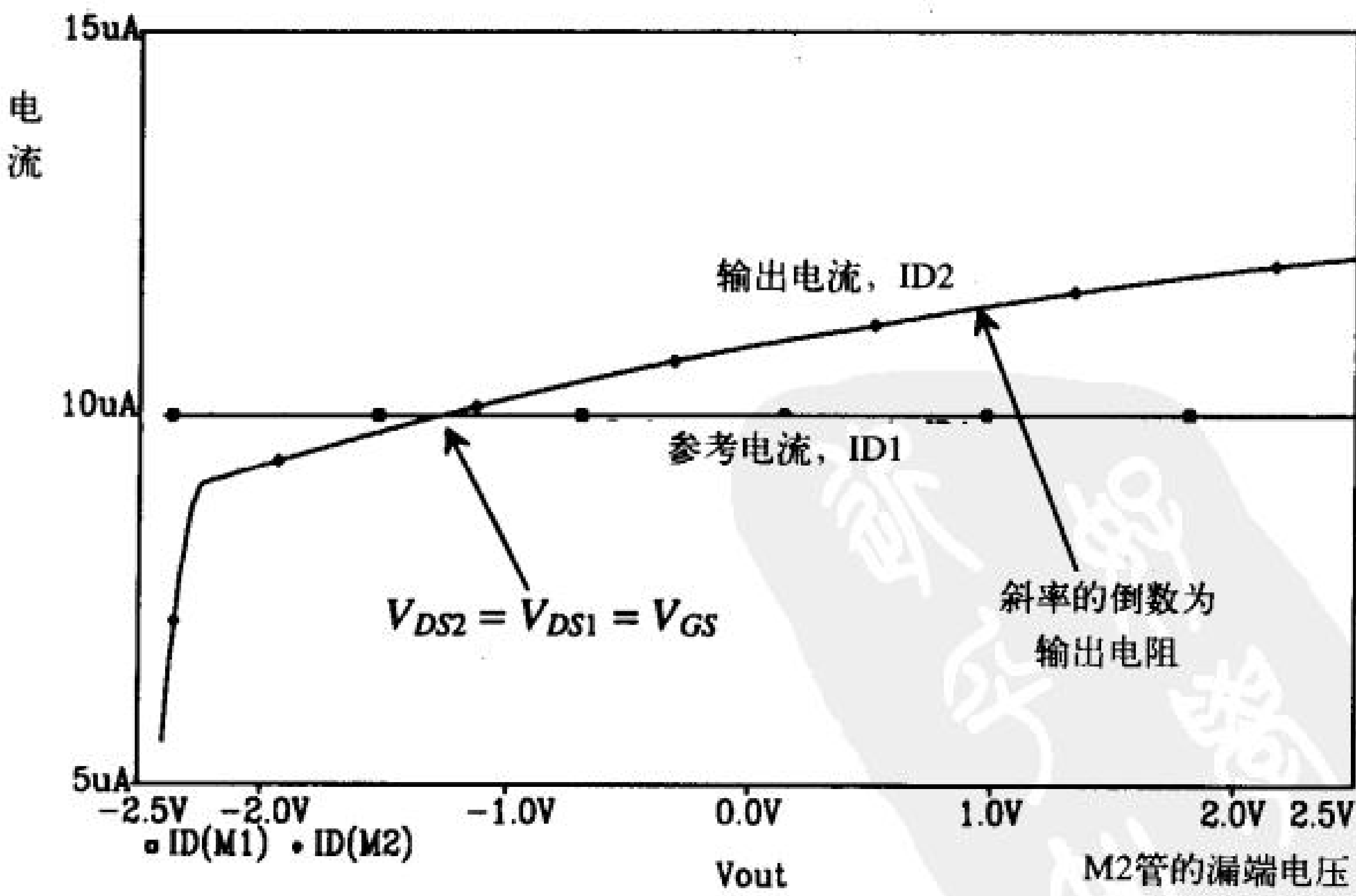


图20-2　例20.1的SPICE仿真结果

例20.2

设计四个抽取电流分别为20μA、30μA、50μA和70μA的电流沉。计算每个电流沉两端的最小电压差是多少？假定$VDD = -VSS = 2.5V$。

沿用上例中的设计流程，分别针对20μA、30μA、50μA和70μA的抽取电流，确定各MOS管的尺寸即可。图Ex20-2给出了电路图，图中标出了各MOS管的尺寸。版图设计需要考虑氧化层侵蚀和横向扩散的影响，这一点将在20.1.5节中给予讨论。利用一个参考电流来产生几个抽取电流，这在集成电路设计中经常用到。另外，我们在设计时直接取V_{GS}的值为1.2V来确定各MOS管的尺寸，在实际设计出的电路中，V_{GS}可能不是精确的1.2V，有可能是1.1V或1.3V。图中，生成参考电流的MOS管的栅极与漏极短接，V_{GS}的微小变化对参考电流值（10μA）几乎没有影响，因为参考电流的大小由电阻和电阻上的压降决定。由前一个例子知，每个电流沉两端的最小电压差为0.37V，对应的漏端最小电压为-2.13V。 ■

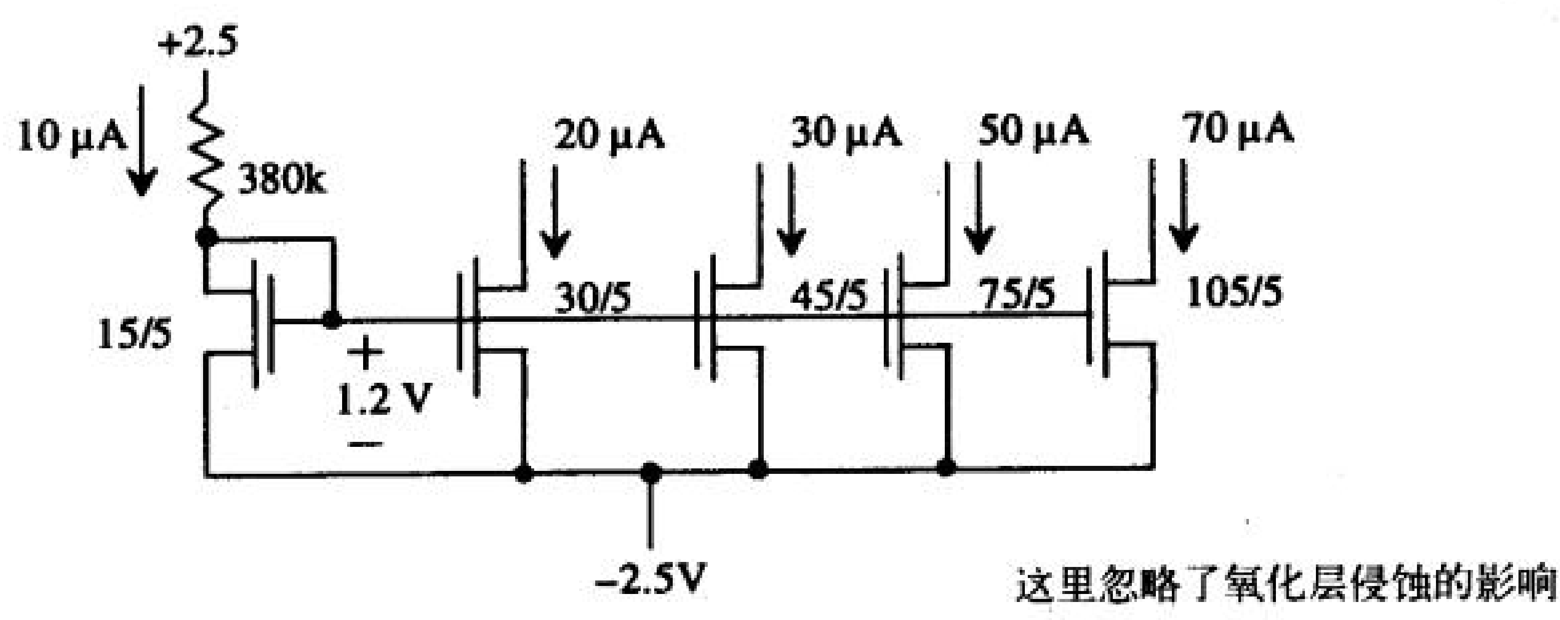
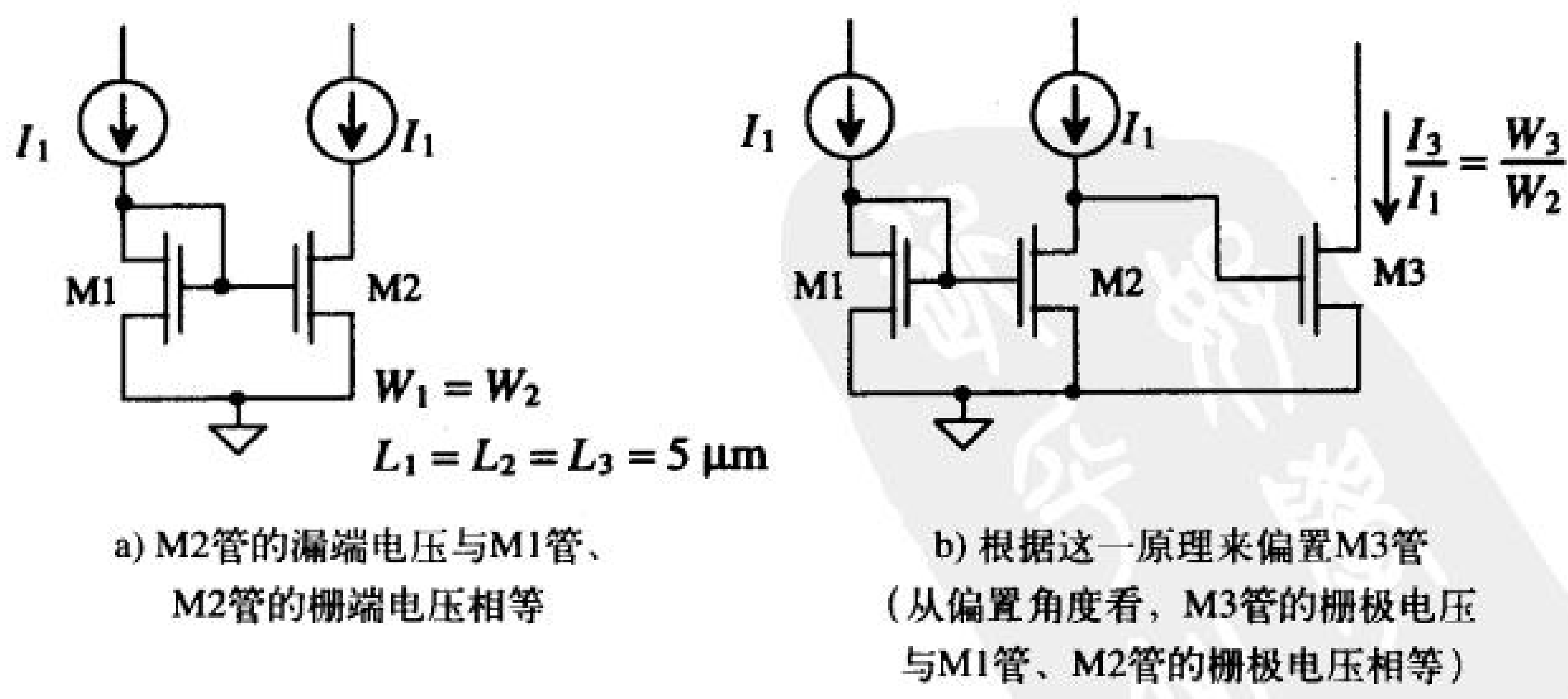


图　Ex20-2

考虑图20-3a中的两个MOS管，其偏置电流均为I_1。由于M1管和M2管的栅-源电压和漏电流相同，他们的源-漏电压也一定相同，即$V_{GS1} = V_{GS2} = V_{DS1} = V_{DS2}$。这一特性被用于图20-3b中M3管的偏置，使得$V_{GS3} = V_{GS1} = V_{GS2}$。从偏置角度考虑，M3管的栅极可看做与M1管、M2管的栅极连接在一起。这种电路结构在放大器设计中经常用到，此时M2管被用作电流源负载，M3管是一个共源放大器。



a) M2管的漏端电压与M1管、M2管的栅端电压相等

b) 根据这一原理来偏置M3管（从偏置角度看，M3管的栅极电压与M1管、M2管的栅极电压相等）

图　20-3

电流沉吸收电流，通常由NMOS管实现；电流源提供电流，通常由PMOS管实现。我们可

以用偏置NMOS管的方法来偏置PMOS管以构成电流源。图20-4是一个PMOS电流镜的电路图及相应的电路符号。设计各MOS管尺寸的方法与前面设计方法相同：取V_{SG} = 1.2V，L = 5μm，然后根据需要提供的电流的大小，来设计各MOS管的尺寸。下例示意了电流源的设计过程。

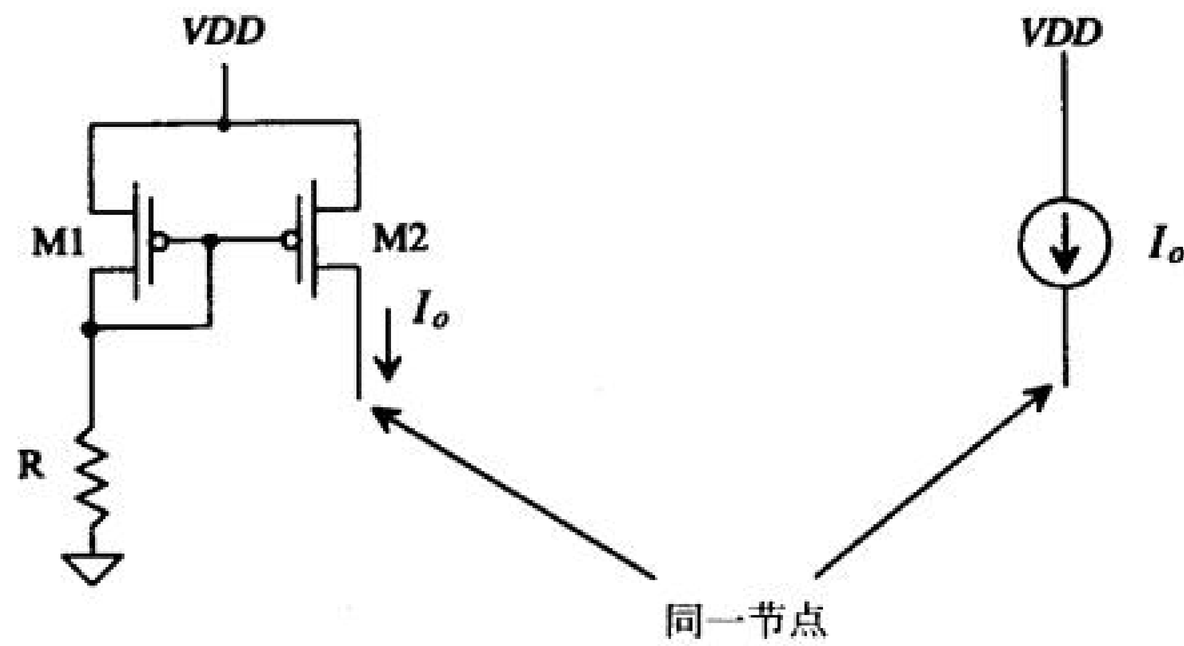


图20-4　用PMOS电流镜构成的电流源

例20.3

利用前例中10μA参考电流的产生电路，设计三个输出电流分别为10μA、20μA和50μA的电流源。

图Ex20-3给出了设计的电路图。M1管、M2管为M3管提供10μA偏置电流。镜像M3管的电流，得到流过M4管、M5管和M6管的电流。M3管的沟道宽度可由下式求得：

$$10\ \mu\text{A}=\frac{17\frac{\mu\text{A}}{\text{V}}}{2}\cdot\frac{W_3}{5\ \mu\text{m}}(1.2-.91)^2\rightarrow W_3\approx 70\ \mu\text{m}$$

430~432

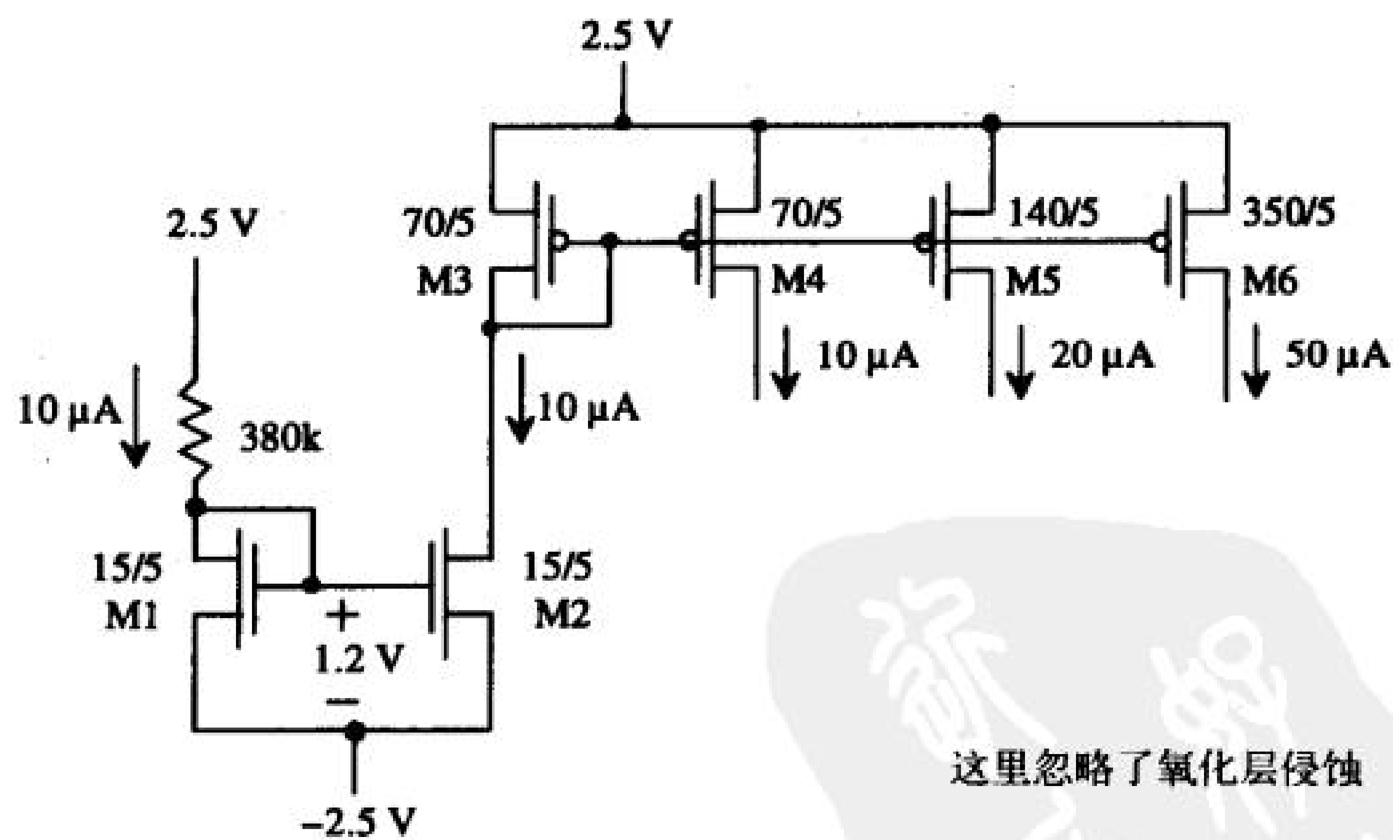
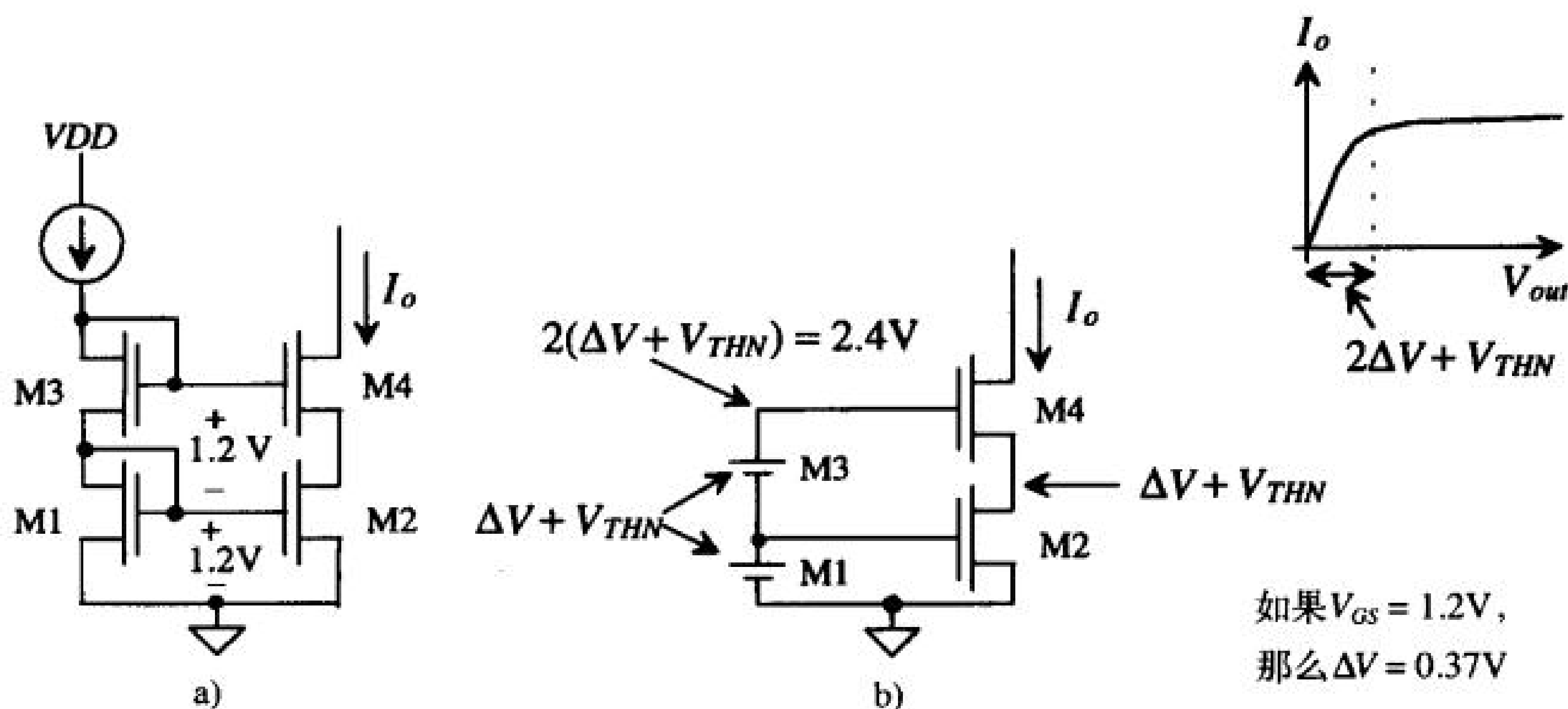


图 Ex20-3

为了提供10μA、20μA和50μA的电流，M4管、M5管和M6管的沟道宽度分别为70μm、140μm、350μm。由于PMOS管的迁移率小于NMOS管的迁移率，在漏电流和V_{SG}（或V_{GS}）相同的情况下，PMOS管的沟道宽度要比NMOS管的沟道宽度大。■

20.1.1　共源共栅接法

图20-5a给出了一个共源共栅接法的电流沉。共源共栅连接的目的是提高电流源/沉的输出电阻。为了确定共源共栅电流沉的偏置，首先应确定每个MOS管的V_{GS}，这里仍取V_{GS}为1.2V。在此基础上，确定各MOS管的尺寸。其设计流程与简单电流沉的设计流程相同。



433

图20-5　共源共栅电流沉

为确定电流沉两端电压的最小值，首先用剩余栅压ΔV来表示栅源电压V_{GS}，即：

$$V_{GS}=\Delta V+V_{THN} \tag{20-7}$$

忽略体效应后，当V_{GS} = 1.2V时，NMOS管剩余栅压ΔV = 0.37V（见例20.1），PMOS管剩余栅压为0.29V。M4管的栅压为2（$\Delta V+V_{THN}$）= 2.4V，源端电压为$\Delta V+V_{THN}$ = 1.2V。若使M4管工作于饱和区，需满足$V_{DS4}\geq V_{GS4}-V_{THN}$，即$V_{D4}\geq\Delta V+(\Delta V+V_{THN})$ = 1.57V。由此得到M4管漏端的最小电压（即共源共栅电流沉两端电压的最小值）为1.57V，它比跨过基本电流沉的最小电压（由例20.1知ΔV = 0.37V）明显大很多。

如果把M4管的栅压降到$2\Delta V+V_{THN}$，那么M2管的漏端电压为ΔV = 0.37V，共源共栅电流沉两端电压的最小值可降为$2\Delta V$ = 0.74V，图20-6a所示电路就体现了这一思想。图20-6b是这种电流沉电路的具体实现。图中，M6管用于把M4管的栅压降为$2\Delta V+V_{THN}$，这使得只有M4管的漏端电压降到$2\Delta V$以下时，M2管和M4管才会进入线性区。这里重新设计了M3管的尺寸，使其栅压为$3\Delta V+2V_{THN}$，这样$V_{GS3}=2\Delta V+V_{THN}$ = 1.57V。M6管用于产生（$\Delta V+V_{THN}$）的压降，这样M4管的栅压为$2\Delta V+V_{THN}$。为了使M3管的栅压为$3\Delta V+2V_{THN}$，M3管的宽长比为其他MOS管宽长比的1/4。值得说明的是，当给栅漏短接的MOS管（图20-6b中的M1管和M3管）注入一个恒定电流时，MOS管的作用类似于一个电压恒定的直流电压源（其作用与电池相同）。

采用第9章推导的小信号模型（如图20-7示），可求出共源共栅电流沉的输出电阻。忽略体效应，在M4管漏端加一个测试电压，把M4管漏端的电流加在一起，得到：

$$i_t=g_{m4}v_{gs4}+\frac{v_t-(-v_{gs4})}{r_{o4}} \tag{20-8}$$

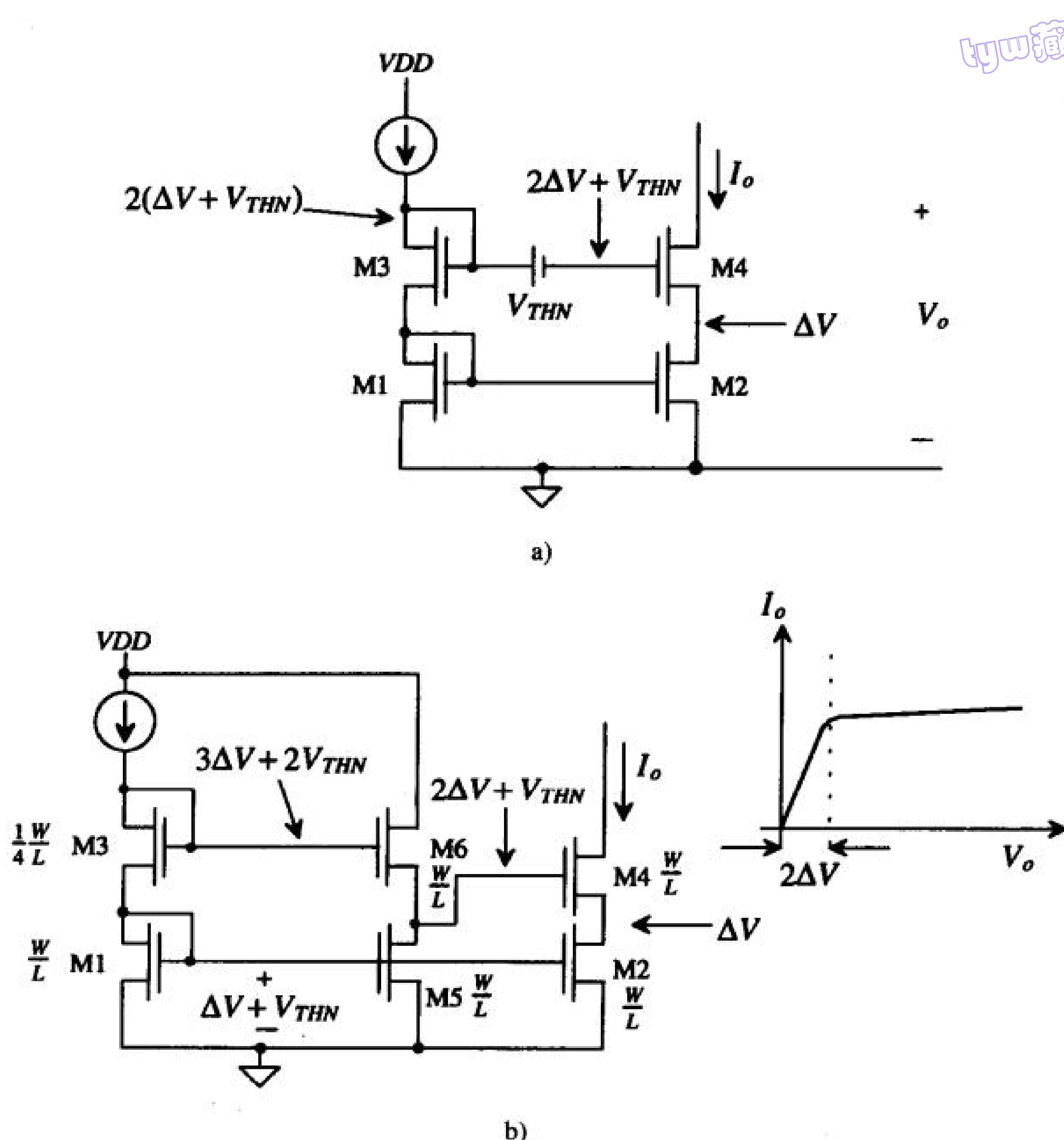


图20-6　确定共源共栅电流沉的偏置（降低了电流沉两端电压的最小值）（忽略体效应）

式中：

$$v_{gs4}=-i_t\cdot r_{o2} \tag{20-9}$$

解得共源共栅电流沉的输出电阻为：

$$R_o=r_{o4}(1+g_{m4}r_{o2})+r_{o2}\approx g_{m4}r_o^2 \tag{20-10}$$

式中，$r_o=r_{o2}=r_{o4}$。可把这个结果推广到更普遍的情形，如图20-8所示。从MOS管漏端看进去，到地的小信号电阻为：

$$R_o=r_o(1+g_mR)+R \tag{20-11}$$

有时，上式近似为：

$$R_o\approx r_o(1+g_mR) \tag{20-12}$$

利用这一结果，可得到三级共源共栅连接的电流沉（如图20-9所示）的输出电阻为：

$$R_o=r_{o6}\left[1+g_{m6}\overbrace{(r_{o4}(1+g_{m4}r_{o2})+r_{o2})}^{\text{从M4管漏端看进去的电阻}}\right]+\overbrace{r_{o4}(1+g_{m4}r_{o2})+r_{o2}}^{\text{从M4管漏端看进去的电阻}}\approx g_{m6}g_{m4}r_o^3 \tag{20-13}$$

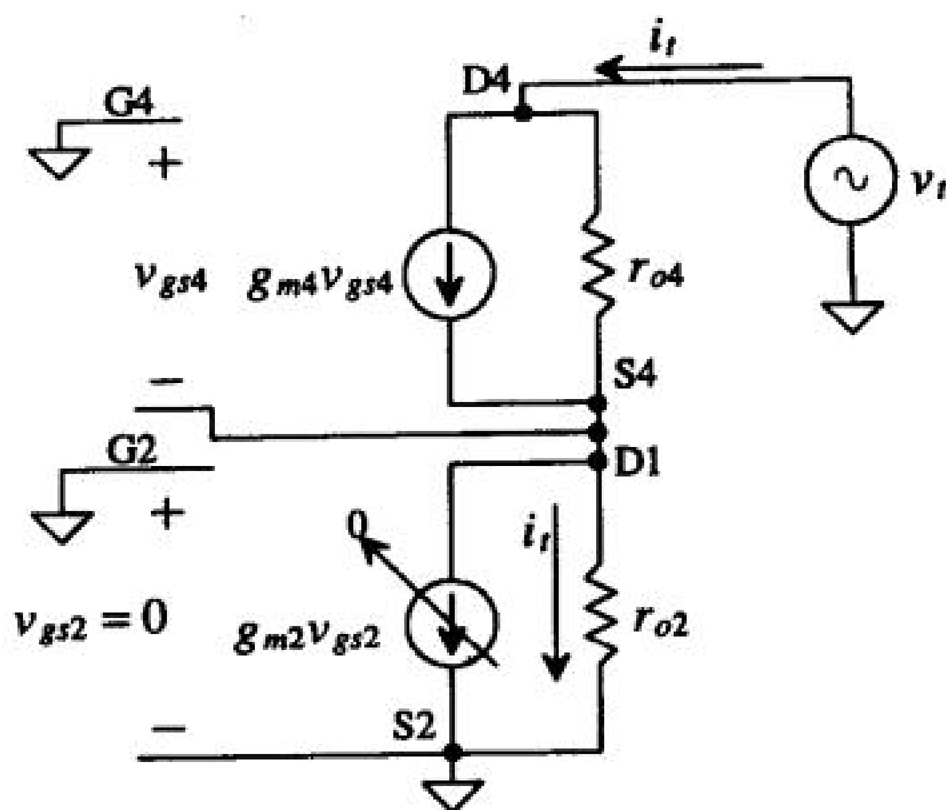


图20-7　图20-5所示共源共栅电流沉的小信号等效电路

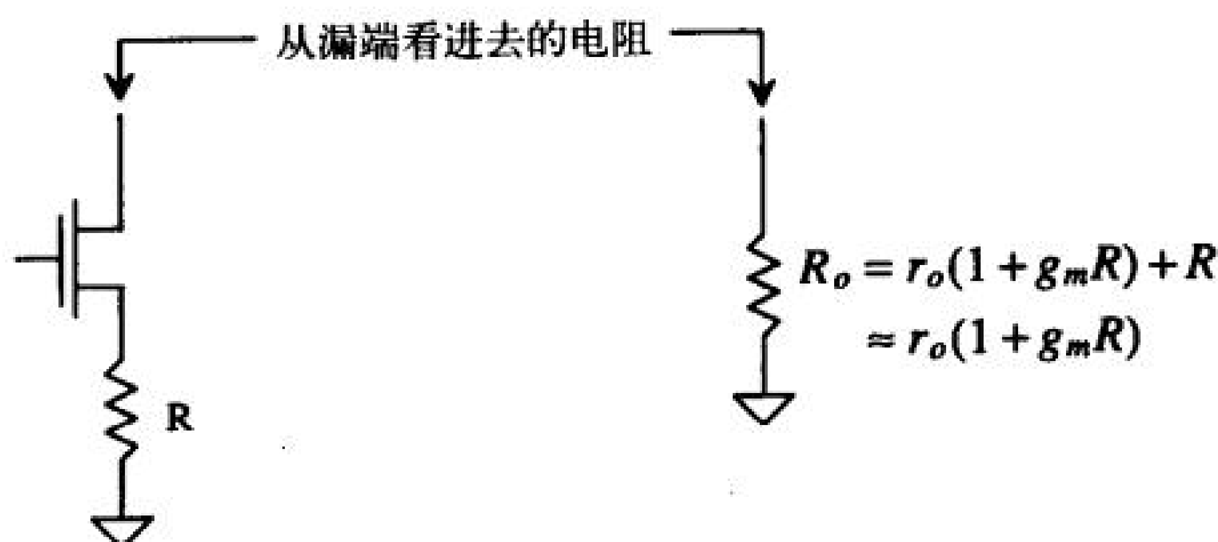


图20-8　从MOS管漏端看进去的电阻

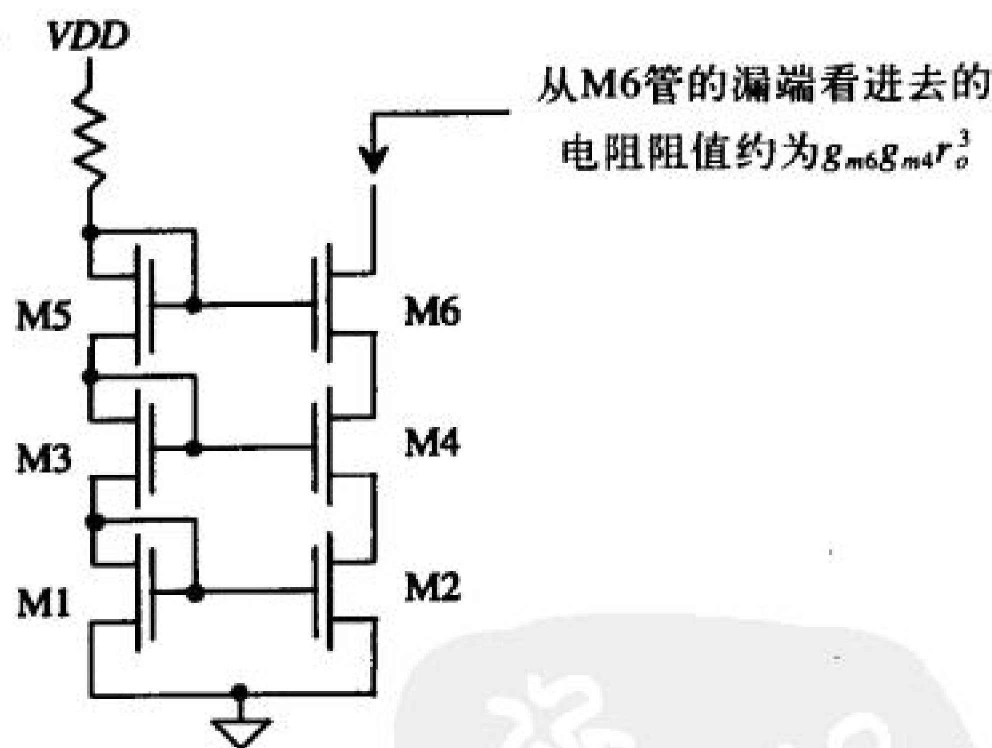


图20-9　三级共源共栅连接的电流沉

当进行交流小信号分析时，共源共栅电流沉可用一个另一端接地的电阻来等效，电阻阻值等于式（20-10）（对二级共源共栅连接情形）或式（20-13）（对三级共源共栅连接情形）的结果。若想增加电流源/沉的输出电阻，只需增加共源共栅连接的MOS管的数目，直到输出电阻满足设计期望为止。这样做的缺点也很明显。既要增大输出电阻，又要使各个MOS管都工作在饱和区，那么，共源共栅电流源/沉两端电压的最小值就会变大（减小了输出摆幅）。因此，有些电流镜用负反馈来增大输出电阻，这将在后面章节中予以讨论。

434～436

例20.4

针对两级共源共栅连接的电流沉，重做例20.1。

电阻的阻值可由下式求得：

$$R=\frac{VDD-2V_{GS}-VSS}{I_{D1}}=\frac{2.5-2.4-(-2.5)}{10\ \mu A}=260\ k\Omega$$

这里设定$I_{D1}=I_{D2}=10\mu A$，$V_{GS}=1.2V$。由例20.1知，MOS管尺寸为$W=15\mu m$、$L=5\mu m$。要求出输出电阻R_o，需先求出MOS管的跨导：

$$g_m=\sqrt{2\beta_n I_D}=\sqrt{2\cdot 50\frac{\mu A}{V^2}\cdot\frac{15}{5}\cdot 10\ \mu A}=55\frac{\mu A}{V}$$

单个MOS管的输出电阻$r_o=1/\lambda I_D=1/(10\mu A)(0.06)=1.67M\Omega$。因此，电流源的输出电阻为：

$$R_o\approx g_m r_o^2=55\frac{\mu A}{V}(1.67\ M\Omega)^2=152\ M\Omega$$

跨过电流源的最小电压为$2\Delta V+V_{THN}$，等于1.57V。

两级共源共栅连接的电流沉的电路图和SPICE仿真结果由图Ex20-4给出。通过与例20.1的仿真结果比较，可看出共源共栅电流沉的输出电阻较大。另外，体效应会使M3管和M4管的阈值电压变大，导致电流值低于我们期望的10μA。 ■

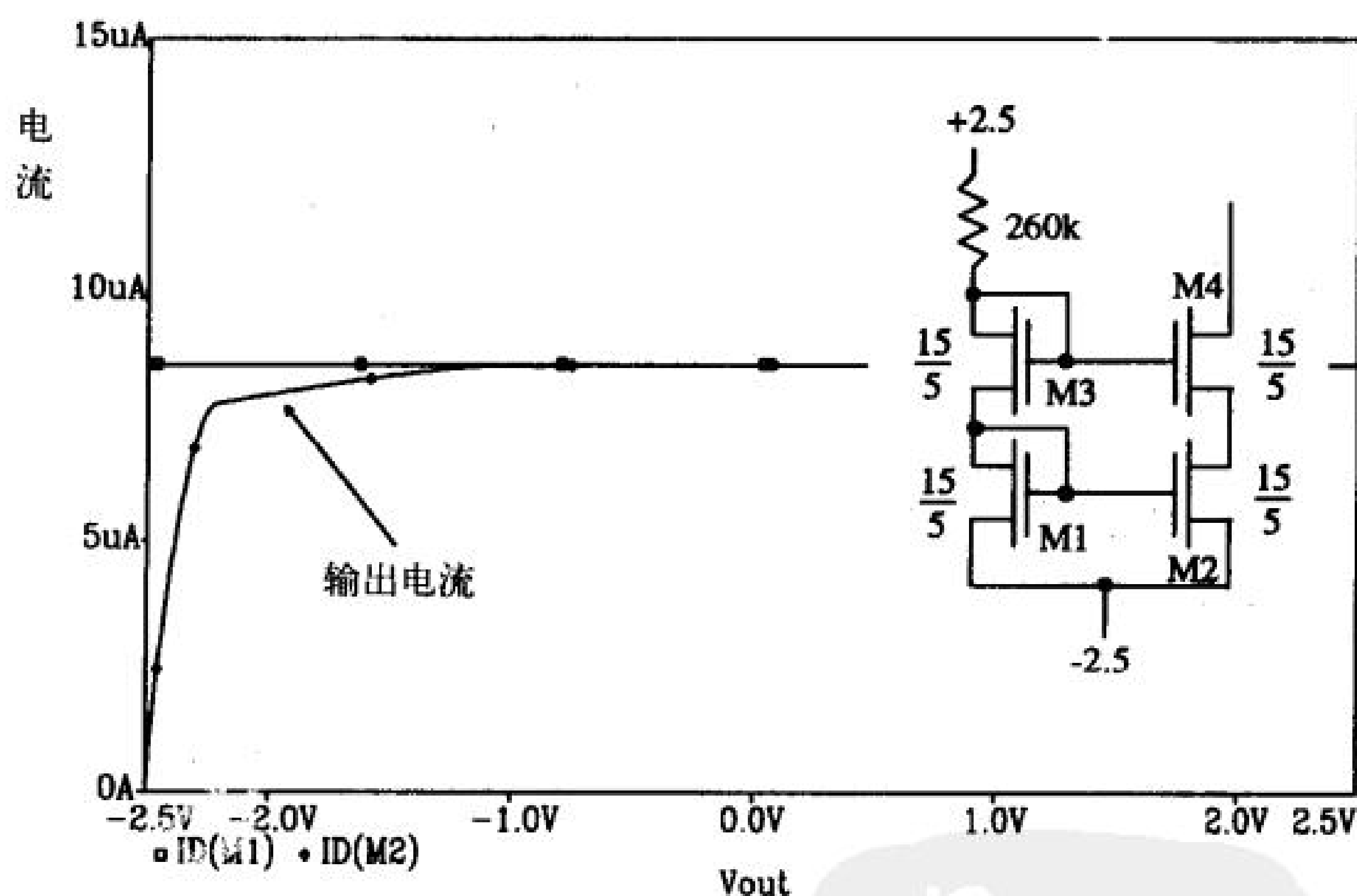


图 Ex20-4

20.1.2 敏感度分析

当设计电流源和电流沉时，还需要考虑输出电流对一些输入变量的敏感度，这些输入变量可以是电源电压的变化、器件参数的变化（如电阻的阻值）等。对图20-1中的简单电流镜而言，I_o对VDD的敏感度定义为：

$$S_{VDD}^{I_o}=\lim_{\Delta VDD\to 0}\frac{\frac{\Delta I_o}{I_o}}{\frac{\Delta VDD}{VDD}}=\frac{VDD}{I_o}\cdot\frac{\partial I_o}{\partial VDD} \qquad (20\text{-}14)$$

根据式（20-4），取$I_o = I_{D1}$，并假定VDD变化时V_{GS}的变化很小，即可求得输出电流对VDD的敏感度：

$$S_{VDD}^{I_o} \approx \frac{VDD}{I_o} \cdot \frac{1}{R} \tag{20-15}$$

由上式就可回答"如果VDD改变10%，输出电流会改变多少"这一问题了。I_o变化的百分比和VDD变化的百分比之间的关系由下式给出：

$$\frac{\Delta I_o}{I_o} = S_{VDD}^{I_o} \cdot \frac{\Delta VDD}{VDD} \tag{20-16}$$

例20.5

针对图Ex20-1中的电流镜，估算VDD从2.4V变为2.6V时I_o变化的百分比。将电流沉的输出端（即M2管漏端）接−1.3V直流电压源（与M1管漏端电压近似相等），用PSPICE仿真敏感度。

根据式（20-15），求得敏感度如下：

$$S_{VDD}^{I_o} = \frac{2.5}{10\mu A} \cdot \frac{1}{380k} = 0.658$$

VDD变化的百分比是8%，因此，可用式（20-16）求得输出电流变化的百分比为5.3%，即：

$$\frac{\Delta I_o}{I_o} = 0.658 \cdot \frac{0.2}{2.5} = 0.053 = 5.3\ \%$$

当$I_o = 10\mu A$时，输出电流的变化$\Delta I_o = 0.53\mu A$，即：当$VDD = 2.4V$时，$I_o = 9.73\mu A$；当$VDD = 2.6V$时，$I_o = 10.27\mu A$。这个例子的PSPICE仿真文件如下：


```
Title
M1      1 1 2 2 CMOSNB  L=5u W=15u
M2      5 1 2 2 CMOSNB  L=5u W=15u
R1      3 1 380k  TC1=0.002
VDD     3 0     DC 2.5
Vdrain2 5 0     DC -1.3
VSS     2 0     DC -2.5
.MODEL CMOSNB NMOS LEVEL=4
BSIM model parameters
.sens I(vdrain2)
.probe
.DC Vdrain2 -2.5 2.5 .01
.end
```

仿真得到的敏感度结果如下：

```
DC SENSITIVITIES OF OUTPUT I(vdrain2)

    ELEMENT      ELEMENT       ELEMENT        NORMALIZED
    NAME         VALUE         SENSITIVITY    SENSITIVITY
                               (AMPS/UNIT)    (AMPS/PERCENT)

    R1           3.800E+05     2.441E-11      9.277E-08
    VDD          2.500E+00     -2.465E-06     -6.161E-08
    Vdrain2      -1.200E+00    -8.302E-07     9.962E-09
    VSS          -2.500E+00    3.295E-06      -8.237E-08
```

PSPICE中敏感度的定义与前面的定义略有不同。例如，上面仿真结果给出的输出电流I（vdrain2）的值为：

$$\frac{\partial I_o}{\partial VDD} = \frac{\partial I(vdrain2)}{\partial VDD} = -2.465 \times 10^{-6}\ \frac{A}{V}$$

该值与我们的估算接近，即：

$$\frac{\partial I_o}{\partial VDD} \approx \frac{1}{R} = 2.632 \times 10^{-6}\ \frac{A}{V}$$

上述两结果的符号相反，其原因在于PSPICE定义流出vdrain2的电流为负值。PSPICE输出文件的第四栏给出了PSPICE定义的输出电流对VDD的归一化的敏感度。归一化的敏感度由下式得到：

$$VDD \cdot \frac{\partial I_o}{\partial VDD} \cdot \frac{1}{100} = \frac{A}{\%}$$

跨过电流沉的电压（即M2管的漏端电压）对输出电流有很大影响，敏感度很高。通过敏感度分析，可知道哪个元件对输出变量有最大影响。通过计算机仿真得到输出变量对元件参数的敏感度，这在大电路设计中几乎是必须要做的一步。■

20.1.3 温度特性

简单电流镜的温度系数由下式给出：

$$TC(I_o) = \frac{1}{I_o} \cdot \frac{\partial I_o}{\partial T} = \frac{1}{T} \cdot S_T^{I_o} \tag{20-17}$$

439

根据式（20-3）和式（20-4），可得到输出电流如下：

$$I_o = \frac{W_2 L_1}{W_1 L_2} \cdot \frac{VDD - V_{GS} - VSS}{R} \tag{20-18}$$

这里我们没假定$I_{D1} = I_{D2} = I_o$；如果$I_{D1} = I_{D2}$，那么上式中$W_2L_1/W_1L_2 = 1$。由式（20-18）可求得温度系数为：

$$TC(I_o) = -\frac{1}{I_o} \cdot \left[\frac{W_2 L_1}{W_1 L_2} \cdot \frac{1}{R}\frac{\partial V_{GS}}{\partial T} + \frac{I_o}{R} \cdot \frac{\partial R}{\partial T}\right] \tag{20-19}$$

由第7章的分析知，$\frac{1}{R}\frac{\partial R}{\partial T}$是电阻的温度系数；对n+电阻，温度系数为2000ppm/°C。M2管的栅-源电压可用下式表达：

$$V_{GS} = V_{THN} + \sqrt{\frac{I_o}{\beta_2/2}} = V_{THN} + \sqrt{\frac{W_2 L_1}{W_1 L_2} \cdot \frac{(VDD - V_{GS} - VSS)}{R \cdot KP(T)\frac{W_2}{2 \cdot L_2}}} \tag{20-20}$$

如果（$VDD - VSS$）>> V_{GS}，则：

$$\frac{\partial V_{GS}}{\partial T} = \frac{\partial V_{THN}}{\partial T} + \sqrt{\frac{2L_1}{W_1} \cdot \frac{(VDD - VSS)}{R \cdot KP(T)}} \cdot \left(-\frac{1}{2}\right) \cdot \left[\frac{1}{KP(T)}\frac{\partial KP(T)}{\partial T} + \frac{1}{R}\frac{\partial R}{\partial T}\right] \tag{20-21}$$

在第9章中给出了阈值电压与温度的关系。阈值电压随温度的变化由下式给出：

$$\frac{\partial V_{THN}}{\partial T} = V_{THN} \cdot TCV_{THN} \tag{20-22}$$

式中，$TCV_{THN} \approx -3\,000$ppm/°C；对$V_{THN} = 0.83$V，阈值电压随温度的改变约为$-2.4$mV/°C。

在第9章中还给出了KP与温度T的关系:

$$KP(T)=KP(T_0)\cdot\left(\frac{T}{T_0}\right)^{-1.5}\quad (T\text{以K为单位})\tag{20-23}$$

对T求导得到:

$$\frac{\partial KP(T)}{\partial T}=KP(T_0)(-1.5)\left(\frac{T}{T_0}\right)^{-2.5}\cdot\frac{1}{T_0}\rightarrow\frac{1}{KP(T)}\cdot\frac{\partial KP(T)}{\partial T}=\frac{-1.5}{T}\tag{20-24}$$

将式(20-22)、(20-24)代入(20-21),可得到:

$$\frac{\partial V_{GS}}{\partial T}=V_{THN}\cdot TCV_{TH}-\left(\frac{1}{2}\right)\cdot\sqrt{\frac{2L_1}{W_1}\cdot\frac{VDD-VSS}{R\cdot KP(T)}}\left[\frac{1}{R}\frac{\partial R}{\partial T}-\frac{1.5}{T}\right]\tag{20-25}$$

将式(20-25)代入(20-19),可得到:

440

$$TC(I_o)=-\frac{1}{I_o}\cdot\frac{W_2L_2}{W_1L_1}\left[\frac{V_{THN}\cdot TCV_{TH}}{R}-\frac{1}{R}\sqrt{\frac{L_1}{W_1}\frac{VDD-VSS}{2RKP(T)}}\left[\frac{1}{R}\frac{\partial R}{\partial T}-\frac{1.5}{T}\right]\right]-\frac{1}{R}\frac{\partial R}{\partial T}\tag{20-26}$$

这一结果将用于下面的例子中。

例20.6

求图Ex20-1中简单电流镜的温度系数,并与PSPICE的仿真结果进行比较。

由式(20-26)可得到简单电流镜在300K温度下的温度系数为:

$$TC(I_o)=\frac{-1}{10\mu}\left[\overbrace{\frac{-0.0024}{380\times10^3}}^{-6.3\times10^{-9}}-\overbrace{\frac{1}{380\times10^3}\sqrt{\frac{5}{6\cdot380\times10^3\cdot50\times10^{-6}}}\left(0.002-\frac{1.5}{300}\right)}^{-1.65\times10^{-9}}\right]-0.002$$

解得27°C时输出电流的温度系数为:

$$TC(I_o)\approx-1\ 535\ \text{ppm}/°\text{C}=-0.15\ \%/°\text{C}$$

输出电流做为温度的函数,由下式给出:

$$I_o(T)=I_o(T_0)(1+TC(I_o)(T-T_0))=I(T_0)[1-0.0015(T-27)]$$

图20-10给出PSPICE仿真结果(电阻的温度系数设为0.002)。手算结果与仿真结果接近。由该图知,电流镜的温度系数不是常数,而是工作温度的函数;图20-10中相邻曲线之间的间距并不相同,就证明了这一点。 ■

一个比较重要的问题是:能否设计出温度系数为零的简单电流镜?令式(20-26)中$TC(I_o)=0$,得到:

$$I_oR=\frac{W_2L_2}{W_1L_1}\left[-V_{THN}\cdot TCV_{TH}+\sqrt{\frac{L_1}{W_1}\frac{VDD-VSS}{2RKP(T)}}\left[\frac{1}{R}\frac{\partial R}{\partial T}-\frac{1.5}{T}\right]\right]\cdot\frac{1}{\frac{1}{R}\frac{\partial R}{\partial T}}\tag{20-27}$$

据此,在已知MOS管和电阻的温度特性的前提下,要设计出温度系数为零的电流镜,电阻和输出电流需满足上式要求。

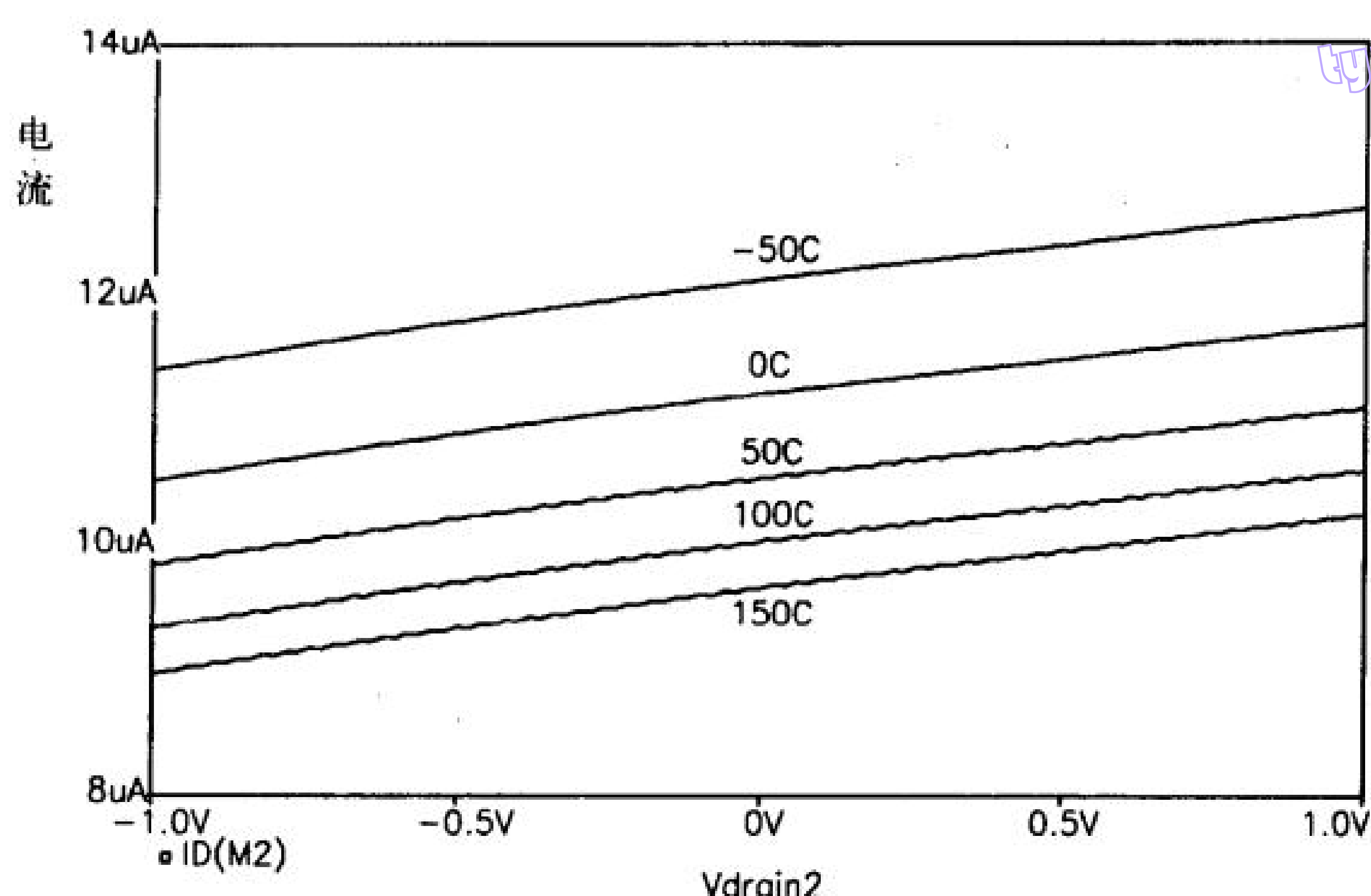


图20-10 例20.1中简单电流镜的温度特性（将M2管的漏端电压从−1V扫描到+1V）

20.1.4 瞬态响应

集成电路的另一重要特性是：在交流或输入信号发生改变时，电路的响应特性如何。为分析简单电流镜的瞬态或阶跃响应，图20-11给出了典型的电路结构。电流镜的输出电流为 $I_o=\frac{\beta_2}{2}\left(V_{GS}-V_{THN}\right)^2$，直接与$V_{GS}$有关。下面我们将分析：如果跨过电流镜的电压突然改变，它会怎样影响V_{GS}和输出电流？由图20-11知，栅−源电压为：

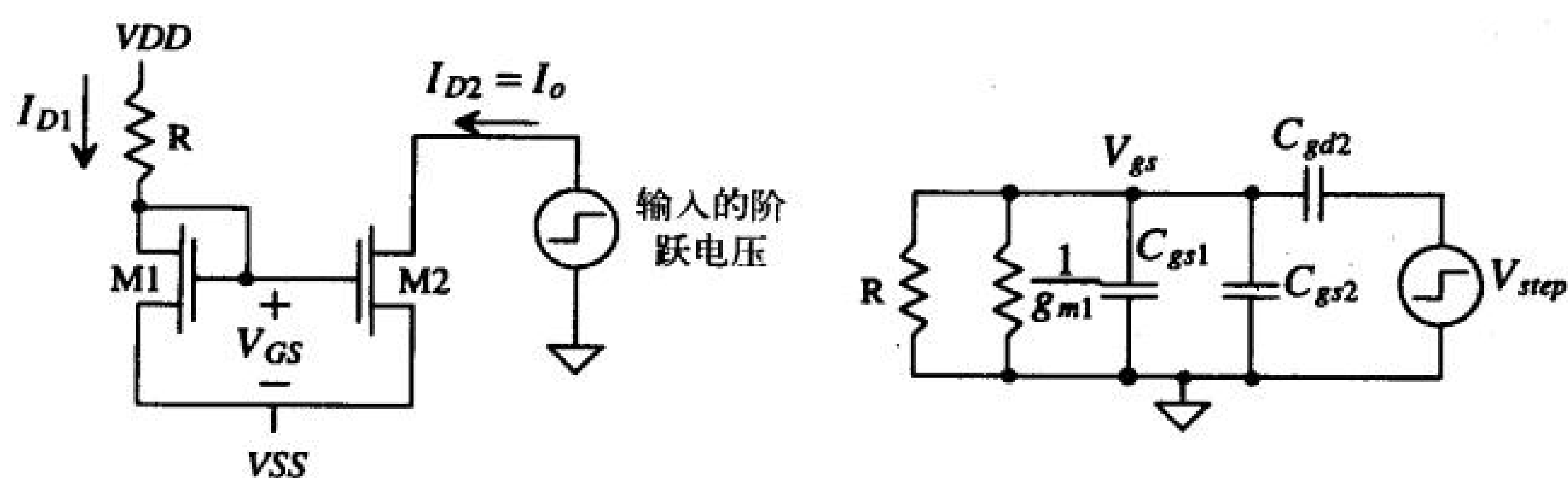


图20-11 简单电流镜的瞬态响应

$$V_{GS}=V_{step}\cdot\frac{Z_{GS}}{Z_{GS}+\frac{1}{j\omega C_{gd2}}} \tag{20-28}$$

式中：

$$Z_{GS}=\frac{R\|\frac{1}{g_{m1}}}{1+j\omega(C_{gs1}+C_{gs2})R\|\frac{1}{g_{m1}}} \tag{20-29}$$

代入式（20-28），得：

$$V_{GS}=V_{step}\cdot\frac{j\omega\left(R\|\frac{1}{g_{m1}}\right)C_{gd2}}{1+j\omega(C_{gs1}+C_{gs2}+C_{gd2})R\|\frac{1}{g_{m1}}} \tag{20-30}$$

假定输入的阶跃电压上升的非常快，V_{GS}的最大改变量ΔV_{GS}为：

$$\Delta V_{GS} = V_{step,peak} \cdot \frac{C_{gd2}}{C_{gs1} + C_{gs2} + C_{gd2}} \tag{20-31}$$

输出电流的改变为：

$$\Delta I_o = \frac{\beta_2}{2}(\Delta V_{GS} + V_{GS} - V_{THN})^2 - \frac{\beta_2}{2}(V_{GS} - V_{THN})^2 = \frac{\beta_2}{2}\Delta V_{GS}^2 + g_{m2}\Delta V_{GS} \tag{20-32}$$

V_{GS}衰减到其直流值的速度由时间常数τ决定。对决定V_{GS}电压值的节点充放电时，有效电阻的大小与阶跃电压的方向有关。如果是负向阶跃电压加到电流镜上，有效电阻比较简单，为R；如果是正向阶跃电压加到电流镜上，有效电阻为$1/g_{m1}$。因此，正向阶跃情况下：

$$\tau = \frac{1}{g_{m1}} \cdot (C_{gs1} + C_{gs2} + C_{gd2}) \tag{20-33}$$

输出电流衰减到其直流值的速度近似为：

$$\tau_o \approx 2\tau \tag{20-34}$$

例20.7

针对例20.1中的简单电流镜，采用图20-11给出的测试电路，计算电流改变的最大值和输出电流回归到稳态值的时间，并比较手算和PSPICE仿真结果。假定阶跃电压是从0到2.5V。

已知$I_{D1} = I_{D2} = I_o = 10\mu A$，$L_1 = L_2 = 5\mu m$，$W_1 = W_2 = 15\mu m$，因此：

$$C_{gs1} = \tfrac{2}{3}C'_{ox}W_1L_1 = 40\ \text{fF}$$

$$C_{gs2} = \tfrac{2}{3}C'_{ox}W_2L_2 = 40\ \text{fF}$$

$$C_{gd2} = CGDO \cdot W_2 = 5.7\ \text{fF}$$

$$\beta_1 = \frac{KP \cdot W_1}{L_1} = 150\ \frac{\mu A}{V^2}$$

$$\beta_2 = 150\ \frac{\mu A}{V^2}$$

$$g_{m1} = \sqrt{2\beta_1 I_{D1}} = 55\ \frac{\mu A}{V}$$

$$g_{m2} = 55\ \frac{\mu A}{V}$$

栅源电压的改变为：

441～443

$$\Delta V_{GS} = 2.5 \cdot \frac{5.7}{40 + 40 + 5.7} \approx 0.18\ V$$

由式（20-32）得到输出电流的改变为：

$$\Delta I_o = 75 \times 10^{-6}(0.18)^2 + 55 \times 10^{-6}(0.18) = 12\ \mu A\ !$$

由式（20-33）、式（20-34）得到V_{GS}衰减的时间常数为：

$$\tau = \frac{1}{55\times10^{-6}}\cdot(40+40+5.7)\times10^{-15}\approx1.5\ \text{ns}$$

输出电流衰减的时间常数为:

$$\tau_o = 3\ \text{ns}$$

图20-12给出了PSPICE的仿真结果。手算结果与仿真结果非常一致。图20-12中，仿真器给出的输出电流仿真结果并不完全正确，这是由仿真器引起的。如果在阶跃电压源和电流镜之间加入一个串联电阻，有助于消除这一仿真问题，因为电阻的引入会使节点电压的变化缓慢下来。当然，由于该电阻会增大加在电流镜上的阶跃电压的上升时间，会影响仿真结果。 ■

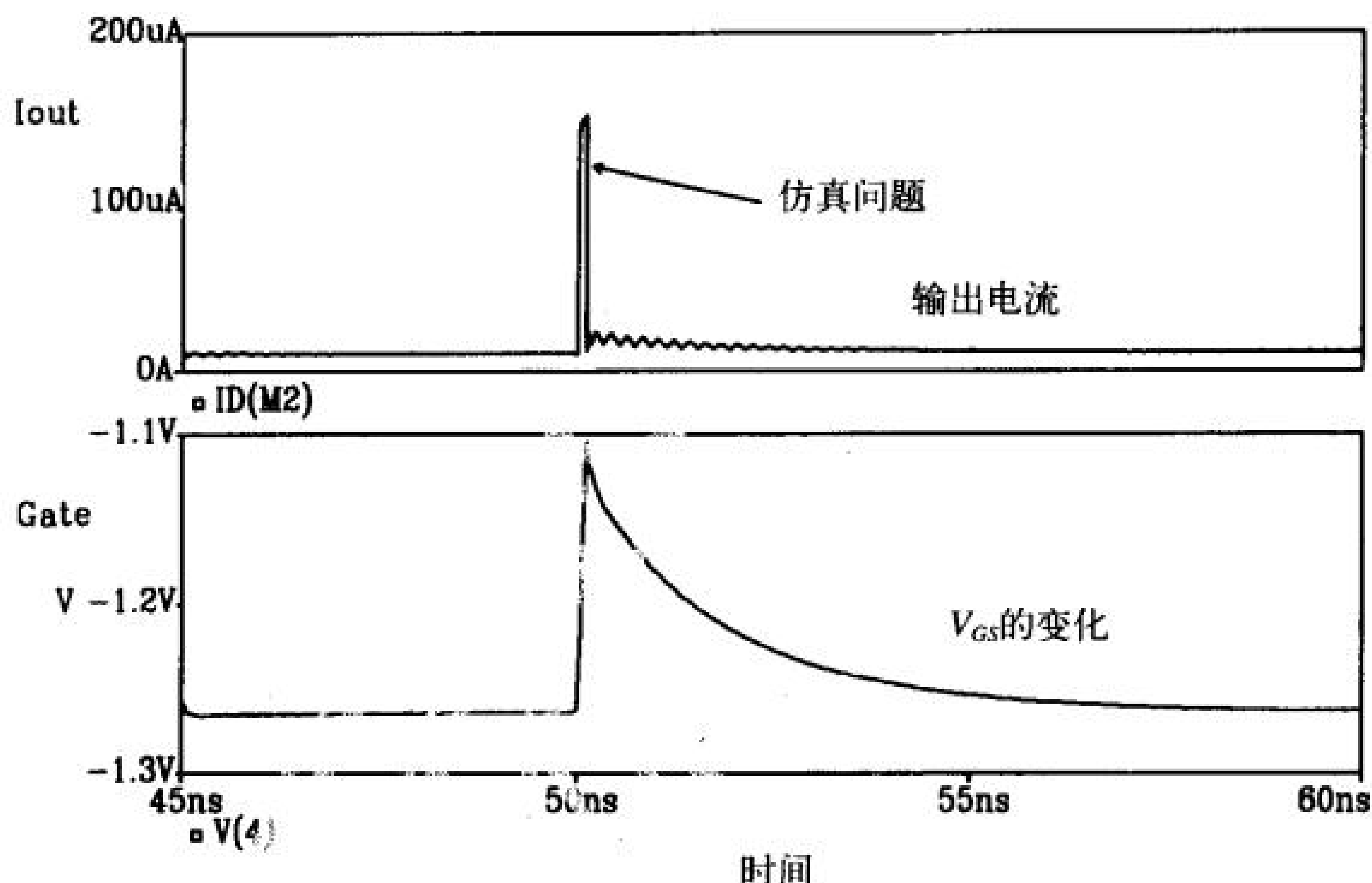


图20-12 仿真得到的例20.1中电流镜的阶跃响应

瞬态响应比较差的电流镜会严重影响电路的性能。在某些情况下（如本章后面要讨论的采用负反馈的电流源），电流源有可能变得不稳定并发生振荡。

20.1.5 简单电流镜的版图

在设计电流镜的版图时，必须考虑到横向扩散和氧化层侵蚀对MOS管沟道长度和沟道宽度的影响。横向扩散（在BSIM模型中由DL参数体现）和氧化层侵蚀（在BSIM模型中由DW参数体现）会导致 $\frac{W_2L_1}{W_1L_2}$ 这一比率出现偏差。如果让 $L_{1drawn}=L_{2drawn}$，那么 $\frac{L_1}{L_2}=\frac{L_{1drawn}-DL}{L_{2drawn}-DL}=1$。由于MOS管沟道宽度决定了电流镜中各支路电流的大小，沟道宽度一般不等。图20-13a给出了没进行宽度校正的电流镜版图。宽度比值为 $\frac{W_2}{W_1}=\frac{W_{2drawn}-DW}{W_{1drawn}-DW}$，显然，如果 $W_{1drawn}\neq W_{2drawn}$，$W_2/W_1$不是我们设计所期望的比值。图20-13b的版图有助于解决这一问题，图中M2管改由四个并行的MOS管构成。在SPICE网表文件中，MOS管语句的后面加上 $M = X$，即表示由X个MOS管并行构成一个大尺寸的MOS管。这类SPICE语句示例如下:

444

```
M1   1 1 0 0   CMOSNB   L=5u W=5u
M2   2 1 0 0   CMOSNB   L=5u W=5u M=4
```

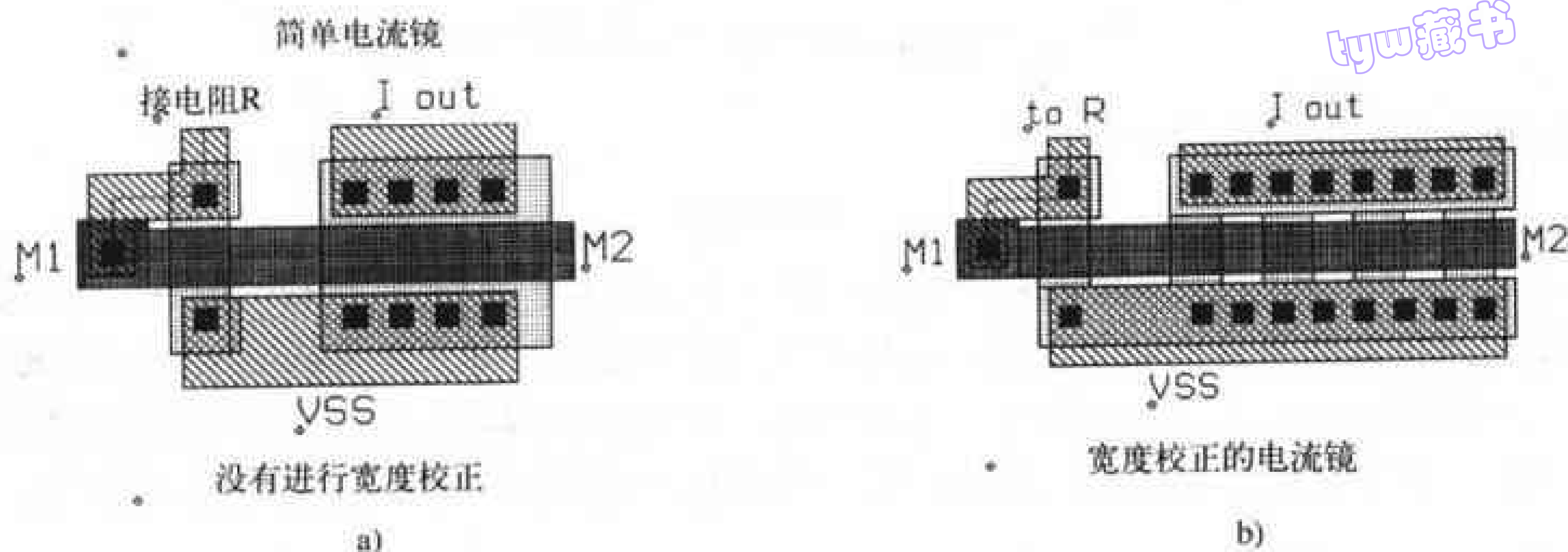


图20-13 电流镜的版图设计（消除氧化层侵蚀影响）

20.1.6 电流镜中的匹配问题

很多模拟电路的性能对版图设计引入的偏差非常敏感。当器件需要严格匹配时，版图设计就变得非常重要。例如，图20-1所示的基本电流镜，一阶工艺偏差就可以使镜像得到的电流与参考电流有明显偏差。工艺参数（如栅氧化层厚度、横向扩散、氧化层侵蚀和氧化层电荷密度等）能严重影响器件性能。采用一定的版图设计能降低这些参数偏差的一阶影响。

阈值电压和跨导参数

由前面的讨论可知，阈值电压的值对电流镜的整体精度有重大影响。我们仍来考察图20-1所示的基本电流镜。假定M1管和M2管的β相等。已知M1管和M2管的V_{GS}相同，我们来分析一下M1管和M2管阈值电压失配的影响[3]。假定阈值电压的失配值均分在M1管和M2管上，那么：

$$V_{THN1} = V_{THN} - 0.5\Delta V_{THN} \tag{20-35}$$

$$V_{THN2} = V_{THN} + 0.5\Delta V_{THN} \tag{20-36}$$

式中，V_{THN}为V_{THN1}和V_{THN2}的平均值，ΔV_{THN}为失配值。那么电流比值为：

$$\frac{I_O}{I_{D1}} = \frac{\beta(V_{GS} - V_{THN} - 0.5\Delta V_{THN})^2}{\beta(V_{GS} - V_{THN} + 0.5\Delta V_{THN})^2} = \frac{\left[1 - \frac{\Delta V_{THN}}{2(V_{GS} - V_{THN})}\right]^2}{\left[1 + \frac{\Delta V_{THN}}{2(V_{GS} - V_{THN})}\right]^2} \tag{20-37}$$

将上式右端分子分母的平方展开并忽略高阶小量，得到电流比值的一阶表达式如下：

$$\frac{I_O}{I_{D1}} \approx 1 - \frac{2\Delta V_{THN}}{(V_{GS} - V_{THN})} \tag{20-38}$$

由式（20-38）知：V_{GS}减小时，因阈值电压失配导致的电流间的偏差会增大。由于阈值电压对工艺参数的梯度变化非常敏感，当MOS管之间的距离很大时，因阈值电压失配引起的电流偏差会格外严重。

445～446

同样，可对跨导参数KP_n进行上述分析。令$KP_{n1} = KP_n - 0.5\Delta KP_n$、$KP_{n2} = KP_n + 0.5\Delta KP_n$，$KP_n$为$KP_{n1}$和$KP_{n2}$的平均值。假定其他参数都匹配，则电流比值为：

$$\frac{I_O}{I_{D1}} \approx 1 + \frac{\Delta KP_n}{KP_n} \tag{20-39}$$

源-漏电压和λ

影响电流镜电流精度的因素还有源-漏电压和λ的乘积。在基本电路镜中，源-漏电压和λ都影响输出电流与参考电流的比值。例如，图20-14中，假定M1管和M2管除λ（$\lambda = \lambda_c + \lambda_m$）和$V_{DS}$外，其他参数都完全匹配。如果$V_{DS1} = 2V$，$V_{DS2} = 4V$，$\lambda_1 = 0.05$，$\lambda_2 = 0.04$，那么：

$$\frac{I_o}{I_{D1}} = \frac{1+(\lambda_c+\lambda_m)V_{DS2}}{1+(\lambda_c+\lambda_m)V_{DS1}} = \frac{1+(0.05)4}{1+(0.04)2} = 1.11 \tag{20-40}$$

可见，输出电流和参考电流间有11%的偏差。在一些电路中，很难保证M1管和M2管的源-漏电压相等，但如有可能，应尽可能使其相同。

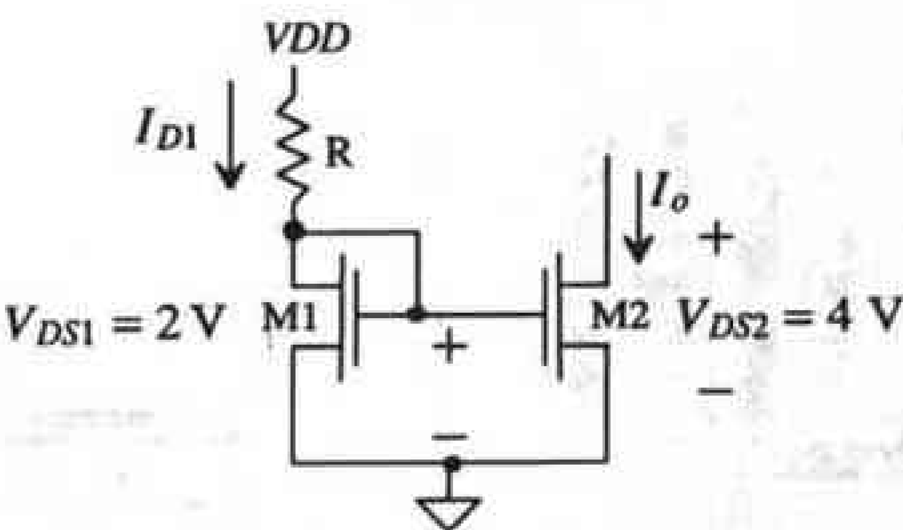
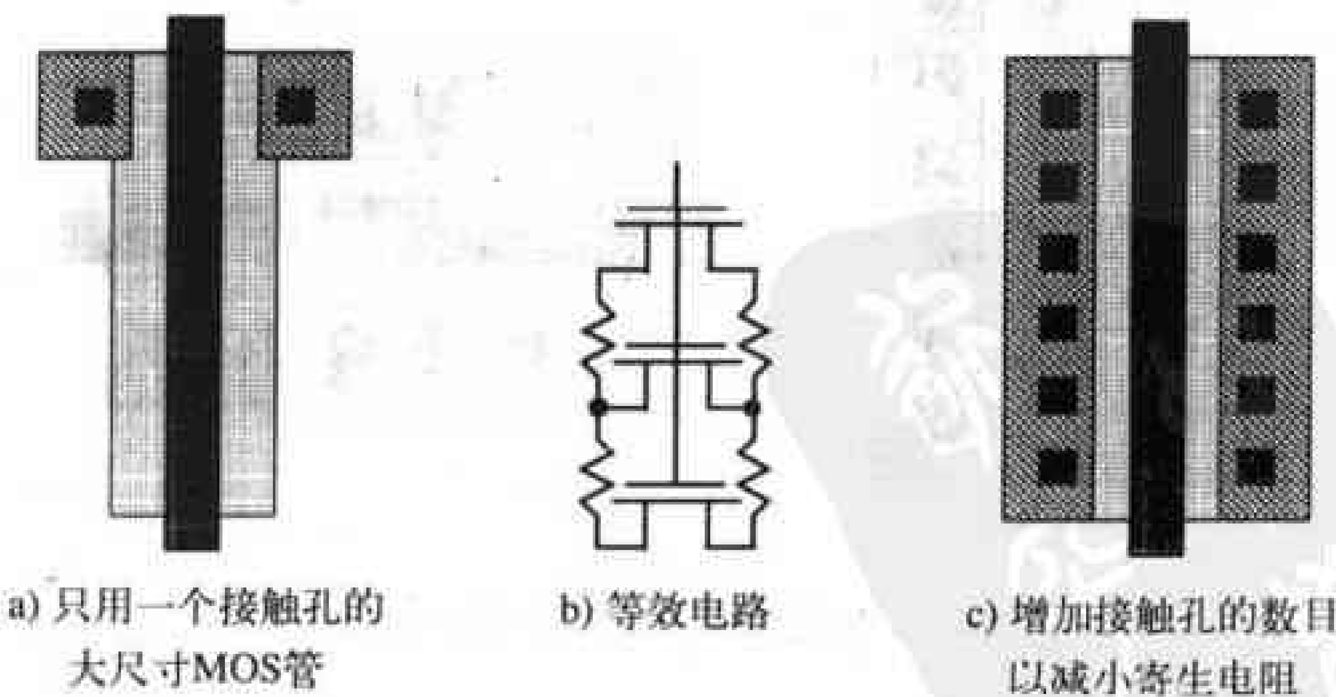


图20-14　源-漏电压不同的基本电流镜

提高匹配程度的版图设计技术

由于沟道长度调制效应（λ_c）对长沟道器件的影响比对短沟道器件的影响小，因此，在数字电路设计中，常采用最小尺寸的MOS管，而在模拟电路设计中却很少采用最小尺寸的MOS管；在绝大多数的模拟电路设计中，MOS管的沟道长度是工艺允许的最小沟道长度的若干倍。但如果版图设计不当，大尺寸MOS管会引入较大的寄生效应。图20-15a给出一个W/L较大的MOS管。由于器件宽度很大，源和漏的扩散区电阻可用图20-15b所示的电路表示。在源/漏区加入尽可能多的接触孔可有效的减小扩散电阻，如图20-15c所示。增加接触孔的数目可减小接触电阻，增大能够流过器件的电流最大值，这在前面章节中已讨论过。当MOS管尺寸较大时，可采用另外一种版图设计技术，把寄生器件（寄生电阻和寄生电容）分解为较小的寄生器件。

447



a) 只用一个接触孔的大尺寸MOS管　b) 等效电路　c) 增加接触孔的数目以减小寄生电阻

图 20-15

考察图20-16。图中，一个W/L较大的MOS管被分成四个并行的MOS管，每个并行MOS管的沟道宽度为原来的四分之一。这样做能减小反向偏置PN结引入的寄生电容（源区或漏区和

衬底之间的耗尽层电容)。由于C_{db}和C_{sb}正比于W，把一个大尺寸的MOS管劈分为n个并行MOS管，会使C_{db}和C_{sb}减为原来的$(n+1)/2n$（当n为奇数时）；当n为偶数时，C_{sb}减为原来的一半，C_{db}减为原来的$(n+2)/2n$[5]。

另外，观察图20-16，可以看到：在MOS管两侧各多出一条多晶硅条，它们的作用是减小淘蚀对最外侧多晶硅条的影响，称它们为浮置多晶硅条。如果不在MOS管两侧各多加一条多晶硅条，位于器件最外侧的多晶硅条被淘蚀的程度比器件内部的大，因此，使并行MOS管间有较大失配。

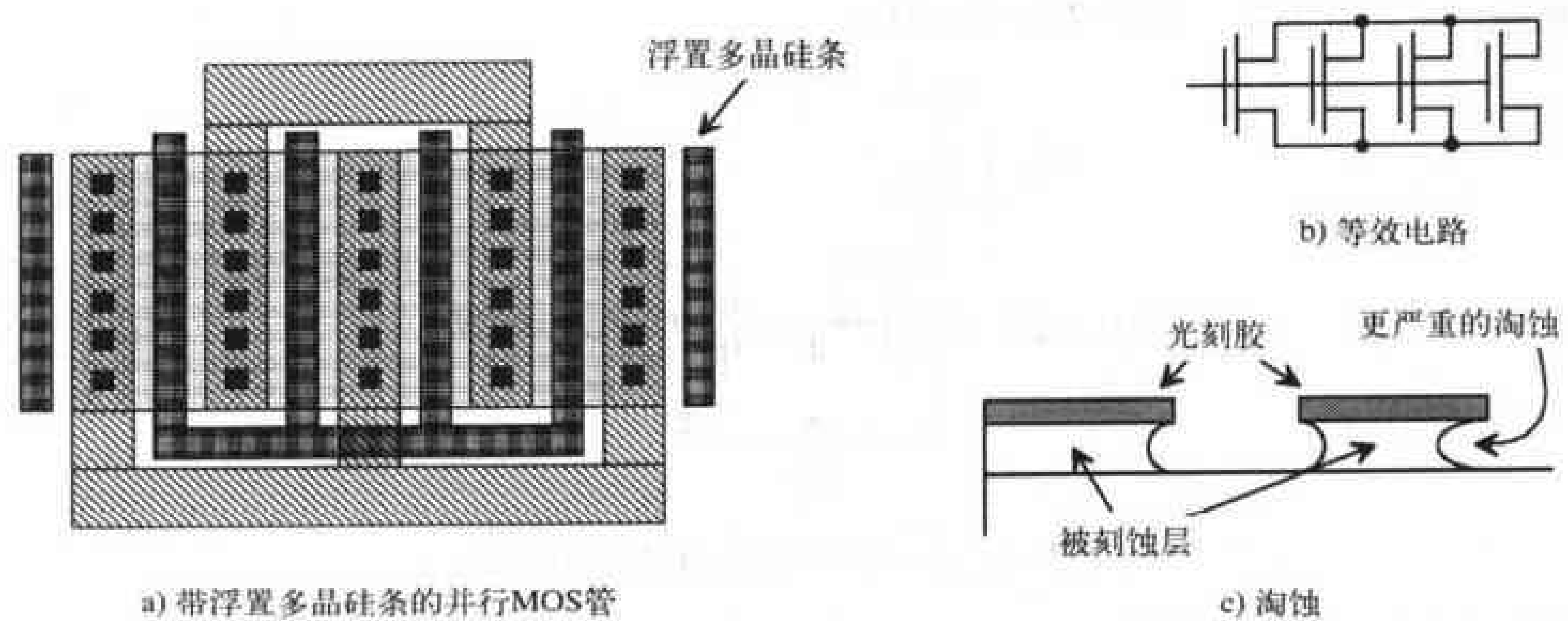


图 20-16

当两个器件需要严格匹配时，应使它们尽可能对称摆放。通常它们的放置方向应该相同，图20-17中的放置方式是不可取的。把需要严格匹配的两个器件劈分成几个平行器件，并用叉指方式布图，这样做能把工艺参数的梯度变化分摊在两个器件上，从而使两个器件间有良好匹配。图20-18中给出了这样的一个例子。图中，器件两侧加入了浮置多晶硅条。把图20-18中的电流镜按共质心方式重新布图是一个好方法。

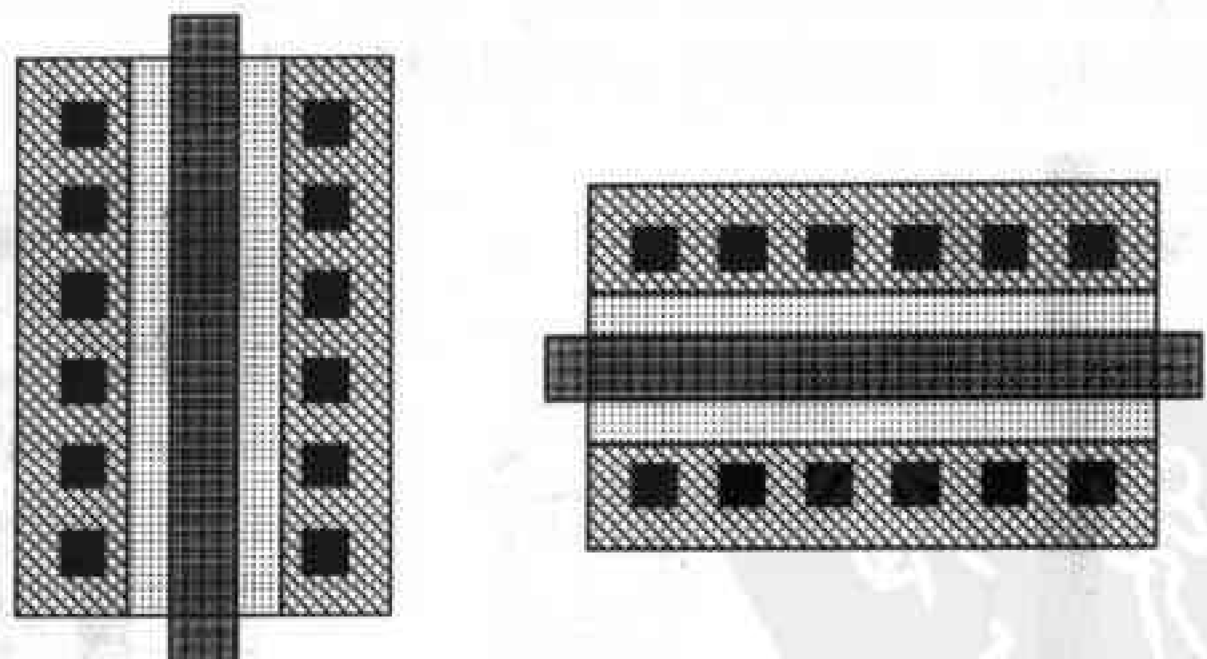
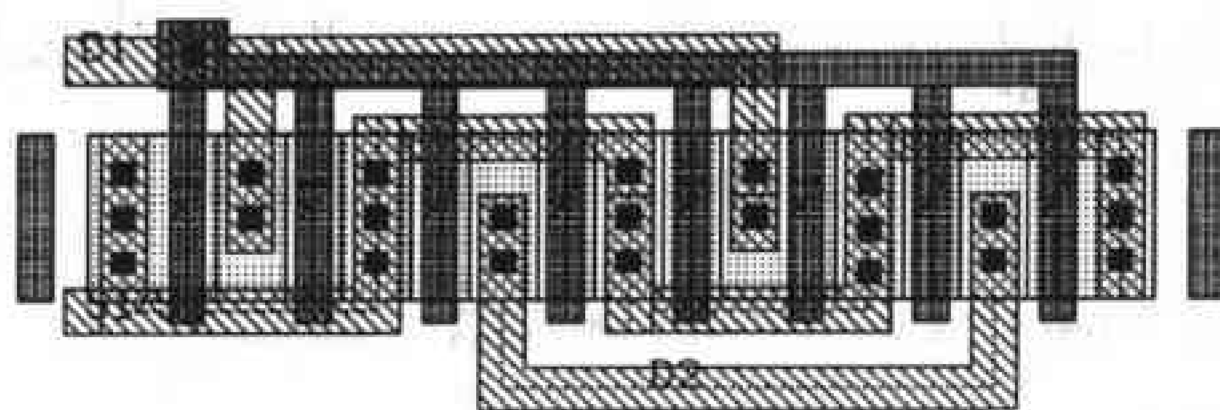


图20-17 放置方向不同的两个MOS管

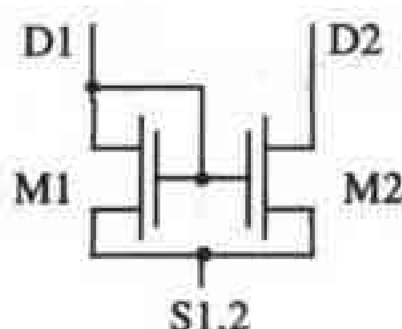
20.2 其他类型的电流源/沉

采用负反馈可显著提高基本电流镜的性能。这种类型的电流镜中有两种得到了广泛应用，即：威尔逊（Wilson）电流镜和稳控型共源共栅电流镜。这两种电流镜都能在很大的电压摆

幅内提供稳定的电流值，输出电阻很大。



a) 叉指结构的简单电流镜的版图



b) 版图所对应的等效电路

图 20-18

图20-19给出了威尔逊电流镜的电路图[1][3]。在电流镜的输出端，M3管和M4管串联，以提高输出电阻并使漏电流I_{D4}稳定。下面分析其反馈机理。假定I_{D1}为固定参考电流，电压V_o增大会导致I_{D4}增大，I_{D2}增加同样的幅度。由于I_{D1}保持不变，使A节点电压下降。A节点电压下降导致V_{GS4}下降，使流过M4的电流减小，从而使I_{D4}稳定。

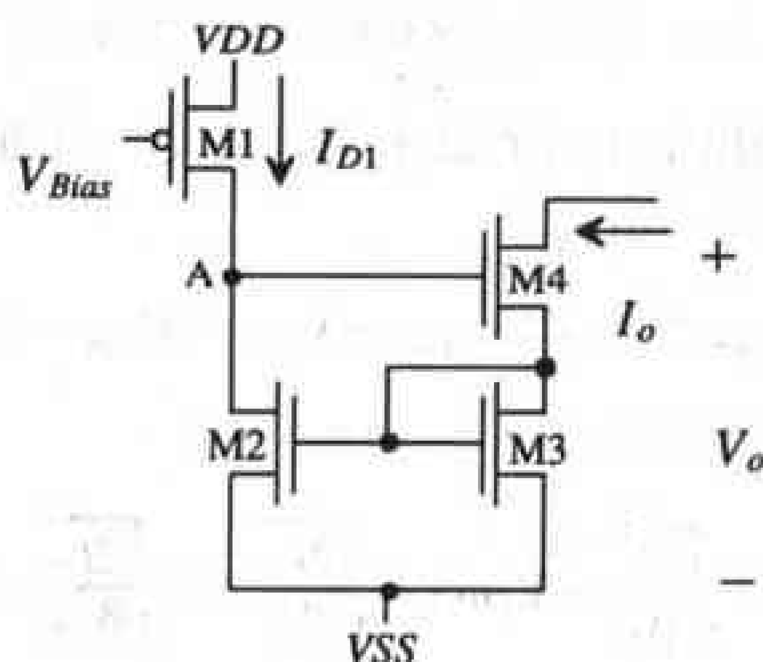


图20-19 威尔逊电流镜

图20-20为图20-19中电路的小信号等效电路，分析该图可求得输出电阻。图中，由于M1管栅极接直流固定电压，$v_{gs1}=0$，因此，M1管只有电阻r_{o1}出现在小信号等效电路图中。由于M3管的栅漏短接，压控电流源$g_{m3}v_{gs3}$可等效成小信号等效电路图中的一个电阻$1/g_{m3}$。从图20-20可得到下式：

$$v_{sb4}=v_{gs2} \tag{20-41}$$

$$v_{gs2}=i_t(r_{o3}||\frac{1}{g_{m3}}) \tag{20-42}$$

$$v_{gs4}=-v_{gs2}[1+g_{m2}(r_{o1}||r_{o2})]=-i_t(r_{o3}||\frac{1}{g_{m3}})[1+g_{m2}(r_{o1}||r_{o2})] \tag{20-43}$$

$$i_t=g_{m4}v_{gs4}-g_{mb4}v_{sb4}+\frac{v_t-v_{gs2}}{r_{o4}} \tag{20-44}$$

把式（20-41）、（20-42）和（20-43）代入式（20-44），得：

$$R_{out}=\frac{v_t}{i_t}=r_{o4}\left[1+g_{m4}(r_{o3}\|\frac{1}{g_{m3}})(1+g_{m2}(r_{o1}\|r_{o2}))+g_{mb4}(r_{o3}\|\frac{1}{g_{m3}})+\frac{1}{r_{o4}}(r_{o3}\|\frac{1}{g_{m3}})\right] \tag{20-45}$$

若假定$r_{o3}\|(1/g_{m3})\approx 1/g_{m3}$，$g_{m3}\approx g_{m4}$，则式（20-45）可进一步简化为：

$$R_{out}\approx r_{o4}\left[1+g_{m2}(r_{o1}\|r_{o2})+g_{mb4}(\frac{1}{g_{m3}})+\frac{1}{r_{o4}g_{m3}}\right] \tag{20-46}$$

若忽略上式中的后两项并假定$r_o=r_{o1}\approx r_{o2}\approx r_{o4}$，则$R_{out}$为：

$$R_{out}\approx r_o+g_{m2}\frac{r_o^2}{2} \tag{20-47}$$

由上式中的r_o^2项知，威尔逊电流镜输出电阻的量级与共源共栅电流镜相同。

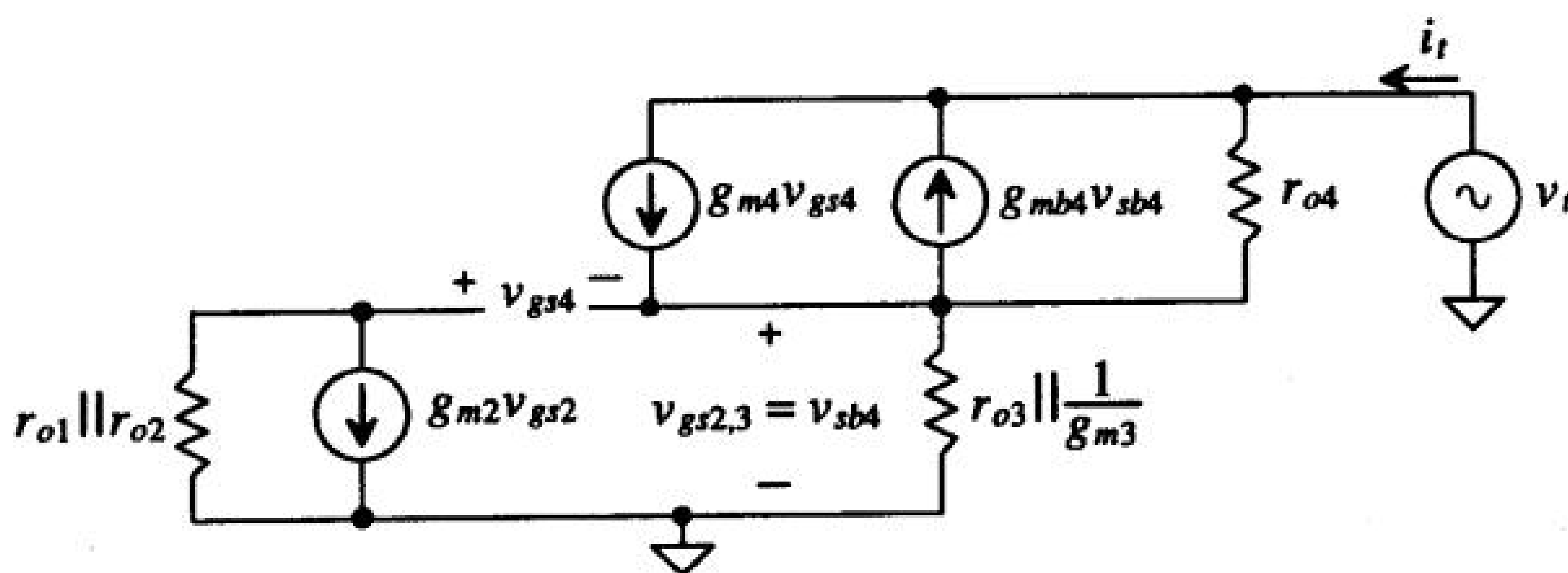


图20-20 威尔逊电流镜的小信号等效电路

威尔逊电流镜的缺点在于输出电压V_o的最小电压较大。由图20-19知，为使M3管和M4管都工作在饱和区，输出电压V_o的最小值为：

$$V_o(\min)=V_{GS3}+V_{DS4,sat}=V_{GS3}+V_{GS4}-V_{THN4} \tag{20-48}$$

上式可用漏电流I_o来表示（假定$\beta_3=\beta_4$）：

$$V_o(\min)=\sqrt{\frac{2I_o}{\beta_3}}+V_{THN3}+\sqrt{\frac{2I_o}{\beta_4}}=2\sqrt{\frac{2I_o}{\beta_{3,4}}}+V_{THN3} \tag{20-49}$$

由上式知，当I_o增大时，$V_o(\min)$以与I_o平方根成比例的速度相应增大。

稳控型共源共栅电流源/沉

另一种常用的电流镜是稳控型共源共栅电流镜（regulated cascode current mirror）[6]。这种电流镜也是采用负反馈来稳定输出电流并使输出电阻比威尔逊电流镜的输出电阻更大。图20-21是稳控型共源共栅电流镜的电路图。图中，M2管和M4管形成负反馈环，以稳定I_o。若I_o增大，由于流过M3的电流恒定，A节点电压会增大，使得流过M2管的电流增大；又由于流过M1管的电流恒定，因此，会使B节点电压下降。这样，V_{GS4}会减小，使I_o减小，从而使I_o保持稳定。

这种电流镜与前面讨论过的各种电流镜相比，性能更好。首先，这种电流镜的输出阻抗明显增大。图20-22为小信号等效电路。由于M1管和M3的栅极接直流恒压源，因此，只有它们的电阻r_{o1}和r_{o3}出现在小信号等效电路中。注意到：该等效电路与图20-7（共源共栅电流镜）和图20-20（威尔逊电流镜）相比，只有微小差别。主要差别是M3管不再是栅漏连接，因此，

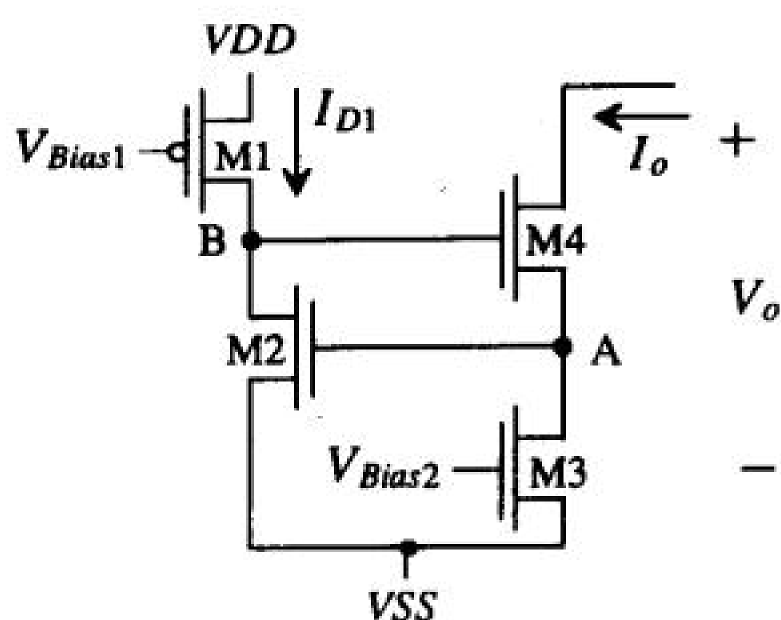


图20-21 稳控型共源共栅电流镜

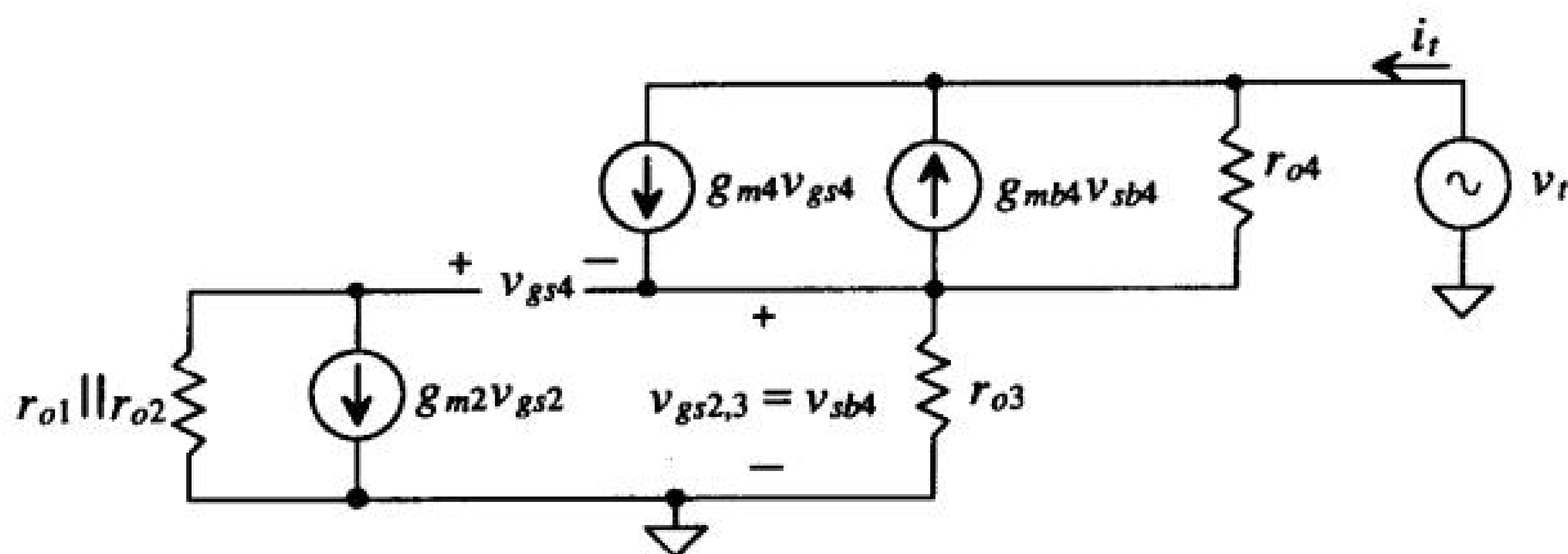


图20-22 稳控型共源共栅电流镜的小信号等效电路

没有了压控电流源$g_{m3}v_{gs3}$。输出电阻R_{out}的计算方法与威尔逊电流镜的电阻计算方法相同，只需用r_{o3}替代$r_{o3} \| (1/g_{m3})$即可。求得输出电阻为:

$$R_{out} = \frac{v_t}{i_t} = r_{o4}\left[1 + g_{m4}r_{o3}(1 + g_{m2}(r_{o1}||r_{o2})) + g_{mb4}r_{o3} + \frac{r_{o3}}{r_{o4}})\right] \tag{20-50}$$

由上式知，决定R_{out}大小的主要是 r_o^3 项，它由r_{o3}、r_{o4}和$r_{o1} \| r_{o2}$相乘得到。若所有MOS管都严格匹配，则R_{out}可被进一步简化为:

$$R_{out} = \frac{v_t}{i_t} \approx g_{m2}g_{m4}(r_{o1}||r_{o2})r_{o3}r_{o4} \approx \frac{g_m^2 r_o^3}{2} \tag{20-51}$$

如果取典型值: $g_m = 20\mu A/V$，$r_o = 10M\Omega$，则由上式求得的稳控型共源共栅电流镜的输出电阻高达400GΩ!

稳控型共源共栅电流镜的另一个优点是输出电压V_o的最小值低于大多数其他结构的电流镜。由于负反馈使得A节点和B节点的电压值比较稳定，输出电阻极大，以至于即使M4管不工作在饱和区，输出电流仍可以相当稳定。M3管必须工作在饱和区决定了V_o的最小值。当A节点电压下降到一定程度时，M3管会退出饱和区，此时，V_o的值为其最小值，因此，输出电压的最小值约为$V_{DS3,sat}$。

如何使图20-21所示的电流镜变成可实用的电流镜呢？只需做一些补充调整，就能得到一个完整的电流镜，如图20-23所示。通过M1管、M5管、M6管和M7管，输入电流I_{D1}能被精确地镜像到输出端。若流过M2管的电流严格等于I_o，且$\beta_2 = \beta_3$，则$V_{GS2} = V_{GS3} = V_{DS3}$。由于$V_{DS3} \geq V_{GS3} - V_{THN3}$，M3总工作在饱和区；但若$V_{GS2} \neq V_{GS3}$，这个结论就不再成立。

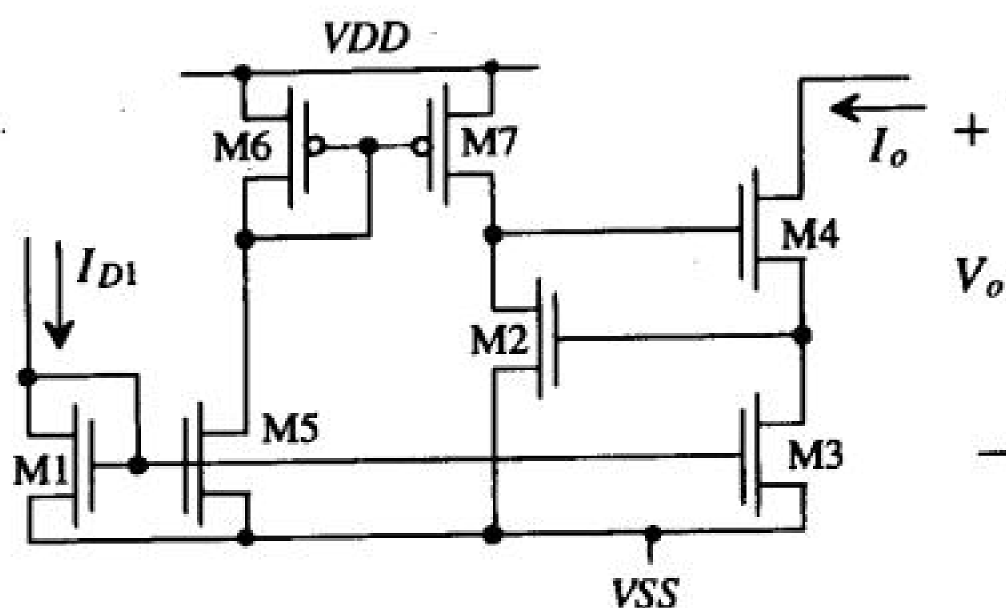


图20-23　稳控型共源共栅电流镜

448～453

例20.8

估算图Ex20-8所示电流沉电路的输出电阻并用SPICE仿真该电路。

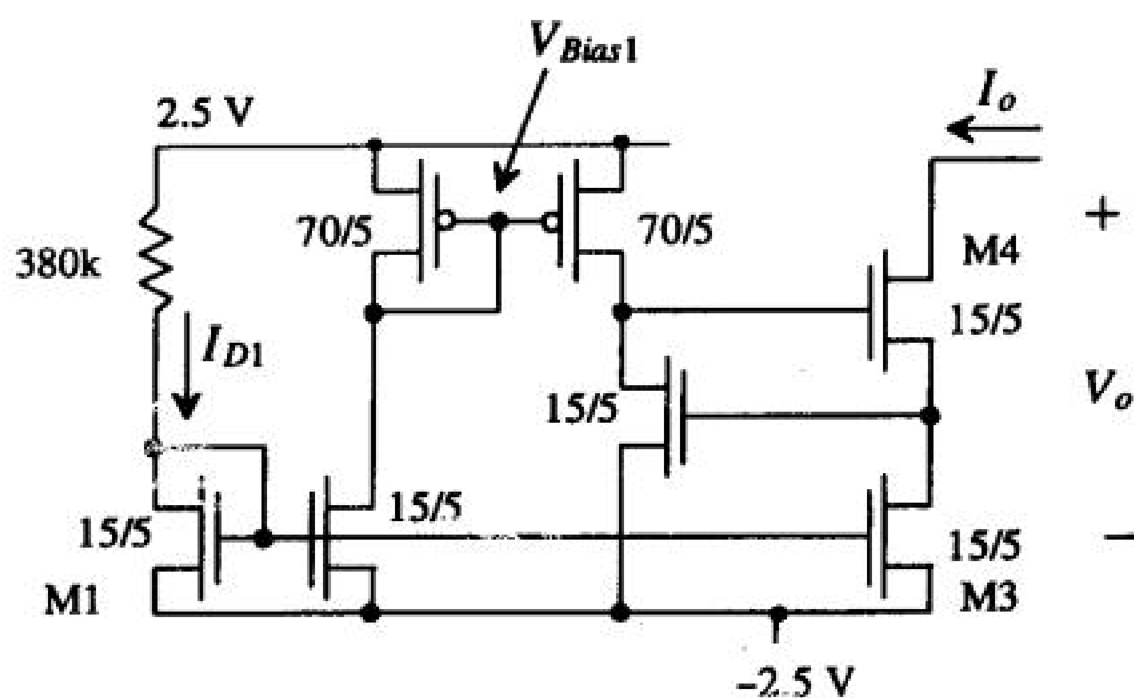


图　Ex20-8

由例20.1知：流过图Ex20-8中各MOS管的电流均为10μA，各MOS管的输出电阻为1.67MΩ。由例20.4知：各MOS管跨导g_m = 55μA/V。由式（20-51）可估算出其输出电阻为6.9GΩ，约为二级共源共栅连接的电流沉（见例20.4）的50倍。图20-24给出了仿真结果。当

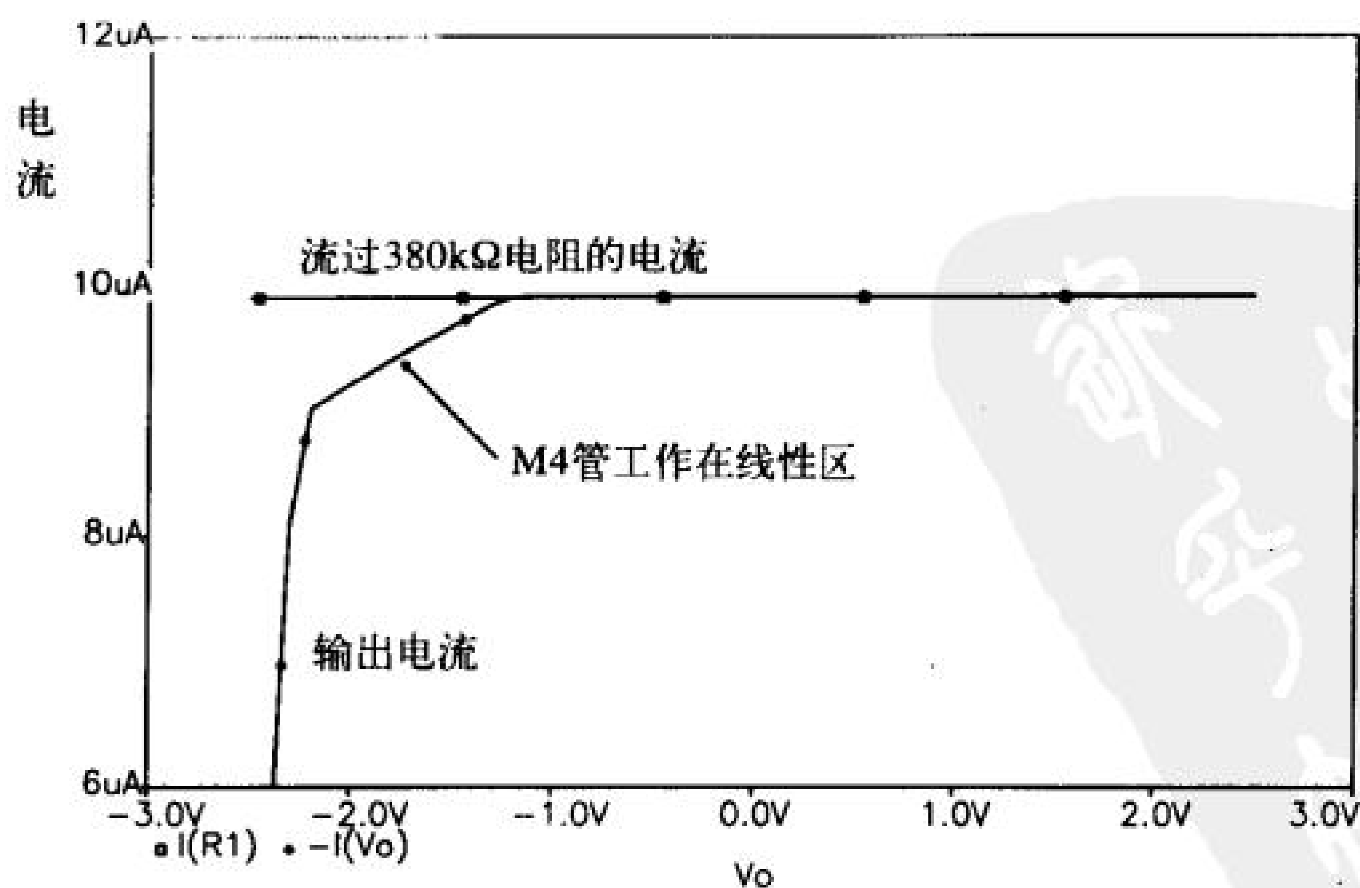


图20-24　例20.8的仿真结果

M3管和M4管都工作在饱和区时，V_0的最小值约为1.3V；当仅M3管工作在饱和区时，输出电压最小值约为0.3V。相应的M4管漏端电压为－1.2V（当M3管和M4管都工作在饱和区时）或－2.2V（当仅M3管工作在饱和区时）。当所有MOS管都工作在饱和区时，流过380kΩ电阻的电流值与输出电流值略有差异。这是由于M1管和M3管的源-漏电压不同引起的。图20-25所示稳控型共源共栅电流镜通过强制M1管和M3管的源-漏电压相同，解决了这一问题。当对I_{D1}和I_o之间的匹配要求很高时，应优选这种结构的电流镜。■

454

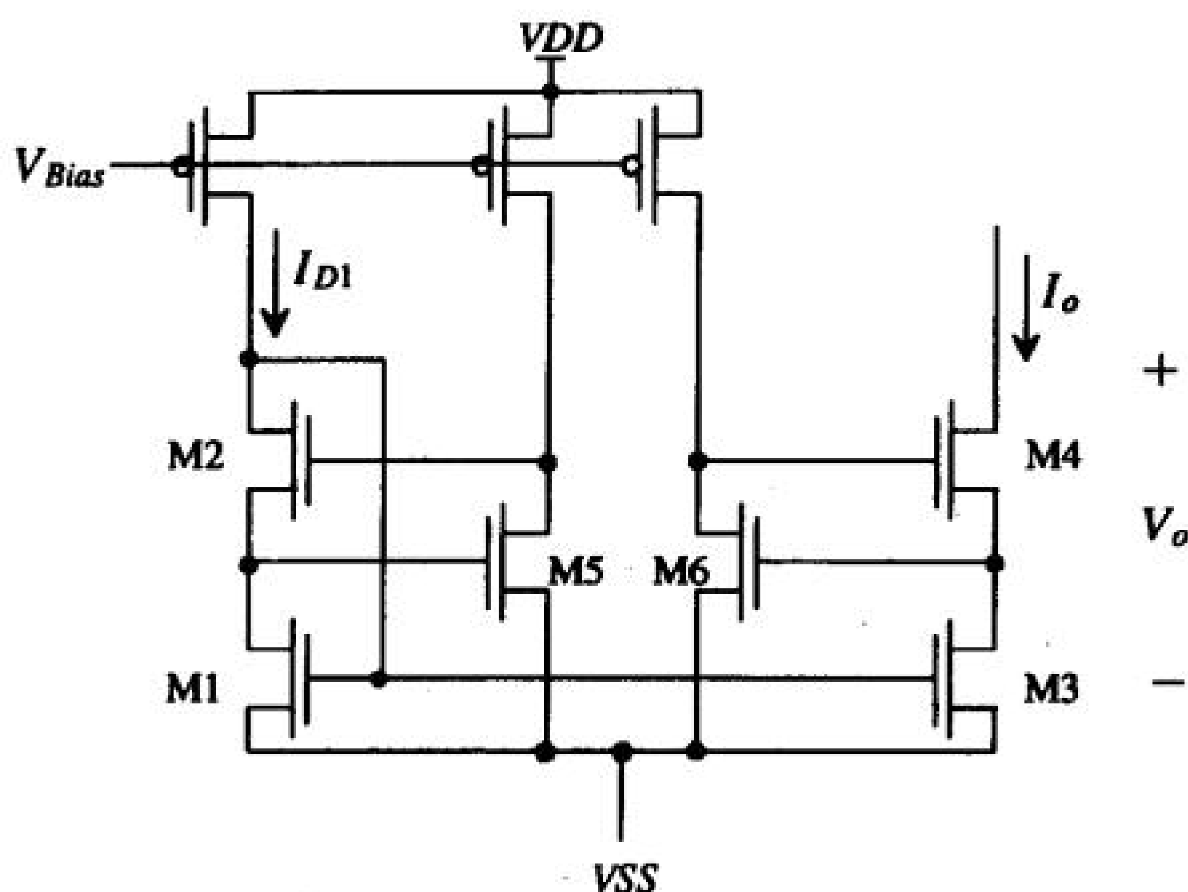


图20-25 性能更好的稳控型共源共栅电流镜

宽摆幅、低电压电流镜

图20-26给出了一个宽摆幅的电流镜[7][8]。宽摆幅的含义是：电流镜的最小输出电压仅为$2\Delta V$（当V_{THN} = 0.83V、V_{GS} = 1.2V时，ΔV = 0.37V）。该电路是基于图20-6给出的宽摆幅电流镜，在实际的电路设计中有广泛应用。M1管－M4管构成一个电流镜，可用于目前已讨论过的各种电路设计中。在后面的章节中，我们会看到：电流镜既可用做差分对的有源负载，也可用于基准电压源的设计中。宽摆幅电流镜的最小输出电压为$2\Delta V$，低于通常的共源共栅电流沉的最小输出电压（图20-5）；输出电阻（等于$g_m r_o^2$）与共源共栅电流镜相同。基于从本章例题中求得的数据，图20-27给出了一个10μA电流镜。M6管~M11管用于给M5管提供电流；M5

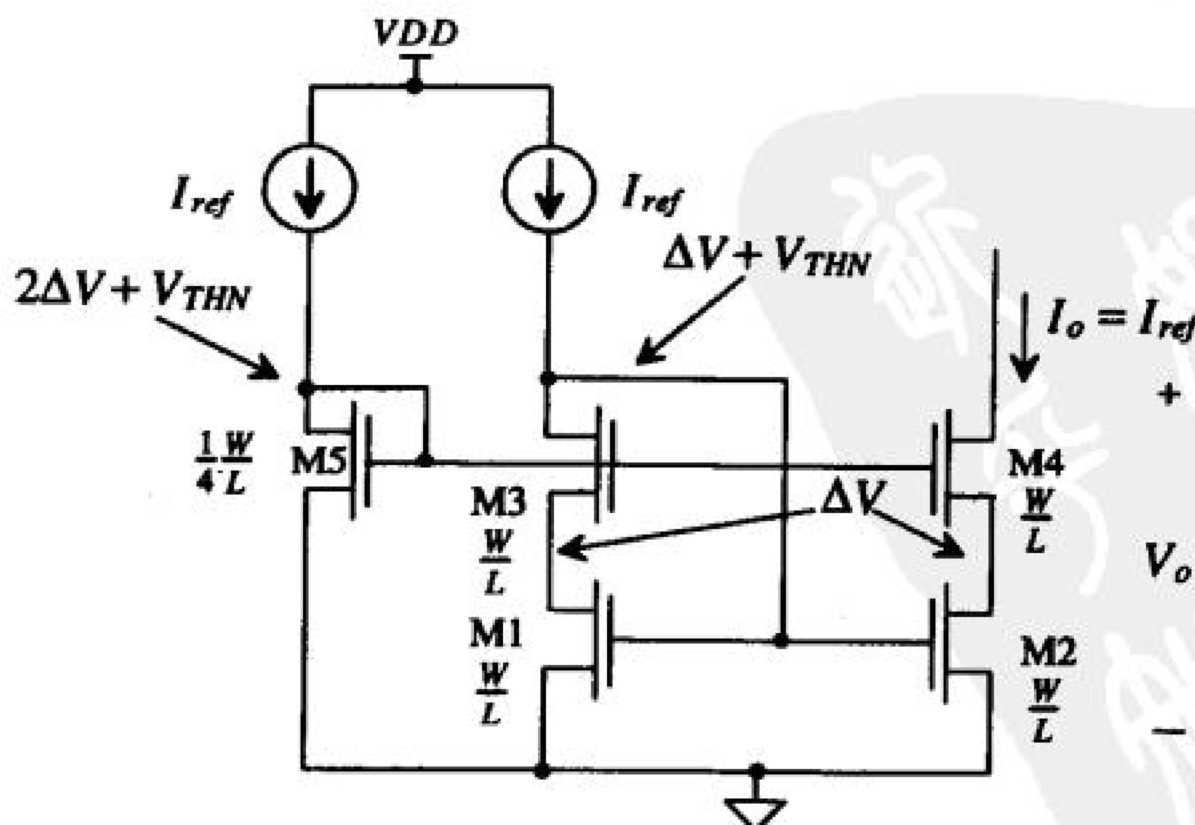


图20-26 宽摆幅的共源共栅电流镜

管产生M3管和M4管栅极的偏置电压，以实现宽摆幅。把输出电压V_o从−2.5V扫描到2.5V，观察输出电流的变化，得到图20-28所示仿真结果。把该图与图Ex20-4比较，可知：图20-27中电路的性能更佳。

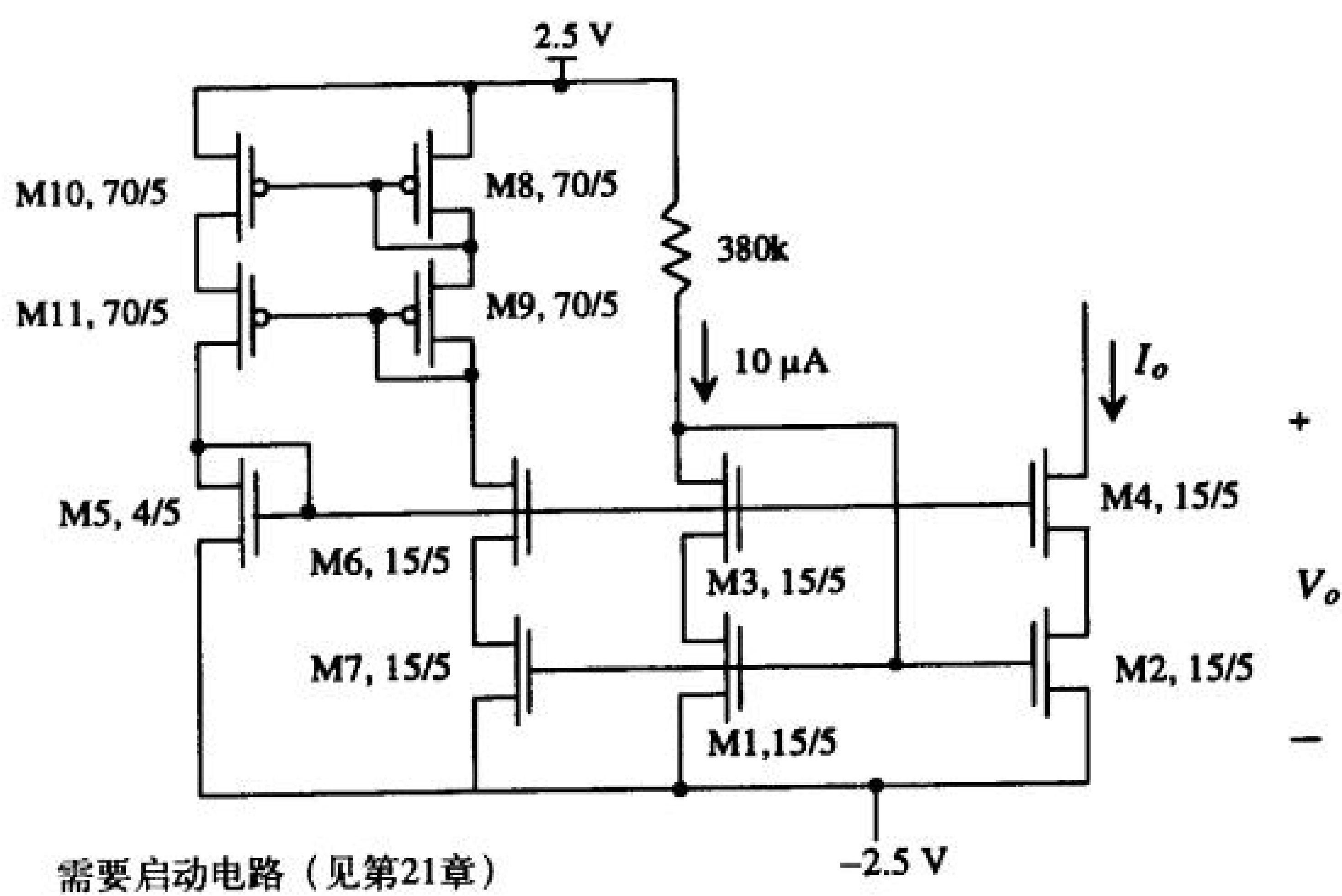


图20-27　一个宽摆幅的10μA电流镜

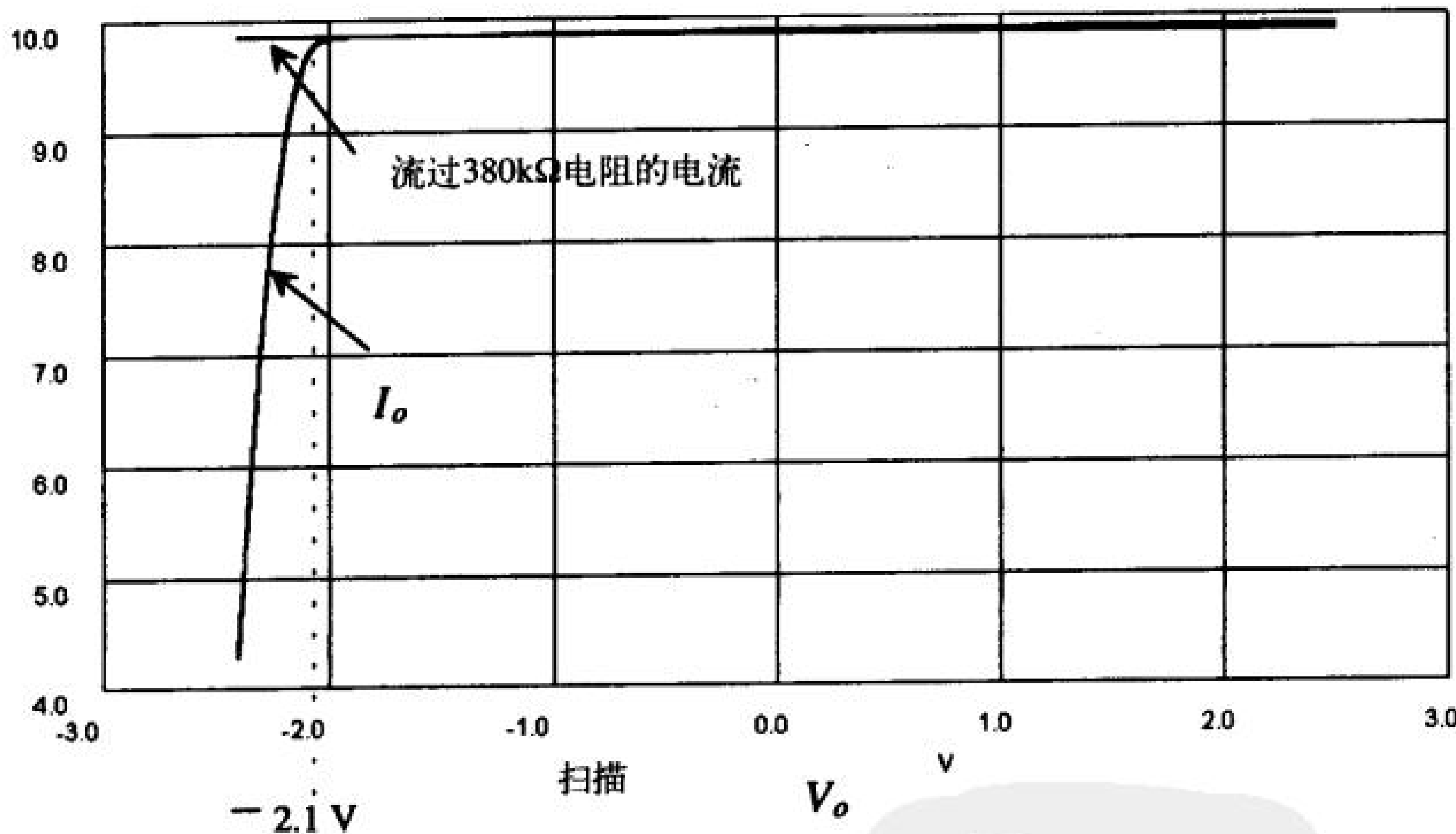


图20-28　图20-27中电流镜的仿真结果

值得说明的是，前面的分析中都忽略了体效应的影响。体效应会使得V_{GS3}和V_{GS4}大于原来求得的$\Delta V + V_{THN}$。由于M1管和M2管的$V_{DS,sat}$小于原来估算的$V_{GS} - V_{THN}$（见第5章），因此，电流沉能正常工作。在一些实际的应用中（例如用于折叠共源共栅运算放大器），该电流镜中M5管的尺寸需要减小（可以是$\frac{1}{5} \cdot \frac{W}{L}$）。

参考文献

[1] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design,* Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[2] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI-Design Techniques for Analog and Digital Circuits,* McGraw-Hill Publishing Co., 1990. ISBN 0-07-023253-9.

[3] P.R. Gray and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3rd ed., John Wiley and Sons, 1993. ISBN 0-471-57495-3.

[4] T. C. Choi, R. T. Kaneshiro, R. Broderson, and P. R. Gray, "High-Frequency CMOS Switched Capacitor Filters for Communication Applications," *IEEE Journal of Solid State Circuits,* Vol. SC-18, pp. 652-664, December 1983.

[5] U. Gatti, F. Maloberti and V. Liberali, "Full Stacked Layout of Analogue Cells," *Proc. IEEE Int. Symp. on Circuits and Systems,* pp. 1123-1126, 1989.

[6] E. Säckinger and W. Guggenbühl, "A High-Swing, High-Impedance MOS Cascode Circuit," *IEEE Journal of Solid-State Circuits,* Vol. 25, No. 1, pp. 289-298, February 1990.

[7] Y. Tsividis and P. Antognetti, *Design of MOS VLSI Circuits for Telecommunications,* Englewood Cliffs, N.J.: Prentice-Hall, 1985, p. 560.

[8] J. N. Babanezhad and R. Gregorian, "A Programmable Gain/Loss Circuit," *IEEE Journal of Solid State Circuits,* Vol. SC-22, No. 6, pp. 1082-1089, December, 1997.

455
≀
457

习题

除非特别声明，否则均采用CN20工艺参数。$VDD = 5\text{V}$，$VSS = 0\text{V}$。

20.1 针对1μA的电流和1V的V_{GS}，重做例20.1。

20.2 设计一个电路，用来偏置图P20-2中的MOS管，使其漏电流为5μA。在M1管工作于饱和区的前提下，估算M1管漏端电压的最小值。

20.3 忽略氧化层侵蚀并假定M3管的输出电阻无限大，求图P20-3中流过M3管的电流值。

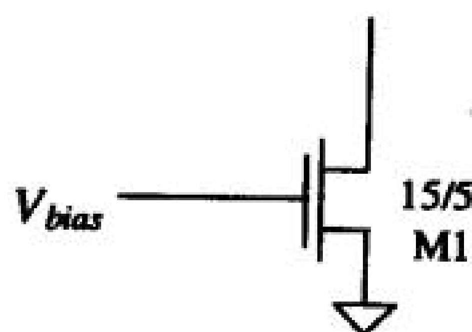


图 P20-2

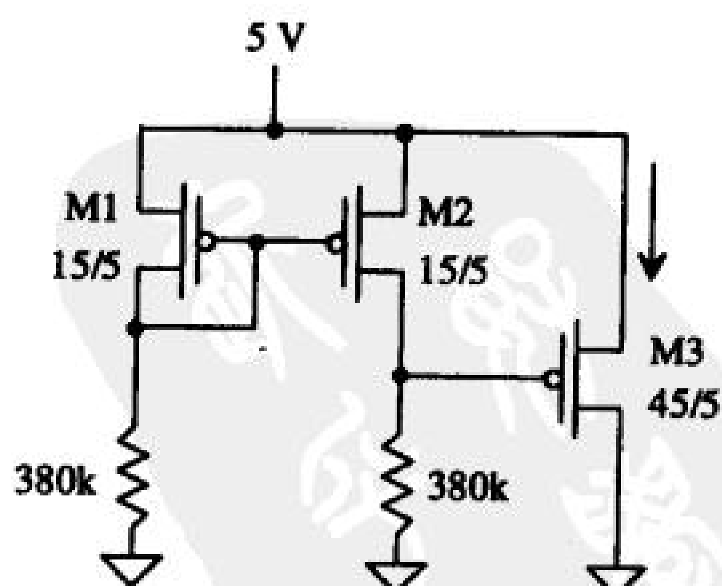


图 P20-3

20.4 如果图Ex20-3中M2管的尺寸增大为30/5，求流过各MOS管的电流的大小（忽略氧化层侵蚀）。M3管的V_{SG3}是否有变化？为什么？

20.5　求图P20-5中流过v_t的交流电流，假定$\lambda = 0.06$。

20.6　设计一个偏置电路，使流过图P20-6中M1管和M2管的电流为1μA。从M1管和M2管的漏端看进去的小信号电阻分别为多大？若保持M1管和M2管都工作在饱和区，M2管漏端的最低电压为多少？

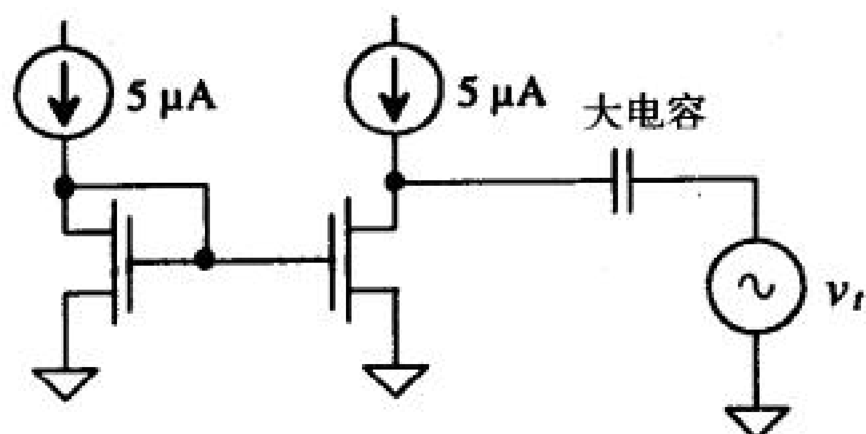


图　P20-5

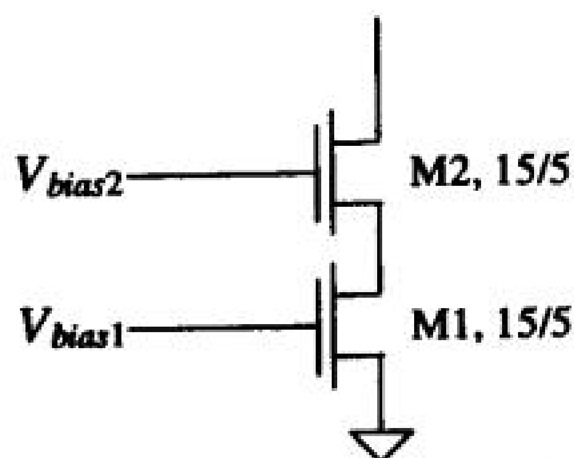


图　P20-6

20.7　通过小信号分析，验证式（20-11）的正确性。

20.8　用图P20-8给出的电路结构，设计输出电流为10μA和15μA的电流源。用手算来估算一下跨过电流源的最小电压和输出电阻。用SPICE验证你的设计的正确性。提供10μA电流时，尺寸为100/5的MOS管的V_{SG}为多少？

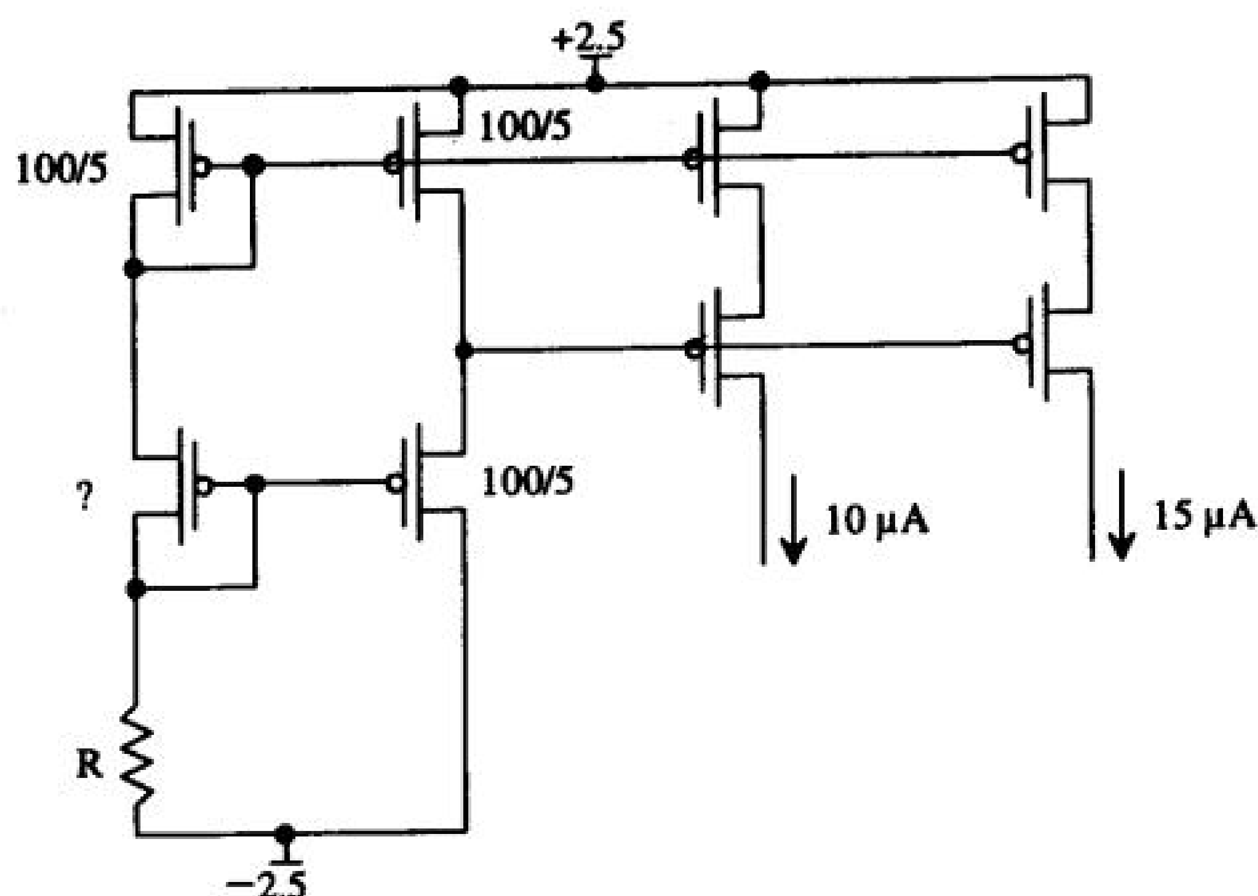


图　P20-8

458～459

20.9　使VSS从−2.4V变到−2.6V，重做例20.5。

20.10　证明基本电流镜的温度系数由式（20-19）给出。

20.11　证明跨导参数的温度系数由下式给出：

$$\frac{1}{KP(T)} \cdot \frac{\partial KP(T)}{\partial T} = \frac{-1.5}{T}$$

20.12　为了降低电流镜的功耗，通常用二极管接法的MOS管来设计电流镜，如图P20-12所示。这种电路的缺点是：M2管漏端电压的改变会对M1/M2管的栅电压有较大影响，影响的大小受限于M2管的栅源电容。用SPICE仿真该电路，观察M2管漏端电压的突变如何影响输出电流（M2管漏端电压的突变幅度分别取为1V和−1V）。

20.13　画出图P20-13所示电流镜的版图，要求避免氧化层侵蚀的影响。

20.14　假定用于电流镜的两个MOS管有相同尺寸，但阈值电压存在10mV差异。这两个MOS管漏电流之间的差值随V_{GS}如何变化？V_{GS}增大时，这两个电流间的匹配是变好还是变差？若V_{GS}增大，对跨过

电流镜的最小电压有何影响？

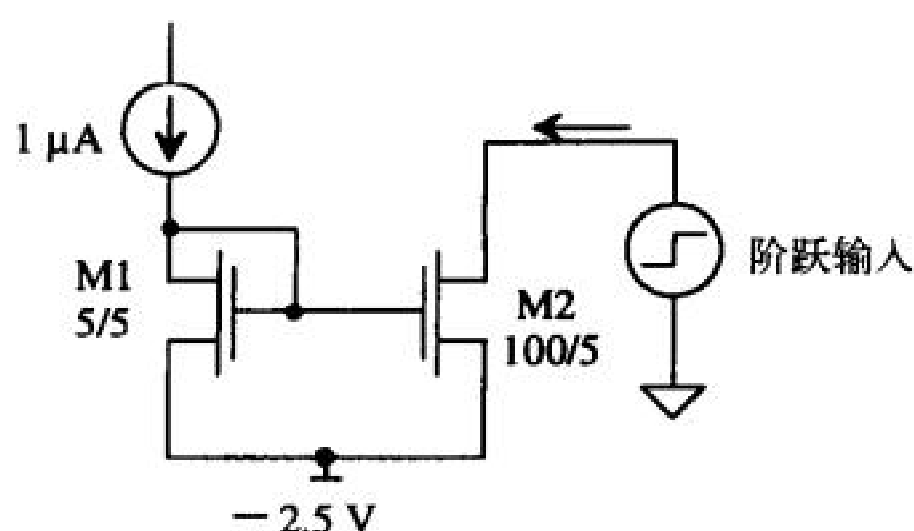


图　P20-12

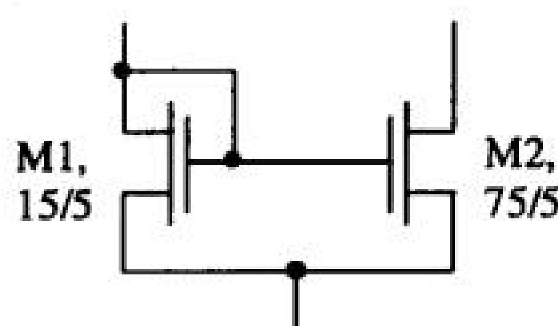


图　P20-13

20.15　用图P20-15所示的威尔逊电流镜和CN20工艺提供的参数，设计一个电流镜，使其I_o = 150μA。已知I_{REF} = 50μA，VDD = 5V，VSS = 0V。用SPICE验证你的设计。

460

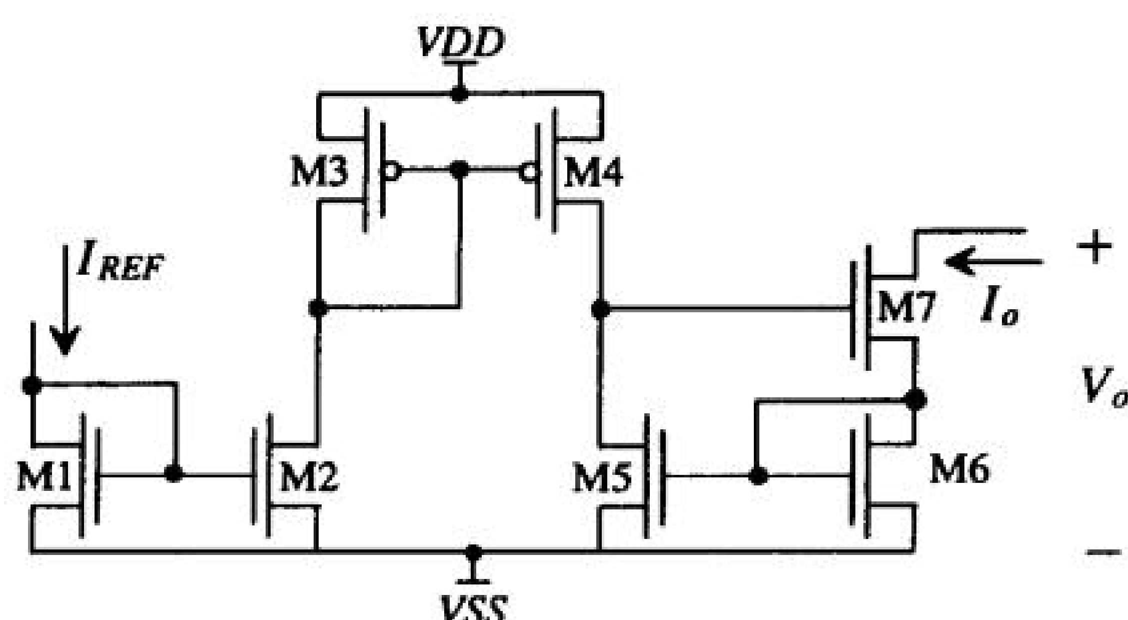


图　P20-15

20.16　已知图P20-15所示威尔逊电流镜中各MOS管尺寸均为10μm/10μm，I_{REF} = 10μA，VDD = 5V，VSS = 0V。

a. 计算威尔逊电流镜的小信号输出电阻。

b. 用SPICE验证a的计算结果。

c. 计算最小输出电压V_o(min)。

d. I_o以5μA为步长，从5μA增至50μA，绘出V_o(min)随I_o变化的关系曲线。

e. 用SPICE仿真得到V_o(min)随I_o变化的关系曲线，并与d中绘出曲线比较。

f. 假定M4~M7管的尺寸均为40μm/5μm，画出M4~M7管的版图。要求：用叉指结构设计M5管和M6管的版图，以提高匹配度；用并行器件设计M4管和M7管的版图。

20.17　针对共源共栅电流镜，重算习题20.16中a~e部分。各MOS管尺寸取为15μm/5μm。

20.18　设计一个1μA的稳控型共源共栅电流沉。估算其输出电阻。用SPICE仿真得到类似图20-24所示结果，观察输出电流随输出电压的变化。

20.19　图P20-19给出了稳控型共源共栅电流沉的基本思想。这种电路结构的输出电阻是多少？验证：若增益A等于g_m（r_o/2），则图中电路的输出电阻将减小，输出电阻表达式与式（20-51）相同。

20.20　针对图20-26所示宽摆幅电流镜，验证：若忽略体效应，当M5管的宽长比为其他MOS管的1/4时，M1管和M2管的漏电压为ΔV（剩余栅压）。

461

20.21　基本电流镜在差分放大器中被广泛用作负载。考虑图P20-21所示的改进电流镜。电路中增加了源跟随器，提高了驱动M2管的较大输入电容的能力。因此，这种结构也被称为宽带结构。估算节

点A和B到地的小信号电阻。如果在A节点和VDD之间接一电阻，推导出一个方程，用该方程把M1管、M2管的漏电流和电阻阻值联系起来。

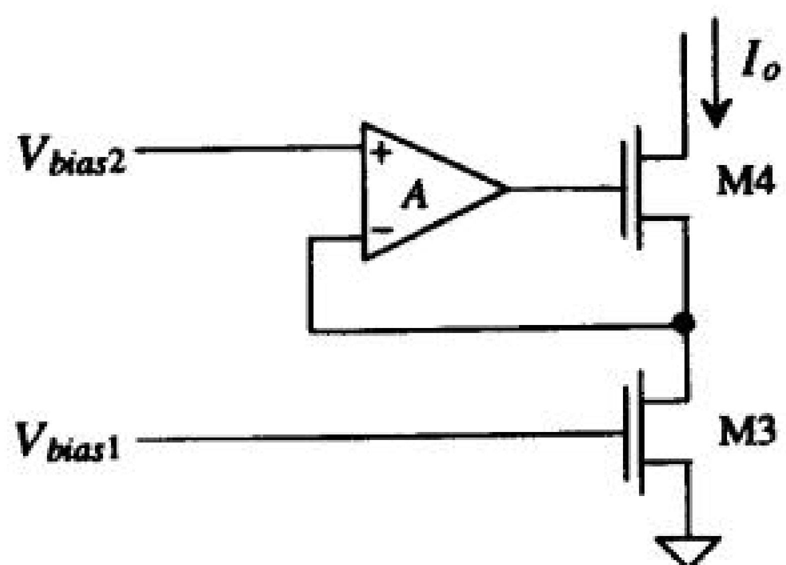


图 P20-19

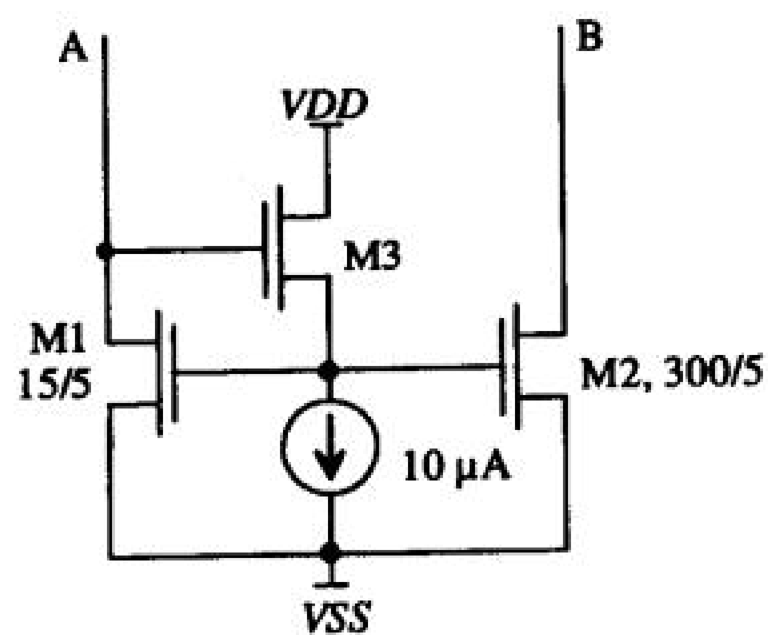


图 P20-21

462

第21章 基 准 源

本章将讨论电压基准源和电流基准源，以及怎样用电压基准源来偏置上一章中讨论过的电流源和电流沉。良好的基准源对温度、工艺和电源电压的改变都不敏感。

21.1 分压器

在CMOS集成电路设计中，可以用电阻和MOS管，从电源电压获得一个基准电压。图21-1就体现了这一思想。用两个电阻可实现分压器，其好处是：电路简单，对温度变化不敏感（见第7章），对工艺偏差不敏感（即方块电阻的改变对分压没有影响）；其缺点是：为了降低功耗（即减小流过电阻的电流），电阻阻值必须很大；而大电阻需要占用较大的芯片面积。因此，这种分压器在很多情形下不适用。用电阻和MOS管可构成分压器，它与前面讨论过的电流镜电路中产生参考电流的支路相同。图21-1中最后一种分压器由NMOS管和PMOS管构成，其优点是：版图面积小。在接下来的两节中，我们只分析后两种分压器的特性。

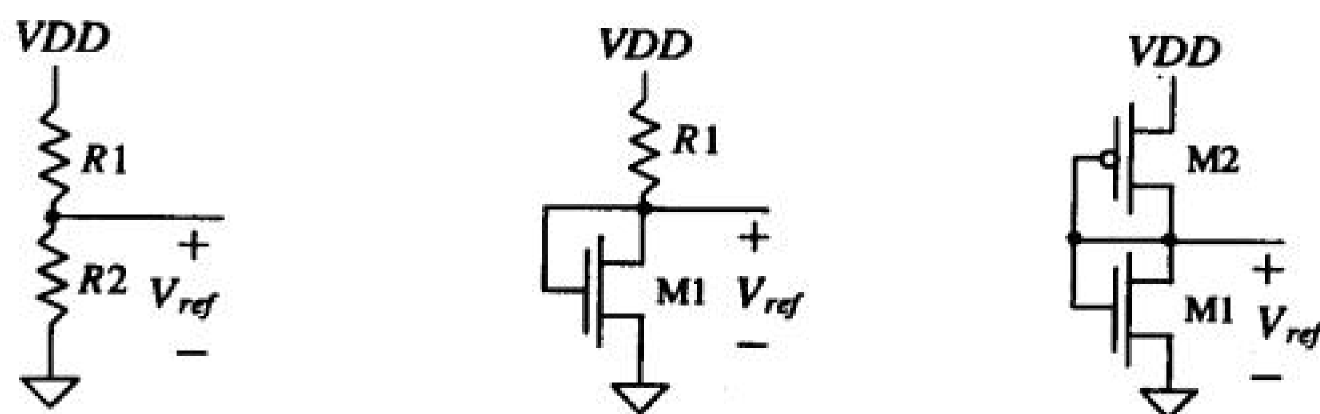


图21-1 用CMOS工艺实现的分压器

21.1.1 电阻−MOS管型分压器

由电阻−MOS管型分压器产生的基准电压为MOS管的V_{GS}。由其电路结构知：

$$I_D=\frac{VDD-V_{ref}}{R}=\frac{\beta_1}{2}(V_{ref}-V_{THN})^2 \tag{21-1}$$

由上式得：

$$V_{ref}=V_{THN}+\sqrt{\frac{2I_D}{\beta_1}}=V_{THN}+\sqrt{\frac{2(VDD-V_{ref})}{R\cdot\beta_1}} \tag{21-2}$$

基准电压对VDD的敏感度（当$VDD>>V_{ref}$）为：

$$S_{VDD}^{V_{ref}}=\frac{VDD}{V_{ref}}\cdot\frac{\partial V_{ref}}{\partial VDD}\approx\frac{1}{V_{THN}\cdot\sqrt{\frac{2R\beta_1}{VDD}}+2} \tag{21-3}$$

基准电压V_{ref}的温度系数为：

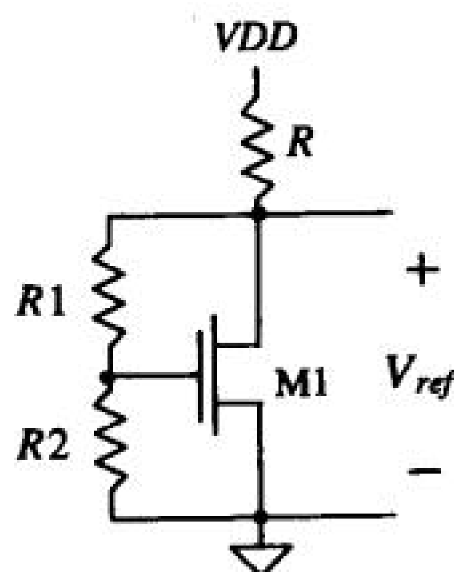
$$TC(V_{ref}) = \frac{1}{V_{ref}} \cdot \frac{\partial V_{ref}}{\partial T} \tag{21-4}$$

由式（20-25），且$VSS=0$，可求得：

$$TC(V_{ref}) = \frac{1}{V_{ref}}\left[V_{THN} \cdot TCV_{TH} - \frac{1}{2}\sqrt{\frac{2L_1}{W_1} \cdot \frac{VDD}{R \cdot KP(T)}} \cdot \left[\frac{1}{R}\frac{\partial R}{\partial T} - \frac{1.5}{T}\right]\right] \tag{21-5}$$

图21-2给出一个改进的电阻－MOS管型分压器，它产生的基准电压为：

$$V_{ref} = V_{GS}\left(\frac{R_1}{R_2} + 1\right) \tag{21-6}$$



464

图21-2　改进的电阻－MOS管型分压器

21.1.2　MOS管型分压器

图21-3给出了一个MOS管型分压器，它产生的基准电压等于MOS管的栅极对地的电压。由于$I_{D1}=I_{D2}$，因此有：

$$\frac{\beta_1}{2}(V_{ref} - VSS - V_{THN})^2 = \frac{\beta_2}{2}(VDD - V_{ref} - V_{THP})^2 \tag{21-7}$$

由上式可求得基准电压为：

$$V_{ref} = \frac{VDD - V_{THP} + \sqrt{\frac{\beta_1}{\beta_2}}(VSS + V_{THN})}{\sqrt{\frac{\beta_1}{\beta_2}} + 1} \tag{21-8}$$

若已知基准电压和电源电压，由式（21-7）可求得：

$$\frac{\beta_1}{\beta_2} = \left[\frac{VDD - V_{ref} - V_{THP}}{V_{ref} - VSS - V_{THN}}\right]^2 \tag{21-9}$$

基准电压V_{ref}对VDD的敏感度为：

$$S_{VDD}^{V_{ref}} = \frac{VDD}{VDD - V_{THP} + \sqrt{\frac{\beta_1}{\beta_2}}(VSS + V_{THN})} \tag{21-10}$$

根据式（21-8），并假定跨导参数比值（β_1/β_2）随温度的变化可忽略不计，基准电压V_{ref}的温度系数为：

$$TC(V_{ref})=\frac{1}{V_{ref}}\cdot\frac{\partial V_{ref}}{\partial T}=\frac{1}{V_{ref}}\cdot\frac{1}{\sqrt{\frac{\beta_1}{\beta_2}}+1}\cdot\left[\frac{\partial(-V_{THP})}{\partial T}+\sqrt{\frac{\beta_1}{\beta_2}}\frac{\partial V_{THN}}{\partial T}\right] \tag{21-11}$$

由第9章的分析知:

$$\frac{\partial V_{THN}}{\partial T}=TCV_{THN}\cdot V_{THN}=(-0.003^{\circ}C^{-1})(0.8\ V)=-2.4\ \frac{mV}{^{\circ}C} \tag{21-12}$$

$$-\frac{\partial V_{THP}}{\partial T}=-TCV_{TH}\cdot V_{THP}=-(-0.003^{\circ}C^{-1})(0.9V)=2.7\frac{mV}{^{\circ}C} \tag{21-13}$$

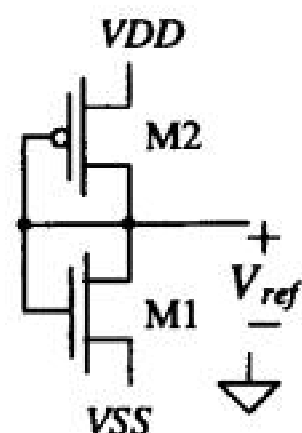


图21-3 MOS管型分压器

要使$TC(V_{ref})=0$，需要:

$$-\frac{\partial V_{THP}}{\partial T}=-\sqrt{\frac{\beta_1}{\beta_2}}\cdot\frac{\partial V_{THN}}{\partial T}\Rightarrow 2.7\ \frac{mV}{^{\circ}C}=\sqrt{\frac{\beta_1}{\beta_2}}\cdot 2.4\ \frac{mV}{^{\circ}C} \tag{21-14}$$

得到:

$$\sqrt{\frac{\beta_1}{\beta_2}}=1.125 \tag{21-15}$$

若只考虑一阶效应，满足式（21-15）即可得到零温度系数的V_{ref}。但在实际的电路设计中，该比值通常由需要的V_{ref}决定。

例21.1

取VDD = 5V，VSS = 0V，设计一个MOS管型分压器，产生3V的基准电压。求该基准电压的温度系数并用SPICE验证手算的结果。比较$L_1 = L_2$ = 5μm和$L_1 = L_2$ = 50μm这两种情形下的分压器功耗。

已知V_{THN} = 0.8V，V_{THP} = 0.9V，由式（21-9）可求得β_1和β_2的比值为:

$$\frac{\beta_1}{\beta_2}=\left[\frac{5-3-0.9}{3-0-0.8}\right]^2=0.25$$

令$L_1 = L_2 = W_1$ = 5μm，则由上式得:

$$\frac{KP_nW_1L_2}{KP_PW_2L_1}=\frac{\left(50\times10^{-6}\frac{A}{V^2}\right)5\mu 5\mu}{\left(17\times10^{-6}\frac{A}{V^2}\right)W_2 5\mu}=0.25$$

解得：W_2 = 60μm。基准电压的温度系数为:

$$TC(V_{ref})=\frac{1}{3}\cdot\frac{1}{\sqrt{\frac{50\cdot 5}{17\cdot 60}}+1}\cdot\left[0.0027+\sqrt{\frac{50\cdot 5}{17\cdot 60}}(-0.0024)\right]=337\ \text{ppm/°C}$$

图21-4给出了PSPICE仿真结果。由该图可求得基准电压的温度系数约为400ppm/°C。手算结果和PSPICE仿真结果之间有一定差异，其原因在于阈值电压的温度系数有偏差。$L=5\mu m$时，漏电流为125μA，对应的功耗为600μW。$L=50\mu m$时，漏电流降为12.5μA，对应的功耗为60μW。功耗降低是以牺牲面积为代价。如果图21-3的电路中再串联一个MOS管，就会引入一个阈值电压的电压降，有助于解决功耗和面积之间的矛盾。 ■

465~466

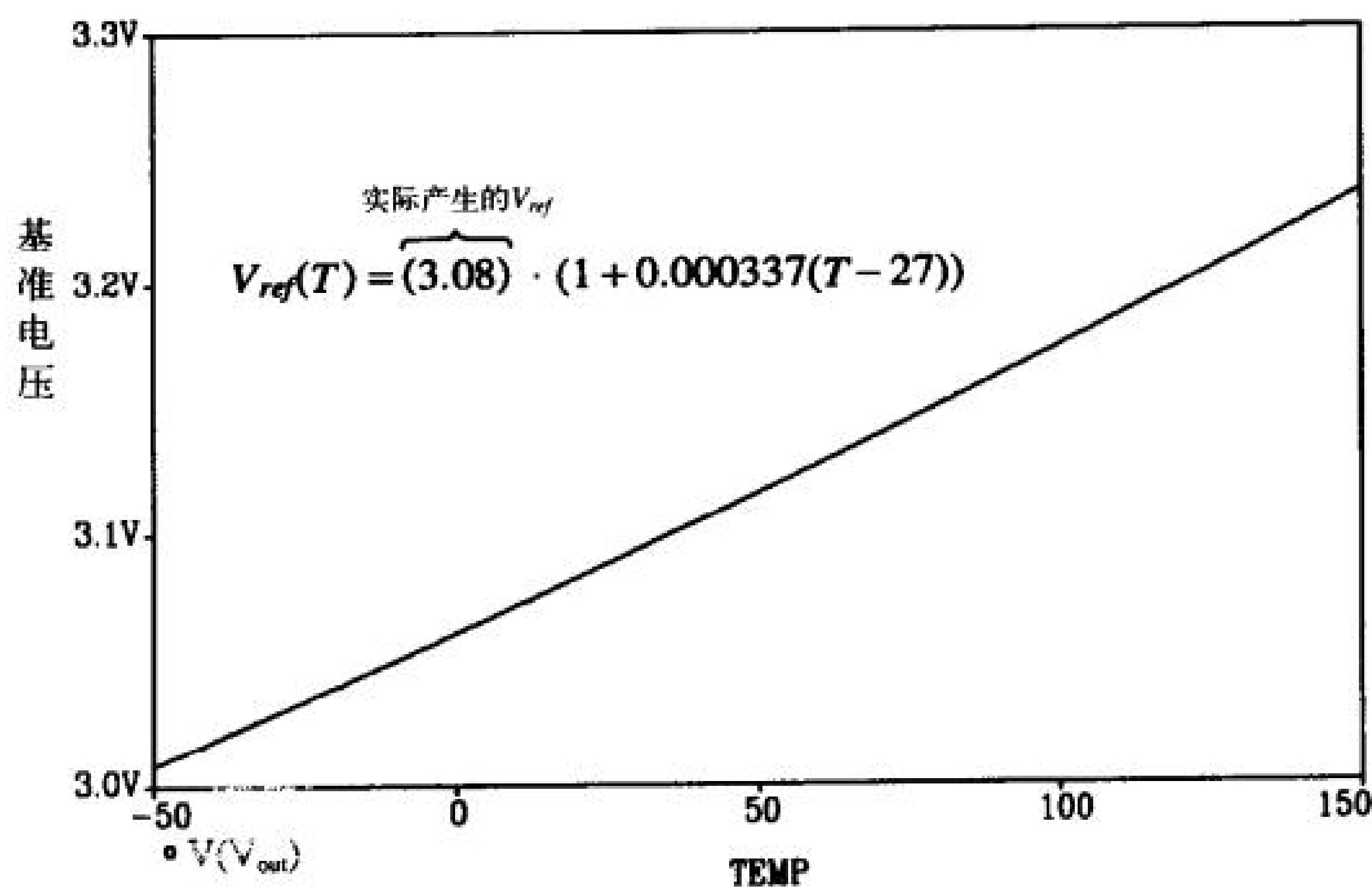


图21-4 例21.1中设计的分压器的温度特性

图21-5给出了由三个MOS管构成的分压器。这种结构的分压器能提供两个基准电压。为了避免体效应的影响，两个PMOS管各占一个阱。采用现代工艺设计分压器时，需要设计者了解工艺允许的最大栅源电压。通常，栅氧化层能承受的最大电势差小于7MV/cm（即0.7V/10Å）。如果某工艺的栅氧化层厚度为100Å，用该工艺设计的电路应保证栅极到源或栅极到衬底的电势差小于7V。多数情况下，可靠性问题与栅氧化层能承受的最大电势差有关。

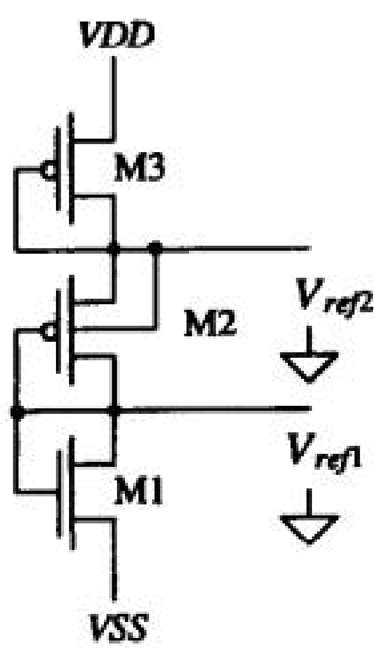


图21-5 采用三个MOS管构成的分压器

设计由三个MOS管构成的分压器的过程是：先明确期望产生的基准电压，再决定流过MOS管的电流大小，最后求出各MOS管的尺寸。

例21.2

取VDD = 5V，VSS = 0V，设计一个由三个MOS管构成的分压器（如图21-5所示），产生2V和3.5V的基准电压。取MOS管漏电流为10μA，$L_1 = L_2 = L_3 = 20\mu m$。针对本设计和例21.1（$L = 50\mu m$情形）的设计，比较其版图面积的差异。

由于$V_{GS1} = 2V$，由下式可求出W_1:

$$10\ \mu A = \frac{KP_n}{2} \cdot \frac{W_1}{20\mu m}(2-0.8)^2$$

解得：$W_1 \approx 5\mu m$。同样，由于$V_{SG2} = 1.5V$，可求得W_2:

$$10\ \mu A = \frac{KP_p}{2} \cdot \frac{W_2}{20\mu m}(1.5-0.9)^2 \ \Rightarrow W_2 = 65\ \mu m$$

由$V_{SG3} = 1.5V$，解得$W_3 = 65\mu m$。

例21.1中，$L = 50\mu m$（漏电流为12.5μA）情形下，电路版图面积可估算如下：

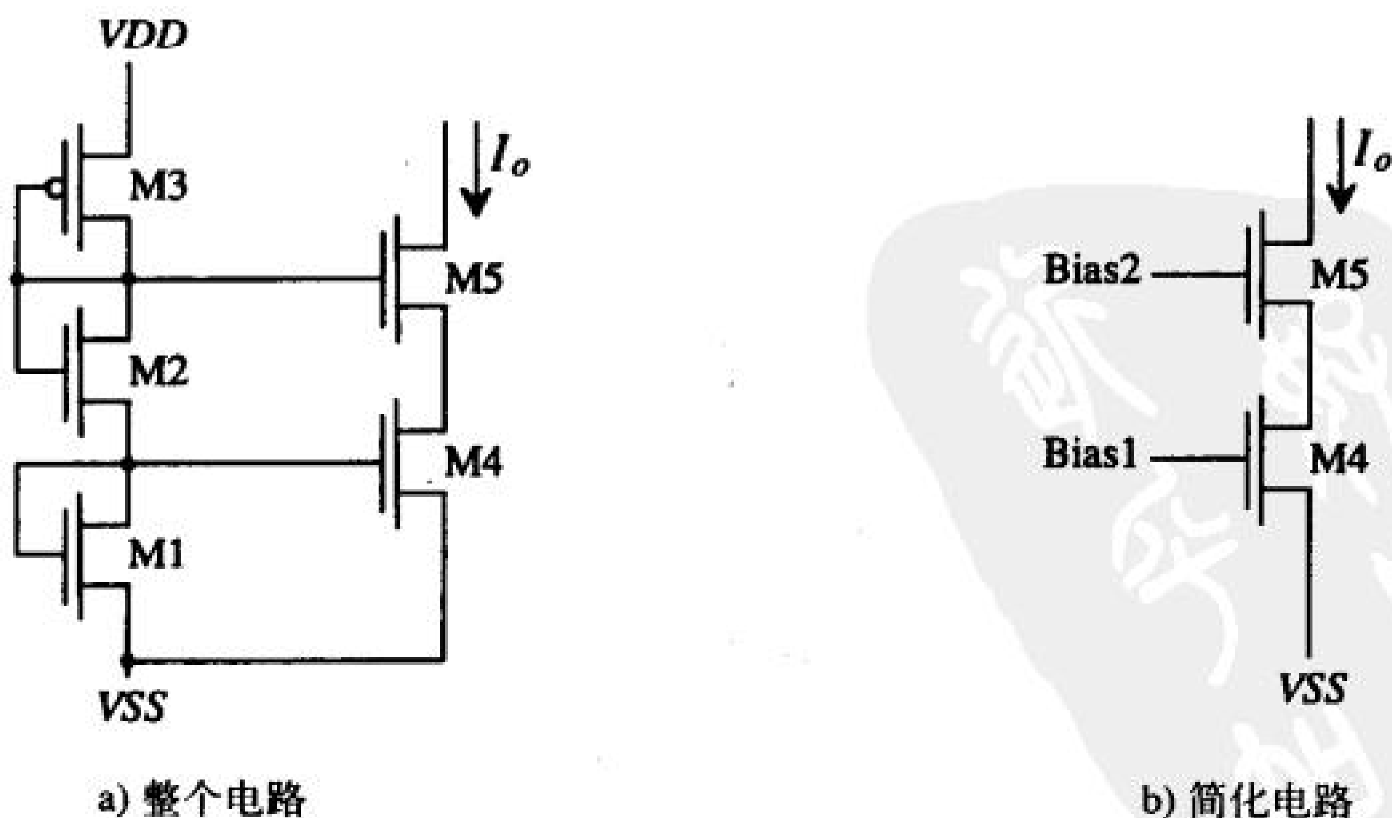
$$A_{Ex21.1} = L_1W_1 + L_2W_2 = 3250\ \mu m^2$$

而本例中，电路版图面积仅为2 700μm²。另外，本例中电路的功耗（50μW）也比例21.1（$L = 50\mu m$情形）中小。 ■

图21-6a给出一个MOS管型分压器的应用实例。图中，基准电压用来给共源共栅电流沉提供偏置。流过分压器的电流可以和流过M4管和M5管的电流相等，也可以成一定的比例关系。由上一章中讨论的结果知：若要设计一个10μA的电流沉，可以使流过M1管的电流为10μA，M1管的V_{GS1}（= V_{GS4}）为1.2V。流过M1管的电流被镜像到M4管。M2管的尺寸可以取为与M1管相同。根据电流值和$V_{SG3} = VDD-2.4V$，可确定M3管的尺寸。有时，由M1管和M2管产生的偏置电压被简单地标识为“Bias”，如图21-6b所示。有些复杂电路并不画出偏置电路部分，这会使电路看起来比较简单。

本节讨论的分压器（电阻-电阻型、电阻-MOS管型、MOS管型）的主要缺点是：产生的基准电压对电源电压和温度变化比较敏感。本章下面的部分将讨论对温度和电源电压变化不太敏感的基准电压源和偏置电流源。

467～468



a) 整个电路　　b) 简化电路

图21-6 用MOS管型分压器产生共源共栅电流沉的偏置电压

21.2 自偏置电流源

到目前为止，已介绍的电流源的偏置方法都受电源电压变化和温度变化的影响。*VDD*或*VSS*的变化直接会影响电路中的电流。在本节中，将介绍三种新的偏置方式，它们能减少电源电压变化的影响，以及温度对电流源电流的影响。

21.2.1 以阈值电压为基准的自偏置电路

考察图21-7所示偏置电路。假定每个MOS管的输出电阻无限大并忽略体效应的影响，M3管和M4管强制流过M1管和M2管的电流相等。电流*I*和电阻*R*的乘积等于M1管的栅源电压，即：

$$IR = V_{GS1} = V_{THN} + \sqrt{\frac{2I}{\beta_1}} \tag{21-16}$$

如果β_1很大，由上式得：

$$I \approx \frac{V_{THN}}{R} \tag{21-17}$$

式（21-16）中的第二项在很多实际电路中并不能忽略，因此，电流*I*为：

$$I = \frac{V_{GS1}}{R} \tag{21-18}$$

V_{GS1}的实际取值一般在1.0V到1.2V之间。由上式知，电流*I*与电源电压无关。如果MOS管的输出电阻无穷大，电流*I*的确与电源电压无关。在实际电路中，电源电压的变化还是会对电流有一定的影响，但和前面讨论过的各种电路相比，电源电压对电流的影响要小了很多。M3管和M4管采用共源共栅连接方式会使偏置电路的特性更趋于理想。电流*I*的精度受限于阈值电压和n+电阻的精度。阈值电压的变化有时高达20%，n+电阻阻值的变化同样有可能达到20%。

469

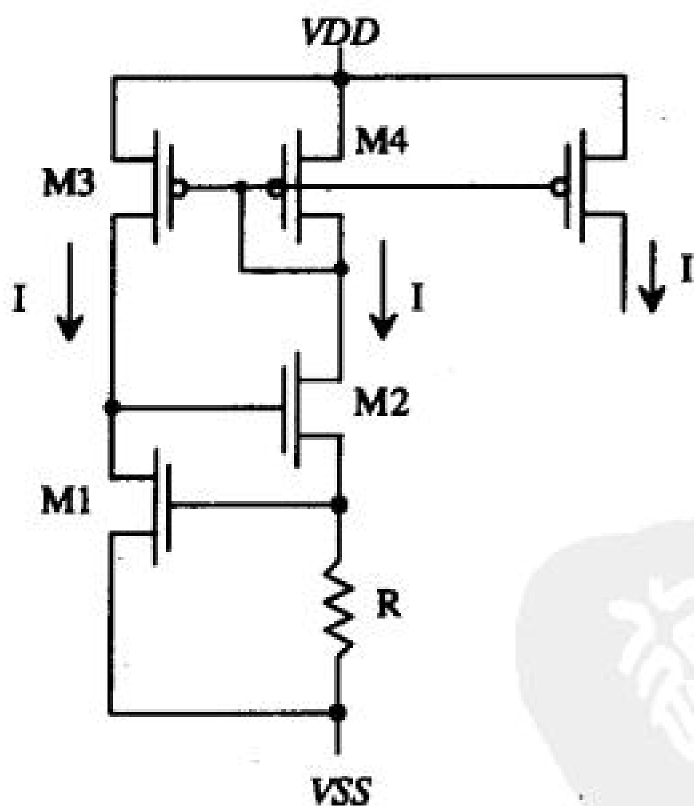
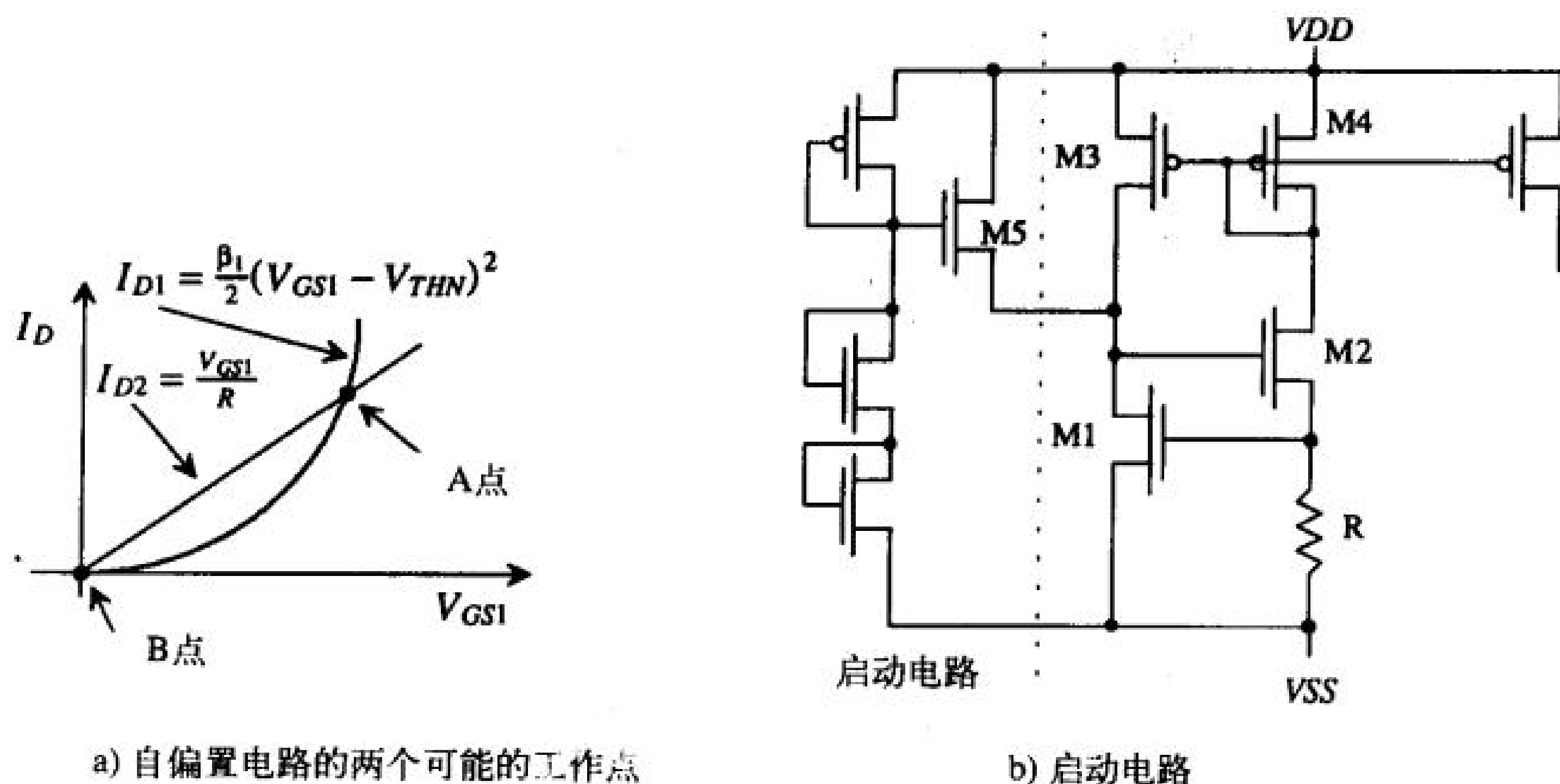


图21-7 以阈值电压为基准的自偏置电路

根据式（21-17），可求得以阈值电压为基准的自偏置电路的温度特性。阈值电压的温度系数（见第9章）约为-3 000ppm/°C，n+电阻的温度系数（见第7章）约为2 000ppm/°C。温度升高，阈值电压下降，而电阻阻值增大，因此，基准电流有一个较大的负温度系数。

所有自偏置电路都存在电流*I*为零的可能性。考虑图21-7中，M3管和M4管的栅极电压为

VDD，M2管的栅极电压为VSS，这时会出现什么情况？图21-8a给出了自偏置电路的I_D与V_{GS1}的关系曲线。图中，A点是期望的工作点，B点对应$I = 0$情形。图21-8b给出了带启动电路的基准电路，可避免电路工作在B点。若M2管的栅极电压等于VSS或在VSS附近，M5管会导通，提升M2管栅极电压，使该电路的工作点从B点向A点转移。当M2管的栅极电压达到$2V_{GS}$后，M5管关断。一旦自偏置电路的工作点变为A点，启动电路就不再影响基准电路的工作。



a) 自偏置电路的两个可能的工作点　　b) 启动电路

图 21-8

21.2.2 以二极管为基准的自偏置电路

许多偏置电路利用n阱CMOS工艺固有的MOS管以及寄生的PNP双极型晶体管来产生基准电流或基准电压。寄生PNP双极晶体管由p+注入（发射极）、n阱（基极）和p型衬底（集电极）构成。图21-9a给出了寄生PNP晶体管的版图，图21-9b给出了剖面图。这种寄生PNP晶体管的基极接到了衬底上（即接到了VSS上），为二极管接法。这种电路结构能减小与二极管串联的有效电阻的阻值并能减小到衬底的泄漏电流。

在设计自偏置电路时，PNP晶体管的发射极面积很重要。CN20工艺允许的最小尺寸图形是边长为6μm的正方形，其面积为36μm²。图21-9c中晶体管符号旁边标注了数字“1”，“1”表示该晶体管的发射极为最小尺寸。如果在一个PNP晶体管的旁边标上“8”，则表示该晶体管的发射极的面积为8 × 36μm²。

能用SPICE来仿真这些寄生PNP晶体管对提高设计成功几率有重要意义。由于寄生PNP晶体管的基极与集电极短接，因此，我们可以二极管模型为这个器件建模。流过正向偏置的二极管的电流为：

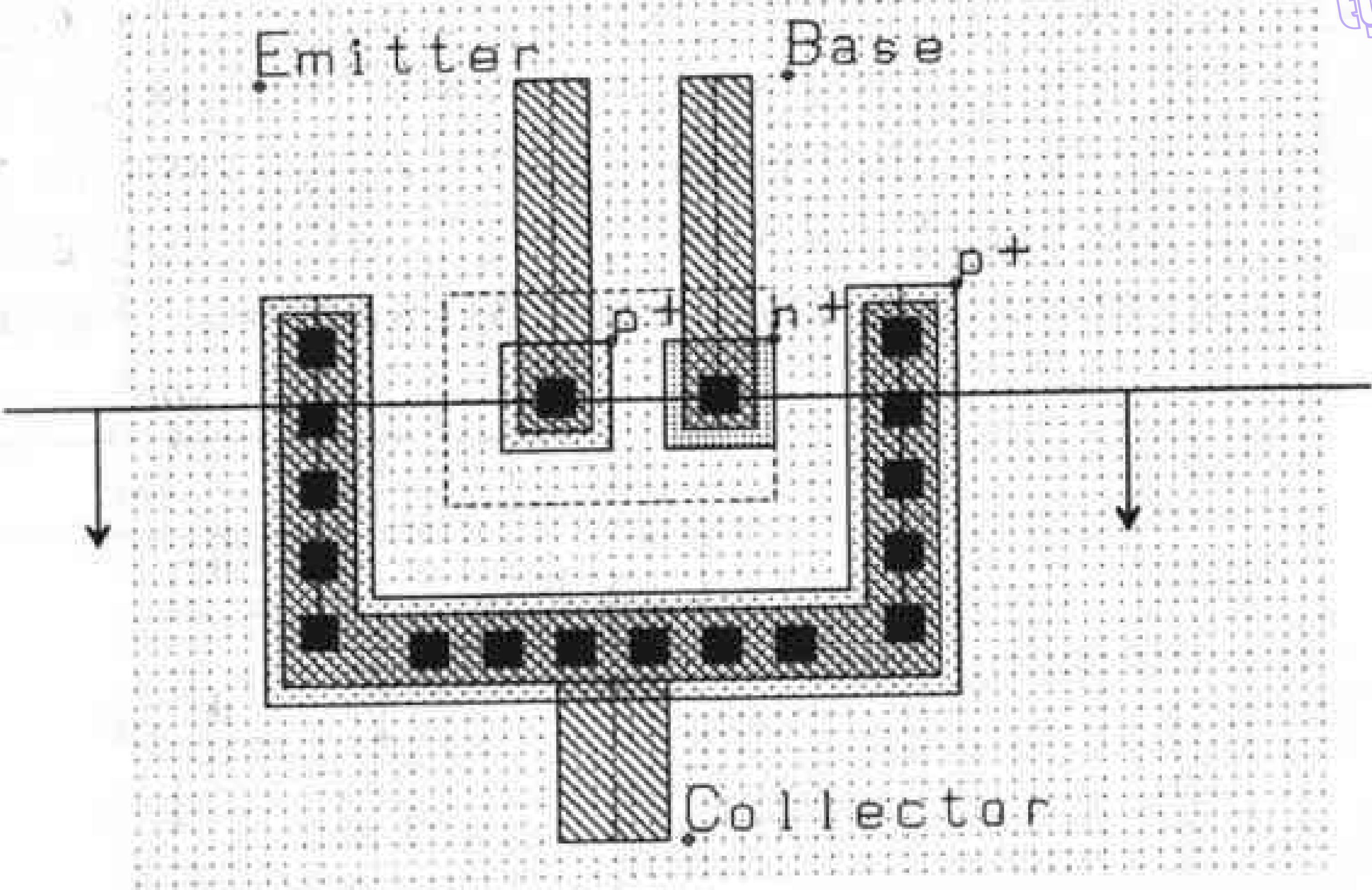
$$I_d = I_s \cdot e^{V_d/n \cdot V_T} \tag{21-19}$$

式中，V_d为二极管两端电压差；V_T为热电压kT/q，室温下为26mV（见第2章）。

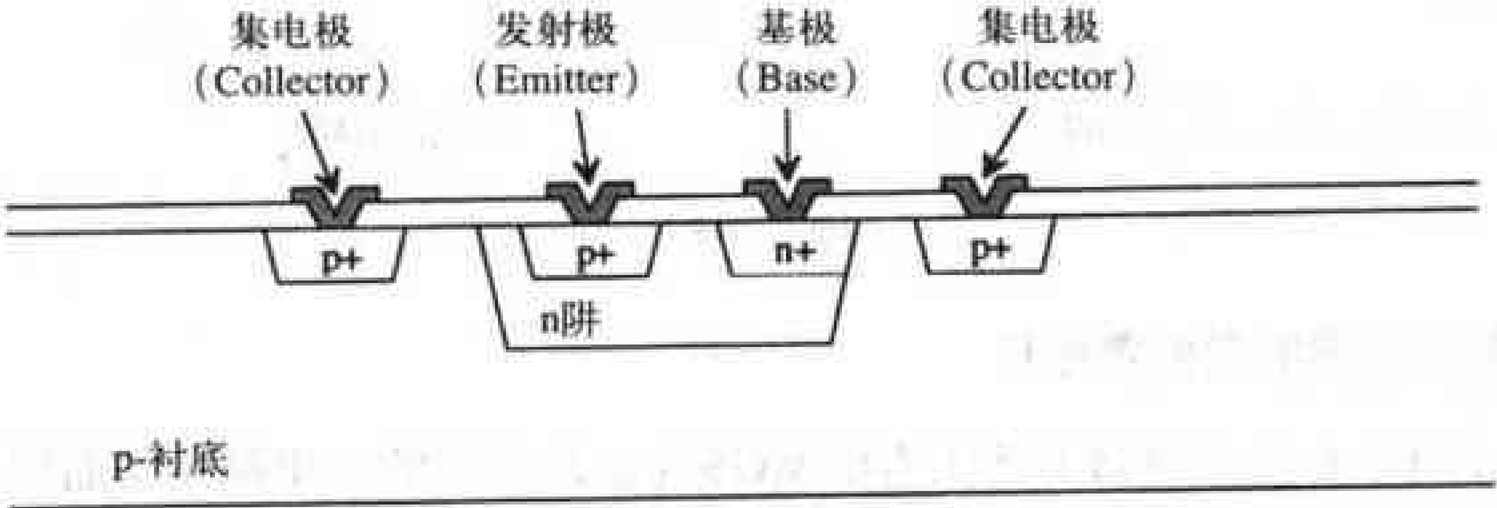
式（21-19）中值得关注的一个参数是标称电流I_S。I_S可由PMOS管的BSIM模型参数JS求得（JS参数反映p+源/漏区到阱的泄漏电流的大小）。对于最小尺寸的PNP晶体管（发射极面积为A_E），I_S等于：

$$I_s = JS \cdot AE = 10^{-8}\frac{\text{A}}{\text{m}^2} \cdot 36\ \mu\text{m}^2 = 360 \times 10^{-21}\ \text{A} \tag{21-20}$$

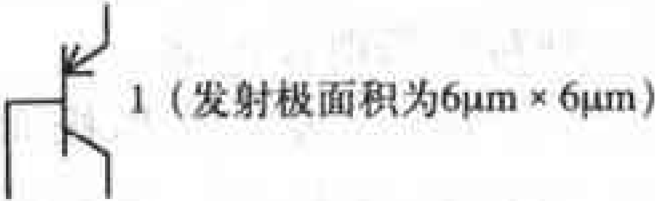
470～471



a) n阱CMOS工艺中寄生PNP晶体管的版图



b) 剖面图



c) 最小尺寸寄生PNP晶体管的电路符号（发射区面积为6μm × 6μm）

图　21-9

472

上式求得的I_S太小了，不符合实际情况。该模型中电流密度JS的值为缺省值（已在前面第14章中给予过详细讨论），说明CN20工艺没有提供该参数的实际值。I_S的实际值可能是：

$$I_s = 10^{-15}\ \text{A} \tag{21-21}$$

由于CN20工艺没有提供二极管特性，因此，无法求得I_S或n（发射系数）。若令$n = 1$，可以用下面的二极管模型做寄生PNP晶体管的模型，由此得到的仿真结果与试验结果吻合。

```
.MODEL          PNPDIOD         D( is=1E-15 n=1)
```

图21-10中，二极管接法的PNP晶体管可用下列语句描述：

```
D1      1       5       PNPDIOD
D2      2       5       PNPDIOD         8
```

其中，D2的面积因子$A=8$，标称电流为$A\cdot IS$。

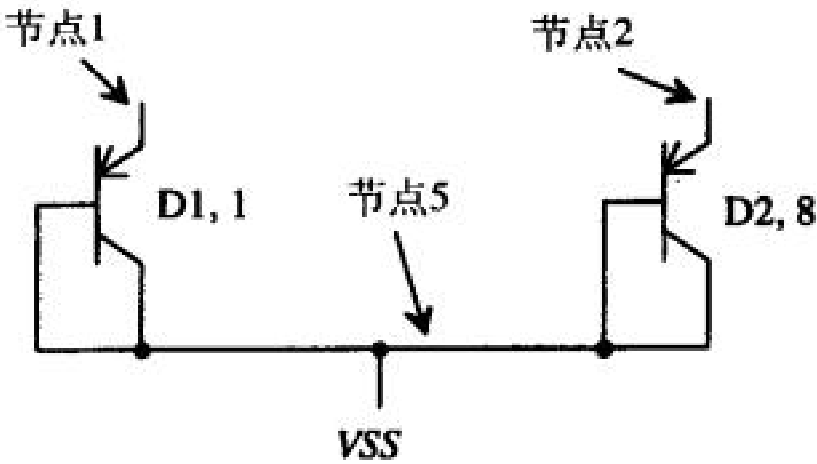


图21-10 两个寄生PNP晶体管的电路图以及与SPICE语句对应的节点编号

图21-11给出了一个以二极管为基准的自偏置电路。图中，由M1~M8管构成的共源共栅电流镜使得流过R和D_1的电流相等。若加在二极管上的电压为V_d，则电流I (= I_d)为:

$$I=\frac{V_d}{R}=I_s e^{V_d/n\cdot V_T} \tag{21-22}$$

解得电阻R与电流I的关系如下:

$$R=\frac{n\cdot V_T}{I}\ln\frac{I}{I_s} \tag{21-23}$$

与前一节讨论的以阈值电压为基准的自偏置电路相比，以二极管为基准的自偏置电路的主要优点在于：无论是同一个管芯上，还是硅片与硅片之间，二极管电压均比阈值电压有更好的一致性。以二极管为基准的自偏置电路的主要缺点和以阈值电压为基准的自偏置电路一样，容易受温度变化的影响。对正向偏压为0.6V的二极管而言，二极管的温度系数约为−2mV/°C或−3 300ppm/°C。n+电阻的温度系数约为2 000ppm/°C。两者共同作用，使得偏置电路有一个负的温度系数。

473

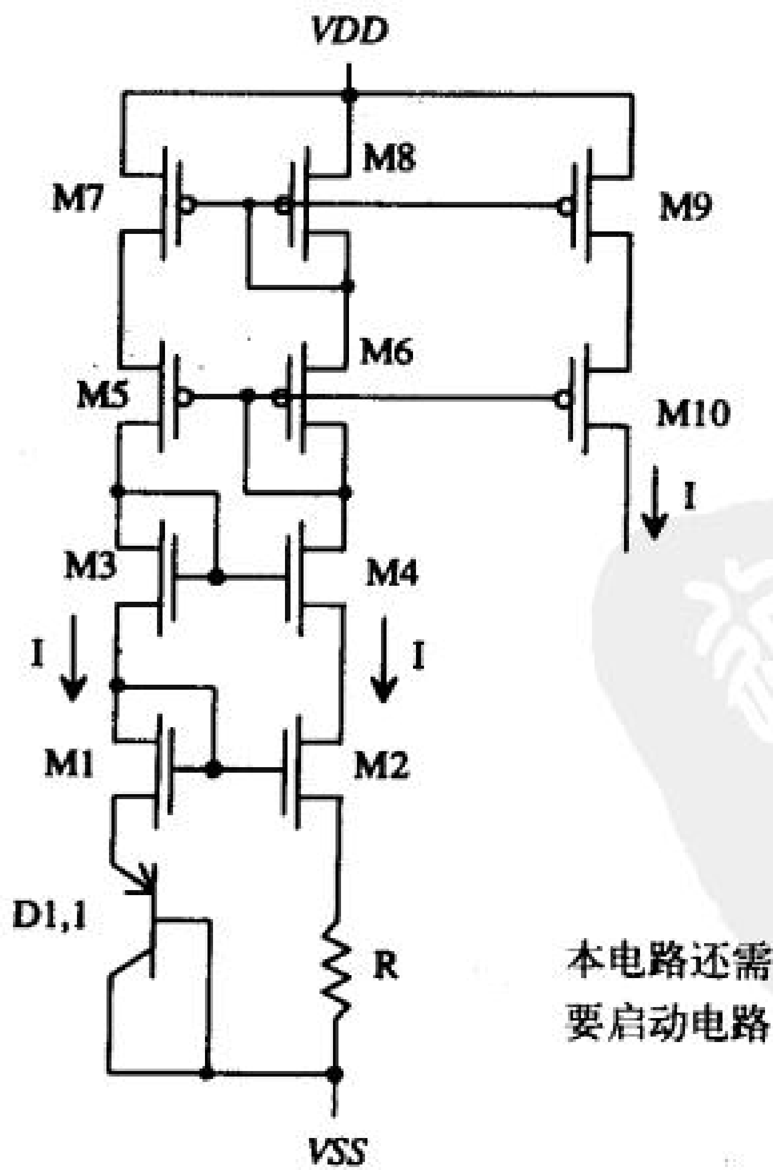


图21-11 以二极管为基准的自偏置电路

21.2.3 以热电压为基准的自偏置电路

图21-12给出一个以热电压为基准的自偏置电路。同样，M1~M8管通过共源共栅连接，使得流过D1和D2的电流相等。D2的发射极面积是D1的K倍，K大于1。在此电路结构中，D1两端的电压必须等于D2和电阻R两端的电压之和，因此：

$$V_{d1} = I_{d2}R + V_{d2} \tag{21-24}$$

已知：

$$I_{d1} = I_s e^{V_{d1}/nV_T} \rightarrow V_{d1} = nV_T \cdot \ln \frac{I_{d1}}{I_s} \tag{21-25}$$

$$I_{d2} = K \cdot I_s e^{V_{d2}/nV_T} \rightarrow V_{d2} = nV_T \cdot \ln \frac{I_{d2}}{K \cdot I_s} \tag{21-26}$$

474

由此，求得电阻R与参考电流I的关系如下：

$$R = \frac{nV_T \cdot \ln K}{I} \text{ 或 } I = \frac{nk \cdot \ln K}{qR} \cdot T \tag{21-27}$$

由上式知，电流I正比于绝对温度。当K = 8、n = 1时，R上的电压降为54mV。采用这种电路结构时，M1管和M2管栅－源电压之间的失配会导致I有较大的电流偏差。通常，为了使IV特性有良好匹配，需要M1管和M2管的尺寸较大。另外，需要再次提醒的是，R的阻值在不同硅片上可以有20%的变化。如果对电流的绝对数值有精确要求，就需要设计片上电流校准电路。但多数情形下，设计者并不关心管芯与管芯之间的电流匹配精度，而更关注在一个管芯内部的电流匹配精度和电流随温度的变化。

图21-12 以热电压为基准的自偏置电路

这种电流基准源的主要优势在于其温度特性好。电流I与温度的关系为:

$$TC_I = \frac{1}{I}\frac{dI}{dT} = \frac{1}{V_T}\frac{\partial V_T}{\partial T} - \frac{1}{R}\cdot\frac{\partial R}{\partial T} \tag{21-28}$$

式中，第二项很简单，是电阻的温度系数，近似为2 000ppm/°C；第一项为热电压的温度系数，等于:

$$TC_{V_T} = \frac{1}{V_T}\frac{\partial V_T}{\partial T} = \frac{q}{kT}\cdot\frac{k}{q} = +3\ 300\ \text{ppm/°C 或 ppm/°K} \tag{21-29}$$

温度T是以开尔文为单位的绝对温度。热电压随温度的变化为:

$$\frac{\partial V_T}{\partial T} = \frac{k}{q} = 0.085\ \text{mV/°C} \tag{21-30}$$

这种基准源的温度系数的量级为+1 000ppm/°C。正是由于热电压和电阻的温度系数都为正数，才使得这种类型的基准电路比以二极管或阈值电压为基准的电路，有更好的温度特性。在实际应用中，这种基准源的缺点在于对R引入的外部耦合噪声敏感；设计的难点是要保证MOS管之间的良好匹配。

温度系数和绝对温度是什么关系呢？事实上，T = 300°K和T = 350°K时的温度系数并不相同。任何温度系数都是如此，因为TC本身也是温度的函数。

例21.3

用以热电压为基准的自偏置电路设计一个10μA电流源并仿真其温度特性。

参考图21-12，需设计的电流I为10μA。取栅-源电压为1.2V，求得NMOS管的宽长比为15/5，PMOS管的宽长比为70/5（见例20.3）。若取D2的发射极面积为D1的8倍，则可求得电阻R的阻值为:

$$R = \frac{26\ \text{mV}\cdot\ln 8}{10\ \mu\text{A}} = 5.4\ \text{k}\Omega$$

图21-13给出了PSPICE仿真结果。输出电流为流过图21-12中M9管和M10管的电流，M9管

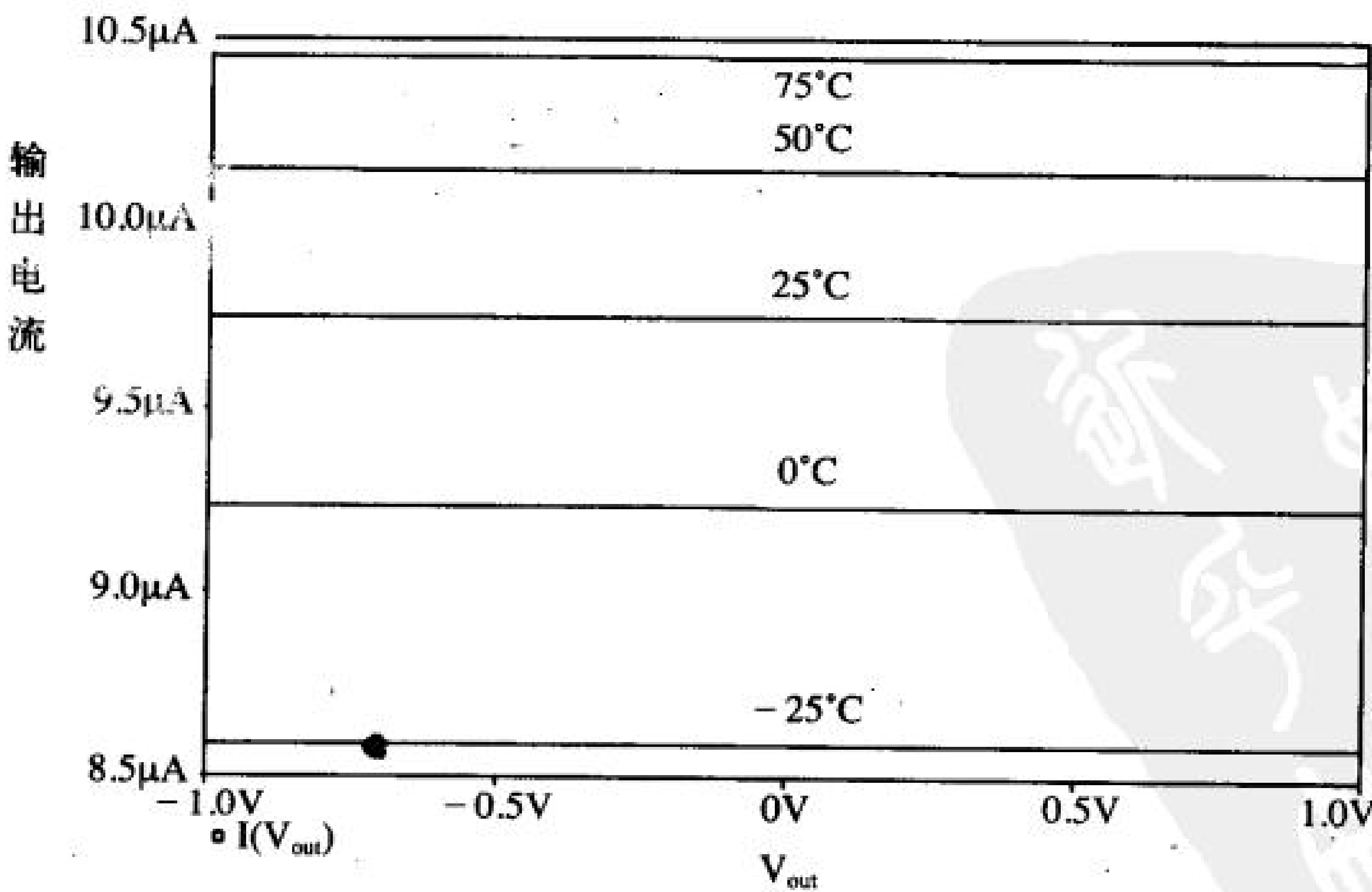


图21-13 例21.3中以热电压为基准的偏置电路的温度特性

和M10管的宽长比为70/5。下面给出了网表文件。在网表文件中，为了使直流扫描易于收敛，用.NODESET语句将高阻节点2和节点12的初始电压设置为0，将电阻与D2之间的节点8的初始电压也设置为0。.NODESET语句并不是强制这些节点总为零伏，而仅仅是设置开始仿真时的初始猜值。用.OPTIONS语句放松了容差，ITL1参数设置了直流和偏置点的迭代次数的上限，ITL2参数设置了直流/偏置点的经验猜值迭代次数的上限。另外，电阻的温度系数TC已在网表文件中给出，为2 000ppm/°C。■

```
*** Top Level Netlist ***
D1      7 3          pnpdiod
D2      8 3          pnpdiod      8
M1      4 4 7 3      CMOSNB       L=5u W=15u
M2      2 4 11 3     CMOSNB       L=5u W=15u
M3      1 1 4 3      CMOSNB       L=5u W=15u
M4      9 1 2 3      CMOSNB       L=5u W=15u
M5      1 9 12 6     CMOSPB       L=5u W=70u
M6      9 9 10 6     CMOSPB       L=5u W=70u
M7      12 10 6 6    CMOSPB       L=5u W=70u
M8      10 10 6 6    CMOSPB       L=5u W=70u
M9      13 10 6 6    CMOSPB       L=5u W=70u
M10     14 9 13 6    CMOSPB       L=5u W=70u
R1      8 11   5.4k  TC1=0.002
VDD     6 0    DC 2.5
Vout    14 0   DC 0
VSS     3 0    DC -2.5
.NODESET V(8)=0 V(2)=0 V(12)=0
***** Spice models and macro models *****
.MODEL CMOSNB NMOS LEVEL=4
+...BSIM
.MODEL PNPDIOD D
+IS=1E-15 n=1
.MODEL CMOSPB PMOS LEVEL=4
+ ...BSIM
.OPTION RELTOL=0.01 ABSTOL=1n VNTOL=1m ITL1=100 ITL2=100
.probe
.DC Vout -1 1 .01   temp -25 75 25
.end
```

21.3 带隙基准电压源

476～477

由第9章讨论知，硅的禁带宽度E_g随温度上升而下降，使得二极管的正向电压具有负的温度系数。带隙基准电压源正是利用热电压具有正的温度系数、二极管的正向电压具有负的温度系数这一特点，得到了零温度系数的基准电压源。一旦能设计出输出电压不随温度变化的基准电压源，再利用运算放大器，产生其他数值的基准电压就很容易了。

以带隙为基准的偏置电路

图21-14给出了一个带隙基准源的示例电路。二极管D3与D2尺寸相同，但与D3串联的电阻阻值为与D2串联的电阻阻值的L倍。由式（21-27）知，图中电流I等于：

$$I=\frac{nV_T\cdot\ln K}{R} \tag{21-31}$$

基准输出电压（相对于VSS）为：

$$V_{ref} = I \cdot L \cdot R + V_{d3} \tag{21-32}$$

把式（21-31）代入上式，得：

$$V_{ref} = (L \cdot n \cdot \ln K)V_T + V_{d3} \tag{21-33}$$

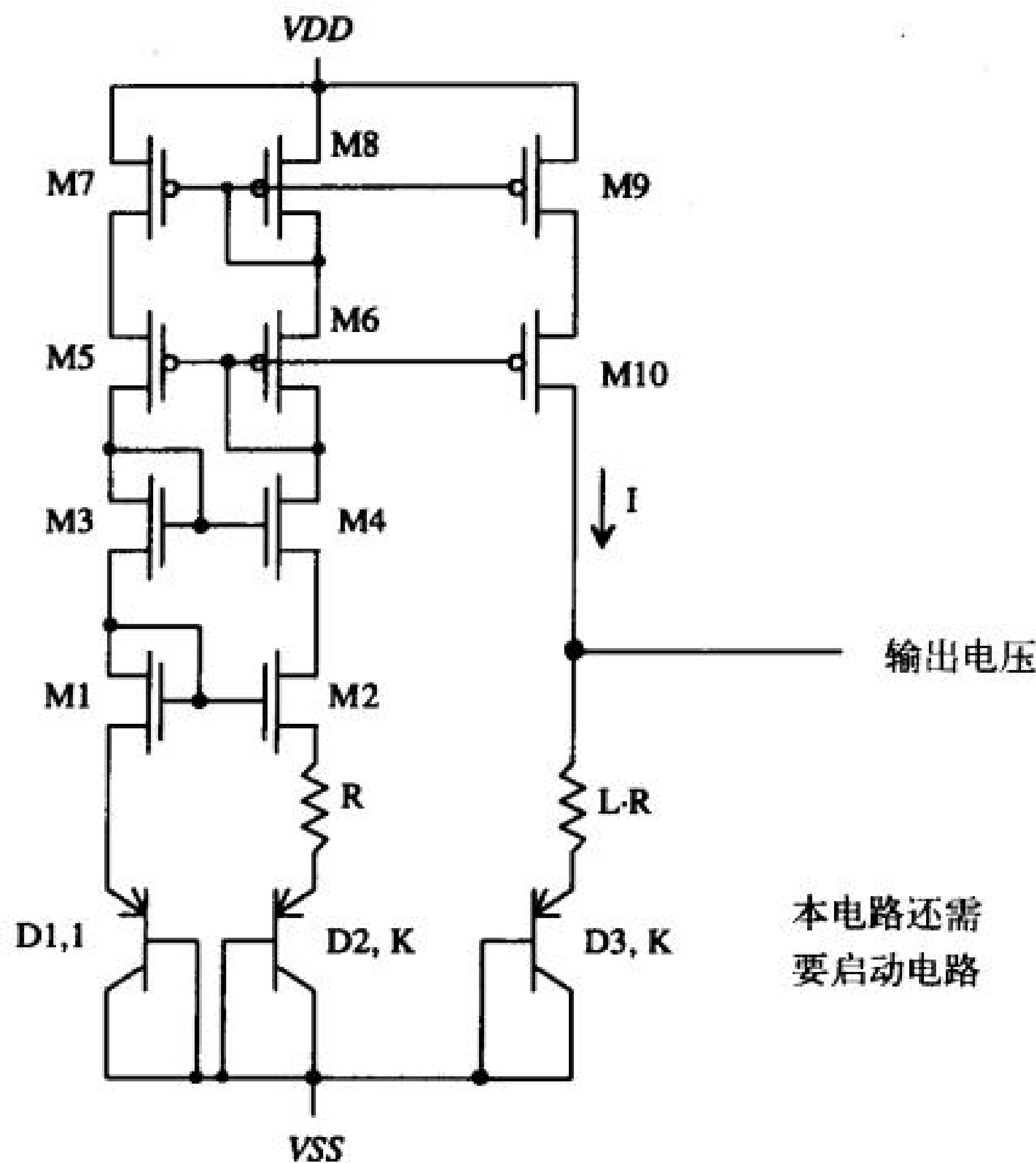


图21-14 一个带隙基准电压源

478

要使带隙基准电压的温度系数为零，需要：

$$\frac{\partial V_{ref}}{\partial T} = L \cdot n \cdot \ln K \cdot \overbrace{\frac{\partial V_T}{\partial T}}^{0.085\text{mV/°C}} + \overbrace{\frac{\partial V_{d3}}{\partial T}}^{-2\text{mV/°C}} = 0 \tag{21-34}$$

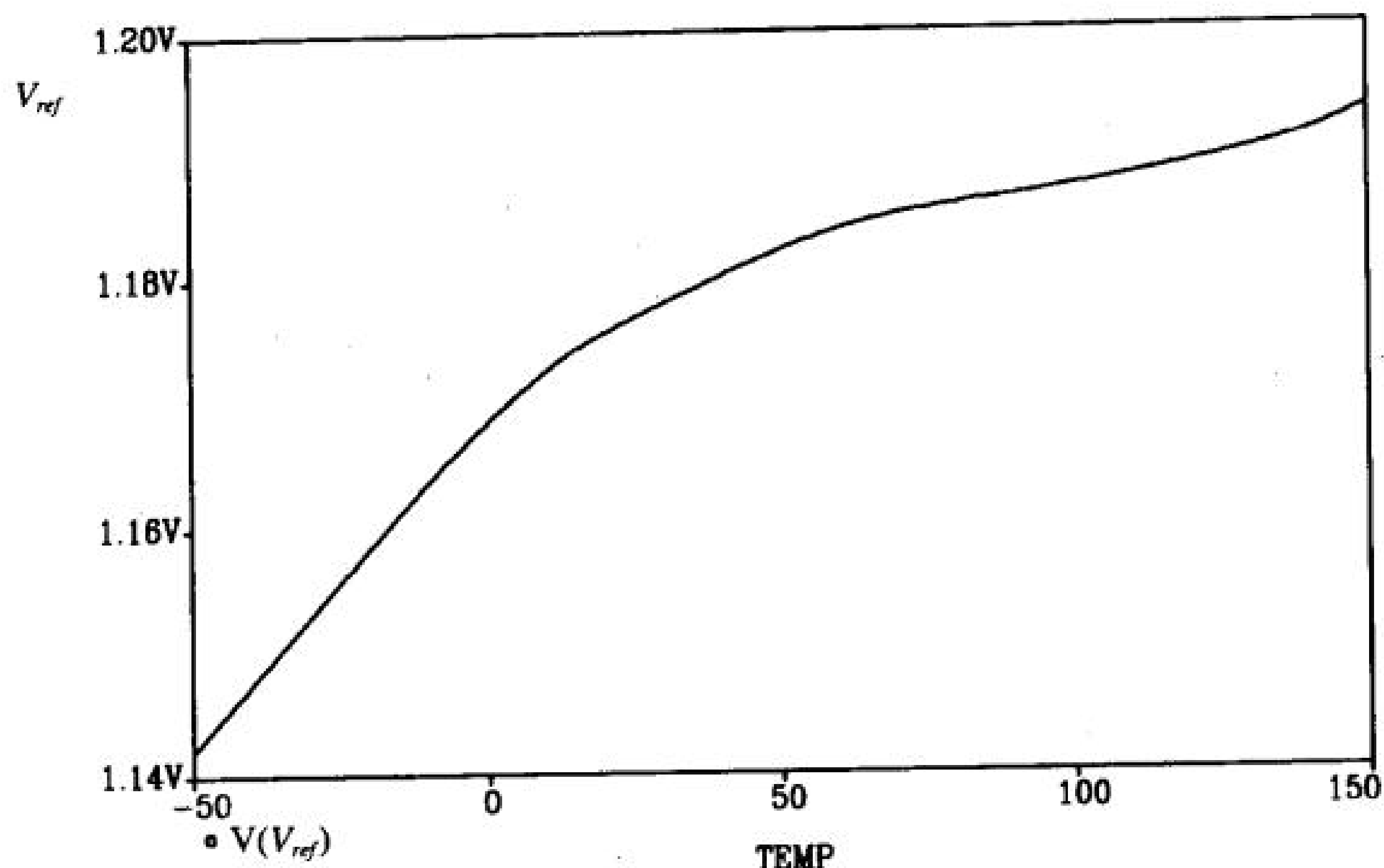
解得：

$$L \cdot n \cdot \ln K = \frac{2}{0.085} = 23.5 \tag{21-35}$$

当$n = 1$、$K = 8$时，L为11.3即可使温度系数TC为零。对本例的设计，把L取为12。基准电压可重新写为：

$$V_{ref} = (Ln\ln K) \cdot V_T + nV_T \cdot \ln\frac{I}{K \cdot I_s} \tag{21-36}$$

300°K时，若$I = 10\mu\text{A}$，$I_s = 10^{-15}\text{A}$，$n = 1$，$K = 8$，$L = 12$，则基准电压为1.25V；若$VSS = 0\text{V}$，$VDD = 5\text{V}$，则$V_{ref} = 1.25\text{V}$。图21-15给出了这个带隙源的PSPICE仿真结果。例21.3中设计的电流源用来偏置一个65kΩ的电阻和一个二极管（其面积为工艺允许的最小面积的八倍）。注意：只有得到寄生PNP晶体管各性能参数随工艺偏差和温度变化的全部关系，才能精确地预估基准电压的特性。



479

图21-15 带隙基准电压源的PSPICE仿真结果

21.4 β倍乘的基准自偏置电路

值得特别一提的另一种自偏置电路为β倍乘的基准源，如图21-16示[3]。M2管的沟道宽度取为M1管的K倍（$K > 1$），则有：

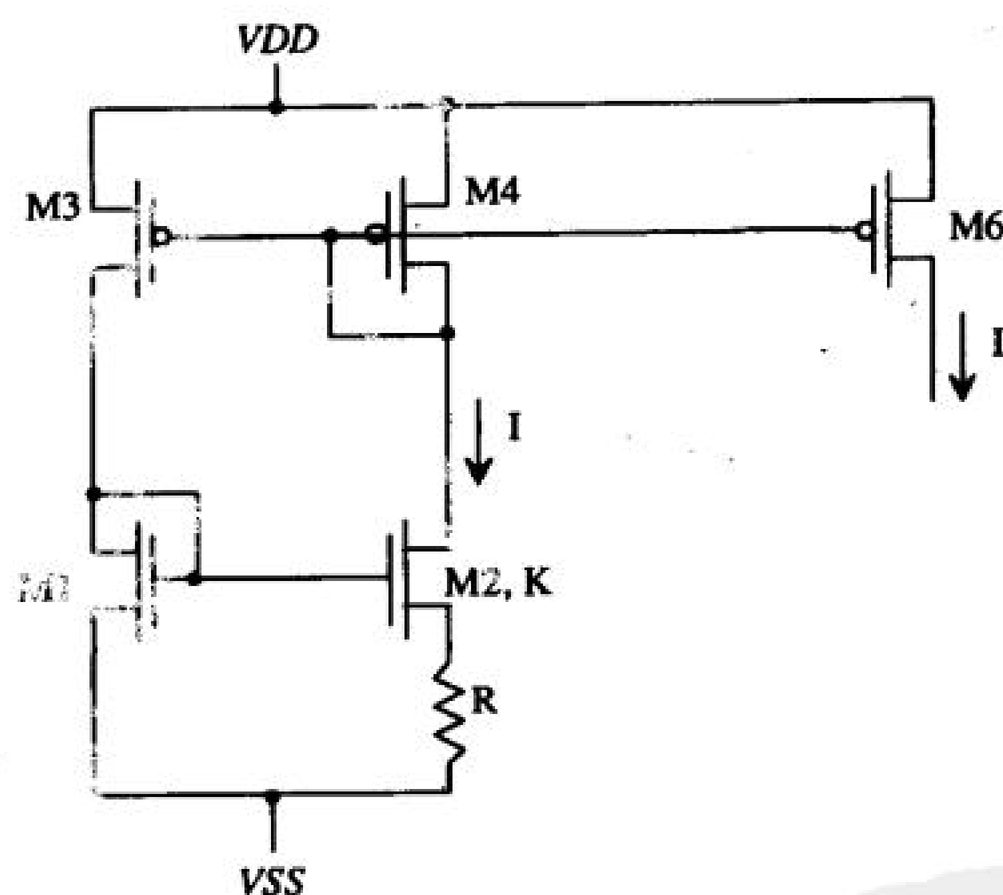


图21-16 β倍乘的基准自偏置电路（$\beta_2 = K \cdot \beta_1$）

$$\beta_2 = K \cdot \beta_1，（取L_1 = L_2，W_2 = K \cdot W_1） \tag{21-37}$$

$$V_{GS1} = V_{GS2} + IR \tag{21-38}$$

若用电流I表示M1管和M2管的V_{GS}，并忽略体效应对M2管的影响，则有：

$$V_{GS1} = \sqrt{\frac{2I}{\beta_1}} + V_{THN} \tag{21-39}$$

$$V_{GS2} = \sqrt{\frac{2I}{K \cdot \beta_1}} + V_{THN} \tag{21-40}$$

由上面三式，解得I为:

$$I=\frac{2}{R^2\beta_1}\cdot\left(1-\sqrt{\frac{1}{K}}\right)^2 \tag{21-41}$$

上式是设计β倍乘基准源时必须遵循的基本公式。尺寸参数K必须总大于1。基准电流I的温度系数TC为:

$$TC_I=\frac{1}{I}\frac{\partial I}{\partial T}=-2\cdot\frac{1}{R}\frac{\partial R}{\partial T}-\frac{1}{KP(T)}\frac{\partial KP(T)}{\partial T}=-4\ 000\ \text{ppm/°C}+\frac{1.5}{T} \tag{21-42}$$

例21.4

用β倍乘电流基准电路，设计一个10μA的电流源。取$VDD=-VSS=2.5\text{V}$，估算基准电流的温度系数TC。

取$L_1=L_2=W_1=5\mu\text{m}$，$K=4$，由式（21-41）解得R:

$$R^2=\frac{2}{10\ \mu\text{A}\cdot 50\frac{\mu\text{A}}{\text{V}^2}}\cdot\frac{1}{4}\rightarrow R=31.6\ \text{k}\Omega$$

在300°K时，由式（21-42）解得TC为1 000ppm/°C。图21-17为设计的电路图；图中的共源共栅MOS管用于降低MOS管输出电阻r_o不是无限大带来的影响。 ■

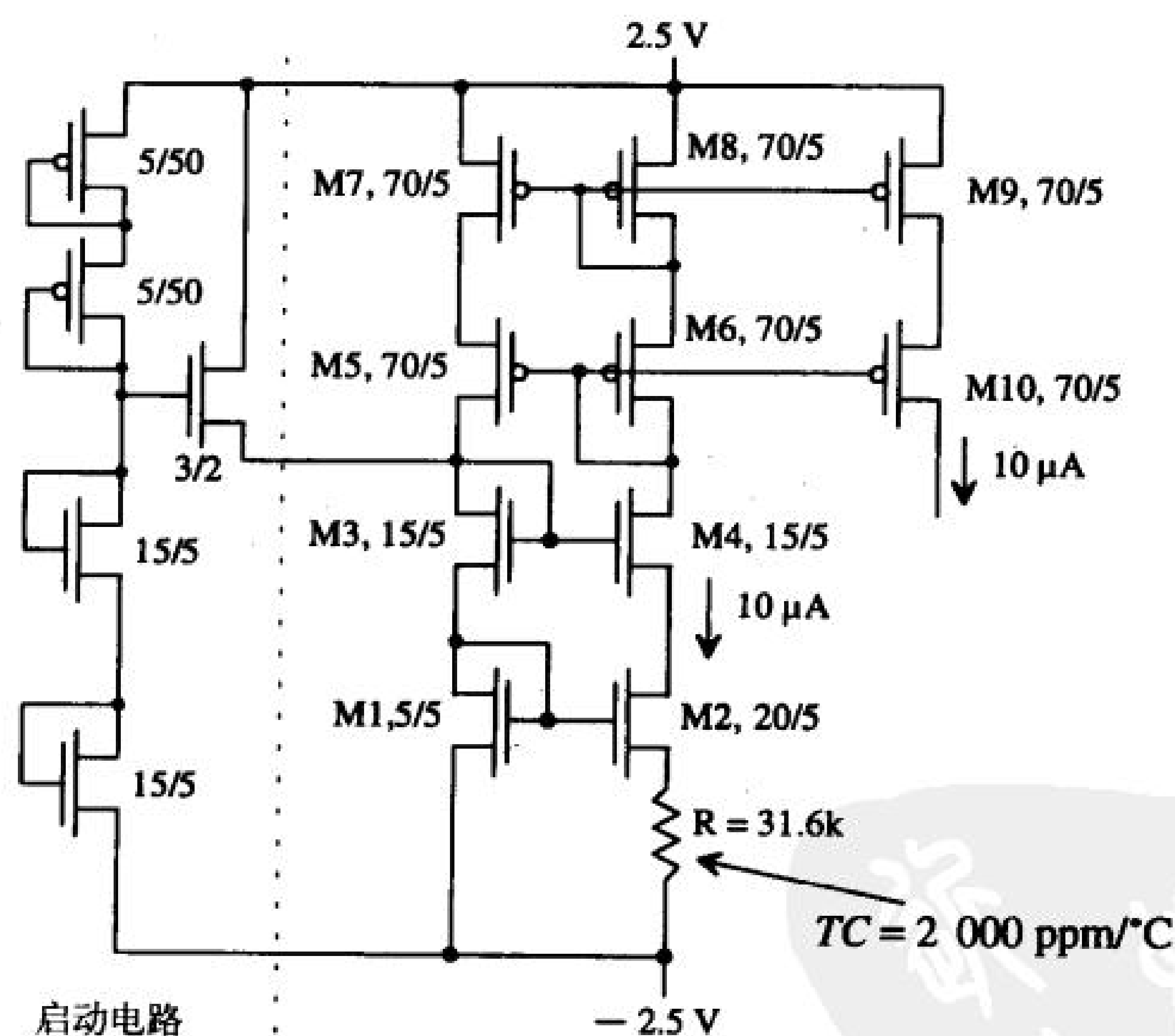


图21-17 用β倍乘自偏置基准电路实现的10μA的基准电流源

21.4.1 一个基准电压源

计算一下图21-16中V_{GS1}随温度的变化关系很有意义。如果正确设计这类基准源，能使V_{GS1}的温度系数TC为零。定义基准电压为:

480~481

$$V_{ref} = V_{GS1} \tag{21-43}$$

把式（21-41）代入式（21-39），得：

$$V_{ref} = V_{GS1} = \frac{2}{R\beta_1}\left(1 - \frac{1}{\sqrt{K}}\right) + V_{THN} \tag{21-44}$$

V_{ref}随温度的变化关系为：

$$\frac{dV_{ref}}{dT} = \frac{dV_{THN}}{dT} - \frac{2}{R\beta_1}\left(1 - \frac{1}{\sqrt{K}}\right)\left[\frac{1}{R}\frac{\partial R}{\partial T} + \frac{1}{KP(T)}\frac{\partial KP(T)}{\partial T}\right] \tag{21-45}$$

代入前面给出的有关数值，得：

$$\frac{dV_{ref}}{dT} = -2.4\ \text{mV/°C} + \frac{2}{R\beta_1}\left[1 - \frac{1}{\sqrt{K}}\right]\left[-2\ 000\ \text{ppm/°C} + \frac{1.5}{T}\right] \tag{21-46}$$

在300°K时，使式（21-46）为零的条件是：

$$\frac{2}{R\beta_1}\left[1 - \frac{1}{\sqrt{K}}\right] = \frac{2\ 400}{3\ 000} = 0.8 \tag{21-47}$$

如果$K = 4$，则有：

$$R = \frac{1}{0.8 \cdot \beta_1} \tag{21-48}$$

由式（21-44）和式（21-47）知，300°K下温度系数为零时，需要：

$$V_{ref} = 0.8 + V_{THN} = 1.63\ \text{V} \tag{21-49}$$

由于阈值电压会因工艺偏差和体效应而变化，而且R、β、T也会变化，因此，产生的基准电压会有偏差。阈值电压的改变可以达到20%，这也是在手算时可以忽略体效应影响的原因之一。鉴于此，用上一节讨论的带隙基准源比用本节讨论的电路结构更易获得数值非常精确的基准电压。通常，每个管芯产生的基准电压还需要进行校正。校正可以通过激光调节一个电阻的阻值或通过熔丝来完成，即使是带隙基准源往往也都需校正。

例21.5

设计一个在300°K时，温度系数为零的β倍乘基准源电路。取$VSS = 0\text{V}$，$VDD = 5\text{V}$。改变VDD和温度，仿真该电路。

用图21-17所示的常用共源共栅结构的电路，各MOS管尺寸取图中所示尺寸。令VSS为0V，扫描VDD。本设计中电阻阻值应为：

$$R = \frac{1}{0.8 \cdot 50\ \frac{\mu A}{V^2}} = 25\ \text{k}\Omega$$

482

图21-18给出了仿真结果。 ■

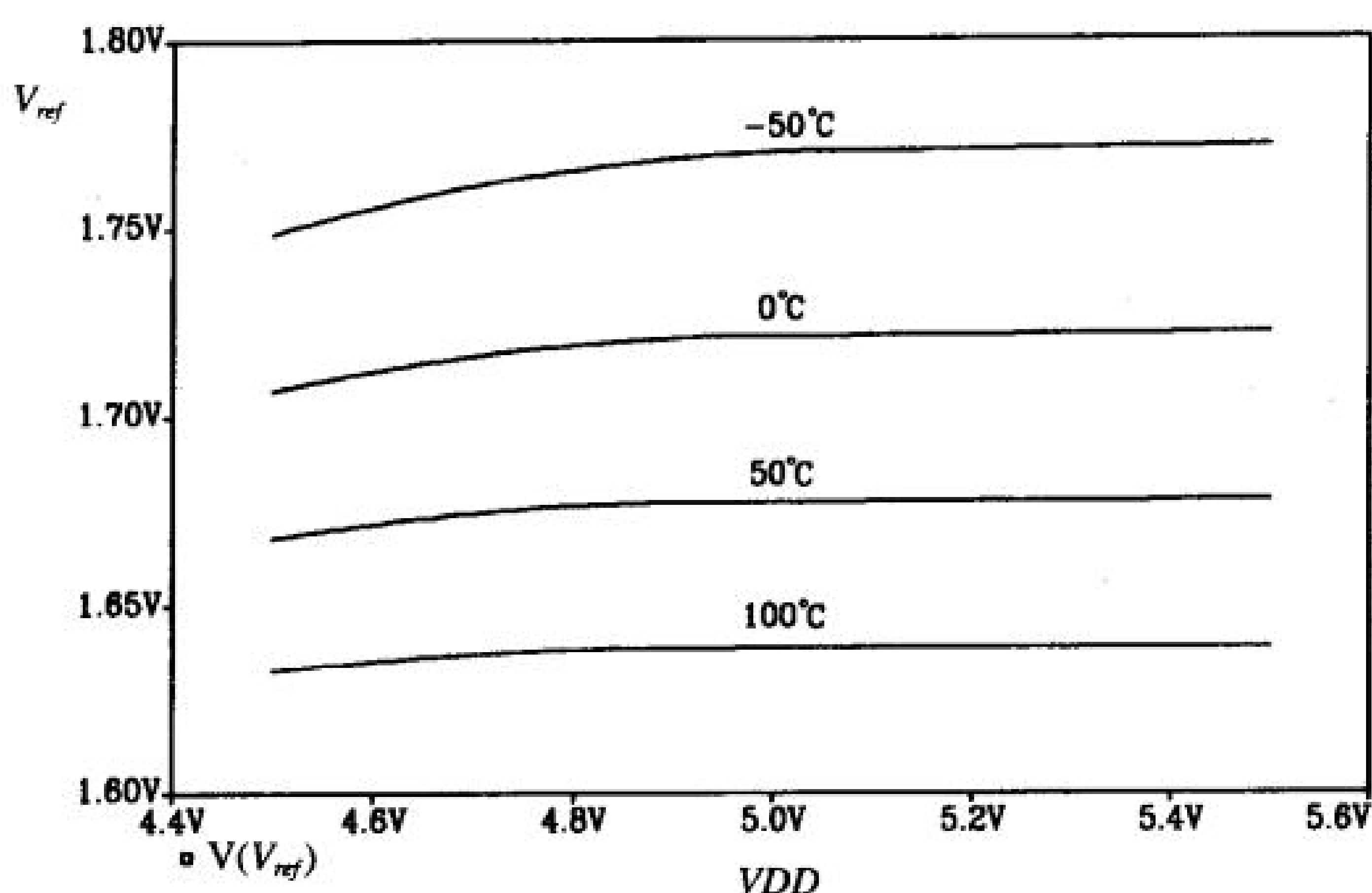


图21-18 β倍乘基准电压源的温度特性

21.4.2 工作在亚阈区的电流源/沉

为了实现低功耗设计，有时需要电流源/沉工作在弱反型区（或亚阈区）。这种电路中的电流值可以小到100nA或更小。下面我们根据式（20-4），考察一下I_{D1} = 100nA所需要的电阻阻值。若$VDD-VSS>>V_{GS}$，则对这种简单的电流镜，电阻阻值为：

$$R \approx \frac{VDD-VSS}{I_{D1}} \tag{21-50}$$

若$VDD-VSS$=5V，则R = 50MΩ！很显然，采用电阻做偏置的基本电流镜不适于工作在亚阈区。

考虑图21-16所示的基本的β倍乘电路。如果该电路工作在亚阈区，若已知期望的电流I，由第6章的结论知：

$$I \approx I_{\exp} = I_{DO}\frac{W}{L}\cdot\left(e^{(V_{GS}-V_{THN})/(n\cdot V_T)}\right) \tag{21-51}$$

解得：

$$V_{GS1} = nV_T\cdot\ln\left[\frac{I\cdot L}{I_{DO}\cdot W}\right]+V_{THN} \tag{21-52}$$

$$V_{GS2} = nV_T\cdot\ln\left[\frac{I\cdot L}{I_{DO}\cdot K\cdot W}\right]+V_{THN} \tag{21-53}$$

由式（21-38）、式（21-52）和式（21-53），解得亚阈值电流I为：

483

$$I_D = \frac{n\cdot V_T}{R}\cdot\ln K \tag{21-54}$$

应该注意到，该结果与以热电压为基准的自偏置电路的结果有一定的相似性。另外，这种基准电流源能用于带隙基准电压源的设计（见21.3节）。下面的例子给出了一个工作在亚阈区的电流源的设计流程。

例21.6

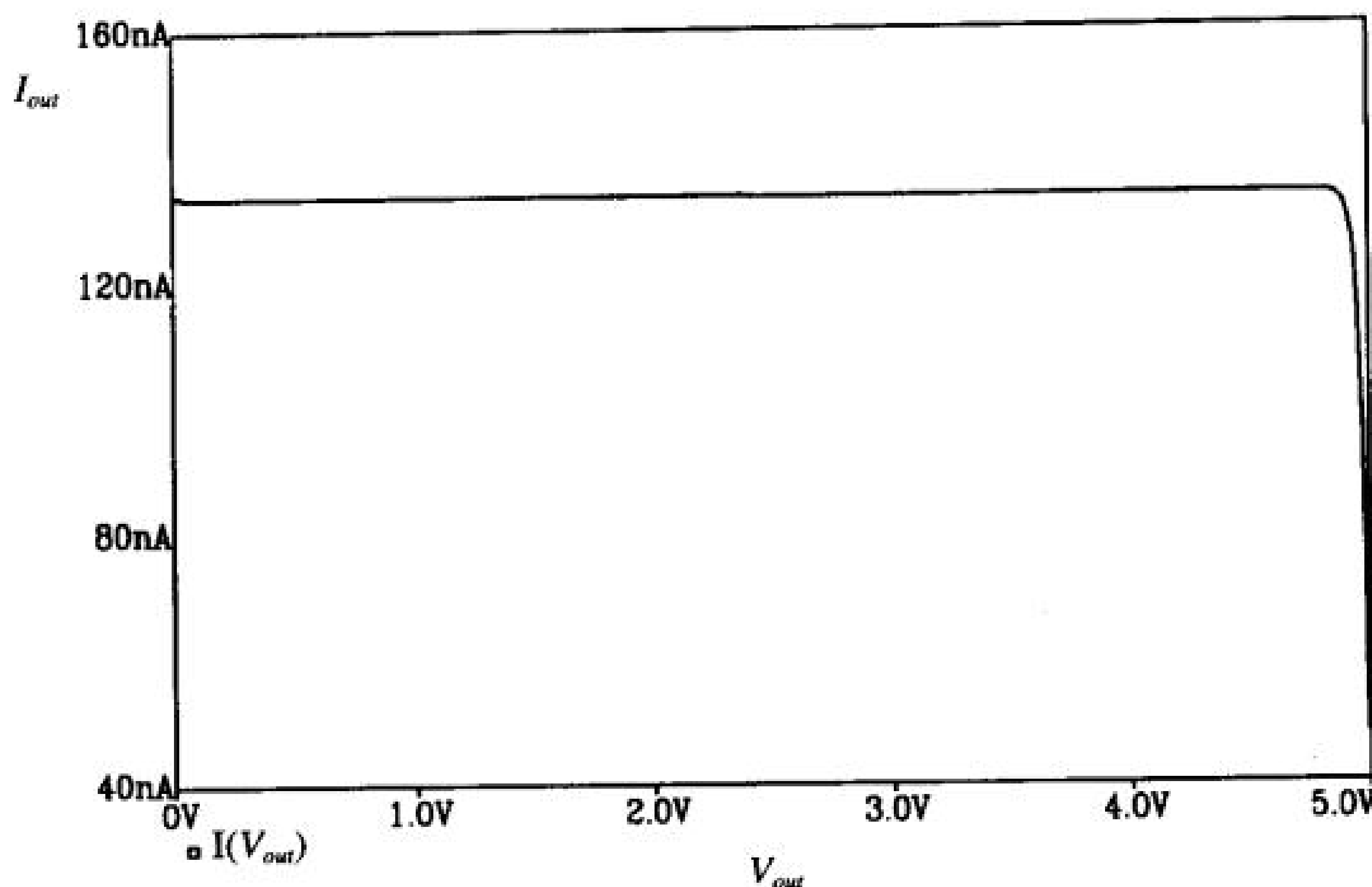
设计一个75nA的电流源并仿真该电路。取VSS = 0V，VDD = 5V。

取$K=8$，$n=1$，$V_T=26\text{mV}$（室温下约27°C时），由式（21-54）知：

$$R=\frac{26\text{mV}}{75\text{nA}}\cdot\ln 8=720\ \text{k}\Omega$$

采用图21-17所示的常用电路结构，可解得W_2为40μm。

图21-19给出了输出电流随M10管漏端电压变化的SPICE仿真结果。观察该图知，V_{out}可以非常接近VDD（和VDD的差在100mV以内，在M10管开始截止前）。另外，仿真得到的电流约为期望值的两倍。这是由M2管的体效应引起的。R两端的电压有很小变化都会对输出电流有很大影响。图21-16所示电路能解决体效应的问题，因为每个PMOS管可以单独有自己的阱。 ■



484

图21-19 例21.6亚阈区电流源电路的仿真结果

参考文献

[1] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed., John Wiley and Sons, 1993. ISBN 0-471-57495-3.

[2] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI-Design Techniques for Analog and Digital Circuits*, McGraw-Hill Publishing Co., 1990. ISBN 0-07-023253-9.

[3] E. Vittoz and J. Fellrath, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation," *IEEE Journal of Solid State Circuits*, Vol. SC-12, No. 3, June 1977, pp. 224-231.

习题

21.1 设计一个电阻-MOS管型分压器（如图P21-1示），使基准电压V_{ref}为2V，流过电阻的电流为10μA。用SPICE验证该电路。

21.2 若$W/L=20/5$，$R=400\text{k}$，求图P21-1所示电路的输出电压和温度系数。假定电阻的温度系数TC为10 000ppm/°C，比较基准电压温度系数的手算结果和SPICE仿真结果。

21.3 设计一个MOS管型分压器（如图P21-3示），使基准电压V_{ref}为2V，流过MOS管的电流为10μA。用SPICE验证该电路。

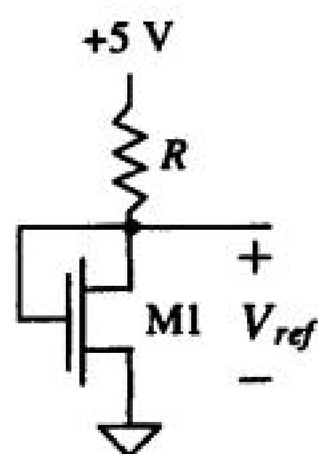


图 P21-1

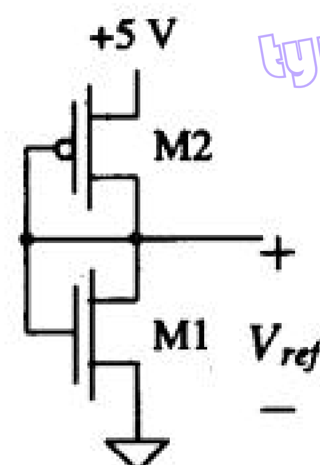


图 P21-3

485

21.4 若所有MOS管的W/L均为20/20，求图P21-3所示电路的输出电压和温度系数。比较基准电压温度系数的手算结果和SPICE仿真结果。

21.5 计算并仿真习题21.4中基准电压对VDD的敏感度。

21.6 设计图P21-6中M3管的尺寸，使流过该电路中各MOS管的电流均为10μA。假定M4管和M5管工作在饱和区。

21.7 忽略氧化层侵蚀并使M5管工作在饱和区，求图P21-7中电流I的值。

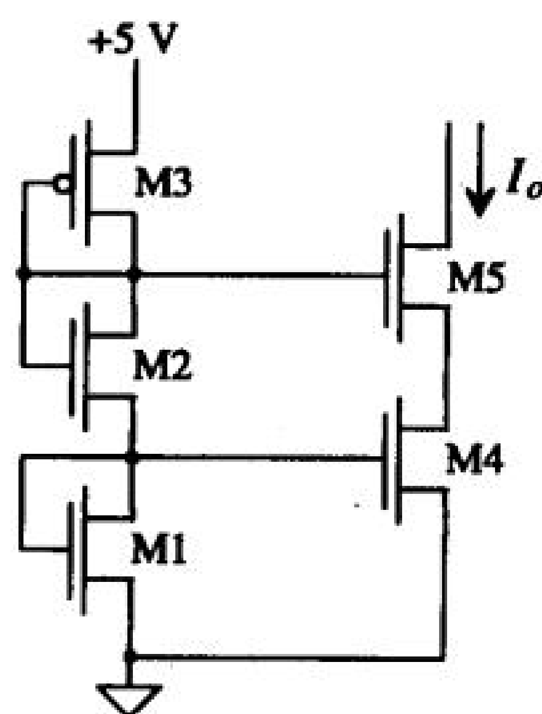


图 P21-6

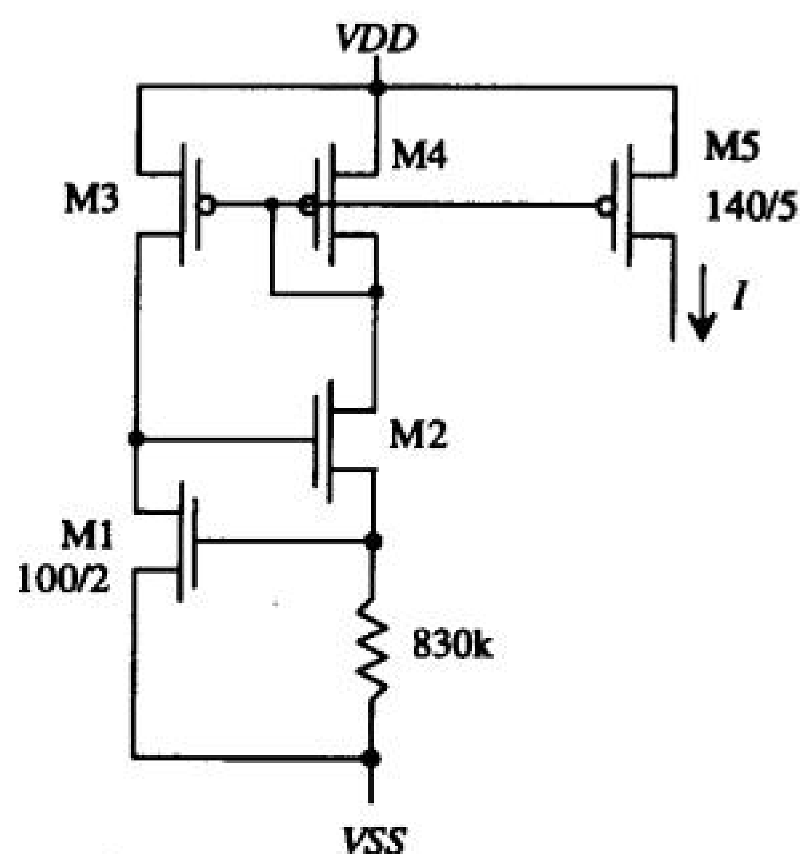


图 P21-7

21.8 针对图P21-7中的以阈值电压为基准的电流源，设计其启动电路，要求启动电路的最大电流为1μA。

486

21.9 画出一个寄生PNP晶体管的版图，其发射极面积为2（即12μm × 6μm）。如果二极管的面积为1，二极管模型中IS参数的数值为多少？

21.10 用图21-11给出的以二极管为基准的自偏置电路设计一个5μA电流源。用SPICE仿真验证你的设计。仿真时，加入启动电路或用.NODESET语句设置节点电压初始值，以避免电路工作在图21-8中的B点。

21.11 针对5μA电流源，重做例21.3。

21.12 证明公式（21-36）的正确性。若L取为12，而不是11.3，对基准电压有何影响？基准电压是上升还是下降？为什么？

21.13 图21-14中，M1管到M10管采用共源共栅结构的主要目的是强制流过D2和D3电流相等。这种结构的主要问题是基准电压会随电源电压的变化而改变。采用运算放大器，能强制流过D2和D3的电流相等，并能提高基准电压对电源电压改变的敏感度（见图P21-13）。由图知，基准电压为:

$$V_{ref} = V_{d2} + I \cdot L \cdot R$$

流过D1和D2的电流为:

$$I = \frac{nV_T \cdot \ln K}{R}$$

因此，有:

$$V_{ref} = (L \cdot n \cdot \ln K) \cdot V_T + \overbrace{nV_T \cdot \ln \frac{I}{I_S}}^{V_{d2}}$$

求在何种条件下，基准电压的温度系数TC为零？计算时可参考式（21-34）的推导过程。

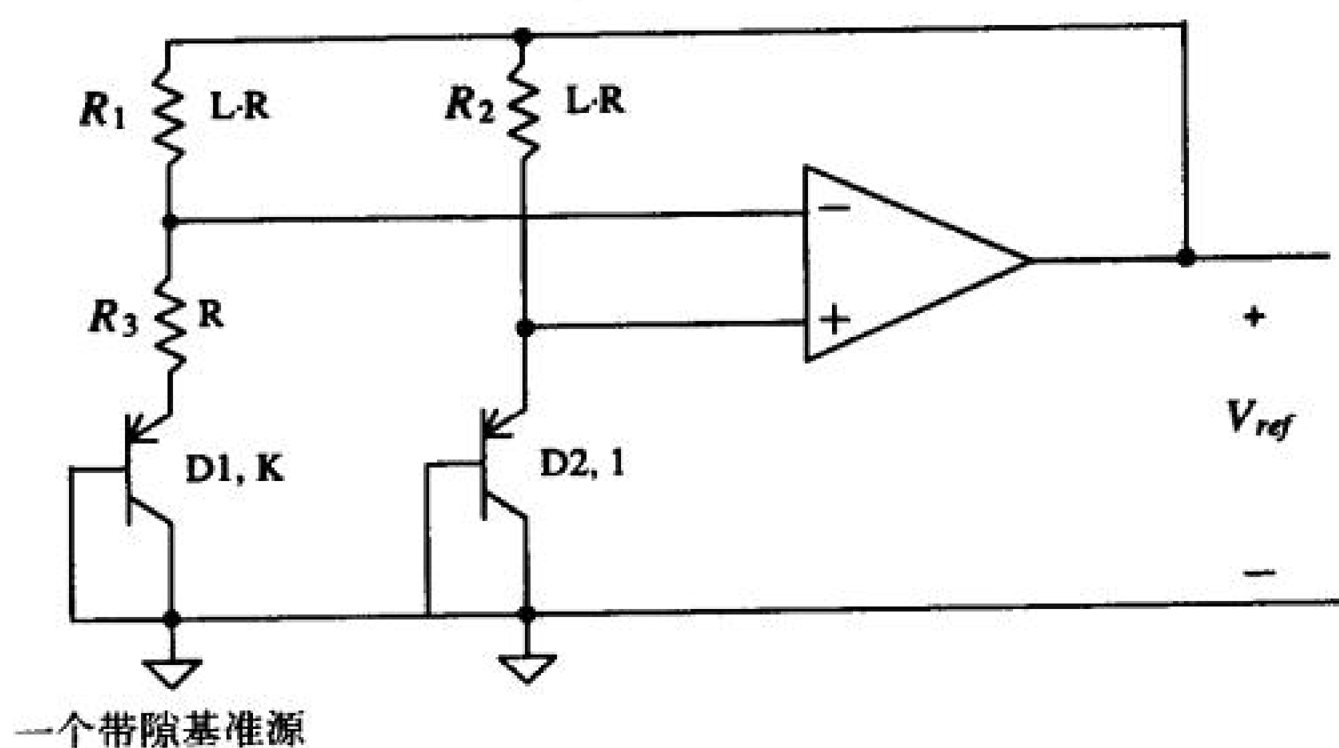


图　P21-13

21.14　估算图21-17中启动电路的功耗。

21.15　用β倍乘基准电压电路，设计一个基准电压源，使其TC为+1 000ppm/°C。仿真验证该电路。通常，在数字电路中，随着温度的增加，希望数字电路的电源电压也跟着增大，以补偿因MOS管有效电阻增大而引起的门延迟增加。

21.16　β倍乘基准源是利用正反馈（环路增益小于1）的一个电路实例。讨论一下保证该电路工作点稳定的方法。

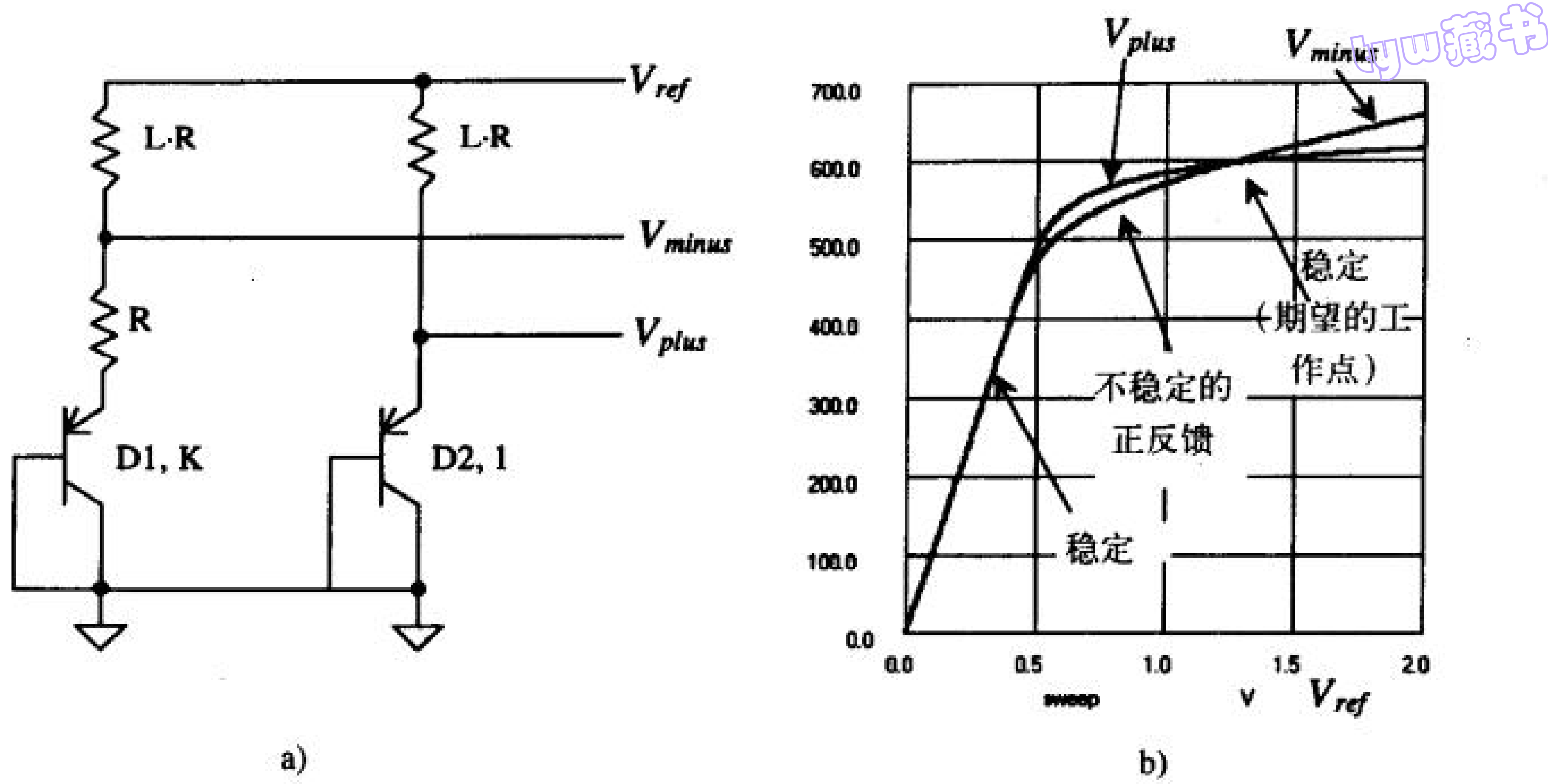
487

21.17　在设计电压基准源或电流基准源时，一个需要重点考虑的问题是启动电路的设计。考虑图P21-13中的带隙基准源部分的电路（如图P21-17a），其中V_{plus}接运算放大器的正输入端，V_{minus}接运算放大器的负输入端。用SPICE仿真分别得到V_{ref}与V_{plus}、V_{ref}与V_{minus}之间的关系曲线（其结果应该和图P21-17b所示曲线相似），并设计图21-13中带隙基准源的启动电路。

21.18　证明：图P21-13中，如果$K=1$，$R_1 \neq R_2$，带隙基准源的输出电压为:

$$V_{ref} = V_{d2} + \frac{R_1}{R_3} nV_T \cdot \ln \frac{R_1}{R_2}$$

21.19　针对0.1μA的电流源，重做例21.6。



V_{ref}
L·R
L·R
V_{minus}
R
V_{plus}
D1, K
D2, 1
a)
V_{plus}
V_{minus}
700.0
600.0
500.0
400.0
300.0
200.0
100.0
0.0
0.0
0.5
1.0
1.5
2.0
sweep
V
V_{ref}
稳定
(期望的工作点)
不稳定的正反馈
稳定
b)

图 P21-17

488

第22章 放 大 器

每个运算放大器中都使用了单级放大器。在设计放大器时，用MOS管（被称为有源负载）代替原来的无源电阻负载，可显著节省芯片面积；而且，与无源电阻负载相比，有源负载可以提供更大的阻值，从而得到更高的放大器增益。因此，有源负载在放大器设计中得到了广泛应用。

本章将学习几种不同类型的有源负载。栅漏短接的有源负载是将MOS管的栅极与漏极短接，用这种有源负载构成的放大器，带宽大，但增益小，输出阻抗低。用电流源做负载的放大器，其增益大，输出阻抗高，缺点是带宽小；当用外部反馈来设定放大器的增益时，一般倾向使用电流源负载。本章将分析基本的有源负载单级放大器，以及设计放大器时各性能指标之间的折衷。另外，将结合多种类型的输出级（包括推挽放大器），详细讨论共源共栅放大器的特性。

22.1 栅漏短接的有源负载

图22-1中给出了四种不同的放大器结构。这四种结构都是基本的共源电压放大器，其负载都是由栅漏短接的MOS管构成。在这些结构中，M1管和M2管都被偏置在饱和区。

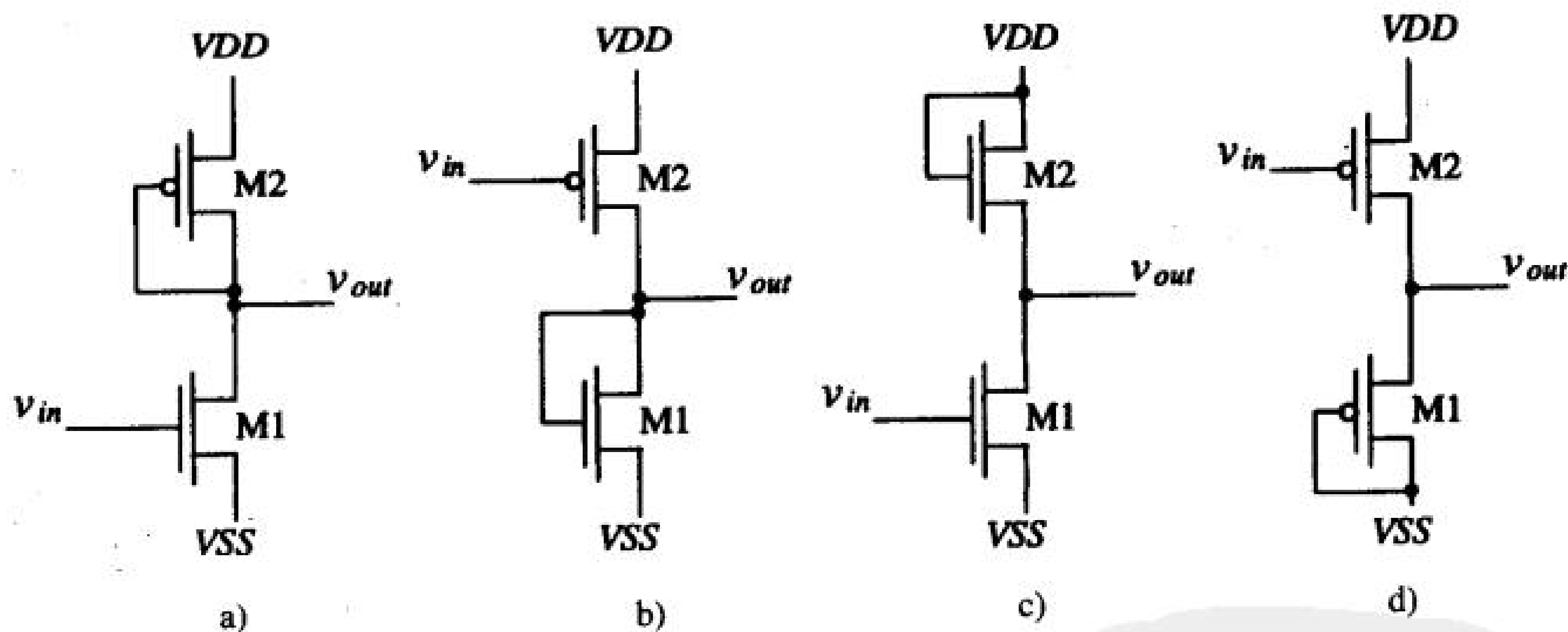


图22-1 采用有源负载的四种CMOS放大器

22.1.1 共源放大器

下面分析图22-1a所示电路的交流小信号电路。由于很多由MOS管构成的放大器要用小信号等效电路来分析，所以，需要先介绍一种直观的方法使设计者能够快速地分析电路。假设$1/g_{m2} << r_{o2}$，由第9章讨论的结果知，栅漏短接的MOS管的小信号电阻阻值为$1/g_m$，因此，可用阻值为$1/g_{m2}$的电阻替代M2管。由MOS管小信号模型知，可用电流值为$g_{m1}v_{in}$的电流源替代M1管。由此，得到图22-1a所示电路的小信号等效电路，如图22-2所示。图中，没有考虑MOS管的体效应，并且这只是低频模型。该电路的小信号增益为：

$$\frac{v_{out}}{v_{in}}=\frac{-i_d\cdot\frac{1}{g_{m2}}}{i_d\cdot\frac{1}{g_{m1}}}=-\frac{\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}}=-\frac{\text{M1管漏端电阻}}{\text{M1管源端电阻}}=-\frac{g_{m1}}{g_{m2}} \tag{22-1}$$

上式表明，共源放大器的小信号增益可以简单地由M1管漏端电阻（等于漏节点到地的电阻）除以M1管源端电阻得到；源端电阻定义为从M1管源端看进去的电阻加上M1管源端到地的其他电阻。上式给出的结果对直观分析放大器电路非常有用。

可以用这种直观的分析方法来估算放大器的增益。对于图22-2中的电路，漏端电阻的实际值为：$\frac{1}{g_{m2}}\|r_{o1}\|r_{o2}$。大多数情况下，$r_o$远大于$\frac{1}{g_m}$，因此，式（22-1）是精确的。

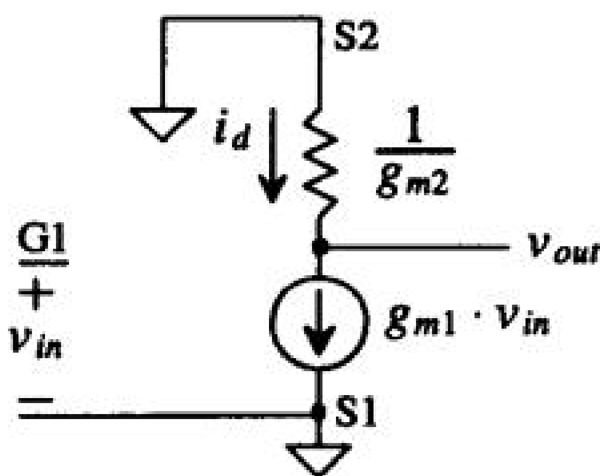


图22-2 图22-1a所示电路的小信号等效电路

490

例22.1

根据式（22-1），直观分析出图22-3所示电路的小信号增益。

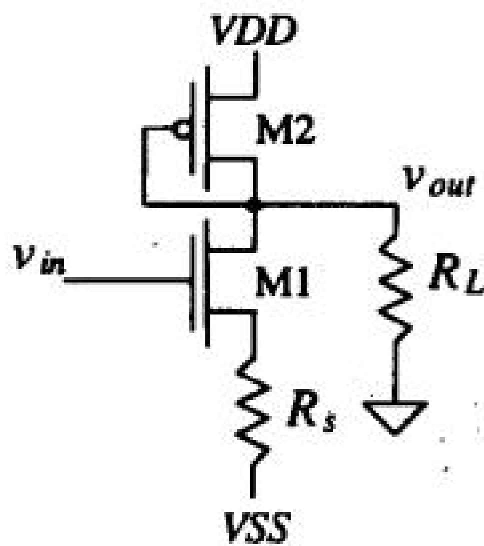


图22-3 例22.1中的放大器电路

该电路的小信号增益由下式给出：

$$A_v=\frac{v_{out}}{v_{in}}=-\frac{\text{M1管漏端电阻}}{\text{M1管源端电阻}}$$

漏端电阻由所有接在M1管漏端的电阻并联得到；由于$r_{o1}>>\frac{1}{g_{m2}}$，因此，漏端电阻为$\frac{1}{g_{m2}}\|R_L$。

源端电阻等于从M1管源端看进去的电阻（阻值为$\frac{1}{g_{m1}}$）加上M1管源端到地的其他电阻之和，

因此，其阻值为$\left(\frac{1}{g_{m1}}+R_s\right)$。由此，得到的电压增益为：

$$A_v=-\frac{\frac{1}{g_{m2}}\|R_L}{\frac{1}{g_{m1}}+R_s}$$

当$R_L\to\infty$、$R_s\to 0$时，上式可简化为：$A_v=-\frac{g_{m1}}{g_{m2}}$。 ■

我们可以用图22-4所示的完整小信号等效电路来推导图22-1a中放大器的准确增益。对放大器的输出端，根据基尔霍夫电路定律，有：

$$g_{m1}v_{in}+\frac{v_{out}}{r_{o2}\|r_{o1}}=-g_{m2}v_{out} \tag{22-2}$$

得到：

491

$$A_v=\frac{v_{out}}{v_{in}}=-\frac{g_{m1}}{g_{m2}+\frac{1}{r_{o1}\|r_{o2}}}=-\frac{\frac{1}{g_{m2}}\|r_{o1}\|r_{o2}}{\frac{1}{g_{m1}}}=-\frac{\text{M1管漏端电阻}}{\text{M1管源端电阻}} \tag{22-3}$$

当$\frac{1}{g_{m2}}<<r_{o1}\|r_{o2}$时，上式可简化为：

$$A_v=-\frac{\frac{1}{g_{m2}}}{\frac{1}{gm1}}=-\frac{g_{m1}}{g_{m2}} \tag{22-4}$$

上式与公式（22-1）相同。

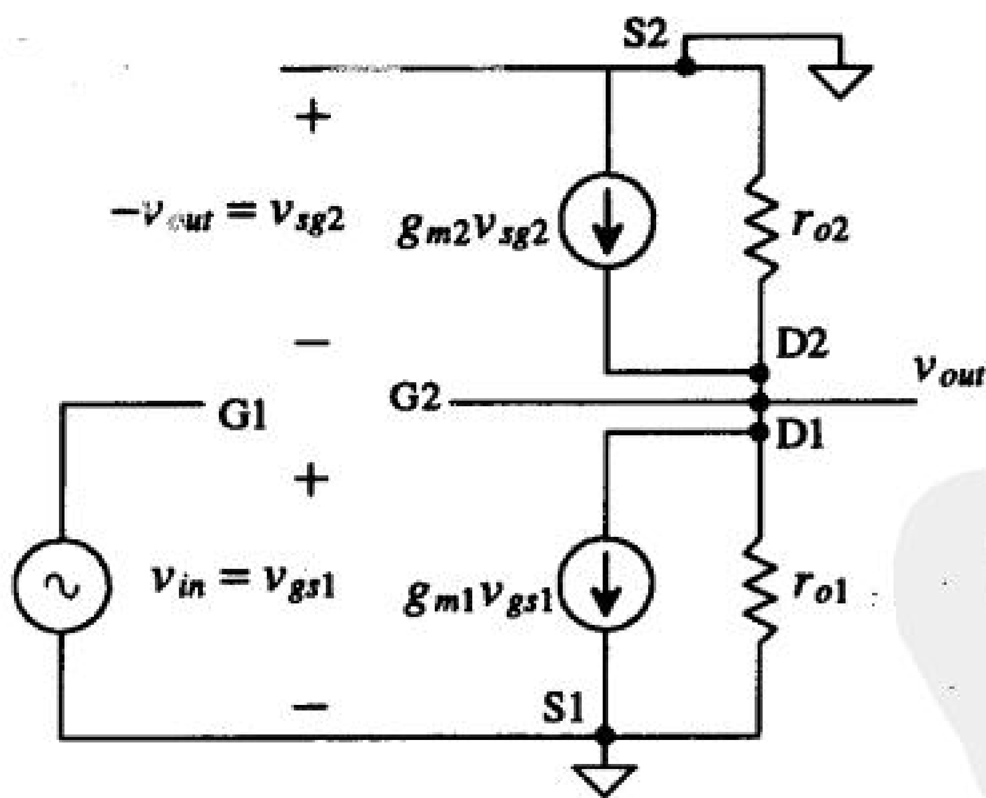


图22-4 图22-1a中放大器的完整小信号等效电路

下面分析图22-1a中的共源放大器的频率响应。高频等效电路如图22-5所示，图中给出了MOS管的寄生电容和信号源的内阻。根据密勒定理，可将C_{gd1}分为两个部分，即：M1管的栅极到地的电容以及M1管的漏极到地的电容，得到右图所示的高频小信号等效电路。该电路存在两个RC时间常数：一个在电路的输入端，另一个在电路的输出端。若忽略C_{gb}，则输入端的

时间常数为:

$$\tau_{in} = R_s(C_{MI} + C_{gs1}) \tag{22-5}$$

式中，输入端的密勒电容C_{MI}为:

$$C_{MI} = C_{gd1}(1 + \frac{g_{m1}}{g_{m2}}) \tag{22-6}$$

由密勒定理知，密勒电容C_{MI}等于电容C_{gd1}乘以（$1-K$），其中K为电路增益$\left(-\frac{g_{m1}}{g_{m2}}\right)$。

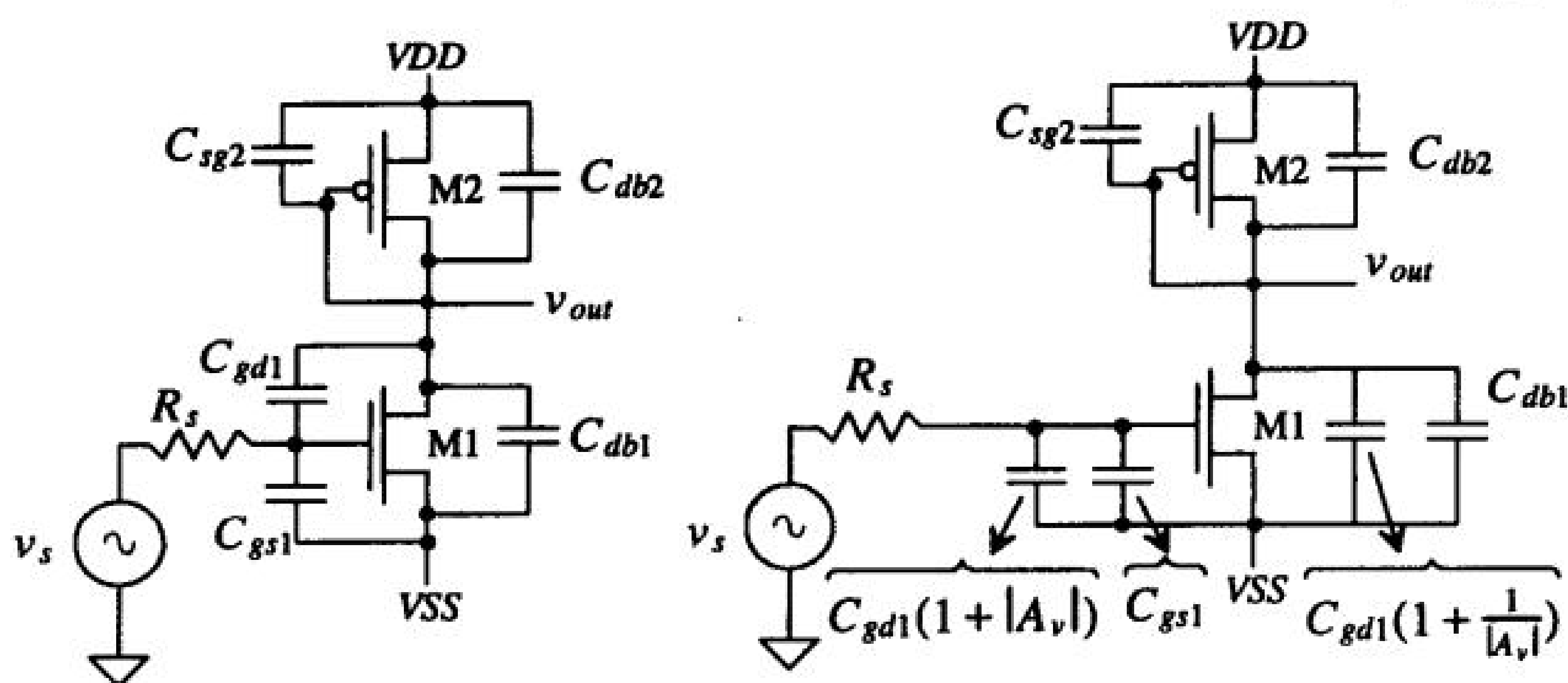


图22-5 有源负载的共源放大器的高频小信号等效电路

同样，可求得输出端的时间常数为:

$$\tau_{out} = \frac{1}{g_{m2}} \cdot (C_{gs2} + C_{MO} + C_{db1} + C_{db2}) \tag{22-7}$$

492

输出端的密勒电容C_{MO}为:

$$C_{MO} = C_{gd1}(1 - \frac{1}{K}) = C_{gd1}(1 + \frac{g_{m2}}{g_{m1}}) \tag{22-8}$$

因此，可得到该放大器的频率响应为:

$$A_v(f) = \frac{-\frac{g_{m1}}{g_{m2}}}{\left(1 + j\frac{f}{f_{in}}\right)\left(1 + j\frac{f}{f_{out}}\right)} \tag{22-9}$$

式中:

$$f_{in} = \frac{1}{2\pi\tau_{in}} \tag{22-10}$$

$$f_{out} = \frac{1}{2\pi\tau_{out}} \tag{22-11}$$

值得说明的是，当用密勒定理来分析上述电路时，会漏掉一个零点。例如，在图22-6中，如果输入由一个理想的电压源驱动（即R_s为零），则可忽略输入节点的寄生效应，其传输函数为:

$$\frac{v_{out}}{v_{in}} = -g_{m1}R_{Leq}\frac{(1 - s/\omega_{z1})}{(1 + s/\omega_{p1})} \tag{22-12}$$

式中，ω_{z1}为右半平面的零点，其大小为:

$$\omega_{z1}=\frac{g_{m1}}{C_{gd1}} \tag{22-13}$$

493

而ω_{p1}为放大器输出节点引入的极点，其大小为:

$$\omega_{p1}=\frac{1}{R_{Leq}(C_{Leq}+C_{gd1})} \tag{22-14}$$

式中，$C_{Leq}=C_{sg2}+C_{db1}+C_{db2}$，$R_{Leq}=r_{o1}||r_{o2}||1/g_{m2}$。通常情况下，零点的频率远大于极点的频率，因此，右半平面零点的幅值响应可被忽略。但是，由于右半平面零点与左半平面极点的相位相同，会对相位响应产生影响；当把单级放大器应用到运算放大器中时，零点会严重影响运算放大器的稳定性。运算放大器的稳定性问题将与补偿技术一起在第25章中讨论。

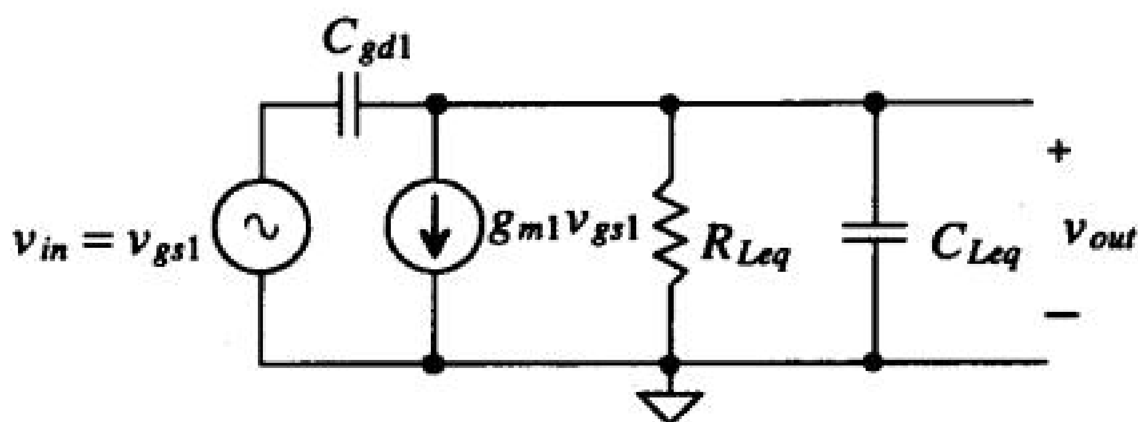


图22-6 用于计算图22-1a~d中单级放大器的右半平面零点的小信号等效电路

例22.2

求图22-7中放大器的增益、带宽以及输入电压为$10^{-3}\sin 2\pi\cdot1000t$时的输出电压。

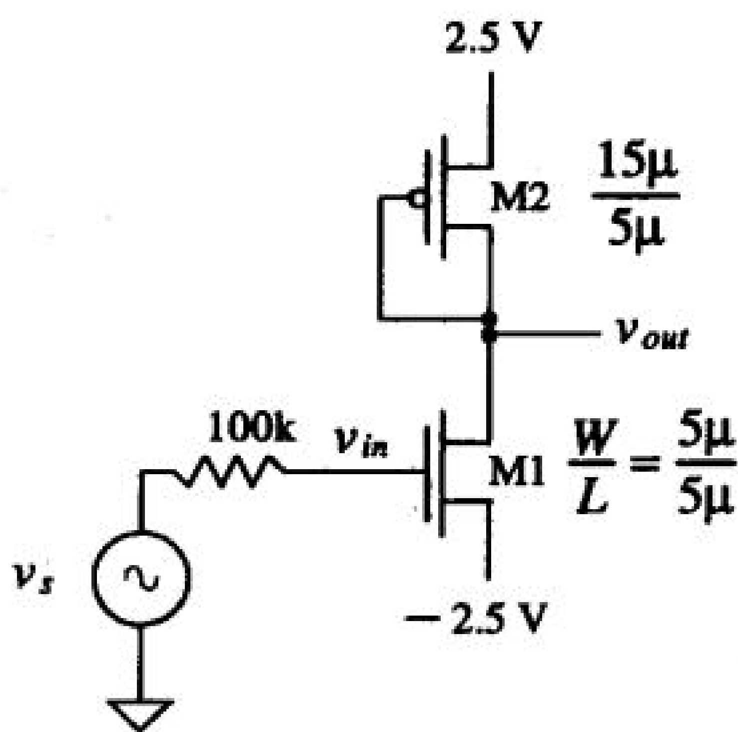


图22-7 例22.2中的放大器电路

流过M1管、M2管的漏电流为:

$$I_D=\frac{\beta_1}{2}(V_{GS1}-V_{THN})^2=\frac{50\mu}{2}\cdot\frac{5\mu}{5\mu}(2.5-0.8)^2=72\ \mu A$$

式中的V_{SG2}可由下式求得:

$$I_D=72\ \mu A=\frac{\beta_2}{2}(V_{SG2}-V_{THP})^2=\frac{17\mu}{2}\cdot\frac{15\mu}{5\mu}(V_{SG2}-0.9)^2\Rightarrow V_{SG2}\approx 2.5\ V$$

输出电压的直流值近似为0V。交流增益为:

$$A_v=-\frac{\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}}=-\frac{g_{m1}}{g_{m2}}=-\frac{\sqrt{2\beta_1 I_D}}{\sqrt{2\beta_2 I_D}}=-1$$

当使用栅漏短接的有源负载时，电压增益一般都约为1，好像放大器没有起到放大作用似的。但是，在下面我们将会看到，这些单级放大器与一些附加电路（例如差分对的电流源负载）结合在一起就能构成性能非常好的放大器电路。当输入为1kHz的正弦波时（幅值为1mV），输出电压为:

494

$$v_{OUT}=\overbrace{0\ V}^{DC}+\overbrace{10^{-3}\sin(2\pi\cdot 1000t+\pi)}^{AC\text{ 部分}}$$

通过估算MOS管的电容，可以计算出该放大器的带宽。假设漏扩散区到衬底/阱的电压为2.5V，NMOS管漏区的面积为$6\times 6\mu m^2$，PMOS管的漏区面积为$15\times 6\mu m^2$，则NMOS管的漏—衬寄生电容为:

$$C_{db1}=\frac{CJ\cdot AD}{\left(1-\frac{V_{db1}}{PB}\right)^{MJ}}+\frac{CJSW\cdot PD}{\left(1-\frac{V_{db1}}{PBSW}\right)^{MJSW}}=\frac{1.04\times 10^{-4}\frac{F}{m^2}\cdot 36\times 10^{-12}m^2}{\left(1+\frac{2.5}{0.8}\right)^{0.66}}$$
$$+\frac{2.2\times 10^{-10}\frac{F}{m}\cdot 24\times 10^{-6}m}{\left(1+\frac{2.5}{0.8}\right)^{0.18}}=5.5\ fF$$

PMOS管漏—衬寄生电容$C_{db2}=15.4fF$。同样，可求得其他寄生电容为:

$$C_{gd1}=CGDO\cdot W=3.8\times 10^{-10}\frac{F}{m}\cdot 5\mu m=1.9\ fF$$
$$C_{gs1}=\frac{2}{3}WLC'_{ox}=\frac{2}{3}\cdot 5\mu m\cdot 5\mu m\cdot 800\frac{aF}{\mu m^2}=13.3\ fF$$
$$C_{sg2}=\frac{2}{3}WLC'_{ox}=\frac{2}{3}\cdot 15\mu m\cdot 5\mu m\cdot 800\frac{aF}{\mu m^2}=39.9\ fF$$

因此，输入端的时间常数为:

$$\tau_{in}=100k\cdot[1.9fF(1+1)+13.3fF]=1.7\ ns$$

495

输出端的时间常数为:

$$\tau_{out}=\frac{1}{\sqrt{2\cdot 17\frac{\mu A}{V}\cdot\frac{15\mu}{5\mu}\cdot 72\ \mu A}}\cdot(39.9\ fF+1.9\ fF(1+1)+5.5\ fF+15.4\ fF)=746\ ps$$

输入端的时间常数决定放大器的带宽，因此，带宽估算为:

$$f_{3dB}=f_{in}=\frac{1}{2\pi\cdot 1.7ns}=93.6\ MHz$$

单级放大器采用栅漏短接的有源负载，其优点是带宽大，缺点是增益低。 ■

前面的讨论主要是围绕共源电压放大器进行。现在我们考虑图22-8所示电路。这种放大

器可被看作是跨阻放大器（即输入为电流、输出为电压），其输入阻抗为：

$$R_{in}=\frac{1}{g_{m3}} \tag{22-15}$$

输入电流i_{in}为：

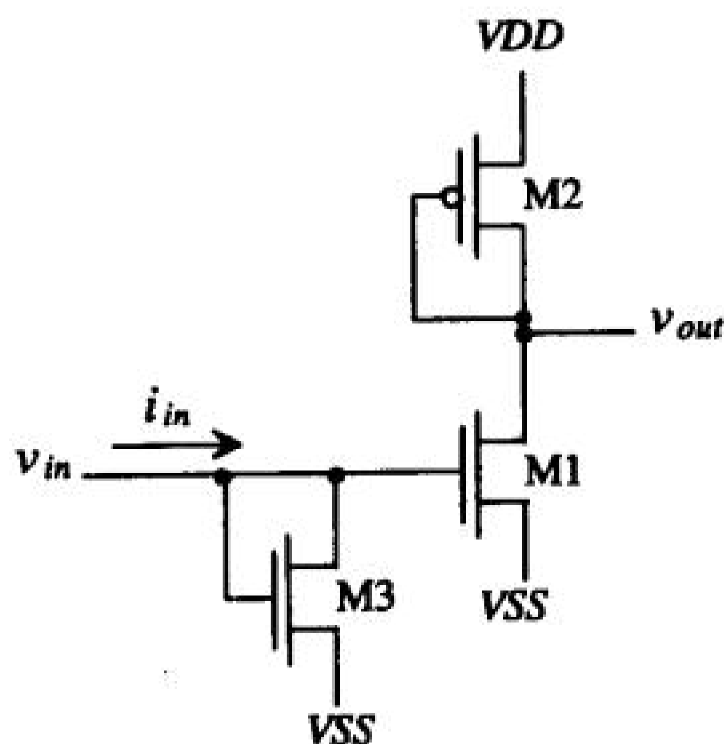
$$i_{in}=g_{m3}v_{in}=g_{m3}v_{gs3}=g_{m3}v_{gs1} \tag{22-16}$$

流过M1管、M2管的电流为：

$$i_d=g_{m1}v_{in}=\frac{g_{m1}}{g_{m3}}\cdot i_{in} \tag{22-17}$$

因此，有：

$$\frac{i_d}{i_{in}}=\frac{\beta_1}{\beta_3}=\frac{W_1L_3}{W_3L_1} \tag{22-18}$$



496

图22-8 一种跨阻放大器的电路实现

由上式知，通过调节M1管和M3管的尺寸，可得到期望的电流增益。这种跨阻放大器的增益为：

$$A_R=\frac{v_{out}}{i_{in}}=-\frac{i_d\frac{1}{g_{m2}}}{i_d\cdot\frac{W_3L_1}{W_1L_3}}=-\frac{W_1L_3}{g_{m2}W_3L_1} \tag{22-19}$$

加入M3管后，输入端到地的电阻变为$1/g_{m3}$，从而降低了输入端的时间常数，提高了放大器的带宽。

在继续讨论单级放大器之前，我们再来回顾一下从MOS管源/漏端看进去的小信号低频电阻的计算方法。考虑图22-9中的测试电路，图中的直流电压源用来保证MOS管工作在饱和区。我们关注流过电压源v_t的交流电流。这个测试电压除以i_d，可得到从MOS管漏端看进去的交流小信号电阻，这也是漏端节点到地的电阻。

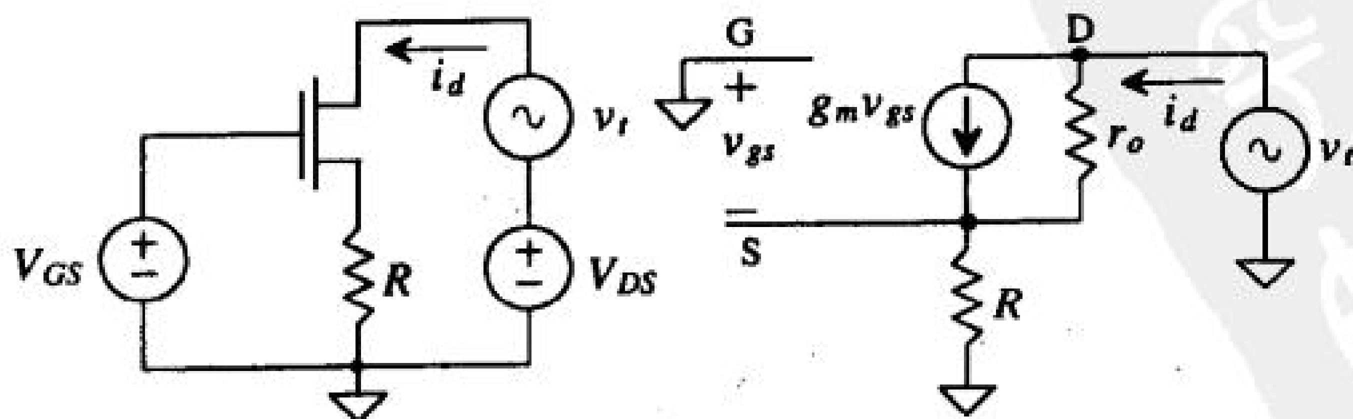


图22-9 求从MOS管漏端看进去的电阻阻值

若忽略体效应，测试电压为:

$$v_t=(i_d-g_m v_{gs})r_o+i_d R \tag{22-20}$$

式中:

$$v_{gs}=-i_d R \tag{22-21}$$

从MOS管漏端看进去的电阻为:

$$R_o=r_d=\frac{v_t}{i_d}=(1+g_m R)r_o+R\approx(1+g_m R)r_o \tag{22-22}$$

式中，$r_o\approx\dfrac{1}{\lambda I_D}$。

497

例22.3

针对图22-3所示电路，考虑M1管、M2管输出电阻的影响，重复例22.1中的计算。

从M2管漏端看进去的电阻为$\dfrac{1}{g_{m2}}\|r_{o2}$，从M1管漏端看进去的电阻为$r_{o1}(1+g_{m1}R_S)$。因此，该电路的准确增益为:

$$A_v=\frac{v_{out}}{v_{in}}=-\frac{\frac{1}{g_{m2}}\|r_{o2}\|[r_{o1}(1+g_{m1}R_s)]\|R_L}{R_s+\frac{1}{g_{m1}}}$$

当$r_{o1}\|r_{o2}>>\dfrac{1}{g_{m2}}$时，上式简化为:

$$A_V=\frac{\frac{1}{g_{m2}}\|R_L}{R_s+\frac{1}{g_{m1}}}$$

■

可以用图22-10所示电路来计算MOS管源端电阻。忽略MOS管的体效应以及输出电阻的影响，则:

$$v_{in}=v_{gs}+i_d R \tag{22-23}$$

由于$g_m v_{gs}=i_d$，因此，上式可改写为:

$$v_{in}=\frac{i_d}{g_m}+i_d R=i_d\left[\frac{1}{g_m}+R\right] \tag{22-24}$$

由此可看出，$1/g_m$是从MOS管源端看进去的电阻，R是连在MOS管源端与地之间的电阻（R可以是许多电阻的并联）。

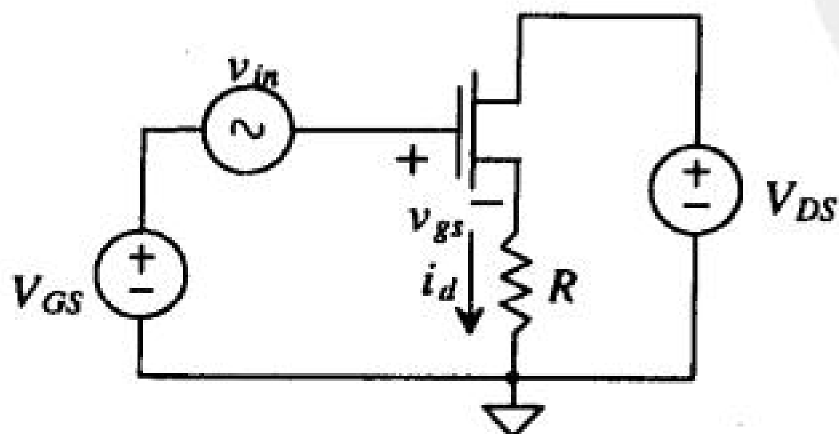


图22-10 求从MOS管源端看进去的电阻阻值

22.1.2 源跟随器

使用有源负载的源跟随电路如图22-11所示。M2管提供电流，M1管吸收电流。一般CMOS源跟随器的驱动能力并不对称，也就是说：在给定的偏置和交流输入信号的条件下，源跟随器提供电流的能力与吸收电流的能力并不相等。此外，这两种源跟随器电路中，共漏放大器还会表现出体效应。在分析该放大器的交流小信号特性之前，我们先来分析一下体效应如何起作用。由第9章的讨论知：

498

$$g_{mb}=g_m\cdot\eta \tag{22-25}$$

利用BSIM SPICE模型参数，可求出：

$$\eta=\frac{K1}{2\sqrt{PHI+V_{SB}}}-K2 \tag{22-26}$$

由式（22-25）知，MOS管源－衬之间的电压V_{SB}越大，g_{mb}越小。

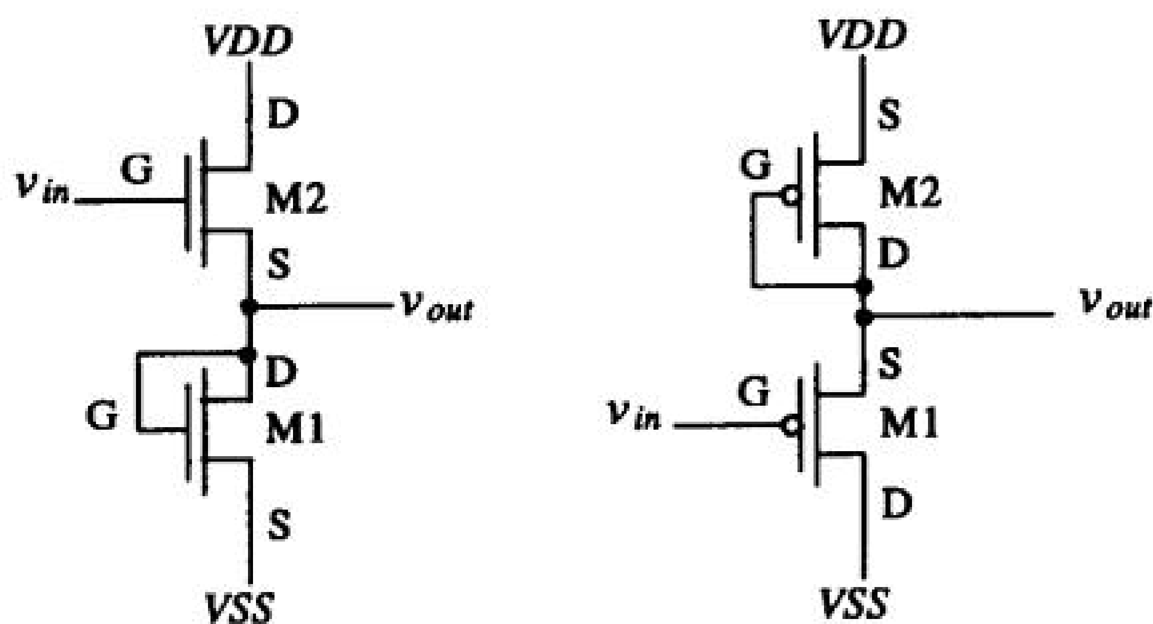


图22-11　使用有源负载的源跟随器电路

例22.4

当M2管源端的电压为0V并且$VSS=-2.5$V时，使用CN20参数，计算上图所示NMOS源跟随器的η。

由式（22-26），得：

$$\eta=\frac{K1}{2\sqrt{PHI+V_{SB}}}-K2=\frac{1.49}{2\sqrt{0.75+2.5}}-0.315=0.098$$

因此，体跨导g_{mb}约是跨导g_m的10%。由此知：当V_{SB}很大时，体效应引起的跨导g_{mb}可忽略，是有根据的。■

下面求图22-11中NMOS源跟随器的交流小信号增益。图中，从M2管源端看进去的电阻与栅漏短接的M1管构成的负载电阻分压。输出电压为：

$$v_{out}=v_{in}\cdot\frac{\frac{1}{g_{m1}}}{\frac{1}{g_{m1}}+\frac{1}{g_{m2}}} \tag{22-27}$$

499

由$g_m=\sqrt{2\beta_1 I_D}$，得有源负载的源跟随器增益为：

$$A_v = \frac{v_{out}}{v_{in}} = \frac{\frac{1}{g_{m1}}}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} = \frac{1}{1 + \frac{g_{m1}}{g_{m2}}} = \frac{1}{1 + \sqrt{\frac{W_1 L_2}{W_2 L_1}}} \tag{22-28}$$

源跟随器的输出电阻为:

$$R_{out} = \frac{1}{g_{m1}} \| \frac{1}{g_{m2}} \tag{22-29}$$

源跟随器中，M2管只能提供电流，M1管只能吸收电流，且增益总小于1。

22.1.3 共栅放大器

图22-12给出的是带有源负载的共栅放大器。这类放大器的输入电阻就是从M1管源端看进去的电阻，即:

$$R_{in} = \frac{1}{g_{m1}} \tag{22-30}$$

若忽略体效应，这类放大器的增益为:

$$A_v = \frac{v_{out}}{v_{in}} = \frac{-i_d \cdot \frac{1}{g_{m2}}}{-v_{gs1}} = \frac{-i_d \cdot \frac{1}{g_{m2}}}{-i_d \cdot \frac{1}{g_{m1}}} = \frac{\text{M1管漏端电阻}}{\text{M1管源端电阻}} = \frac{\frac{1}{g_{m2}}}{\frac{1}{g_{m1}}} \tag{22-31}$$

即:

$$A_v = \frac{g_{m1}}{g_{m2}} = \sqrt{\frac{KP_n}{KP_p} \cdot \frac{W_1 L_2}{W_2 L_1}} \tag{22-32}$$

与带有源负载的共源放大器的增益相同。

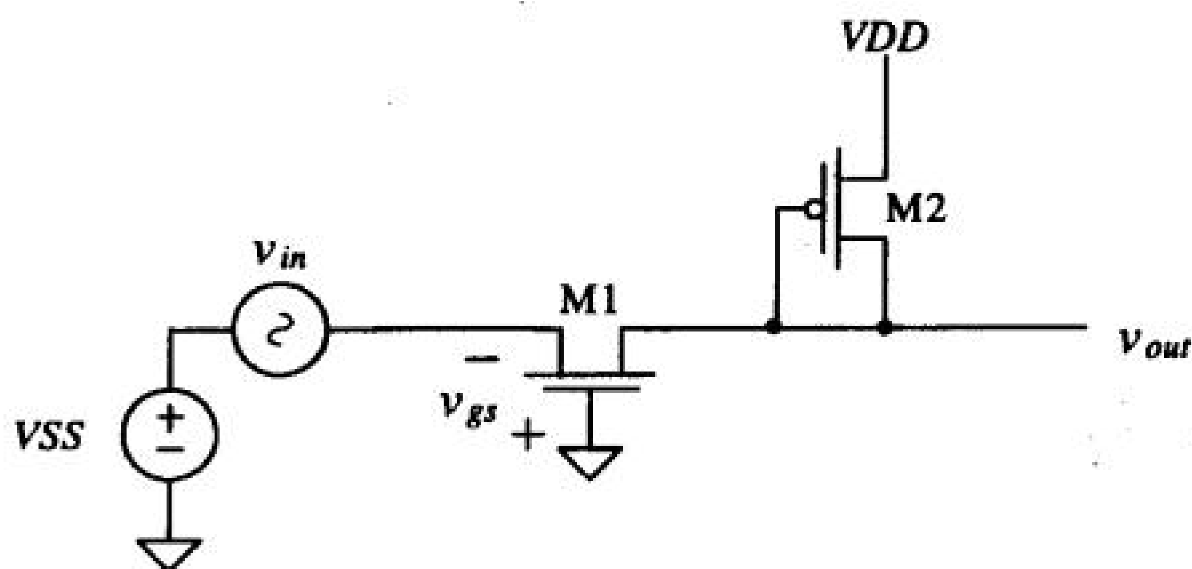


图22-12 共栅放大器

22.2 电流源做负载的放大器

用电流源做放大器的有源负载，可使放大器获得CMOS工艺下的最大可能的负载电阻。本节将分析使用电流源/沉做负载的单级放大器电路。

500

考虑图22-13中电流源负载的共源放大器。M1管是放大器的共源部分，而M2管是电流源负载。这类放大器的直流转移特性如图22-14所示。曲线的斜率对应两个晶体管都饱和时，放大器的交流小信号增益。由该图知，当M1管、M2管都被偏置在饱和区时，放大器的直流输出电压与放大器输入端的直流偏置有关。在PMOS管和NMOS管串联时，如何把它们的漏端电

压设置为期望的值，这是CMOS模拟集成电路设计中的一个常见问题。通常使用反馈机制将放大器的输出电压设定为一个期望值，该电压又决定了放大器输入端的直流电压值。常见的偏置单级放大器的反馈方法是：用交流耦合方式把输入信号耦合到M1管的栅极，用交流耦合方式从M1管和M2管的漏端取出输出信号，并在输入端和输出端之间加入一个大电阻；当放大器设计得比较合理时，这会强制M1管和M2管都工作在饱和区。

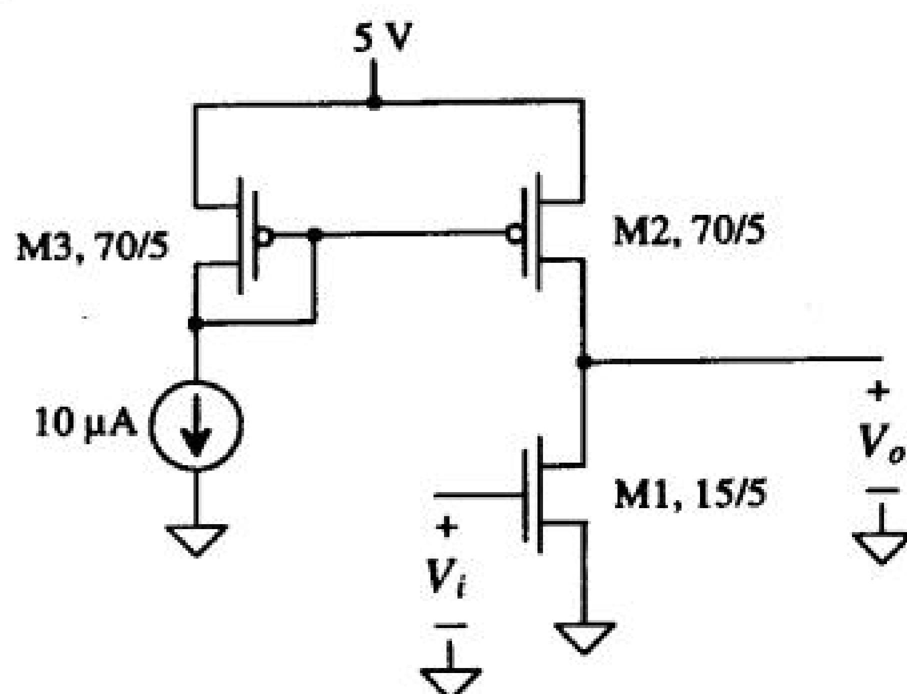


图22-13 电流源做负载的共源放大器

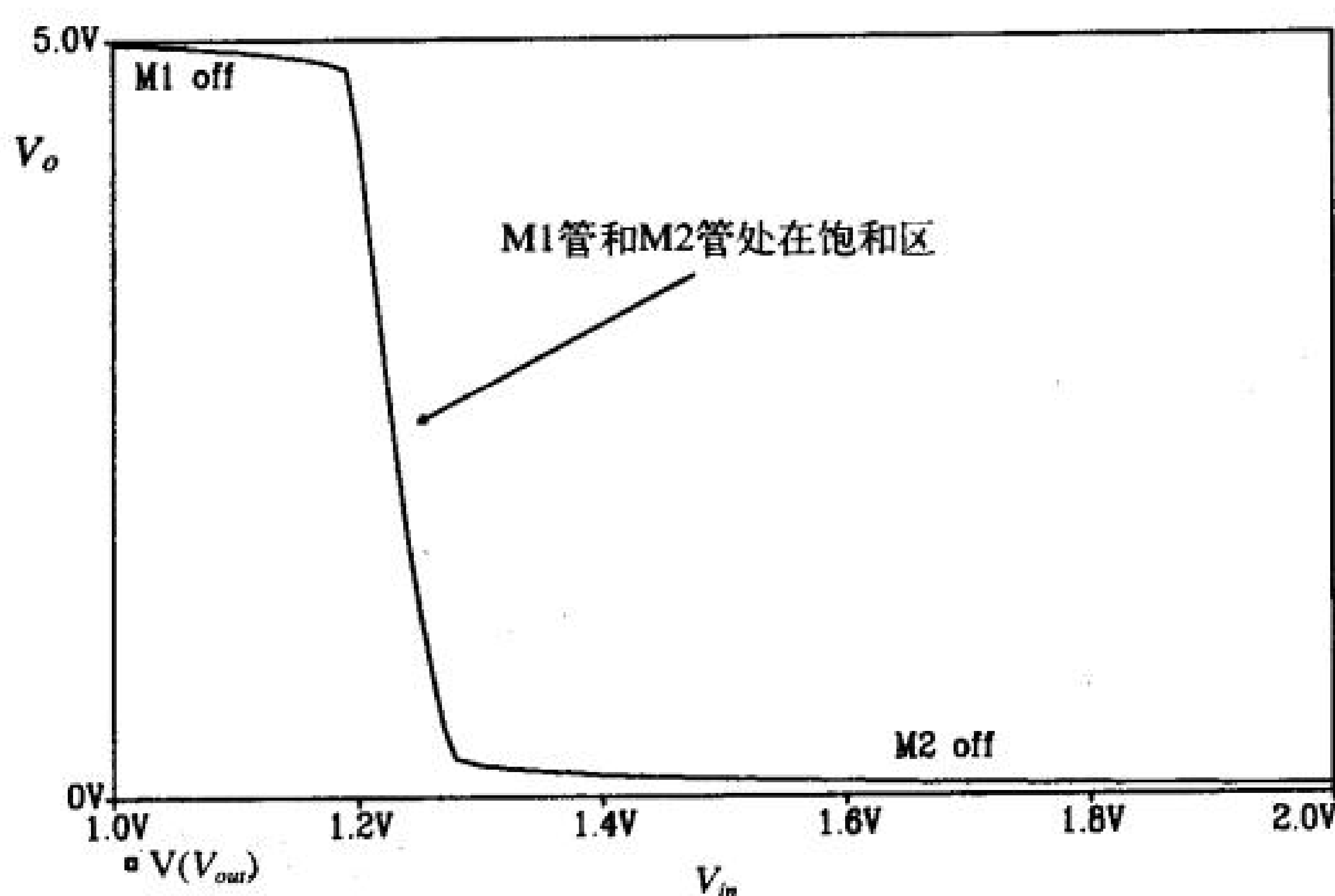


图22-14 图22-13中放大器的直流转移特性

从M2管漏端看进去的电阻可看作输出电阻，输出电阻为：$r_{o2} \approx 1/\lambda I_D = 1/(0.06 \cdot 10\mu A) = 1.667M\Omega$。该电阻与从M1管漏端看进去的电阻并联。假设$\lambda_S$都为$0.06V^{-1}$，那么，从M1管漏端看进去的电阻也是1.667MΩ。使用上节中介绍的直观分析方法，共源放大器的电压增益是M1管漏端的总并联电阻除以M1管源端的电阻，即：

$$A_v = \frac{v_o}{v_i} = -\frac{r_{o1} || r_{o2}}{\frac{1}{g_{m1}}} = -\frac{g_{m1}}{g_{o1} + g_{o2}} \tag{22-33}$$

式中，$r_{o1} = 1/g_{o1}$。这里有必要弄清楚直流偏置电流如何影响小信号增益。由式（22-33）知：

$$A_v = \frac{-\sqrt{2\beta_1 I_D}}{I_D(\lambda_1 + \lambda_2)} = \frac{-\sqrt{2\beta_1}}{(\lambda_1 + \lambda_2) \cdot \sqrt{I_D}} \tag{22-34}$$

上式说明，减小偏置电流可以增大增益。图22-15给出了电压增益与偏置电流的关系。当偏置电流小于0.1μA时，电压增益变为恒定值，这是因为：偏置电流小于0.1μA时，MOS管已经工作在亚阈值区，MOS管的跨导和输出电阻都与偏置电流成线性关系（见第6章和第9章）。

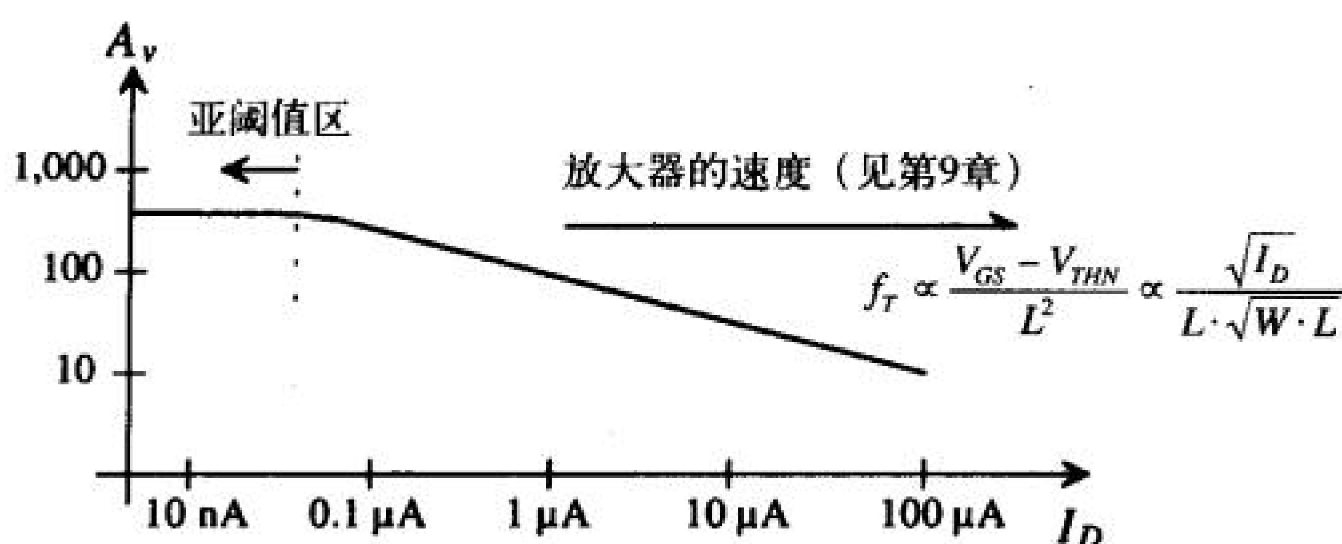


图22-15 电流源负载的共源放大器的电压增益

（偏置电流增大时增益降低，但速度会增大）

用共源共栅电流源代替M2管做负载，可以提高放大器的增益。从共源共栅电流源/沉的漏端看进去的电阻远大于M1管的输出电阻，因此，由式（22-33）得共源放大器的增益为：

501～502

$$A_v = -\frac{r_{o1}}{\frac{1}{g_{m1}}} = -g_{m1}r_{o1} = -\frac{\sqrt{2\beta_1 I_D}}{I_D\lambda_1} \tag{22-35}$$

由于从共源共栅电流源/沉的漏端看进去的电阻远大于M1管的输出电阻，因此，有时称上式求得的增益为共源放大器的开路增益。用式（22-35）求得的开路增益约为图22-13所示共源放大器电路增益的两倍。

上一节讨论的放大器是用栅漏短接的MOS管做有源负载；与它们相比，本节讨论的电流源负载放大器的频率特性要差一些（但增益变大）。图22-13中，M1管和M2管的漏端是高阻节点（只和MOS管的漏端相连）。这个节点到地的有效电阻为$r_{o1} \| r_{o2}$。MOS管的源端节点和栅漏短接的MOS管的漏端节点通常是低阻节点。从MOS管源端看进去的小信号电阻和二极管方式连接的MOS管的小信号电阻均为$1/g_m$。

例22.5

估算图22-13所示放大器的带宽。

重新画出对应的包括相关寄生电容的电路图，如图22-16所示。M3管为小信号低阻，因此，交流情况下，可以假设M2管的栅接地。

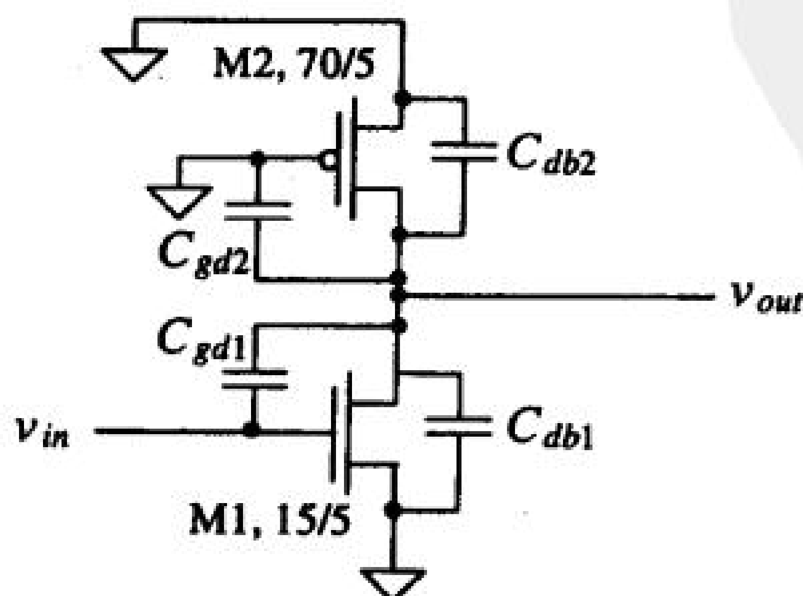


图22-16 在图22-13所示电路中加入寄生电容后的电路图

放大器的增益为:

$$A_v = -g_{m1}(r_{o1}||r_{o2}) = -\left[\sqrt{2\cdot 50\frac{\mu A}{V^2}\cdot\frac{15}{5}\cdot 10\ \mu A}\right]\cdot(833k) = -46\ V/V$$

下面计算MOS管的有关电容。M2管的栅漏电容为:

$$C_{gd2} = CGDO\cdot W_2 = 5\times 10^{-10}\frac{F}{m}\cdot 70\ \mu m = 35\ fF$$

M1管的栅漏电容为:

503

$$C_{gd1} = CGDO\cdot W_1 = 3.8\times 10^{-10}\frac{F}{m}\cdot 15\ \mu m = 5.7\ fF$$

为计算最坏情况下的漏区耗尽层电容，我们假设漏PN结上的电压为0V，且MOS管漏区面积等于MOS管的宽度乘以6μm；由此，得到耗尽层电容为:

$$C_{db1} = CJ\cdot\overbrace{6\ \mu m\cdot W_1}^{\text{漏区面积}} = 1.0\times 10^{-4}\frac{F}{m^2}\cdot 6\ \mu m\cdot 15\ \mu m = 9\ fF$$

$$C_{db2} = 3.25\times 10^{-4}\cdot 6\ \mu m\cdot 70\ \mu m = 137\ fF$$

前面已经计算出放大器的增益（远大于图22-1中栅漏短接的放大器的增益），由此，求得输出端的密勒电容C_{MO}为:

$$C_{MO} = C_{gd1}\left(1+\frac{1}{46}\right)\approx C_{gd1}$$

输出端的时间常数为:

$$\tau_{out} = (r_{o1}||r_{o2})\cdot(C_{gd2}+C_{gd1}+C_{db1}+C_{db2}) = 833k\cdot 187\ fF = 155.8\ ns$$

该放大器的3dB频率为:

$$f_{out} = \frac{1}{2\pi\cdot\tau_{out}} = 1\ MHz$$

由此知，该放大器的带宽明显小于例22.2计算的放大器的带宽，但本例放大器的增益较大。

如果该放大器由与它电路结构相同的一级放大器电路驱动，且该级电路的输出电阻为$R_{out} = r_{o1}||r_{o2}$，输出电容C_{out}为:

$$C_{out} = (C_{gd2}+C_{gd1}+C_{db1}+C_{db2}) = 187\ fF$$

则输入端的时间常数为:

$$\tau_{in} = R_{out}\cdot[C_{gs1}+(1+|A_v|)C_{gd1}+C_{out}]$$

式中:

$$C_{gs1} = \frac{2}{3}\cdot C'_{ox}\cdot W_1\cdot L_1 = 40\ fF$$

因此:

$$\tau_{in} = 866k\cdot\left(40\ fF + \overbrace{(1+46)5.7\ fF}^{\text{密勒电容}} + 187fF\right) = 429\ ns$$

由上面的分析知，输入端的时间常数与M1管栅漏电容的密勒效应有关，并随着驱动电路输出电容的增加而增大。下一节将讨论共源共栅连接的放大器，将介绍使密勒电容的影响最小化的有效方法。 ■ 504

使用电流源负载的源跟随器电路如图22-17a所示。若忽略体效应，这种电路的电压增益由从M1管源端看进去的电阻和从M2漏端看进去的电阻构成的分压器给出，即：

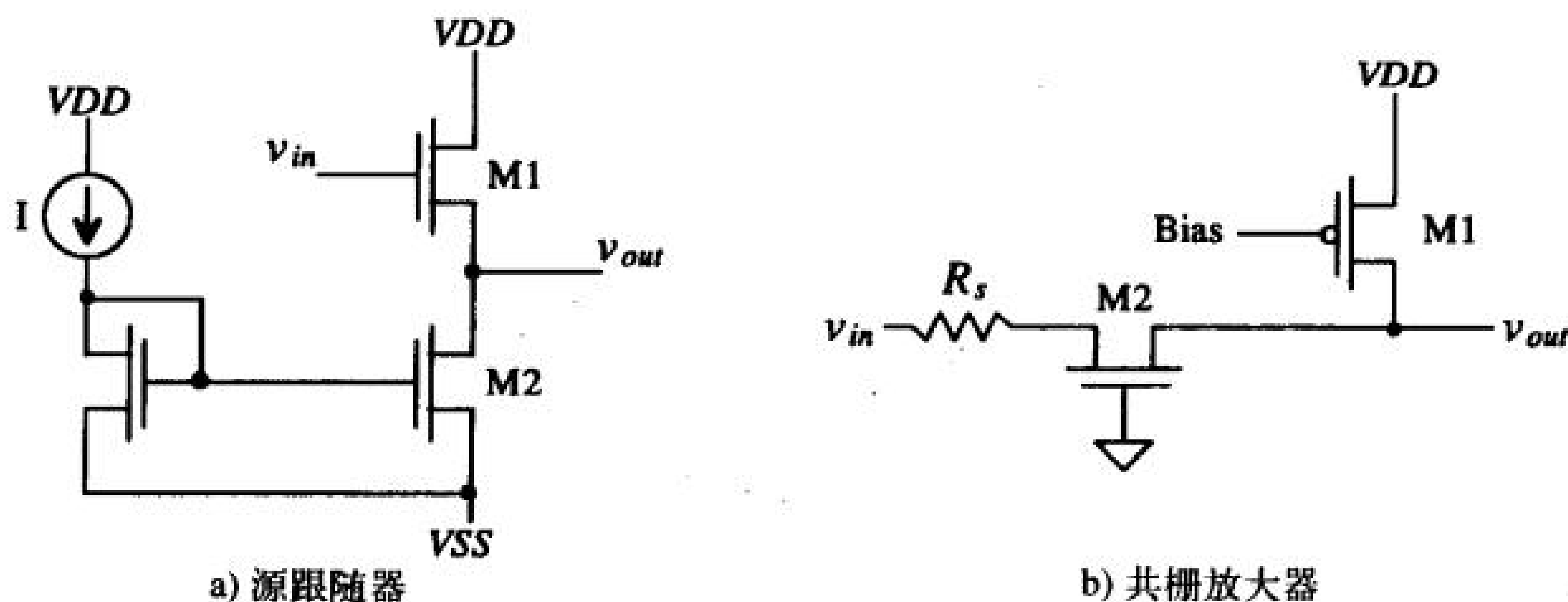
$$A_v = \frac{v_o}{v_i} = \frac{r_{o2}}{r_{o2} + \frac{1}{g_{m1}}} = \frac{g_{m1} r_{o2}}{1 + g_{m1} r_{o2}} \approx 1 \tag{22-36}$$

输出电阻由从M1管源端看进去的电阻和从M2管漏端看进去的电阻并联构成，即：

$$R_o = \frac{1}{g_{m1}} \| r_{o2} \tag{22-37}$$

使用电流源负载的共栅放大器电路如图22-17b所示。从M1管漏端看进去的电阻为r_{o1}，而从M2管漏端看进去的电阻为$r_{o2}(1+g_{m2}R_s)$。M2管源端的电阻是$\left(R_s + \frac{1}{g_{m2}}\right)$。因此，电流源负载的共栅放大器的增益为：

$$A_v = \frac{[r_{o1} \| (r_{o2}(1 + g_{m2} R_s))]}{R_s + \frac{1}{g_{m2}}} \tag{22-38}$$



a) 源跟随器　　b) 共栅放大器

图 22-17

前面分析了几种电流源/沉负载的放大器电路。应该认识到，电流源/沉负载的产生/吸收电流的能力是有限的。如前面介绍的源跟随器，它能吸收的最大电流是M2管提供的恒定电流；当源跟随器为负载提供电流时，它必须同时给M2管提供电流。

到目前为止，本章中讨论的放大器都是甲类放大器，其特点是：在正弦输入信号的整个周期内都有电流流过。乙类放大器则只有半个周期有电流流过；甲乙类放大器有电流流过的时间略大于半个周期。在CMOS模拟电路设计中，我们通常只关注甲类或甲乙类放大器，乙类放大器通常用于脉冲信号的产生。除非比较关心功耗指标，否则，通常不区分放大器的“类”型。电路中的输出级用于驱动外部负载，通常设计者会比较关心其功耗和失真情况（失真用来描述放大器对输入信号的按比例复制的好坏程度）。图22-17a中的源跟随器在运算放大器设计中可当做甲类输出级。 505

放大器的功率转换效率定义为：

$$\%效率 = \frac{负载功耗，P_l}{电源功耗，P_s} \times 100\% \tag{22-39}$$

如果上述源跟随器驱动的电阻阻值为R_L，均方根输出电压为v_{out}，则:

$$P_l=\frac{(v_{out})^2}{R_L} \tag{22-40}$$

放大器的功耗为:

$$P_s=I(VDD-VSS) \tag{22-41}$$

如果$VDD=-VSS$，并且输出电压摆幅从VDD到VSS，那么，当v_{out}满足下式时，甲类放大器的转换效率最高:

$$v_{out}=\frac{VDD}{\sqrt{2}}=\frac{IR_L}{\sqrt{2}} \tag{22-42}$$

因此，甲类放大器的最高转换效率为25%。

22.2.1 共源共栅电流源/沉做负载的放大器

图22-18a给出了一种采用共源共栅电流源做负载的放大器。与前面讨论的电流源负载的共源放大器相比，这种放大器有两个优点：一是输出电阻大，使得增益很大；二是没有密勒电容，避免了输入端的时间常数变大。共源共栅放大器的偏置将在第24章中与差分运算放大器的设计一起讨论。

共源共栅放大器的小信号等效电路如图22-18b所示。从v_{in}到M1管漏端（v_{d1}）的增益为:

$$A_{v1}=\frac{v_{d1}}{v_{in}}=\frac{-i_d\cdot(r_{ins2}\|r_{o1})}{i_d\cdot\frac{1}{g_{m1}}} \tag{22-43}$$

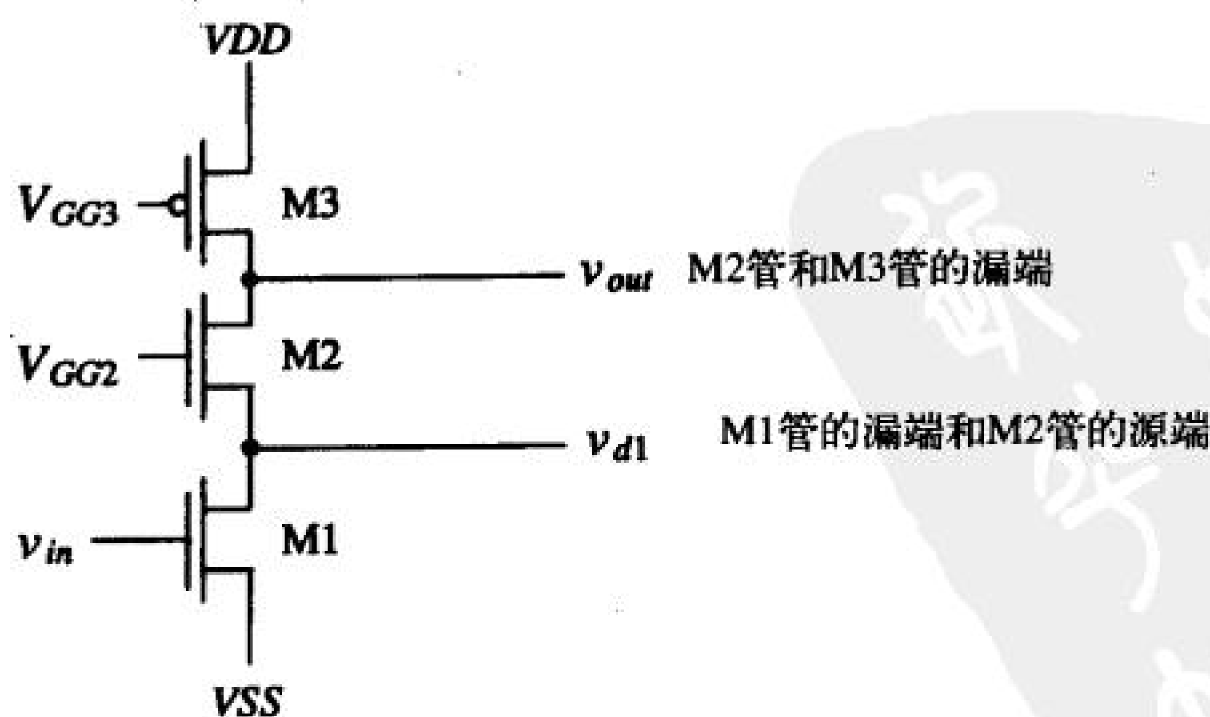
式中，r_{ins2}是从M2管的源端看进去的小信号电阻。M2管的漏端不是交流地，所以不能假设成$r_{ins2}=1/g_{m2}$。如图22-19所示，加上测试电压源，则有:

$$i_t=-(g_{m2}v_{gs2}-g_{mb2}v_{sb2}+\frac{v_o-v_t}{r_{o2}})=g_{m2}v_t-g_{mb2}v_t+\frac{v_t-v_o}{r_{o2}} \tag{22-44}$$

$$v_o=i_tr_{o3} \tag{22-45}$$

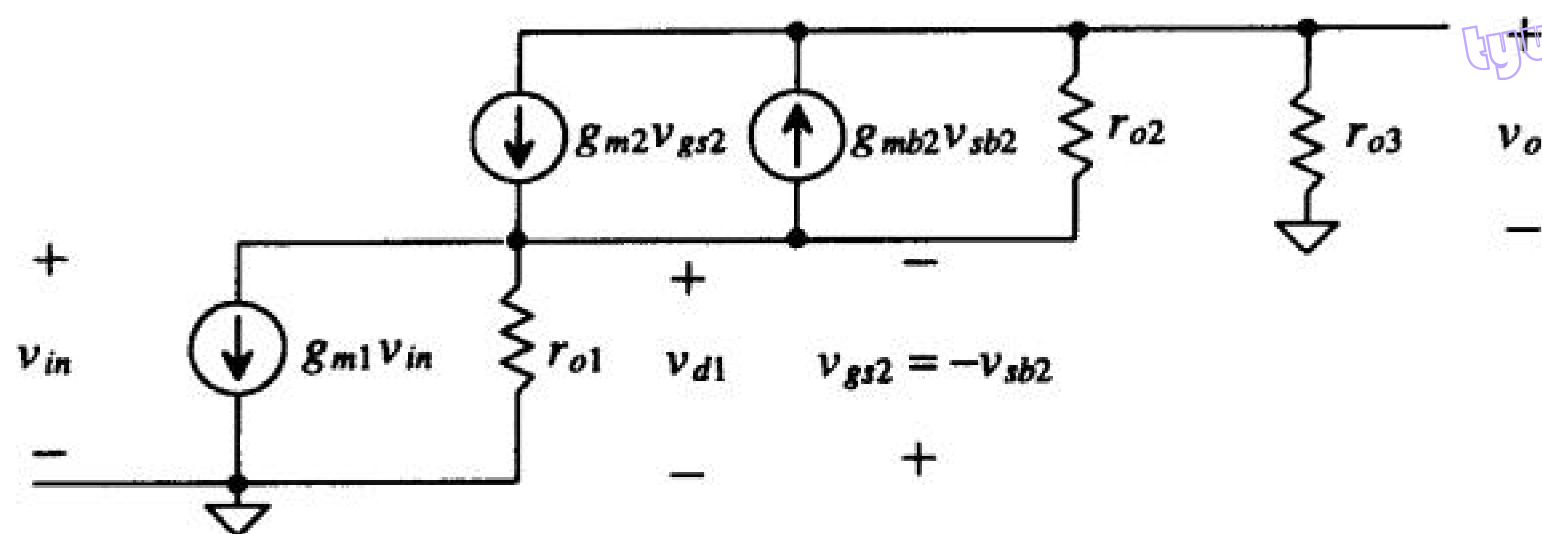
506

因此，r_{ins2}为:



a) 共源共栅放大器

图 22-18



b) 小信号等效电路

图 22-18（续）

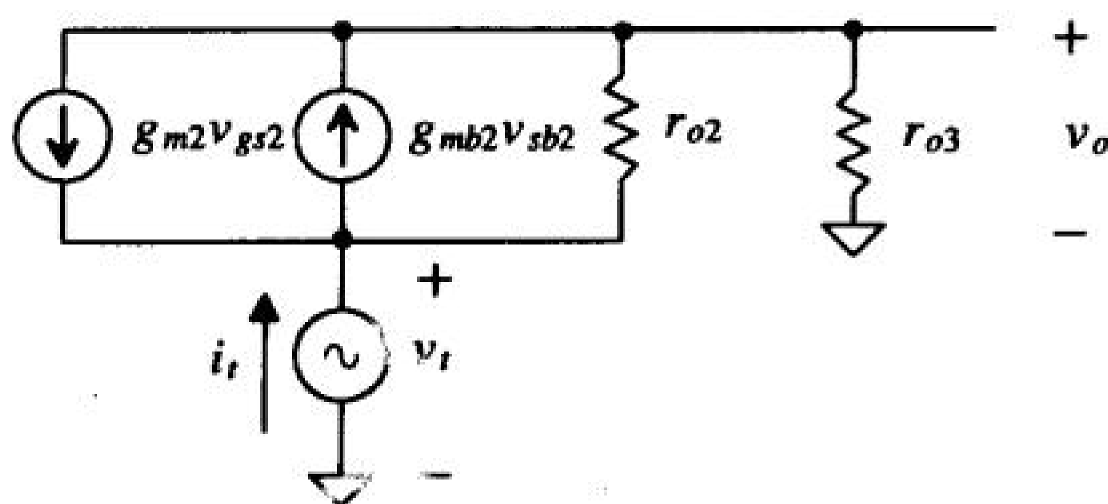


图22-19 计算从M2管源端看进去的电阻

507

$$r_{ins2}=\frac{v_t}{i_t}=\frac{1+\frac{r_{o3}}{r_{o2}}}{g_{m2}+g_{mb2}+\frac{1}{r_{o2}}}\approx\frac{1}{g_{m2}}(1+\frac{r_{o3}}{r_{o2}})\tag{22-46}$$

因此，增益A_{v1}为:

$$A_{v1}=\frac{v_{d1}}{v_{in}}\approx-g_{m1}\left[\frac{1}{g_{m2}}\left(1+\frac{r_{o3}}{r_{o2}}\right)\|r_{o1}\right]\approx-\frac{g_{m1}}{g_{m2}}\left(1+\frac{r_{o3}}{r_{o2}}\right)\tag{22-47}$$

而由M2管构成的共栅放大器的增益为（它以M1管为电流沉负载）:

$$A_{v2}=\frac{v_{out}}{v_{d1}}=\frac{-i_d\cdot\overbrace{r_{o2}(1+g_{m2}r_{o1})}^{\text{从M2管漏端看进去的电阻}}\|r_{03}}{-i_d\cdot\frac{1}{g_{m2}}(1+\frac{r_{o3}}{r_{o2}})}=g_{m2}\cdot\frac{[(r_{o2}(1+g_{m2}r_{o1}))\|r_{o3}]}{(1+\frac{r_{o3}}{r_{o2}})}\tag{22-48}$$

总增益为A_{v1}与A_{v2}的乘积，等于:

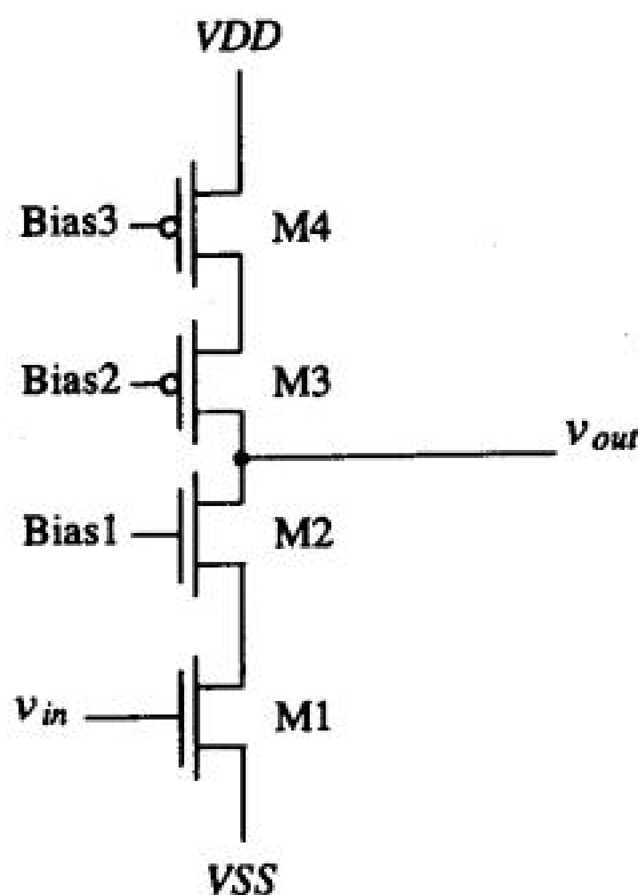
$$A_v=A_{v1}\cdot A_{v2}=-g_{m1}\cdot[(r_{o2}(1+g_{m2}r_{o1}))\|r_{o3}]\approx-g_{m1}r_{o3}\tag{22-49}$$

由上式知，与图22-13中以电流源作负载的基本共源放大器相比，共源共栅放大器的增益并未增大多少。这是因为M3管的输出电阻限制了增益。图22-20给出了另一种电路来提高从M3管漏端看进去的电阻。M3管和M4管共同构成共源共栅电流源负载。输出电阻由从M3管漏端看进去的电阻和从M2管漏端看进去的电阻并联得到。并联后输出电阻为:

$$R_o=[r_{o2}(1+g_{m2}r_{o1})]\|[r_{o3}(1+g_{m3}r_{o4})]\tag{22-50}$$

因此，增益变为:

$$A_v=-g_{m1}\cdot R_o\tag{22-51}$$



508

图22-20 双共源共栅的放大器

共源共栅放大器的另一个优点是频率响应特性好。假设共源共栅放大器被一个输出电阻为R_{L1}、输出电容为C_{L1}的电路驱动。对图22-18a中的电路应用密勒定理，共源共栅放大器的高频小信号等效电路如图22-21所示。图中，C_2和C_3表示那些节点到地的总电容，它们的值为:

$$C_2 = C_{bd1} + C_{bs2} + C_{gs2} + C_{gd1}\left(1 + \frac{1}{|A_{v1}|}\right) \tag{22-52}$$

$$C_3 = C_{gd2} + C_{bd2} + C_{bd3} + C_{gd3} + C_L \tag{22-53}$$

式中，C_L是输出端的负载电容。输入端电容C_1为:

$$C_1 = C_{gs1} + C_{gd1}(1 + |A_{v1}|) = C_{gs1} + C_{gd1}\left[1 + \frac{g_{m1}}{g_{m2}}\left(1 + \frac{r_{o3}}{r_{o2}}\right)\right] \tag{22-54}$$

由此可知，与电流源负载的简单共源放大器相比，共源共栅放大器输入端的密勒电容要小得多（这是因为增益v_{d1}/v_{in}非常小）。因此，密勒电容不再对输入端的时间常数起决定作用。输入端和输出端的时间常数为:

$$\tau_{in} = R_{L1} \cdot (C_{L1} + C_1) \tag{22-55}$$

$$\tau_{out} = r_{o3} \cdot C_3 \tag{22-56}$$

M1管漏端的时间常数为:

$$\tau_{d1} = \left[\frac{1}{g_{m2}}\left(1 + \frac{r_{o3}}{r_{o2}}\right) \| r_{o1}\right] \cdot C_2 \tag{22-57}$$

假设用共源共栅放大器驱动另一级放大器电路，并且这两级电路的输入电容的量级相同，则输入端时间常数τ_{in}与输出端时间常数τ_{out}也大约是同一量级。由于M1管漏端到地之间的电阻是低阻（通过M2管的源端），对整个频率特性的影响很小，因此，与这个节点相关的时间常数τ_{d1}可以忽略。

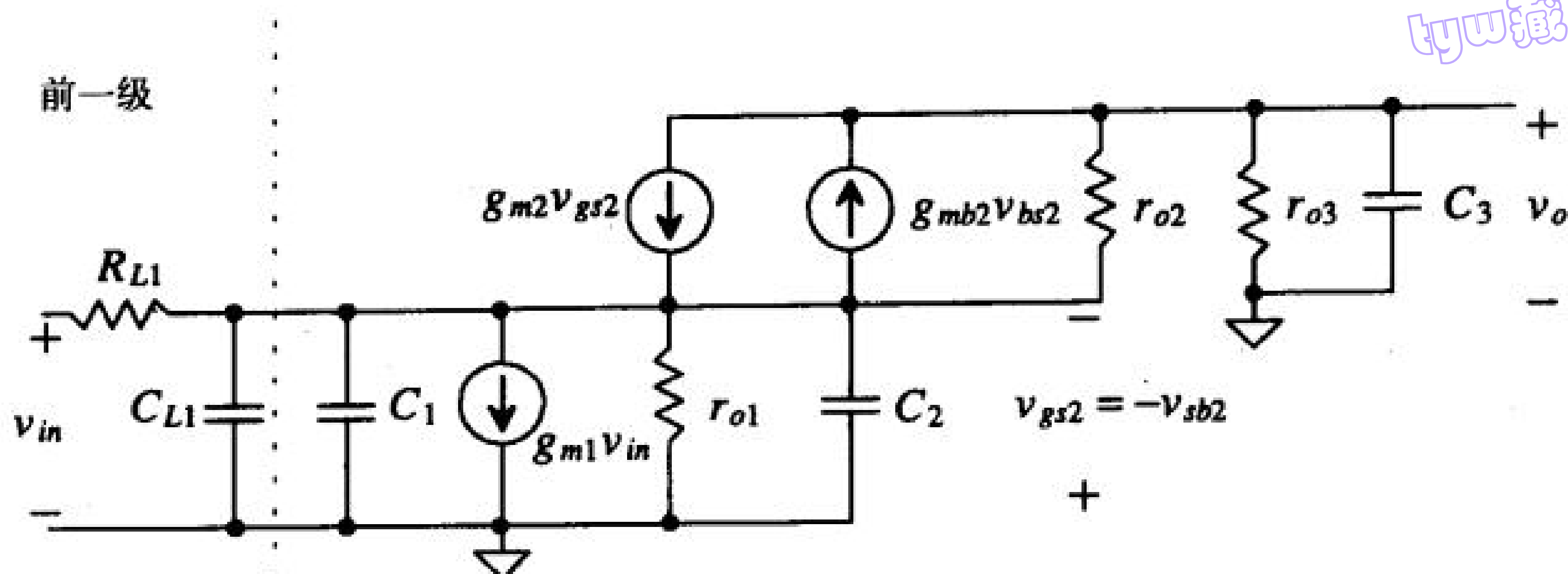


图22-21 共源共栅放大器的高频小信号等效电路

使用共源共栅连接的一个缺点是减小了输出电压摆幅。因为电路需要很多MOS管，需要更大的电源电压使各MOS管工作在饱和区。回过去看图22-18a，使所有MOS器件都工作在饱和区的最小输出电压由M2管变为非饱和的转换点决定，这时有：

$$V_{GS2}-V_{THN2}=V_{DS2} \tag{22-58}$$

即：

$$V_{o(\min)}=V_{GG2}-V_{THN2} \tag{22-59}$$

或许有人会问：为什么M2管早于M1管退出饱和状态？这是因为输出节点的阻抗远大于v_{d1}节点的阻抗，所以，输出节点的电压比v_{d1}节点的电压下降得快很多；换句话说，是因为从输入到输出的增益远大于从输入到v_{d1}的增益，随着输入电压的增大，输出电压v_o比v_{d1}节点的电压下降得快。

使共源共栅放大器中所有器件都保持在饱和区的最大输出电压由M3管变为非饱和的转换点决定。与前面的分析相同，满足下式时，输出电压值最大：

$$v_{SG}-V_{THP3}=v_{SD} \tag{22-60}$$

即：

$$v_o(\max)=V_{GG3}+V_{TH3} \tag{22-61}$$

因此，当我们考虑输出摆幅时，偏置电压的值非常关键。

22.2.2 推挽放大器

图22-22所示为推挽放大器，它是第11章所讨论过的反相器；其中，M1管和M2管都工作在饱和区。如果这种电路设计得比较合理的话，可以吸收或产生相等数量的电流。M1管和M2管都用做共源放大器。M1管和M2管漏端到交流地的有效电阻是每个MOS管输出电阻的并联；它们的源端电阻由从M1管源端看进去的电阻和从M2管源端看进去的电阻并联得到。因此，这种推挽放大器的增益为：

$$A_v=\frac{-i_d\cdot(r_{o1}||r_{o2})}{i_d\cdot\left(\frac{1}{g_{m1}}||\frac{1}{g_{m2}}\right)}=-(g_{m1}+g_{m2})\cdot(r_{o1}||r_{o2}) \tag{22-62}$$

509
~
510

由于推挽放大器产生电流和吸收电流的能力相同，并且可以将输出上拉到*VDD*或者下拉到*VSS*，因此，得到了广泛应用。图22-23给出了一个单位增益的放大器电路。在该电路中，

推挽放大器用做缓冲级，提供电流驱动能力。误差放大器用来探测输出电压并比较输出电压和输入电压，从而调节M1管和M2管的栅压。该电路的另一个优点是输出电阻较小，因此，非常适用于运算放大器中的缓冲级。实际上，这种电路也存在一些问题，例如：要设计误差放大器使其功率转换效率最大，还有稳定性问题以及乙类工作时的交叉失真问题。

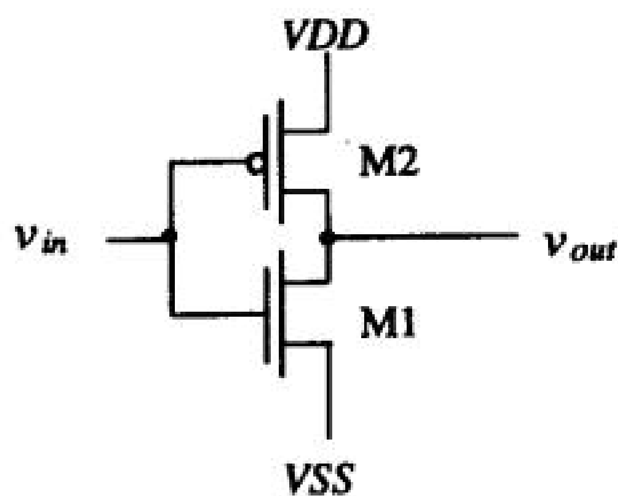


图22-22 推挽放大器

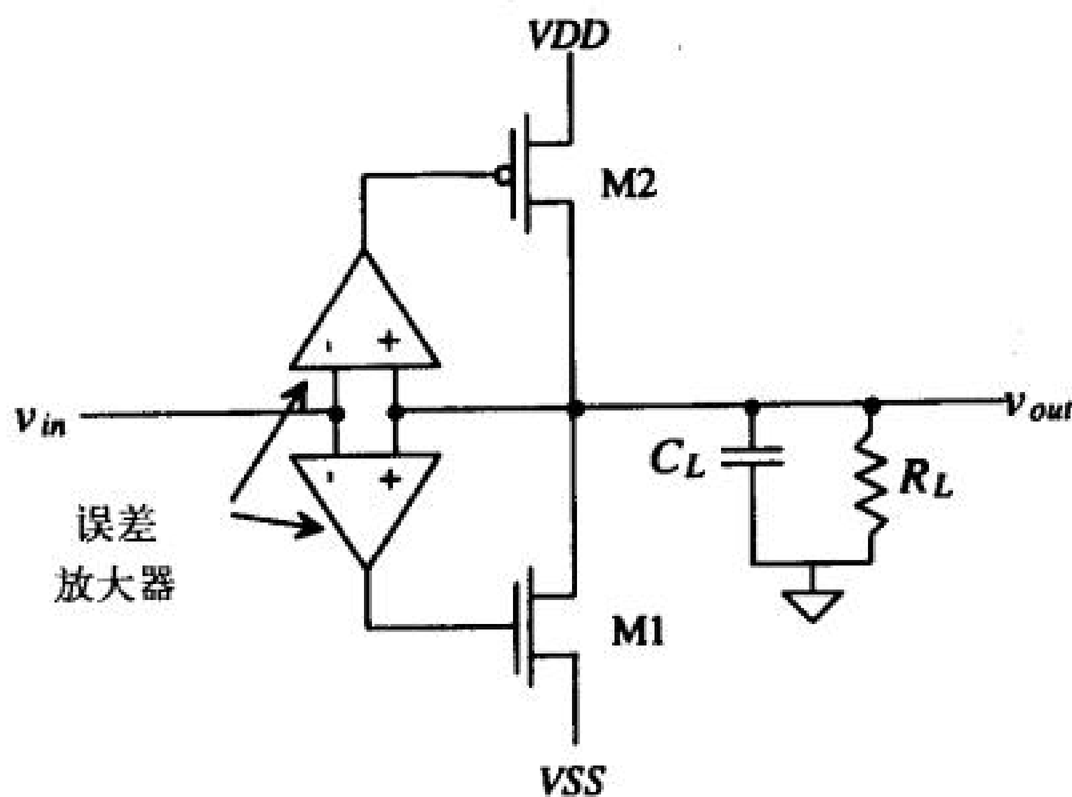


图22-23 用推挽放大器构成的单位增益的缓冲器

511

22.3 放大器的噪声和失真

噪声

下面分析图22-13中电流源负载的共源放大器的噪声特性，图22-24a给出了图22-13中电流源负载的共源放大器的简化电路。噪声分析中，我们忽略和M2管栅极相连的MOS管对噪声的贡献。图22-24b给出了包含噪声源的电路。使用第9章给出的噪声模型，根据第7章提出的噪声分析步骤，可知每个均方项相加的总和就等于均方输出噪声，即：

$$\overline{v_T^2} = (r_{o1}||r_{o2}||\frac{1}{j\omega C_t})^2 \cdot (\overline{i_{1/f,1}^2} + \overline{i_{1/f,2}^2} + \overline{i_{therm,1}^2} + \overline{i_{therm,2}^2}) \tag{22-63}$$

式中，C_t是与r_{o1}、r_{o2}并联的电容的总和。由此得到给定带宽的RMS输出噪声为：

$$\sqrt{\overline{v_{on}^2}} = \left[\int_{f_L}^{f_H} \overline{v_T^2} \cdot df\right]^{1/2} \tag{22-64}$$

这种放大器的低频增益为$-g_{m1} \cdot (r_{o1} || r_{o2})$，因此，传输函数绝对值的平方为：

$$|H(j\omega)|^2 = \frac{(g_{m1}(r_{o1}||r_{o2}))^2}{\left[1+\left(\frac{f}{f_{in}}\right)^2\right]\left[1+\left(\frac{f}{f_{out}}\right)^2\right]} \tag{22-65}$$

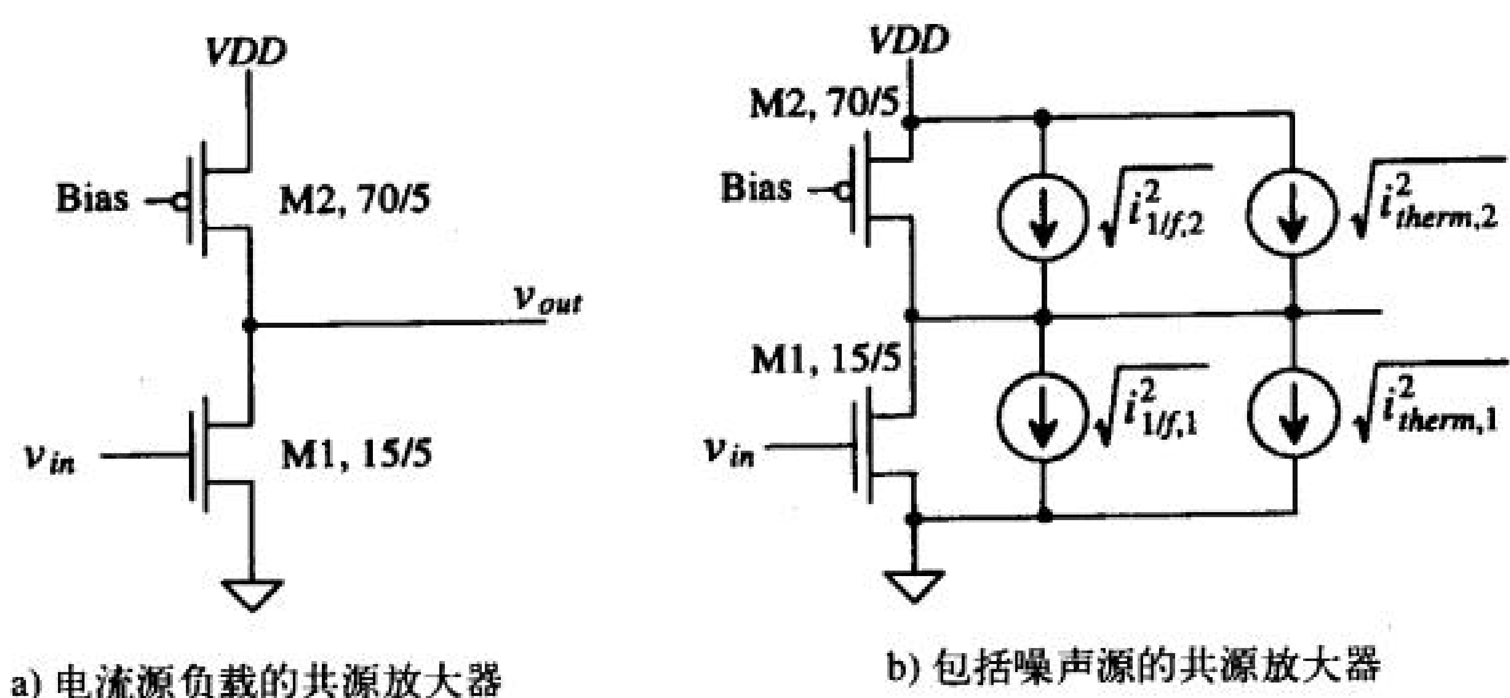
RMS输入噪声为：

$$\sqrt{\overline{v_{ino}^2}} = \left[\int_{f_L}^{f_H} \frac{\overline{v_T^2}}{|H(j\omega)|^2} \cdot df\right]^{1/2} \tag{22-66}$$

失真

按一定比例复制图22-24a所示放大器的输入信号，就得到了放大器的输出信号。下面分

析复制的比例是否总一致，如果不一致，就称放大器在放大输入信号时存在失真。理想情况下，放大器的输出是输入的A_v倍，A_v是放大器的电压增益（一个常数）。



a) 电流源负载的共源放大器

b) 包括噪声源的共源放大器

图 22-24

图22-24a所示放大器的增益为:

$$|A_v| = g_m(r_{o1}||r_{o2}) \Rightarrow \sqrt{2\beta_1(I_D+i_d)} \cdot \frac{1}{2\lambda(I_D+i_d)} = \frac{\sqrt{2\beta_1}}{2\lambda\sqrt{I_D+i_d}} \tag{22-67}$$

通常假设电流的交流部分i_d远小于电流的直流部分I_D，并且放大器增益基本上是常数（小信号近似)。如果交流部分的数量级和直流部分可比时，放大器就会有显著的失真。大输入信号的电压增益与输入信号的摆幅相关。

可以用纯正弦信号作为放大器的输入来描述放大器的特性:

$$V_{in}(t) = V_p \sin \omega t \tag{22-68}$$

放大器的输出是一系列频率为输入频率整数倍的正弦波的叠加，由下式给出:

$$V_{out}(t) = a_1 V_p \sin(\omega t) + a_2 V_p \sin(2\omega t) + \cdots + a_n V_p \sin(n\omega t) \tag{22-69}$$

基波幅值（希望的信号）是a_1V_p。理想情况下，a_2至a_n都是零，这样放大器没有任何失真。第n阶谐波失真定义为:

$$HD_n = \frac{a_n}{a_1},\ n > 1 \tag{22-70}$$

总的谐波失真（Total Harmonic Distortion，THD）为:

$$\text{THD} = \sqrt{\frac{a_2^2 + a_3^2 + a_4^2 + \cdots + a_n^2}{a_1^2}} \tag{22-71}$$

许多放大器电路都希望总的谐波失真尽可能小，用于驱动大电容或者低电阻的输出缓冲器就是这样一个例子。为了减小失真，如果输出缓冲器的直流偏置电流大于交流电流，那么在大多数应用中，输出缓冲器的功耗就太大了。因此，几乎所有的输出缓冲器的直流偏置电流都与交流电流相当。在乙类放大器中甚至会小于交流电流。把反馈机制用于放大器（见第23章）能减小失真。一个放大器的开环增益与输入信号的幅值有关；如果随输入信号幅值的变化，放大器的增益在1000到10000之间变化，那么，在放大器周围加入反馈会

512~513

减小增益的灵敏度。实际上，如果不使用反馈，想设计一个低失真的线性输出放大器几乎是不可能的。

用SPICE仿真电路的失真

可以用SPICE中的瞬态分析与.FOUR（傅里叶）语句来仿真电路的失真情况[5]。这种语句的一般格式为：

.FOUR FREQ OV1 <OV2 OVI ...

其中，FREQ是基频，OV1...等是电路的输出（输出电压或电流，SPICE会计算它们的失真）。下面举一个简单的例子。考虑图22-25所示电路与网表。使用.FOUR语句分析该电路的失真时，输入的正弦波至少是一个完整的周期。如果使用的周期多于一个，则SPICE会使用最后一个完整的周期。另外，最大的瞬态步长应小于输入正弦波信号周期的1%。例如，图22-25中输入信号的周期为1ms，最大瞬态步长是10μs。

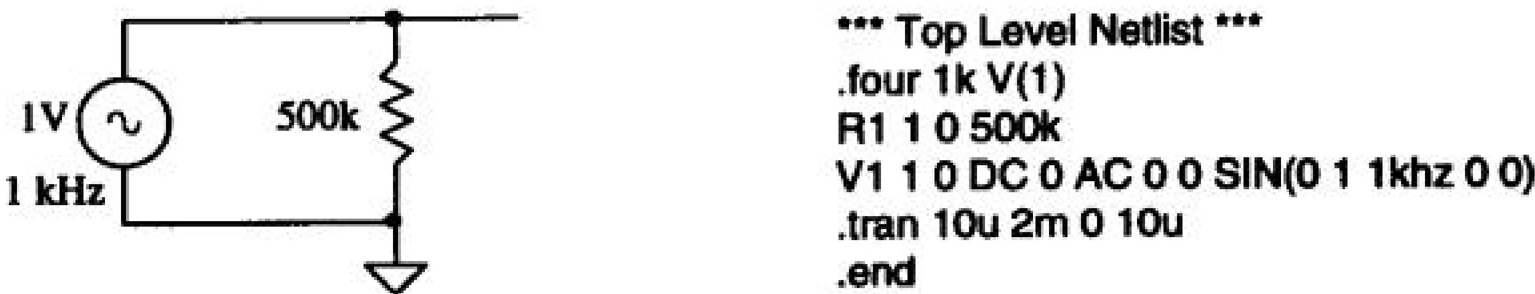


图22-25　用.FOUR语句分析电路的失真

仿真输出结果如下：

Fourier analysis for v(1):
No. Harmonics: 10, THD: 3.17012e-006 %, Gridsize: 200, Interpolation Degree: 1

Harmonic	Frequency	Magnitude	Phase	Norm. Mag	Norm. Phase
0	0	-5.602e-009	0	0	0
1	1000	0.999632	-9e-6	1	0
2	2000	1.12039e-008	-86.4	1.12e-8	-86.4
3	3000	1.12039e-008	-84.6	1.12e-8	-84.6
4	4000	1.12039e-008	-82.8	1.12e-8	-82.8
5	5000	1.12039e-008	-81	1.12e-8	-81
6	6000	1.12039e-008	-79.2	1.12e-8	-79.2
7	7000	1.12039e-008	-77.4	1.12e-8	-77.4
8	8000	1.12039e-008	-75.6	1.12e-8	-75.6
9	9000	1.12039e-008	-73.8	1.12e-8	-73.8

观察上述仿真结果知，该电路的输出没有谐波失真（与分析结果吻合）；SPICE会自动计算直流与前九阶谐波的幅值和相位以及电路的总的谐波失真。

作为一个更实际一些的例子，考虑图22-26所示的推挽放大器。该电路中，MOS管的直流栅压偏置为漏端的直流电压（两个MOS管都工作在饱和区）。图中的1MΩ的负载电阻用于仿真负载的影响并避免输出耦合电容浮置。

514

总的谐波失真是与输入信号的大小密切相关的函数。先使用10mV的输入信号进行仿真，SPICE输出结果表明：总的谐波失真为0.18%；如果输入信号幅值增大为100mV，总的谐波失真变为1.6%。

放大器的噪声建模

图22-27示意了如何在无噪声放大器中加入输入与输出的RMS噪声源。放大器的信噪比（Signal to Noise Ratio，SNR）定义为：

$$SNR_{in} = 10\log\frac{v_{in}^2}{v_{ino}^2} \tag{22-72}$$

式中，v_{in}^2是RMS输入信号的平方。定义放大器输出端的SNR为：

$$SNR_{out} = 10\log\frac{v_{out}^2}{v_{on}^2} \tag{22-73}$$

SNR用于比较输入信号与放大器噪声的相对大小。如果SNR为0dB，则意味着RMS输入（或输出）信号的平方值等于放大器的等效输入（或输出）噪声的均方值。通常在输出端测量噪声，并折算成等效输入噪声。

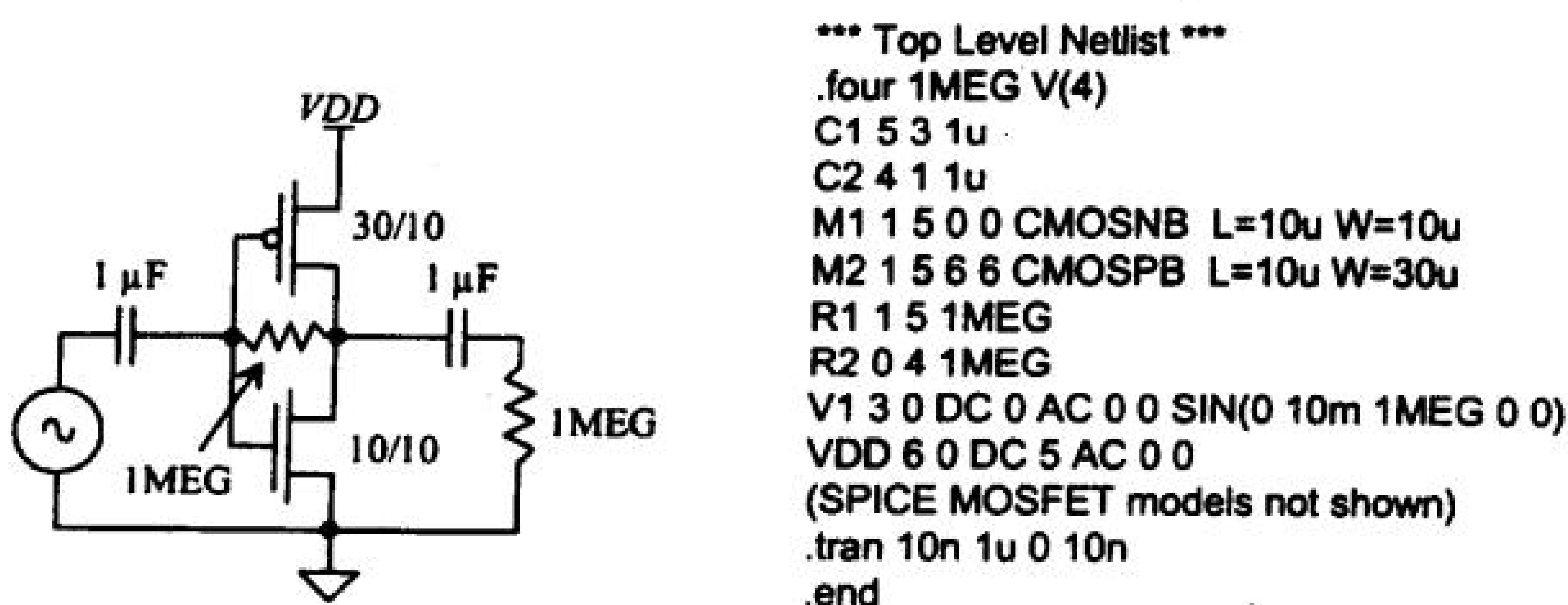


图22-26 分析推挽放大器的失真

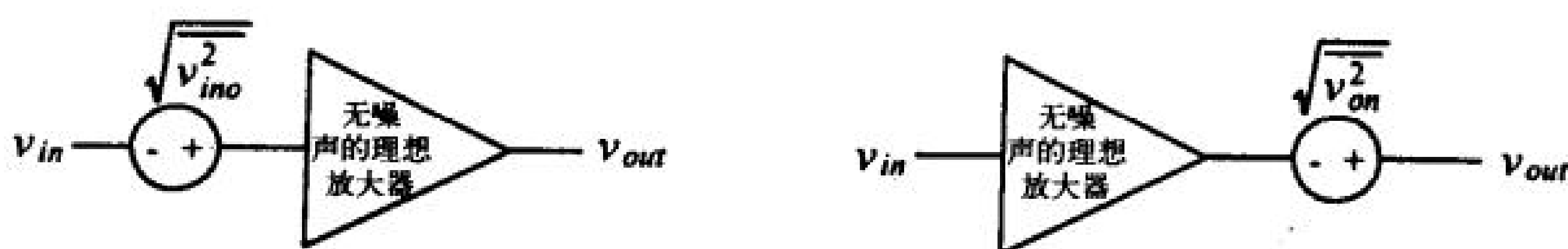


图22-27 在放大器的输入端（或输出端）加上RMS噪声电压

现在考虑图22-28所示的一种实际电路。放大器被一个内阻为R_s的电压源驱动。电压源内阻的热噪声的均方值为$4kTR_s$。当放大器被一个带内阻的电压源驱动时，我们可以定义放大器的噪声系数（Noise Figure，NF）为含噪声的放大器输出与无噪声的放大器输出的比值，可写为：

515

$$NF = 10\log\left[\frac{|H(j\omega)|^2\cdot\left(4kTR_s + \overline{v_{ino}^2}\right)}{|H(j\omega)|^2\cdot(4kTR_s)}\right] \tag{22-74}$$

式中，对数里边的项也被称为噪声因子，即：

$$NF = 10\log\left[\frac{4kTR_s + \overline{v_{ino}^2}}{4kTR_s}\right] = 10\log\,[\text{噪声因子}] \tag{22-75}$$

当比较放大器的相对噪声性能时，NF很有用。NF随电压源内阻和带宽的变化而变化，通常用NF的恒值线来描述NF与频率或者电压源内阻的变化关系。假设电压源内阻远小于放大器的输入电阻，则放大器的RMS输入信号为v_{in}。如果上述条件不满足，则在电压源内阻和放大器输入电阻之间存在着电压分配。输入端的SNR可根据电压源内阻得到：

$$SNR_{in} = 10\log\frac{v_{in}^2}{\overline{v_{ino}^2} + 4kTR_s} = 10\log\frac{v_{in}^2}{4kTR_s} - NF \quad (22\text{-}76)$$

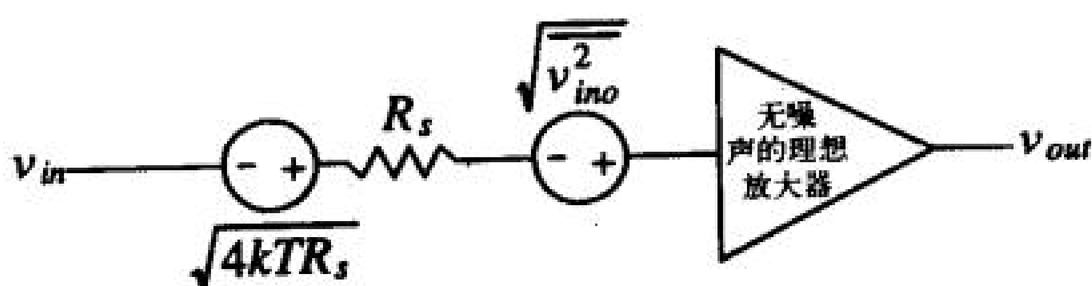


图22-28　确定放大器的噪声系数

有时也用噪声温度T_n代替NF来描述放大器的噪声。设T = 0K，考虑图22-29a中电压源内阻为R_s的放大器。放大器的RMS噪声电压为 $\sqrt{\overline{v_{ino}^2}}$ 。现在考虑图22-29b中无噪声的放大器电路，$\sqrt{\overline{v_{ino}^2}=0}$ 。我们将电阻的温度提高，使电阻的热噪声等于 $\sqrt{\overline{v_{ino}^2}}$ 。这时，标记电阻的温度为T_n，就是噪声温度。把噪声温度与NF联系起来，公式（22-75）可改写为：

$$NF = 10\log\left[1 + \frac{\overline{v_{ino}^2}}{4kTR_s}\right] \quad (22\text{-}77)$$

516

图22-29b中的电路输入噪声的均方值为：

$$\overline{v_{ino}^2} = 4kT_nR_s = 4kTR_s[10^{NF/10} - 1] \quad (22\text{-}78)$$

用NF表示的噪声温度为：

$$T_n = T(10^{NF/10} - 1) \quad (22\text{-}79)$$

式中，噪声系数NF以dB表示，T是测量NF时的开尔文温度。根据噪声温度，NF可以写为：

$$NF = 10\log\left(\frac{T_n}{T} + 1\right) \quad (22\text{-}80)$$

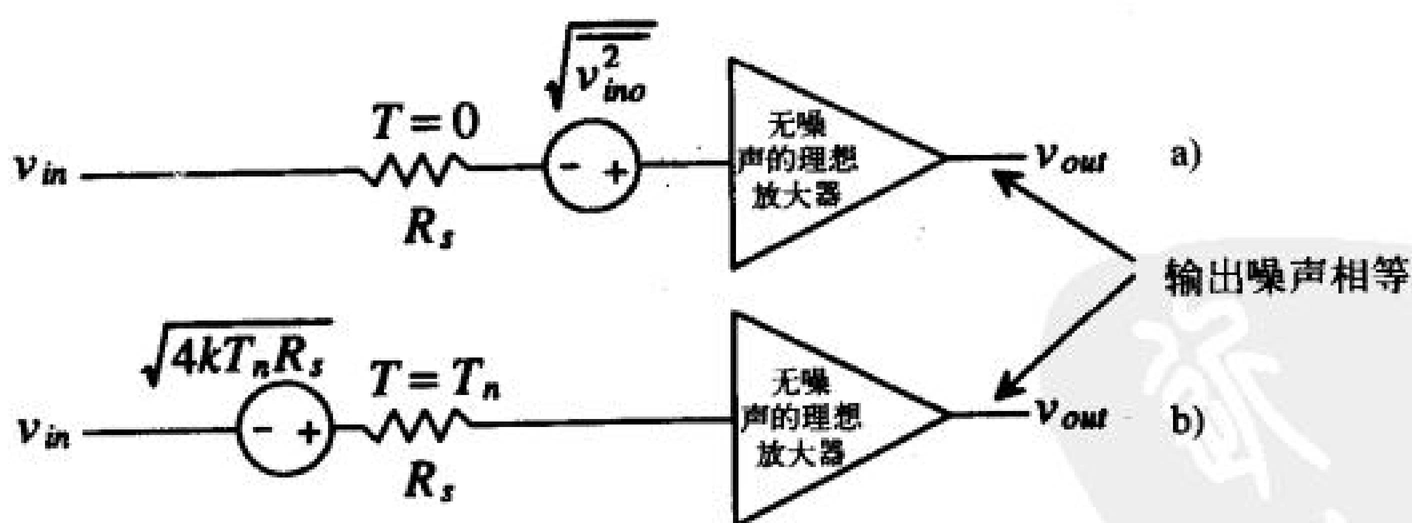


图22-29　放大器噪声温度的确定

22.4　甲乙类放大器

考虑图22-30中的甲类放大器，这类放大器的最大效率为25%。本节中，我们关心的是放大器的大信号特性。我们知道，M1管只能从负载电容吸收电流，而电流源I则为负载电容提供

电流。负载电容充电的最大速率称作压摆率（Slew Rate，SR），由下式给出：

$$SR = \frac{I}{C_L} = \frac{dV}{dt} \tag{22-81}$$

假设I为10μA、C_L为1pF，则放大器的压摆率为10V/μs。在许多模拟或数字电路中，这个变化速率可能太慢了。通常电容并不是设计者可以改变的量，而提高电流I又意味着更大的功耗。因此，希望设计一个对负载电容充放电时没有电流源限制的放大器。

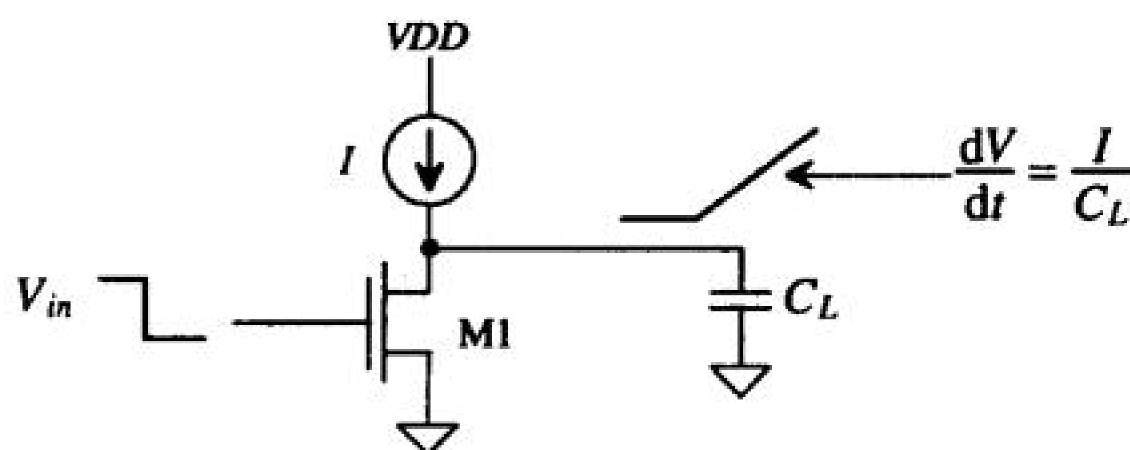


图22-30 电流源负载的共源放大器

考虑图22-31中的放大器电路。VGG1、VGG2的值决定了放大器的类型（甲、乙或甲乙类）。如果输入为正，则V_{GS2}增加而V_{SG1}减小，导致流过M2管的电流增加而流过M1管的电流减小。M1管关闭时，对应的输入电压大小取决于VGG1。由于没有电流源与充放电通路串联，这种电路的输出不再受压摆率的限制。输出电压的摆幅受阈值电压的限制，上限为VDD减去一个阈值电压，下限为VSS加上一个阈值电压。

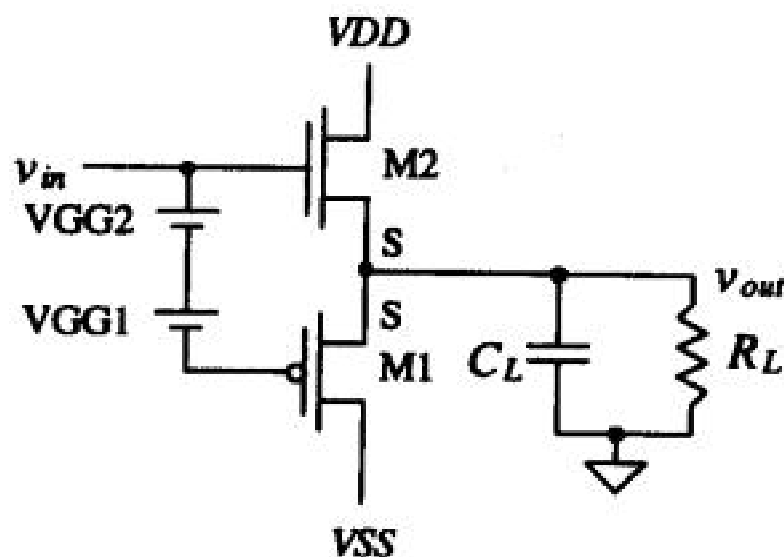


图22-31 甲乙类（或乙类）放大器

图22-31中的电压源（VGG1、VGG2）可用图22-32所示电路实现。图中，在M6管的栅极上加直流偏置，流过M6管的直流电流等于流过M3管的直流电流。M3管是一个电流源。M4管和M5管的栅源电压是常数（因为流过M3管的电流恒定），并用于偏置M1管与M2管。当M6管的栅极连接到差分对的有源负载并且M3管的栅极连接到差分放大器的电流源的偏置电压上时，这种电路就可用做运算放大器的输出缓冲级。

基于浮置电流源的甲乙类放大器如图22-33所示[6]。图中的电流源用于设定流过MOS管的直流电流。输入电流i_{in}既可以为正，也可以为负（也就是可以流入电流也可以流出电流）。i_{in}增加会导致V_{SG4}减小（流过M4管的电流减小），V_{GS1}增加（流过M1管的电流增大）。电路的输出电压摆幅从VDD到VSS，因此，这种电路被广泛用于低电压电路的设计。

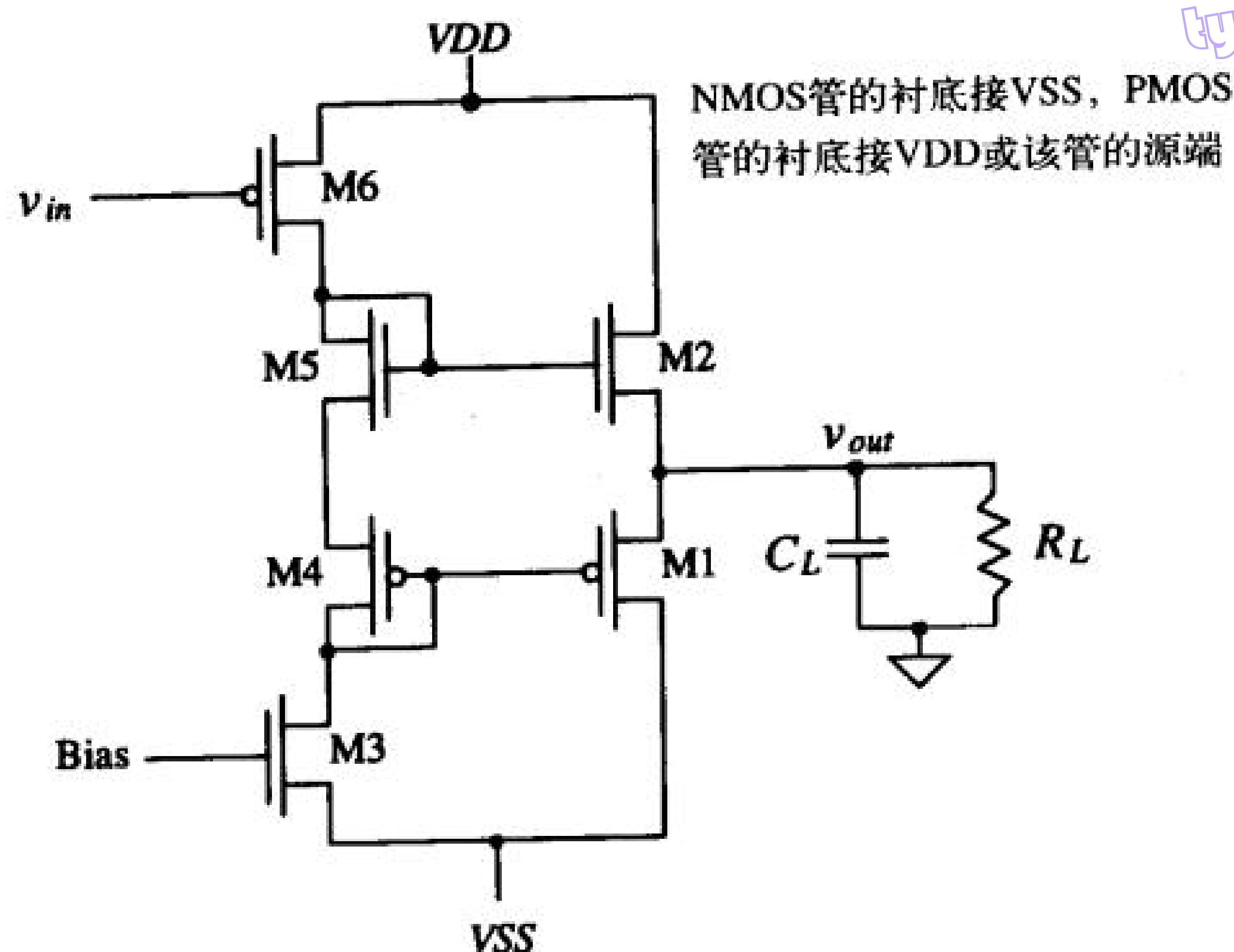


图22-32　互补的源跟随结构的甲乙类放大器

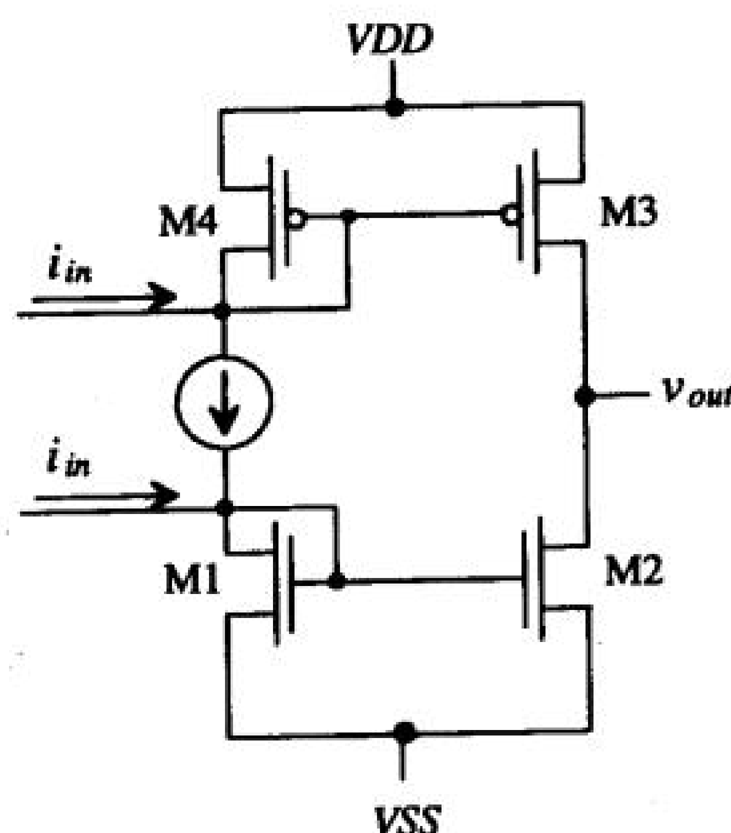


图22-33　使用浮置电流源构成的甲乙类放大器

图22-34中的电路是甲乙类放大器的另一种实现形式，用于驱动容性负载（电阻负载会降低这种放大器的增益）。图中还给出了一个正输入端接地的放大器符号图。要分析这个放大器的工作原理，应该先确定输入v_{in}为零时的直流工作点。假设图中所有的NMOS管的尺寸相同，所有的PMOS管的尺寸相同，例如NMOS管尺寸均为15/5，PMOS尺寸均为70/5。偏置电压由M13管~M16管产生，它会强制流过M5管和M9管所在支路的电流为I。假设输出驱动管M7、M8、M11、M12的尺寸是M5、M6、M9、M10的K倍，则流过这些输出晶体管的电流为$K \cdot I$。加大输出晶体管的尺寸有助于提高电流驱动能力。这种放大器的开环增益由下式给出：

$$A_v = -\frac{g_{m12}r_{o12}r_{o11} \| g_{m7}r_{o7}r_{o8}}{\frac{1}{g_{m1}}+\frac{1}{g_{m4}}} \tag{22-82}$$

这种类型的放大器有时也被称作运算跨导放大器（Operational Transconductance Amplifier，OTA），常用于采样电路中（把模拟信号存到电容上）。

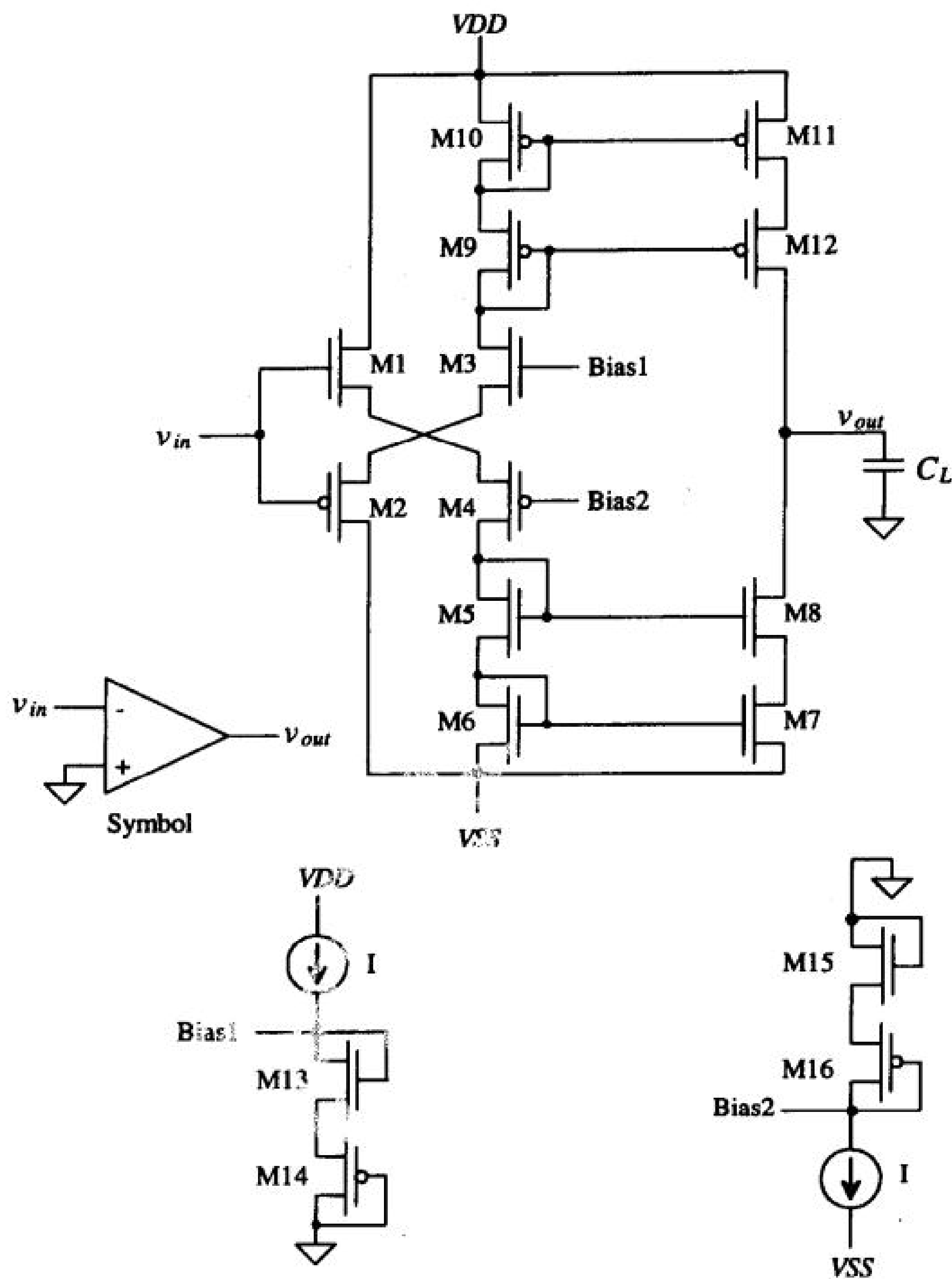


图22-34 一种甲乙类放大器的电路实现

参考文献

[1] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design,* Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[2] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits,* McGraw-Hill Publishing Co., 1990. ISBN 0-07-023253-9.

[3] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3rd ed., John Wiley and Sons, 1993. ISBN 0-471-57495-3.

[4] P. R. Gray and R. G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview," *IEEE Journal of Solid State Circuits,* Vol. SC-17, No. 6, pp. 969-982, December 1982.

[5] P. W. Tuinenga, *SPICE - A Guide to Circuit Simulation and Analysis Using PSPICE,* 3rd ed., Prentice Hall, 1995. ISBN 0-13-436049-4.

[6] R. Hogervorst, K. J. de Langen, and J. H. Huijsing, *1.1.2 Low-Power Low-Voltage VLSI Operational Amplifier Cells*, 1996 ISCAS Tutorials.

习题

22.1 解释为什么可将图P22-1中的栅漏短接的MOS管看成一个阻值为$1/g_m$的小信号电阻?

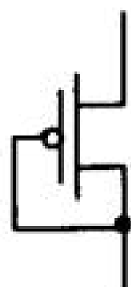


图 P22-1

22.2 用小信号等效电路，验证例22.1计算的增益的正确性。

22.3 用图P22-3a中的放大器，验证密勒定理。

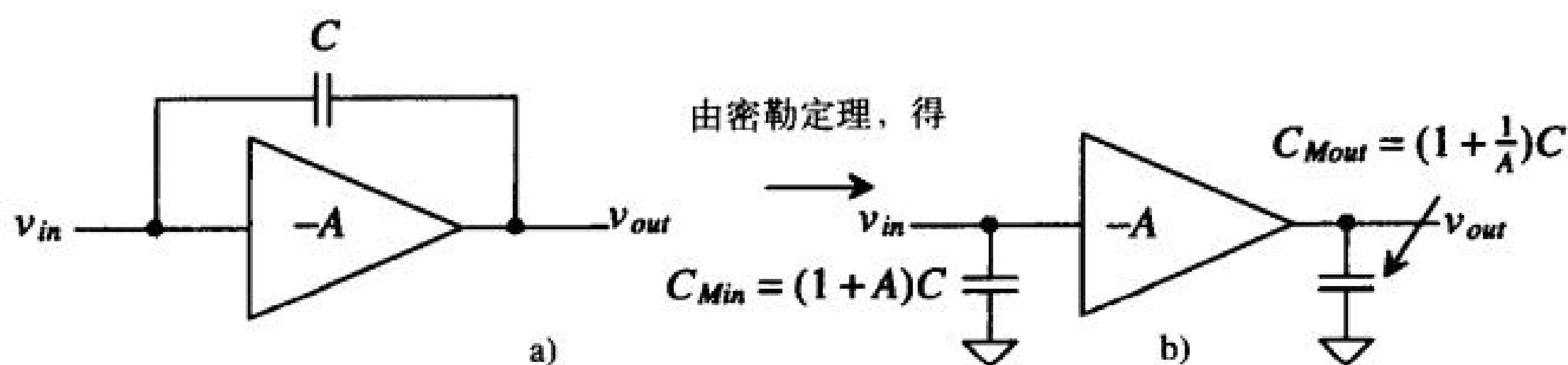


图 P22-3

22.4 考虑图P22-4中的放大器电路，求:

a. 直流电压和直流电流。

b. 小信号低频增益。

c. C_{sg2}，C_{db2}，C_{gd1}，C_{gs1}，C_{db1}。假设MOS管的源/漏区大小为6μm × 10μm。

d. 频率响应特性。

e. 放大器频率响应中的零点位置。

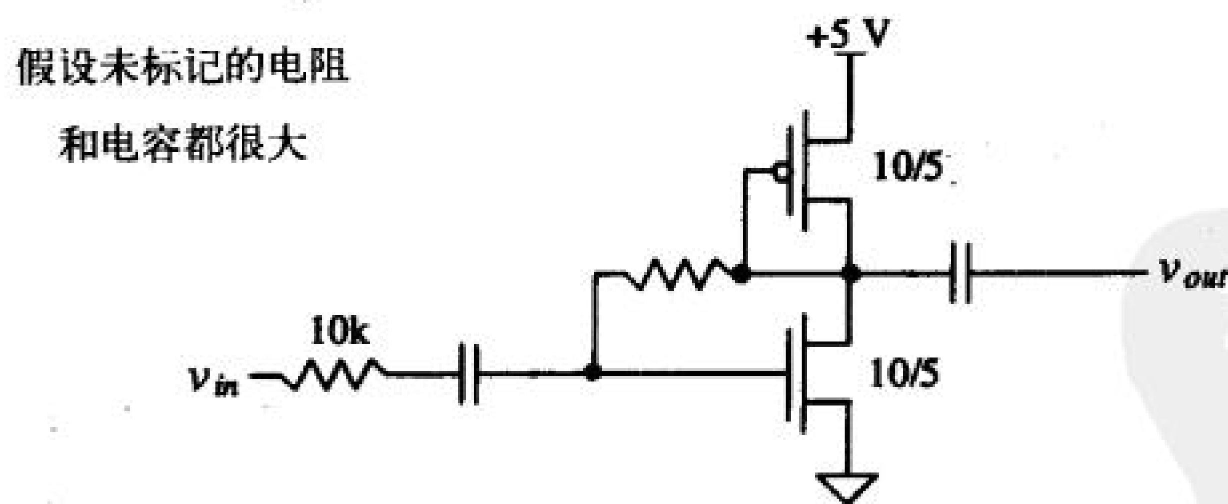


图 P22-4

22.5 本题研究体效应对源跟随放大器增益的影响。考虑图P22-5中的源跟随器。假设电流沉是理想的，验证该电路的增益为:

$$\frac{v_{out}}{v_{in}} = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1+\eta}$$

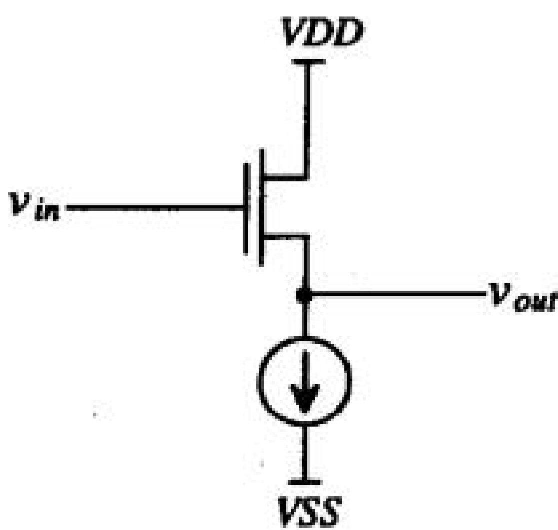


图 P22-5

517
~
522

22.6 图22-9中的MOS管的源端接电阻，验证考虑体效应后，从MOS管漏端看进去的电阻为：

$$R_o \approx [1+(1+\eta)g_m R]\cdot r_o$$

22.7 用小信号等效电路分析图P22-7中各放大器的小信号电压增益。假设这些放大器中的MOS管都偏置在饱和区。

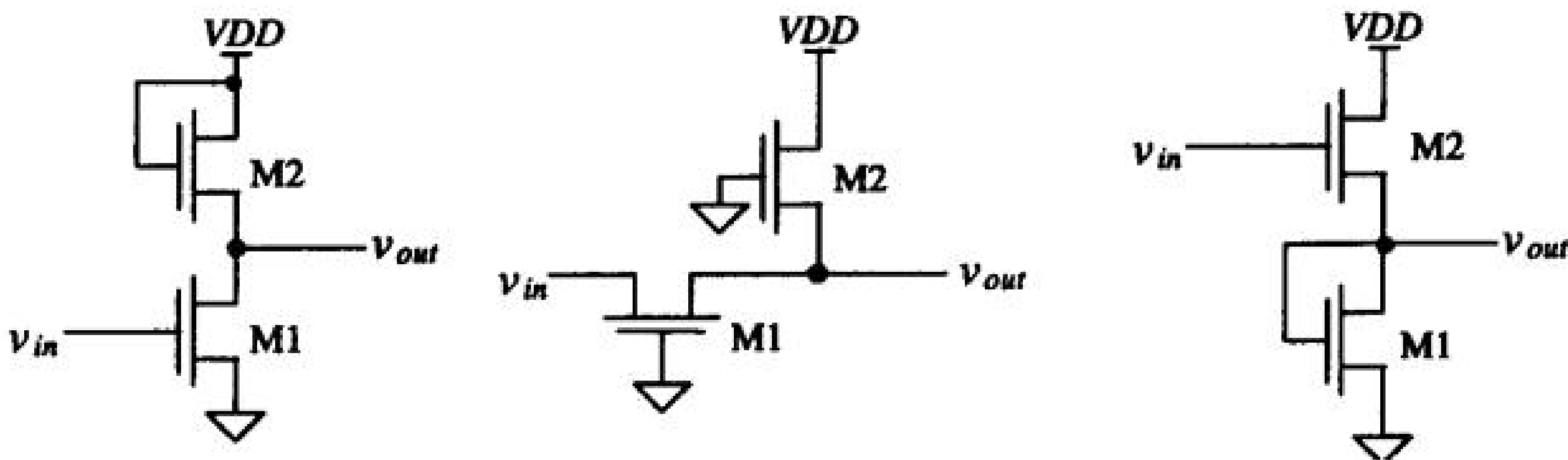


图 P22-7

22.8 估算图22-13中放大器的小信号电压增益。假设M1管和M2管都被偏置在饱和区。

22.9 针对图P22-9中的放大器，重做习题22.4。

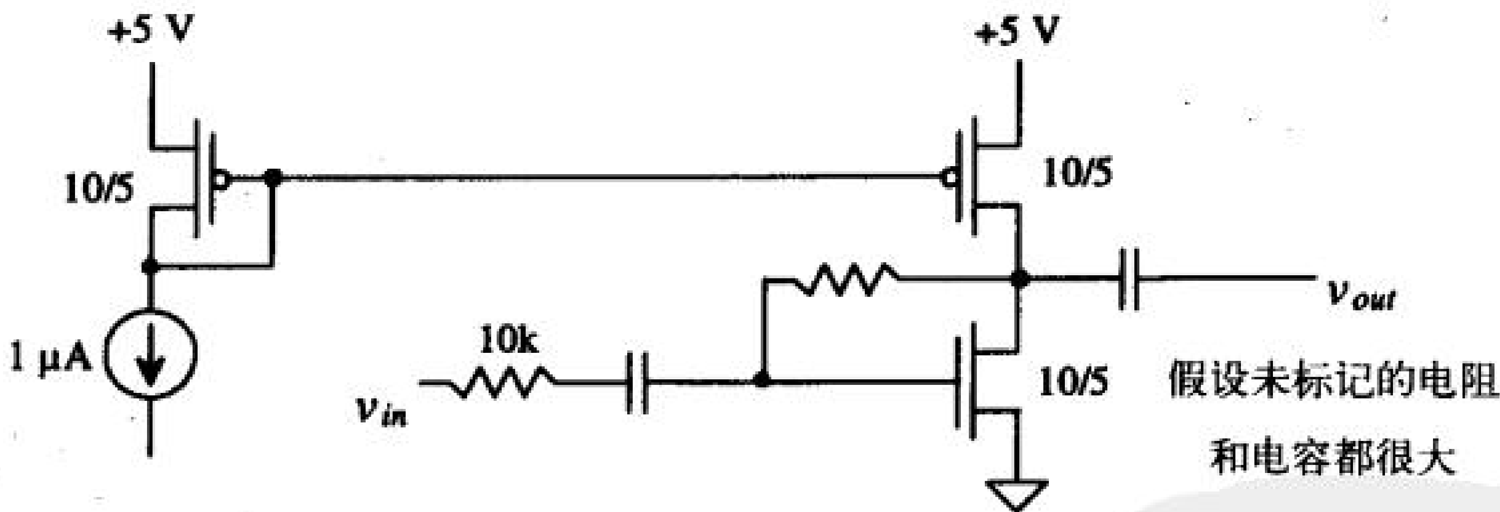


图 P22-9

22.10 图22-17a中，从M1管源端看进去的小信号电阻是多少？从M2管漏端看去的小信号电阻是多少？M2管栅极到地的小信号电阻是多少？

22.11 证明公式（22-51）的正确性。图22-20中，从M4管漏端看进去的小信号电阻是多少（用g_{mn}、g_{mp}、r_{on}、r_{op}表示出来）？从M3管源端看进去的小信号电阻是多少？从M3管漏端看进去的小信号电阻是多少？从M2管源端看进去的小信号电阻是多少？从M2管漏端看进去的小信号电阻是多少？从M1管漏端看进去的小信号电阻是多少？输出端（M2管和M3管的漏端）的总的小信号电阻是多少？

523

22.12 如果流过图22-20中MOS管的电流为5μA，重做习题22.11中的计算（计算实际值）。假设所有MOS管的尺寸为50/5。

22.13 使用小信号等效电路，证明公式（22-62）的正确性。

22.14 使所有MOS管都工作在饱和区，估算图P22-14所示放大器电路的最小和最大输出电压。

22.15 假设用图P22-9中的放大器驱动10pF的负载电容。计算负载电容充电时的最大速率（即压摆率）？电容放电时是否存在压摆率限制?

22.16 针对图P22-16所示电路，使用SPICE仿真得到的输出电压与输入电压的关系。什么因素限制了输出电压的最大值和最小值？仿真得到流过M1管和M2管的电流与输入电压的关系。

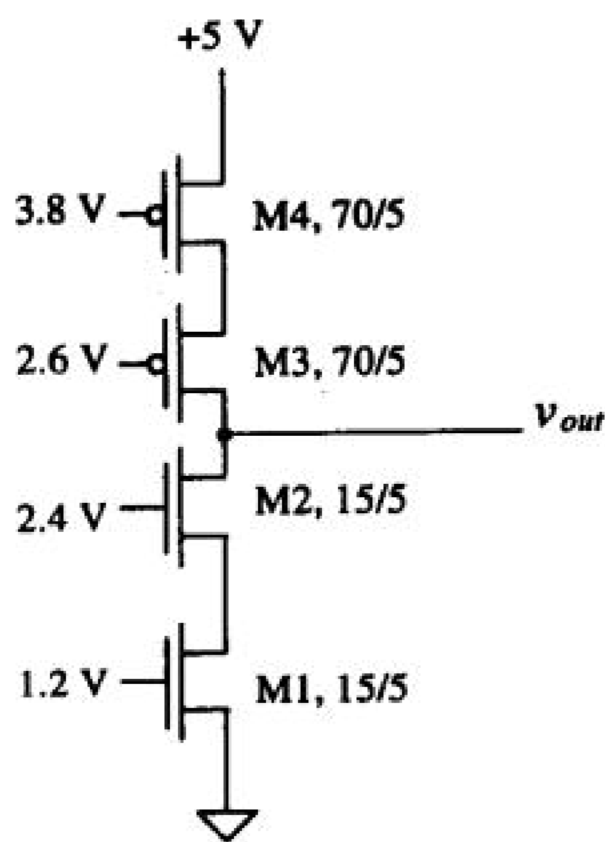


图 P22-14

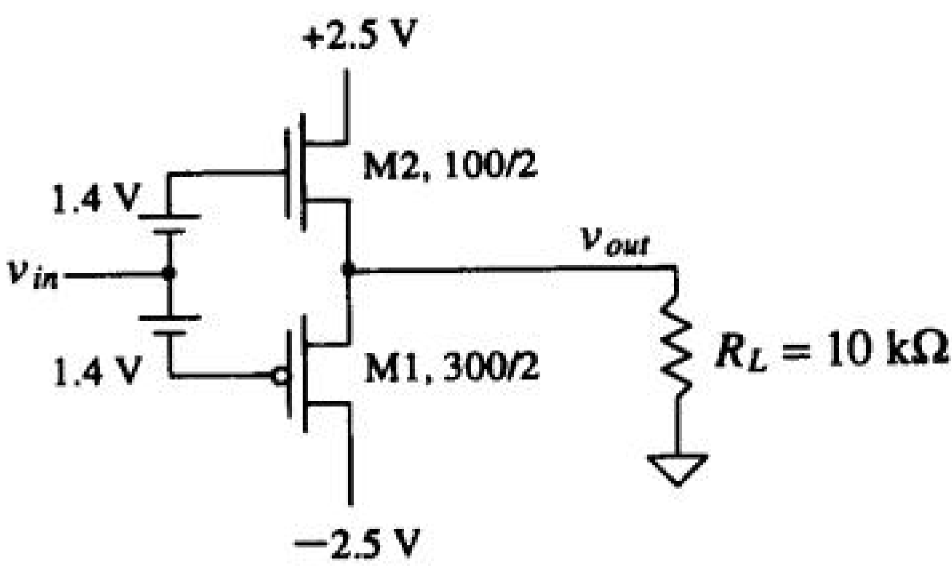


图 P22-16

第23章　反馈放大器

反馈是一个非常重要的概念，它在各个领域都得到了广泛应用。日常生活中，采用了反馈技术的系统比比皆是。例如，空调中的自动调温器利用反馈原理使屋子保持舒适的温度。类似地，我们的身体利用反馈机制产生抗体以对抗感染。可以将反馈定义为系统的输出反作用于系统的输入的过程。在空调的例子中，室温可以看作是系统的输出，而调温器设定的温度就是系统的输入；调温器从输入值中减去室温，如果室温高于设定的温度，空调就会一直运转，直到室温低于或者等于预设温度为止。

因此，一般情况下，反馈会使系统趋于稳定。但也并不是所有类型的反馈都会使系统趋于稳定。实际上，反馈可分为两种类型，即正反馈和负反馈。负反馈使系统稳定，而正反馈则恰恰相反，使系统不稳定。生活中一个常见的正反馈的例子是扩音系统，当把麦克风放置得离扬声器很近时，就会导致啸叫发生（这种刺耳的声音让人难受）。正反馈使得这个系统变得不稳定，于是导致了啸叫发生。

如果系统的输入与输出相加，就构成了正反馈；如果相减，就是负反馈。本章将只讨论负反馈以及如何把正反馈效应降到最低。当然，如果能够很好地控制正反馈，它也是非常有用的，这一点会在以后的章节中予以讨论。

23.1　反馈方程

考虑图23-1所示反馈系统。图中的变量用x标记，它们既可以是电压也可以是电流。x_s为输入信号，x_o为输出信号。x_f为反馈信号，它必须和输入信号类型相同；如果输入信号是电压，那么反馈信号也必须是电压。

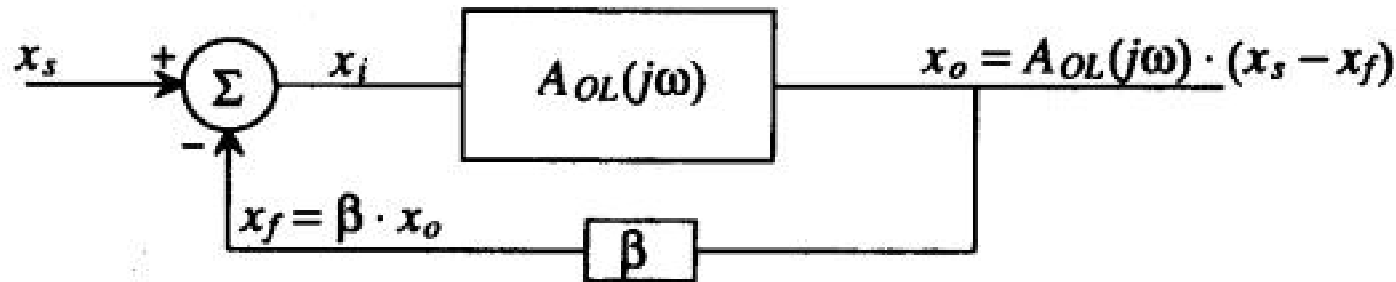


图23-1　用于说明反馈概念的电路框图

图中的A_{OL}是放大器的开环增益，它与频率有关。放大器的输入x_i是信号源的输入信号和反馈信号之差，即：

$$x_i = x_s - x_f \tag{23-1}$$

输出可以表示为：

$$x_o = A_{OL}(j\omega)\cdot(x_s - x_f) \tag{23-2}$$

在下面的讨论中，我们将假定系统中的各个部分都是理想的，这就是说，反馈电路不会成为放大器的负载。整个系统可以描述为：

$$A_{OL}=\frac{x_o}{x_i} \tag{23-3}$$

反馈系数β定义为:

$$\beta=\frac{x_f}{x_o} \tag{23-4}$$

闭环增益A_{CL}定义为:

$$A_{CL}=\frac{x_o}{x_s} \tag{23-5}$$

另外:

526

$$x_f=\beta\cdot x_o \tag{23-6}$$

将式(23-6)代入式(23-2),解得闭环增益A_{CL}:

$$A_{CL}=\frac{x_o}{x_s}=\frac{A_{OL}}{1+A_{OL}\beta} \tag{23-7}$$

上式没有体现A_{OL}和频率的关系。

实际上,A_{CL}依赖于A_{OL}。如果A_{OL}很大(近似为无穷大),那么A_{CL}就约等于$\frac{1}{\beta}$,这就是为什么希望放大器增益尽可能大的原因:如果A_{OL}很大,那么闭环增益就仅仅与反馈电路有关。

$A_{OL}\beta$经常被称为环路增益,在后面的小节中将用它来判断整个放大器是否稳定。

23.2 放大器设计中的负反馈特性

在放大器设计中,使用反馈能够带来很多好处,例如:使得增益对工艺参数偏差不敏感,减少非线性失真,减少噪声影响,扩展放大器的有效带宽,便于控制输入和输出电阻。

23.2.1 增益的倒灵敏度

由于开环增益A_{OL}很大,它的值可能会显著地随温度、器件的失配以及其他参数的变化而变化。不过负反馈可以使闭环增益免受开环增益变化的影响。下面推导的结论说明了这一点。

对式(23-7)两边求微分,得:

$$\frac{dA_{CL}}{dA_{OL}}=\frac{1}{(1+A_{OL}\beta)^2} \quad 或 \quad dA_{CL}=\frac{dA_{OL}}{(1+A_{OL}\beta)^2} \tag{23-8}$$

式(23-8)除以式(23-7),得:

$$\frac{dA_{CL}}{A_{CL}}=\frac{1}{(1+A_{OL}\beta)}\cdot\frac{dA_{OL}}{A_{OL}} \tag{23-9}$$

式中,$\frac{dA_{CL}}{A_{CL}}$表示开环增益变化率为$\frac{dA_{OL}}{A_{OL}}$时闭环增益A_{CL}的变化率。

如果A_{OL} = 10 000V/V(假定采用的是电压放大器),β = 1/10V/V,从式(23-9)可以看出:如果$\frac{dA_{OL}}{A_{OL}}=10\%$,闭环增益的变化率$\frac{dA_{CL}}{A_{CL}}=0.01\%$!在式(23-7)中,分别令$A_{OL}$ = 10 000和9 000,β=1/10V/V,求解这两种情况下的A_{CL},可以很容易验证这一计算结果。由该计算结果知,A_{OL}的变化对闭环增益影响很小。

527

23.2.2 扩展带宽

负反馈会增大放大器的工作带宽。假定一个放大器的频率响应为:

$$A_{OLH}(s)=\frac{A_{OL}\omega_H}{s+\omega_H}=A_{OL}\frac{1}{\frac{s}{\omega_H}+1} \tag{23-10}$$

$A_{OLH}(s)$是对高频段A_{OL}特性的简化描述，它采用了一阶极点（为ω_H）近似。将式（23-10）代入式（23-7），可解得在高频段，闭环增益随频率的变化关系:

$$A_{CLH}(s)=\frac{A_{OLH}(s)}{1+A_{OLH}(s)\beta}=\frac{A_{OL}\omega_H}{s+\omega_H(1+A_{OL}\beta)} \tag{23-11}$$

它可以进一步改写为:

$$A_{CLH}(s)=\frac{A_{OL}}{(1+A_{OL}\beta)}\cdot\frac{1}{\frac{s}{\omega_H(1+A_{OL}\beta)}+1}=\frac{A_{OL}}{(1+A_{OL}\beta)}\cdot\frac{1}{\frac{s}{\omega_{HF}}+1} \tag{23-12}$$

上式由两部分组成。第一部分就是式（23-7），即闭环增益在中频段的表达式。第二部分是与频率相关的项。有趣的是，原来式（23-10）中的−3dB频率ω_H现在被乘以系数（$1+A_{OL}\beta$）。图23-2画出了使用负反馈后的带宽扩展情况。图中，原有的开环频率响应用实线绘出，而闭环频率响应则用虚线绘出。闭环响应表明，当增益降低时，带宽会同时增加。

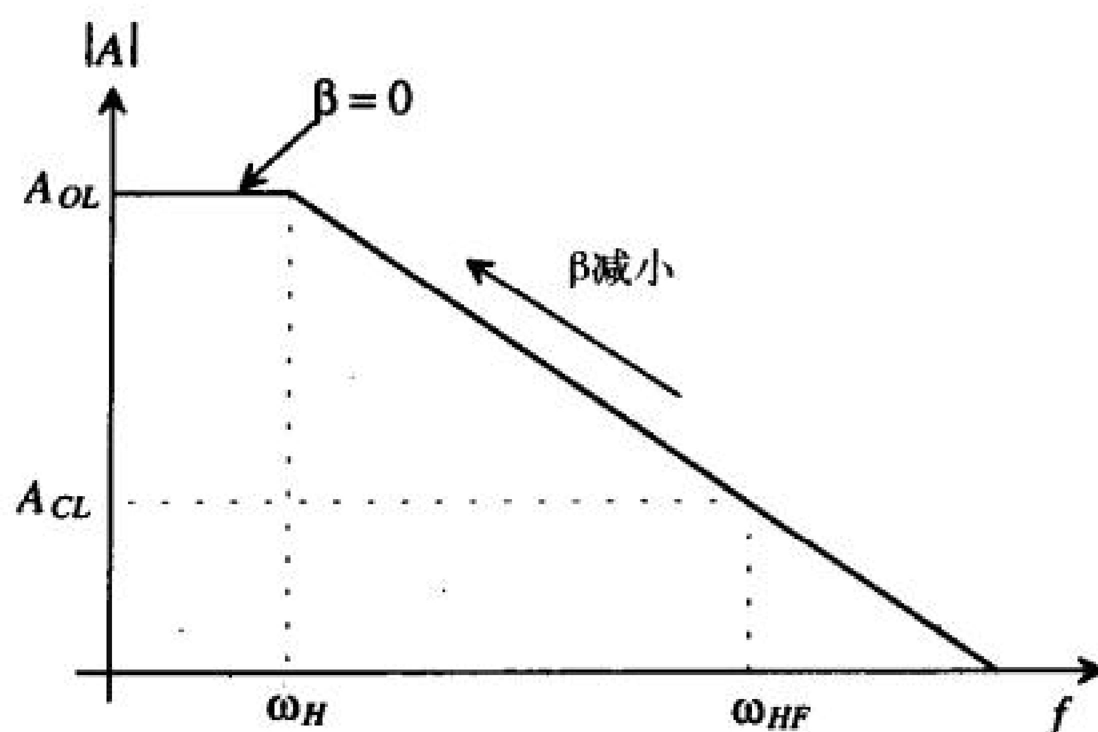


图23-2 负反馈引起的高频极点的扩展

如果减小式（23-11）中β的值，就会出现两种有趣的现象。首先，闭环增益会增加，因为式（23-12）中的第一项随着β的减小而增加。其次，带宽会减小，因为ω_{HF}是ω_H与（$1+A_{OL}\beta$）相乘得到。由此得到的频率响应曲线见图23-2。随着β减小，整个曲线更接近于原有的开环曲线。很自然的，如果β降为0，整个放大器的反馈部分就不再起作用，放大器工作在开环状态。可以看出，如果使用反馈，设计者就必须在增益和带宽之间做权衡。

528

对放大器的低频响应可以做同样的分析。可以采用低频单极点来近似表示放大器的低频响应，则低频开环增益为:

$$A_{OLL}(s)=A_{OL}\frac{s}{s+\omega_L} \tag{23-13}$$

把式（23-13）代入式（23-7），得到闭环低频响应为:

$$A_{CLL}(s)=\frac{A_{OLL}(s)}{1+A_{OLL}(s)\beta}=\frac{A_{OL}\frac{s}{s+\omega_L}}{1+A_{OL}\frac{s}{s+\omega_L}\beta}=\frac{A_{OL}}{1+A_{OL}\beta}\frac{s}{s+\frac{\omega_L}{1+A_{OL}\beta}} \tag{23-14}$$

上式的结果含有标准的中频段闭环增益以及与频率相关的项。可以看到，负反馈使得原始的低频极点ω_L被$(1+A_{OL}\beta)$除。图23-3给出了反馈对放大器低频响应的影响。

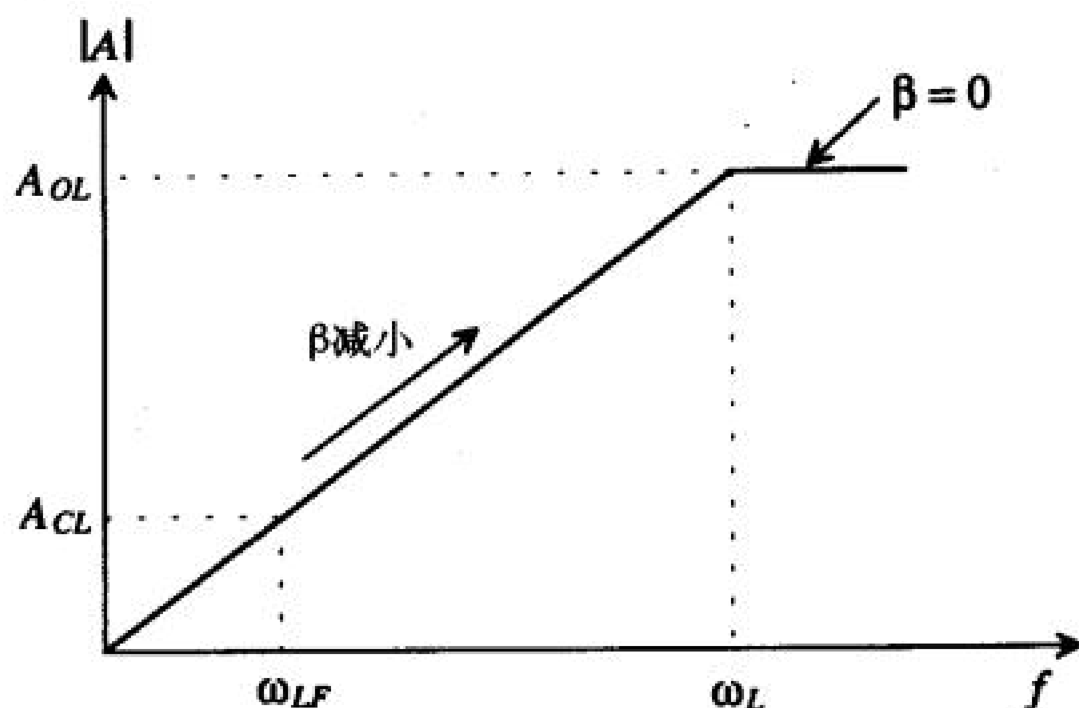


图23-3 负反馈引起的低频带宽的扩展

23.2.3 减小非线性失真

负反馈同样可以改善放大器的非线性情况。请看图23-4中无反馈时电压放大器的转移特性曲线。理想情况下，在$-2V<V_{in}<2V$范围内，放大器的转移特性曲线应该是一条直线。但放大器的非线性使得当$V_{in}>1V$和$V_{in}<-1V$时，转移特性曲线的斜率有所改变。非线性的产生原因将在以后章节中讨论。由图23-4还可看出，输出电压受限于电源电压的值（±15V）。

529

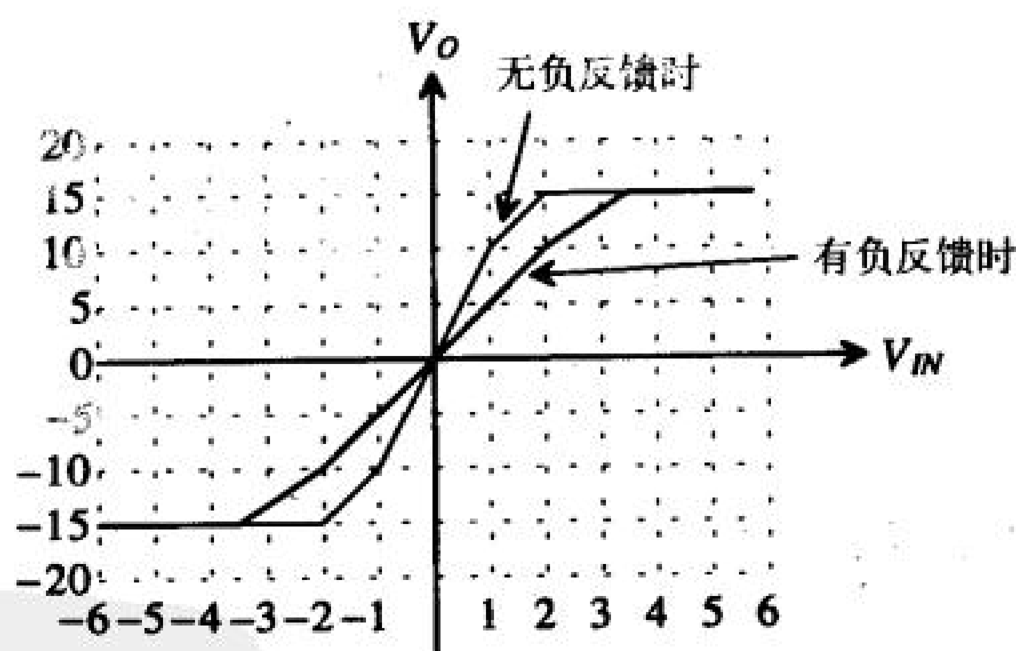


图23-4 利用负反馈提高放大器转移特性曲线的线性度

由于放大器的增益可以定义为转移曲线的斜率，因此，可以得到：

$$A_{OL}=\frac{\Delta V_O}{\Delta V_{IN}}=10\text{ V/V}（当 -10\text{ V}<V_o<10\text{ V 时}） \tag{23-15}$$

$$A_{OL}=\frac{\Delta V_O}{\Delta V_{IN}}=5\text{ V/V}（当 V_o>10 或 V_o<-10\text{ V 时}） \tag{23-16}$$

假设在放大器上加入$\beta=0.1$V/V的反馈，并重新绘制转移特性曲线。有反馈时的放大器增益变为:

$$A_{CL}=\frac{A_{OL}}{1+A_{OL}\beta}=\frac{10}{1+10(0.1)}=5\ \text{V/V}\ (\text{当}\ -10\ \text{V}<V_o<10\ \text{V时}) \quad (23\text{-}17)$$

$$A_{CL}=\frac{5}{1+5(0.1)}=\frac{10}{3}\ (\text{当}\ V_o>10\ \text{V 或 } V_o<-10\ \text{V时}) \quad (23\text{-}18)$$

图23-4中给出了有反馈时的放大器转移特性曲线。在负反馈情况下，整个转移特性曲线的线性度更好，因此，放大器会有较小的非线性失真。

23.2.4 输入和输出电阻的控制

放大器的输入和输出电阻可以用负反馈加以控制。图23-5中，R_i是无反馈时放大器的小信号输入电阻，R_{inf} 是加入负反馈后的输入电阻。类似地，R_{of} 和R_o分别是带反馈和不带反馈的输出电阻。R_{inf} 与R_i之间的关系以及R_{of} 与R_o之间的关系是乘以或者除以因子（$1+A_{OL}\beta$）的关系。虽然很难用一个通用的方法来证明这一关系，但在后面的一小节中将用电路实例说明这一结论。现在先暂时把反馈对电阻的控制作用总结在表23-1中。注意，闭环电阻与输入和输出变量的类型（电压还是电流）有关。

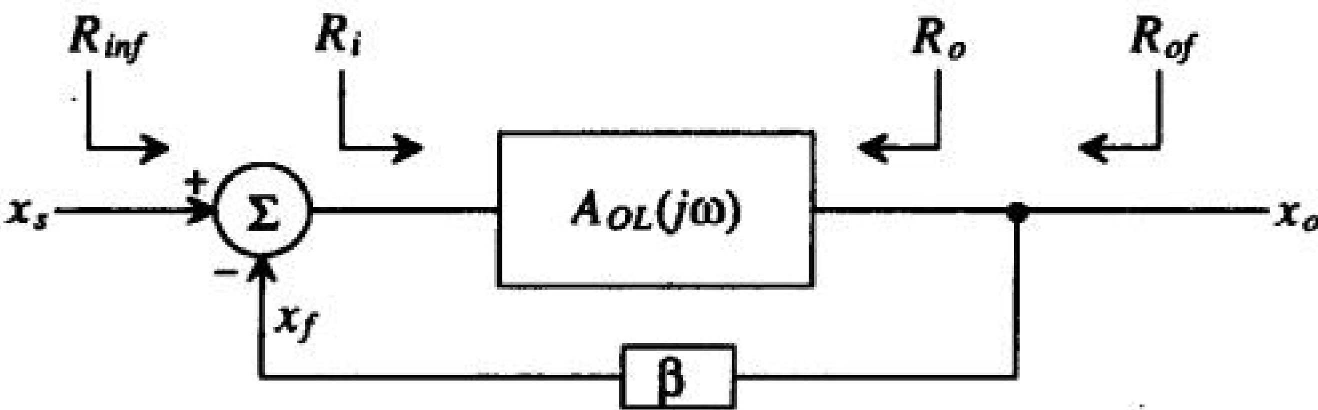


图23-5 反馈对输入和输出电阻的控制

表23-1 带反馈的放大器电路的输入和输出电阻总结

输入变量 x_s	输出变量 x_o	R_{inf}	R_{of}
V	V	$R_i\cdot(1+A_{OL}\beta)$	$R_o/(1+A_{OL}\beta)$
V	I	$R_i\cdot(1+A_{OL}\beta)$	$R_o\cdot(1+A_{OL}\beta)$
I	V	$R_i/(1+A_{OL}\beta)$	$R_o/(1+A_{OL}\beta)$
I	I	$R_i/(1+A_{OL}\beta)$	$R_o\cdot(1+A_{OL}\beta)$

如果输入变量x_s是电压，闭环输入电阻R_{inf} 等于开环输入电阻R_{in}乘以$(1+A_{OL}\beta)$。如果输入变量是电流，R_{inf} 等于开环输入电阻R_{in}除以$(1+A_{OL}\beta)$。同样的，如果输出变量x_o是电压，那么闭环输出电阻就是开环输出电阻除以$(1+A_{OL}\beta)$。如果输出变量是电流，闭环输出电阻就是开环输出电阻乘以$(1+A_{OL}\beta)$。

显然，上述结论非常有用。通过合理选择电路中的反馈类型，我们就可以把输入和输出电阻根据需要随心所欲地加以调节。

530 ~ 531

23.3 反馈的类型

考察图23-6中通用的单环路反馈电路。值得说明的是，x_s、x_i和x_f 必须是同一类型的变量

（电流或电压），而输出变量x_o可以是电压或电流。在这个约束条件下，共有四种可能的负反馈类型（见表23-2）。

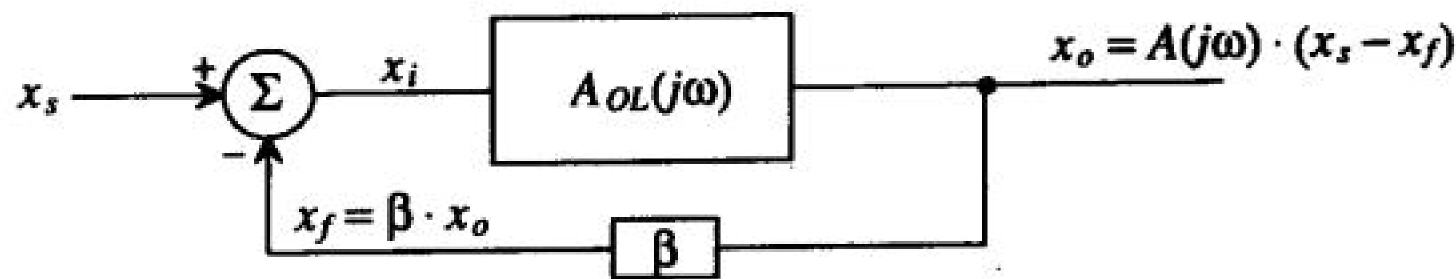


图23-6 带反馈的放大器电路框图

表23-2 反馈类型和系统变量的关系

x_s, x_i, x_f	x_o	反馈类型（混合-采样）
电压	电压	串联-并联
电压	电流	串联-串联
电流	电流	并联-串联
电流	电压	并联-并联

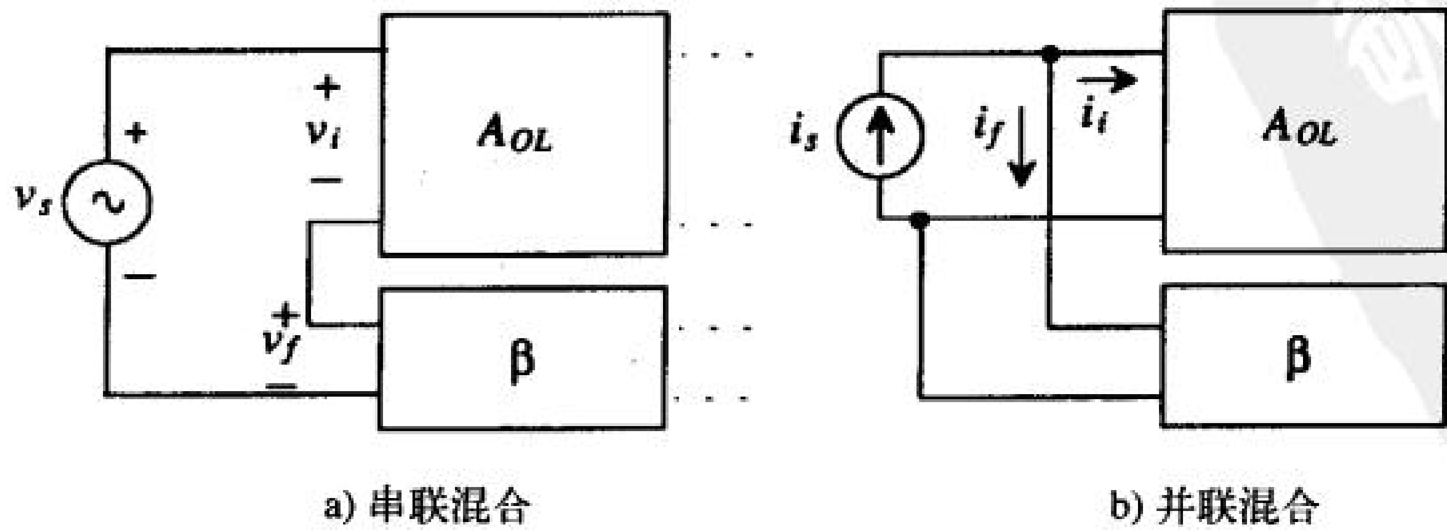
输入叠加常被称作为输入混合。如果输入变量x_s、x_i和x_f为电压，混合类型就是串联（也被称为电压混合）；如果输入变量是电流，则混合类型就是并联（也被称为电流混合）。输出端的变量类型决定了采样的类型。如果输出变量是电压，采样类型就是并联（也被称为电压采样）；如果输出变量是电流，采样就是串联（也被称为电流采样）。

在分析反馈放大器之前，需要先明确几个概念。基本放大器指图23-6中增益为A_{OL}的放大器（用框图表示）。在求基本放大器的A_{OL}时，需要考虑反馈电路、负载电阻等因素引入的负载效应，这一点非常重要。图中的β网络，也被称为反馈网络、反馈电路。反馈放大器就是指由基本放大器和反馈电路构成的整个电路。

532

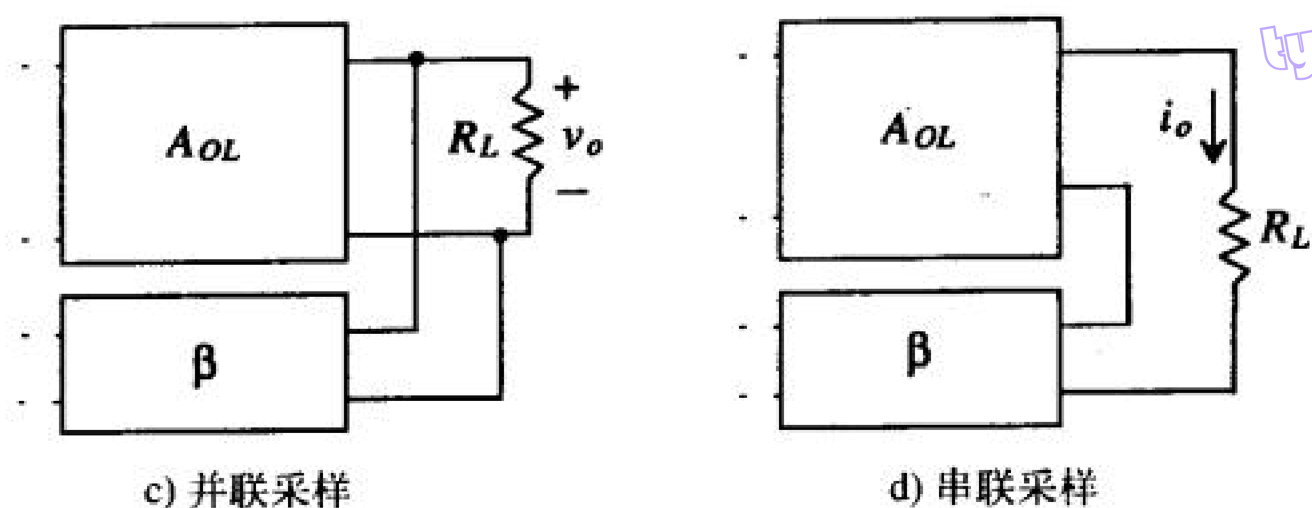
23.3.1 输入混合

图23-7a和图23-7b给出了两种常用的输入混合方式。图23-7a是串联混合结构，基本放大器和反馈电路的连接方式是串联连接，输入变量的类型是电压。图23-7b是并联混合结构。图中，输入端的叠加只能是电流叠加，即$i_i = i_s - i_f$；反馈电路和基本放大器电路是并联连接。



a) 串联混合　　b) 并联混合

图23-7 输入电路和输出电路的通用结构框图



c) 并联采样

d) 串联采样

图23-7 （续）

23.3.2 输出采样

要判断输出变量的类型可不是一件容易的事情。不过，利用一个通用的模型，再加上几个实例，应该能够阐明判断的方法和步骤。图23-7c和图23-7d显示了两个通用的反馈放大器的输出结构。如果反馈电路与基本放大器并联，输出变量就是电压，因为反馈电路“探测”的（或者说采样的）是R_L上的电压。图23-7d给出的是串联采样结构，反馈电路与基本放大器串联，输出变量是电流，反馈电路“探测”的是流过负载电阻的电流。这里给出两条规则，用来区别采样的类型。规则1：如果给出输出信号的有源器件的一个端点（漏端或者源端）驱动负载，另一个端点连接到反馈电路，则输出采样是串联采样。规则2：如果负载和反馈电路连接在相同的一组节点上，那么输出采样是并联采样。

23.3.3 反馈电路

在分析反馈电路时，一般先分析输入到输出的信号通路以及反馈信号的返回通路，识别出基本放大器和反馈电路。这是一种方便有效的分析方法。从输入通过基本放大器到输出的信号通路被称为正向路径，从输出通过反馈电路返回反馈信号的通路被称为反馈路径。当电路比较复杂时，要判断信号通过哪条路径传输并不是非常容易。下面是有助于电路分析的一些规则：

- 通过基本放大器的正向路径总是增益最大的路径。
- 交流小信号总是从栅端或者源端引入，从漏端或者源端引出。从漏端到源端的增益非常小（至少对线性电路是这样），在大多数电路中可以忽略。小信号决不会从栅端引出。
- 对于负反馈，必然是从输入信号中减去反馈信号。要确保这点，就必须计算沿环路翻转的次数。信号每次由栅端到漏端（即共源放大），就会反相一次（下面会讨论这种例子）。

下面用图23-8a中的电路作为实例来说明上述规则。图中，正向路径是增益最大的信号路径，信号从M1管的栅端到漏端，再进入M2管的栅端，最后从M2管的漏端离开。反馈路径由电阻R_1和R_2构成，反馈变量是R_1上的电压。

一个重要的假设

也许有人会注意到从M1管的栅端到源端，再通过反馈电阻R_2到输出的这条正向路径。事实上，这也是一条合法的信号路径，因为有些情况下反馈电路实际上是双向的。不过，该信号路径的增益将非常小，因为从MOS管栅端到源端的增益最大是1，而从v_f到v_2的增益将由于R_2和R_5的分压关系小于1。因此，对于本章中的所有分析，通过基本放大器的正向路径主导了从输入到输出的全部正向增益，假定通过反馈电路的正向路径可以忽略。这个重要的假设极大地简化了后面的电路分析，而且是合情合理的，因为基本放大器的增益都会很大，否则放大器的性能将会很差（理想情况下A_{OL}值应为无穷大）。如果在反馈电路中使用有源器件，就

533～534

能够使通过反馈电路的正向增益最小化。

图23-8b中的电路结构与图23-8a中的电路基本相同，只是它用电流作为输入信号。该电流的正向路径是从M1管的源端到漏端，再进入M2管的栅端，从M2管的源端离开。反馈路径由电阻R_2和R_5构成，反馈变量是电流i_f。由于M1管是一个共栅放大器，因此，正向路径是增益最大的信号路径。正向路径也可以从输入通过R_2，进入M2管的漏端。不过，从M2管漏端到源端的小信号增益非常小，因此，这条正向路径将被忽略。

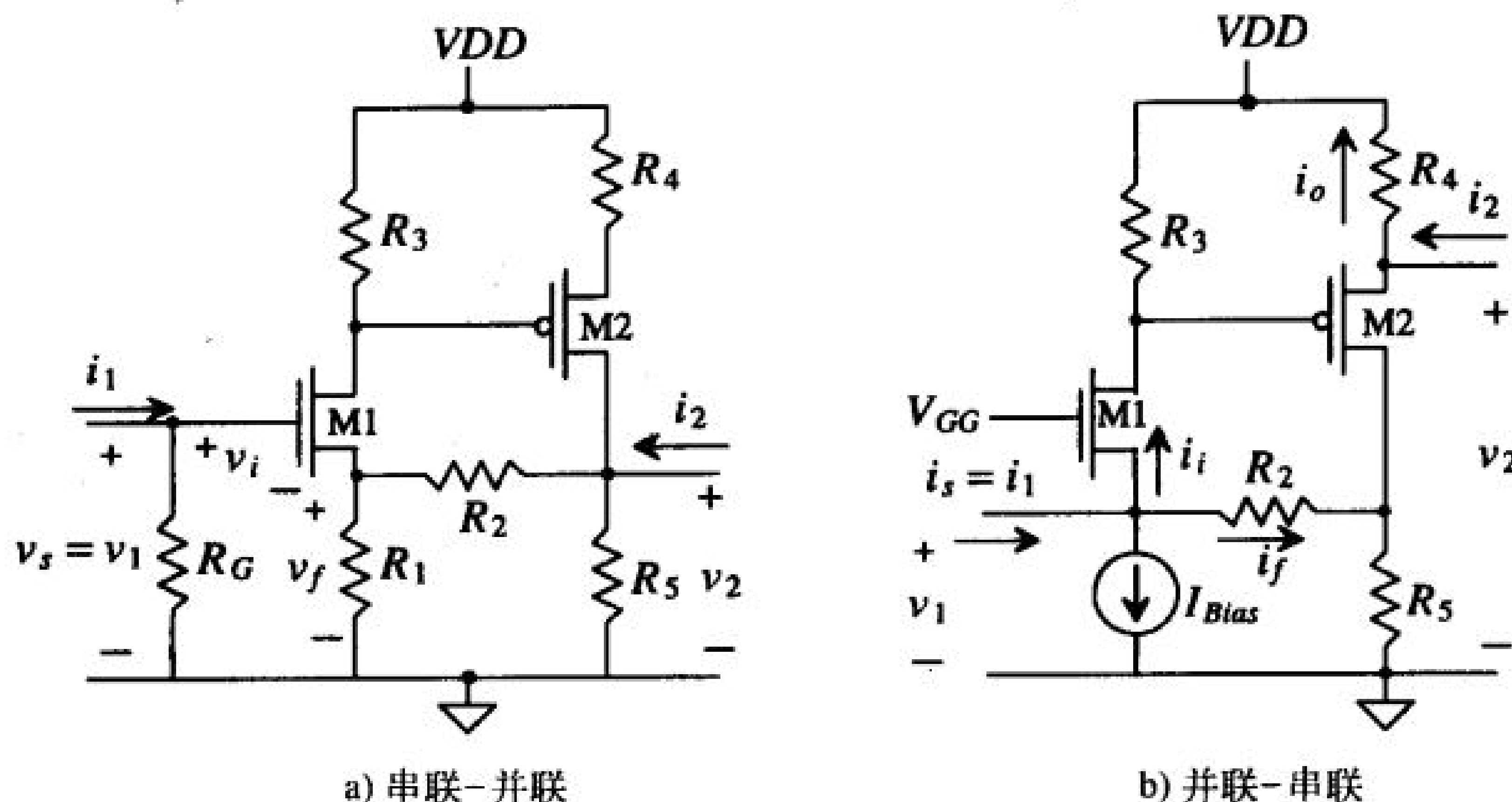


图23-8　反馈的类型

环路翻转的次数

检查电路以确定反馈类型是否为负反馈，这一点非常必要。如果计算一下图23-8a所示电路的环路翻转数目，开始可能会有一个错误的印象：该电路似乎是正反馈，因为环路中的信号经过了两个共源放大级，反相两次，反馈变量v_f和输入信号v_1同相。但实际上，当v_1和v_f混合时，又有一次反相，因此，该电路是负反馈。这里再细致地分析一下v_1和v_f之间的关系及其对反馈类型的影响。分析该电路知，$v_i = v_1 - v_f$，当进入M1管栅极的信号v_1增大时，M1管源端的信号v_f也会增大（v_f和v_1同相），从而使v_i稳定。如果v_f和v_1的关系是反相关系，那么，v_1增大时，v_f会减小，导致v_i进一步增大，这时，反馈类型就是正反馈。

现在再来考察一下图23-8b所示电路。由基尔霍夫定理知，$i_i = i_1 - i_f$。计算从输入到反馈信号i_f的环路翻转次数，可知环路翻转次数为奇数，这正是负反馈所需要的。输出端反馈到输入端的电流信号的方向与图23-8中i_f的方向相反，如图23-9所示。

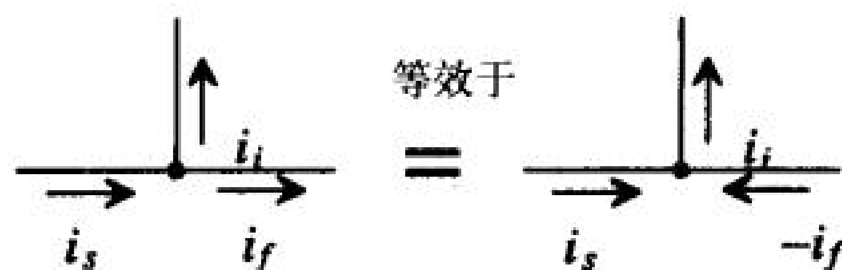


图23-9　环路翻转次数为奇数时的并联混合

识别电路的反馈类型

前面已经讨论了识别反馈类型的方法，下面将举例以加深对这一分析方法的理解。前面用框图讲解了不同的反馈类型，但要用这些知识来分析晶体管级电路的反馈类型，还是一项

有难度的工作。不过通过下面的实例分析，我们可以总结出几条有用的原则，这些规则有助于揭示电路所采用的反馈类型。为讲述方便，先明确两个概念：输入有源器件定义为输入信号源驱动的晶体管，输出有源器件定义为驱动负载的晶体管。

再来考察图23-8，该图给出了两种反馈类型：串联－并联和并联－串联。图23-8a中，输入变量只能写成电压的形式，即$v_i = v_s - v_f$。我们也可以尝试着在栅节点上实现电流叠加，但流进电阻R_G的电流不会是任何反馈的结果，使得电流混合变得不可能。输出采样是并联类型，因为反馈电路和基本放大器并联（反馈电路和输出信号接在相同的节点上），v_o是被采样的电压信号。这个放大器采用串联混合、并联采样，因此，是串联－并联反馈放大器结构。

图23-8b是并联－串联反馈。在做交流分析时，直流电流源I_{Bias}被认为开路，直流电压源V_{GG}被认为短路。输入变量只能写成电流形式，即：$i_i = i_s - i_f$。由于反馈电路和基本放大器是串联关系，因此，输出采样是串联采样。这种电路结构同样遵循前面提到的规则1，因此，正确的小信号输出变量是电流i_o。由于交流分析时，VDD被认为是小信号地，因此，小信号输出电流i_o和小信号等效电路中的电流方向一致。

535~536

变量v_1、i_1、v_2、i_2可能与反馈电路的输入和输出变量有关，也可能无关。例如，在图23-8b中，虽然正确的输出变量被定义为i_o，但反馈放大器的增益仍可以由v_1、i_1、v_2、i_2来确定，因为$v_2 = i_o \cdot R_4$。另外，v_1/i_1和v_2/i_2分别为反馈放大器的输入和输出电阻。

图23-10a所示电路为串联－串联反馈。虽然输入变量用电压形式表示，但是输出变量被认为是电流，这是因为反馈电路和放大器的输出是串联连接。图23-10a和23-8a的差别仅仅是输出端口不同，图23-10b和23-8b的差别也是这样。图23-10b所示电路为并联－并联反馈。在输入端，反馈电流与输入电流相加（或称为电流混合），是并联关系；在输出端，由R_5和R_2构成的反馈电路和输出并联。

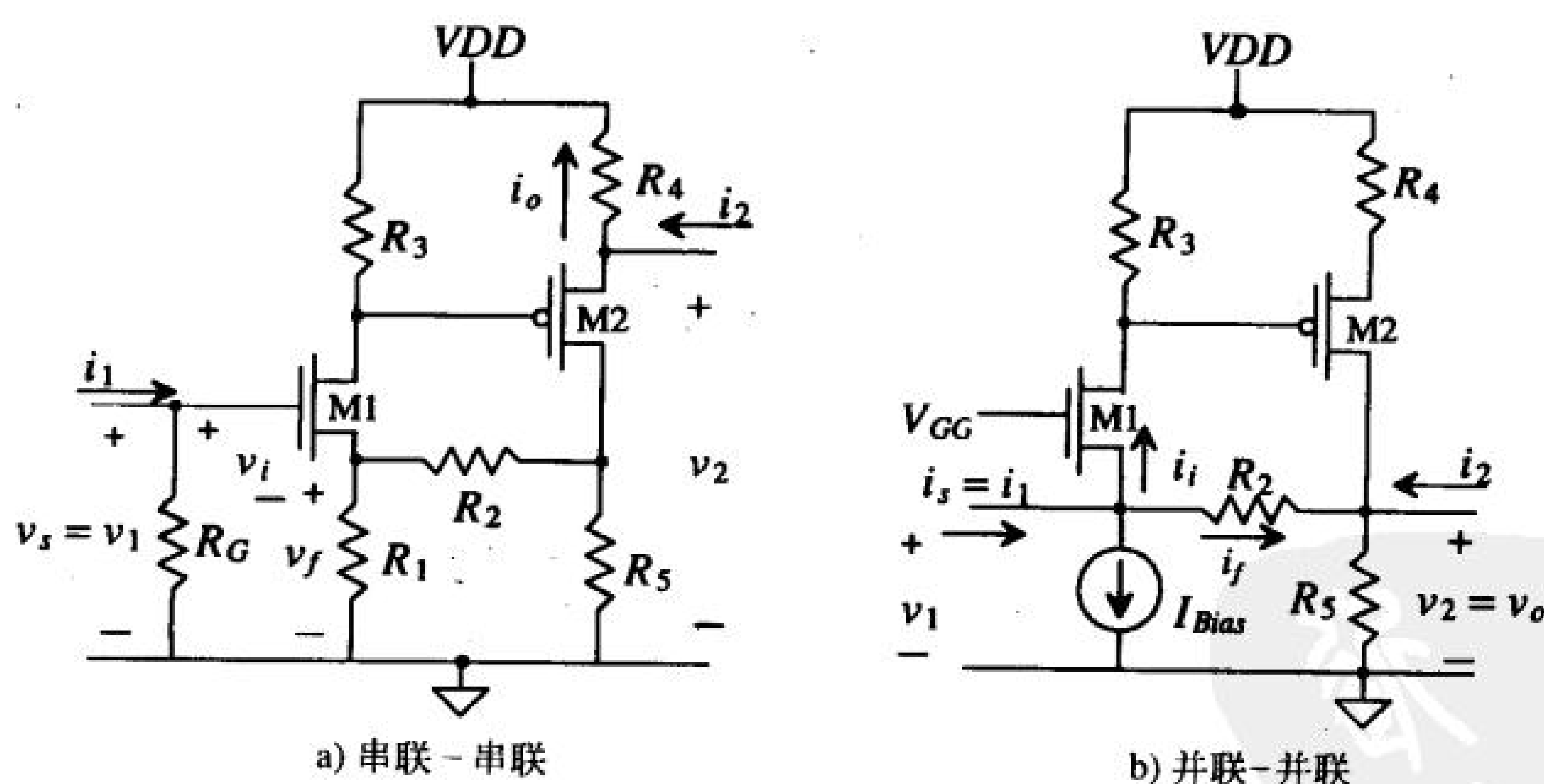


图23-10 反馈的类型

23.3.4 计算开环参数

一旦识别出反馈类型，就可以对电路做进一步的分析。我们将进行两种类型的分析：开环分析和闭环分析。在分析电路的反馈特性时，开环分析约占用百分之八十的分析时间。分析得到的开环参数将被用于求解电路的闭环参数，因此，分析电路的开环特性时，必须格外

小心谨慎。得到开环参数后，将环路闭合，就可计算整个反馈放大器的反馈特性。

为了分析反馈放大器的开环参数和闭环参数，需要先把开环参数和闭环参数的符号区别一下。当电压或电流变量的右上面加有*标记时，表示该电压或电流变量为开环电压或开环电流。开环参数一般包括A_{OL}、R_i、R_o和β，分别定义如下：

537

$$A_{OL}=\frac{x_o^*}{x_s^*}\text{，基本放大器的开环增益} \tag{23-19}$$

$$R_i=\frac{v_1^*}{i_1^*}\text{，基本放大器的开环输入电阻} \tag{23-20}$$

$$R_O=\frac{v_2^*}{i_2^*}\text{，基本放大器的开环输出电阻} \tag{23-21}$$

$$\beta=\frac{x_f^*}{x_o^*}\text{，反馈电路的增益} \tag{23-22}$$

在23.1节讨论通用反馈原理时，我们假定了反馈电路是理想的，即反馈电路的阻抗不会成为放大器电路的负载。但在实际电路中，反馈电路并不理想，它是输入信号源和放大器电路的负载。反馈的类型决定了如何计算反馈电路所引入的负载。随着对每种反馈类型的深入讨论，我们将给出计算反馈电路所引入的负载的方法。

在下面的讨论中，所有的变量都被认为是小信号交流电压或电流。我们将按照以下步骤进行开环分析。

1. 把输入信号源用诺顿等效电路或者开尔文等效电路替代，计算开环增益。反馈类型不同，放大器的增益类型也不同。例如，对于串联-并联结构的放大器，其开环增益的单位是V/V。这是一种标准的电压放大器，输出变量是电压信号，输入端是电压信号。而对于串联-串联结构的放大器，其增益单位为I/V，因为输出变量是电流，输入端为电压信号。这种类型的放大器又被称为跨导放大器，因为增益的单位I/V与电导等效。类似的，并联-串联结构的放大器的增益单位是I/I（是电流放大器），并联-并联结构的放大器的增益单位是V/I（又被称为跨阻放大器）。

2. 计算电路的开环增益时，需要考虑反馈电路引入的负载。在图23-11中，分别用$R_{\beta i}$和$R_{\beta o}$来表示反馈电路的输入电阻和输出电阻。计算$R_{\beta i}$的方法如下：

- 如果输出采样是并联采样（输出变量为电压），则将输出节点对地短路。
- 如果输出采样是串联采样（输出变量为电流），则把驱动输出负载的器件去掉，如同把它“从插槽中拔出”一样。
- 计算从反馈电路的输入端看进去的电阻，即$R_{\beta i}$。

538

计算$R_{\beta o}$的方法与计算$R_{\beta i}$的方法类似：

- 如果输入混合是并联混合（反馈变量为电流），则把输入节点与地短路。
- 如果输入混合是串联混合（反馈变量为电压），则把输入的有源器件去掉，如同把它“从插槽中拔出”一样。
- 计算从反馈电路的输出端看进去的电阻，即$R_{\beta o}$。

上面给出了计算反馈电路输入和输出电阻的方法，其理论依据是基本的双端口理论，每种反馈类型对应于一种基本的双端口拓扑结构（共四种）。关于双端口理论的更多内容，请读

者参阅[1]。有一种办法可以很方便地记住上面的规则，即：如果混合（或采样）是并联，就把输入（或输出）对地“短路”；如果混合（或采样）是串联，就把输入（或输出）器件“从插槽中拔出”，把支路“断开”。

3. 计算反馈因子β。通过分析开环电路，计算出从输出端到输入混合点的增益。

4. 计算开环输入电阻R_i和输出电阻R_o。可用标准的电路分析技术计算出这两个电阻。

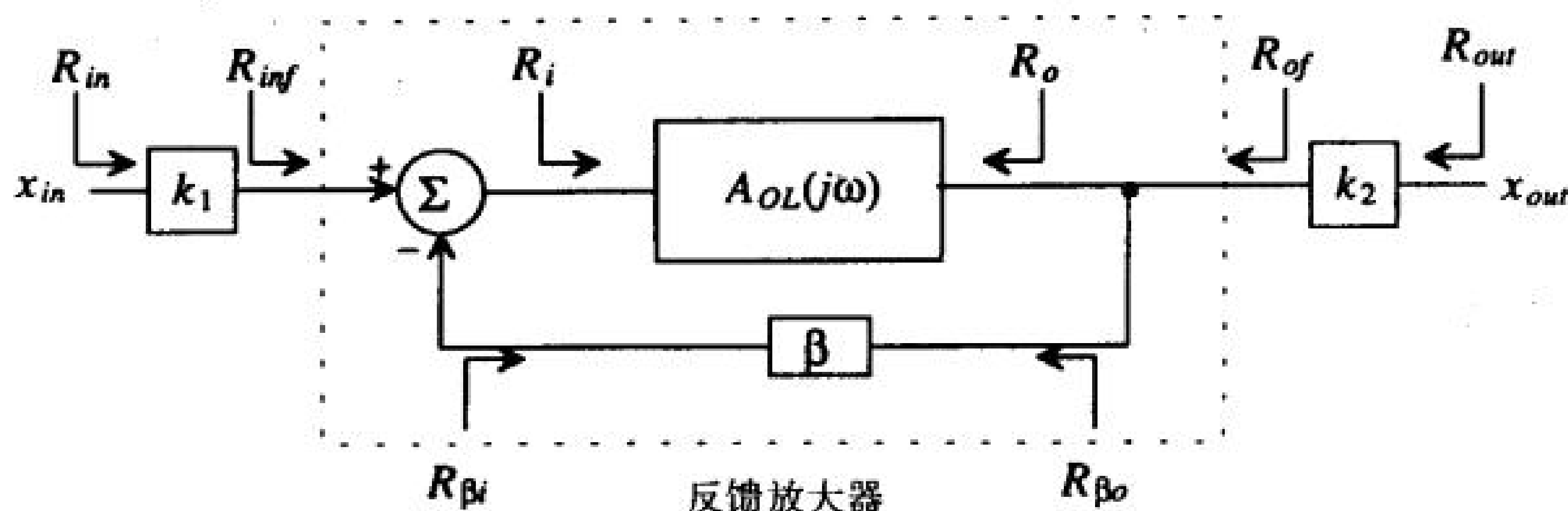


图23-11 通用反馈放大器框图（标出了开环电阻和闭环电阻）

23.3.5 计算闭环参数

一旦求得开环参数，就可以很容易地求解得到闭环参数。闭环增益为：

$$A_{CL}=\frac{x_o}{x_s}=\frac{A_{OL}}{1+A_{OL}\cdot\beta} \tag{23-23}$$

上式对四种反馈类型都成立。闭环输入电阻R_{inf}和闭环输出电阻R_{of}只是反馈放大器的输入和输出电阻。如果从输入信号源x_{in}到反馈放大器的输入x_s之间不存在增益，则从输入信号源看进去的输入电阻R_{in}就等于R_{inf}。同样的，输出电阻R_{out}和R_{of}可能相等，也可能不等，这取决于采样的类型。图23-11体现了这一区别。反馈放大器的输入和输出电阻与混合电路和采样电路的类型有关。

539

闭环输入电阻为：

$$\text{对于串联混合：}\quad R_{inf}=R_i\left(1+A_{OL}\beta\right) \tag{23-24}$$

$$\text{对于并联混合：}\quad R_{inf}=\frac{R_i}{\left(1+A_{OL}\beta\right)} \tag{23-25}$$

闭环输出电阻为：

$$\text{对于串联采样：}\quad R_{of}=R_o\left(1+A_{OL}\beta\right) \tag{23-26}$$

$$\text{对于并联采样：}\quad R_{of}=\frac{R_o}{\left(1+A_{OL}\beta\right)} \tag{23-27}$$

式（23-24）~（23-27）可以根据各自的拓扑结构推导出来。比较重要的是记住反馈对输入和输出电阻的影响。如果采用串联混合或者串联采样，则把输入或者输出开环电阻乘以（$1+A_{OL}\beta$）；如果采用并联混合或者并联采样，则把输入或者输出开环电阻除以（$1+A_{OL}\beta$）。截止到目前，我们只是简单地分析不同的反馈类型。下面将对四种反馈类型进行更深入地讨论；对每种反馈类型的讨论，都是先从分立元件开始，逐步过渡到较复杂的集成电路。

23.4　电压放大器（串联-并联反馈）

图23-12给出了理想的电压反馈放大器（已知开环参数A_{OL}、β、R_i和R_o）。基本放大器是一个电压放大器，增益单位是V/V。由于这是一个理想的反馈放大器，因此，反馈电路不构成基本放大器的负载，这意味着$R_{\beta o}=\infty$、$R_{\beta i}=0$。

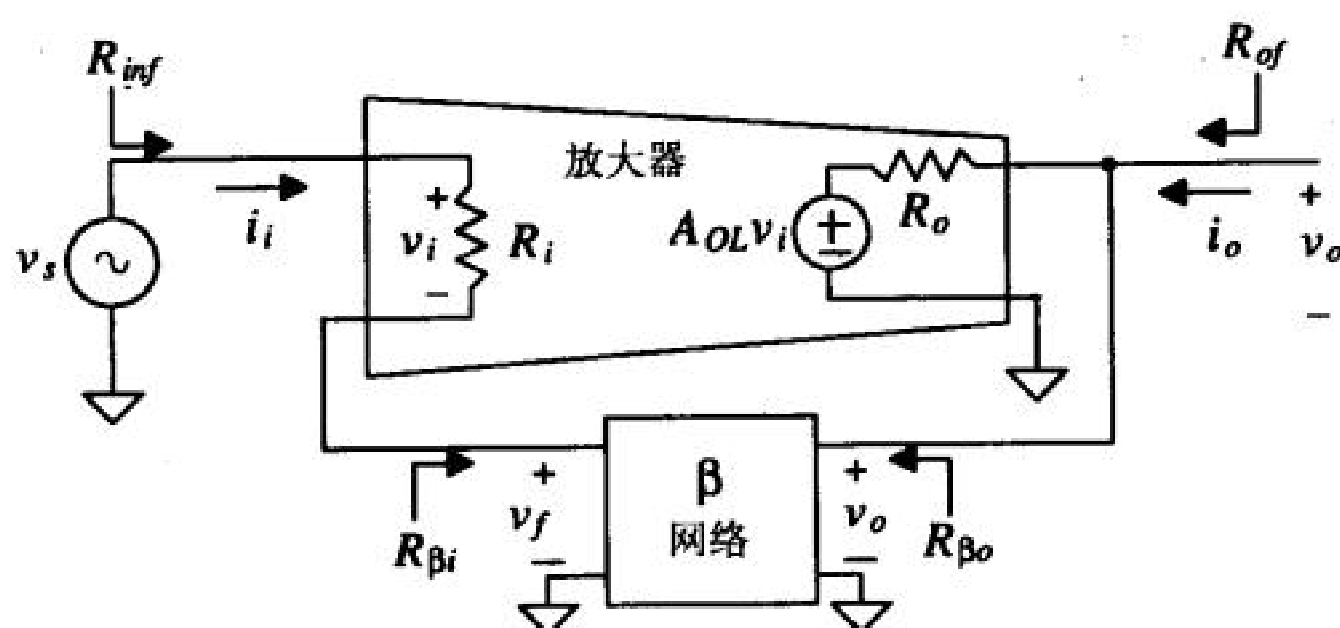


图23-12　理想的电压放大器（串联-并联反馈）

要判断该电路采用的是哪一种反馈类型，就应该检查输入变量。由于输入变量x_s、x_i和x_f分别对应于电压v_s、v_i和v_f，因此，有$v_i=v_s-v_f$，输入混合是串联混合。输出采样类型可以根据前面的规则进行判断。由于放大器的输出和反馈电路是并联关系（均连接在负载R_L上），因此，输出采样是并联采样。

由23.1节知，放大器的闭环增益为：

$$A_{CL}=\frac{v_o}{v_s}=\frac{A_{OL}}{1+A_{OL}\cdot\beta} \tag{23-28}$$

540

由于A_{OL}趋近于无穷，式（23-28）近似为：

$$A_{CL}\approx\frac{1}{\beta} \tag{23-29}$$

式（23-29）十分重要，因为它揭示了反馈放大器的另一个重要特性，即：当基本放大器的增益很大时，反馈放大器的整个增益可以近似为β的倒数。

在图23-12所示反馈放大器的输入端加一个测试电压，就可以计算出反馈如何影响放大器的输入电阻，由此，有$v_s=v_{test}$，$i_i=i_{test}$。假定反馈电路不是放大器的负载，则可以写出输入端的电压回路方程，得到：

$$v_{test}=i_{test}\cdot R_i+\beta\cdot v_o=i_{test}\cdot R_i+\beta\cdot\frac{A_{OL}}{1+A_{OL}\beta}\cdot v_{test} \tag{23-30}$$

上式可简化为：

$$R_{inf}=\frac{v_{test}}{i_{test}}=R_i\cdot(1+A_{OL}\beta) \tag{23-31}$$

由此可知，放大器的增益现在降为原来的（$1+A_{OL}\beta$）分之一，而输入电阻（即从信号源看进去的电阻）增加为原来的（$1+A_{OL}\beta$）。

计算输出电阻的方法和计算输入电阻相同，只是把测试电压加到放大器的输出端，同时输入端对地短路，这样有$v_o=v_{test}$，$i_o=i_{test}$。由于输入端对地短路，因此，有$v_i=-v_f=-\beta\cdot v_o$。

写出输出端的回路方程，得:

$$v_{test} = i_{test} \cdot R_o + A_{OL} \cdot v_i = i_{test} \cdot R_o + A_{OL} \cdot (-\beta \cdot v_o) \tag{23-32}$$

输出电阻为:

$$R_{of} = \frac{v_{test}}{i_{test}} = \frac{R_o}{1 + A_{OL}\beta} \tag{23-33}$$

可知，输出电阻为原来的（$1+A_{OL}\beta$）分之一。理想情况下，电压放大器的输入电阻无穷大，输出电阻为零。实际电压放大器的输入电阻是有限值，输出电阻也不等于零，而引入反馈可使实际放大器的性能更接近理想情形。

现在已经从框图级讨论了理想的串联–并联反馈放大器，下面将从晶体管级讨论带负载效应的非理想串联–并联反馈放大器。前面曾经分析过图23-13所示反馈放大器，分析结果表明，它采用的是串联–并联反馈。

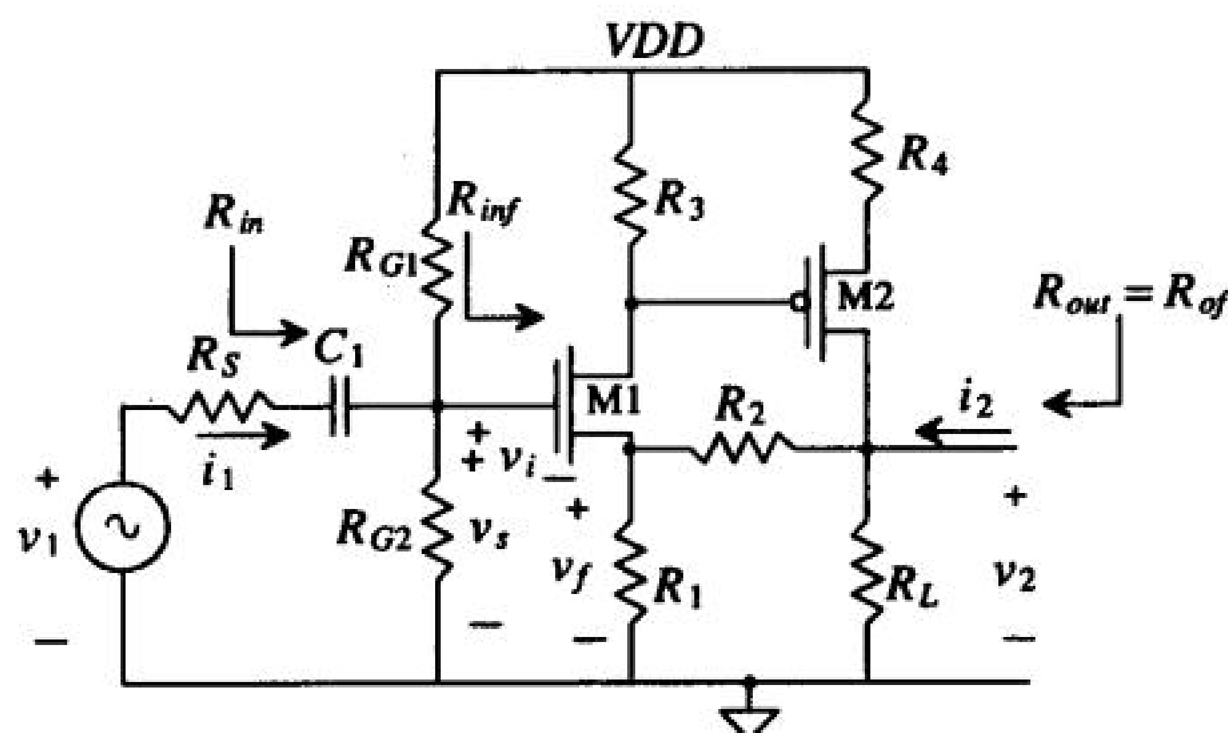


图23-13 晶体管级的串联–并联反馈放大器

该电路的小信号等效电路见图23-14。正向路径包括节点1、2、3，反馈路径包括节点3、4，反馈变量v_f出现在R_1上。在前面的讨论中，假定了反馈电路不构成放大器电路的负载。然而，要想精确计算开环增益A_{OL}，就必须考虑R_1和R_2对放大器电路输入和输出的负载效应。电阻R_s一开始就被忽略了，因为它原本就不属于反馈放大器。

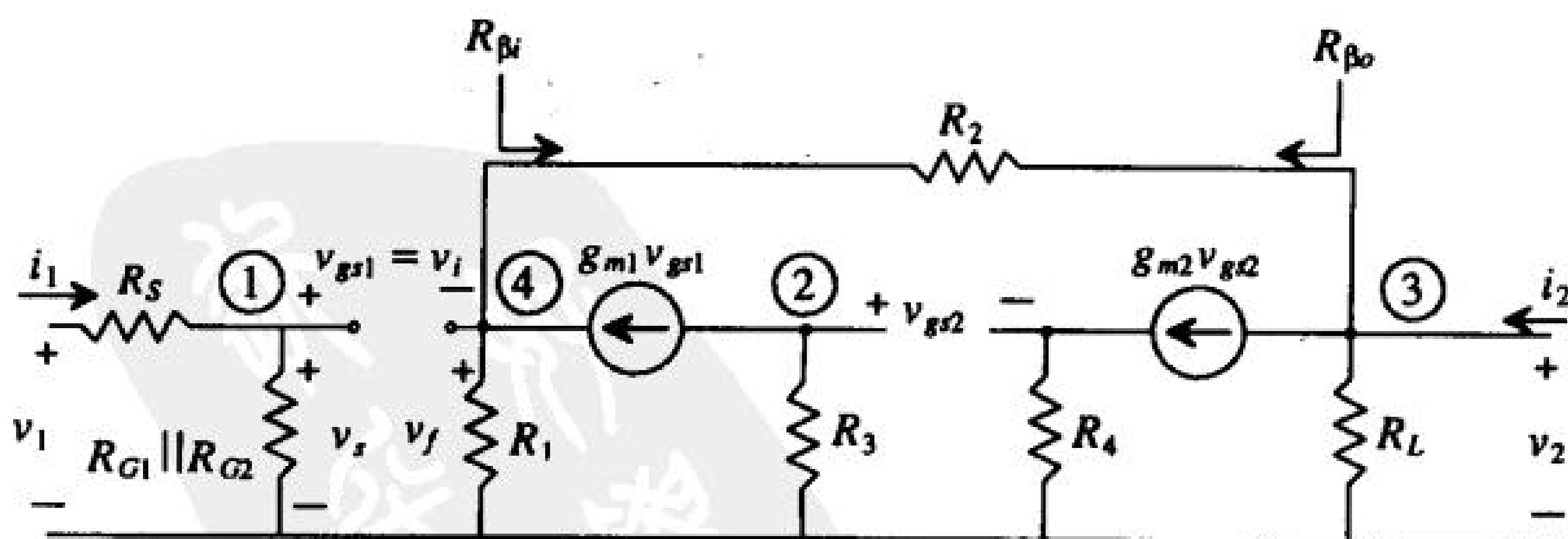


图23-14 图23-8所示电路的闭环小信号等效电路

我们正在分析的是串联–并联反馈放大器，因此，可以按照图23-15所示方法计算反馈电路的$R_{\beta i}$和$R_{\beta o}$。把输出端接地，从放大器输入端向反馈电路看进去，可以得到一个电阻（此例子里为R_2），即为$R_{\beta i}$。因此，在用开环模型计算A_{OL}时，使R_2与R_1并联（如图23-16所示），这样

就把反馈电路对输入信号源的负载效应包括进来了。用类似方法可得到反馈电路对放大器的负载$R_{\beta o}$。由于输入端是串联混合，因此，我们把M1管“从插座上拔出”，从放大器的输出端向反馈电路看进去，看到的等效电阻即为$R_{\beta o}$。在此例子里，$R_{\beta o}$等于R_2+R_1。把$R_{\beta i}$和$R_{\beta o}$加到开环模型中，得到图23-16。

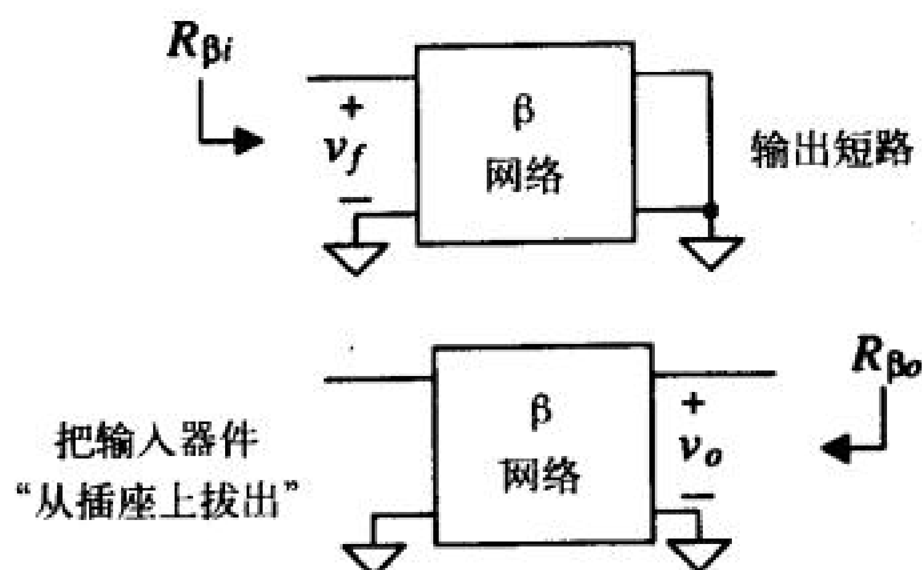


图23-15 确定反馈电路给串联-并联放大器带来的负载

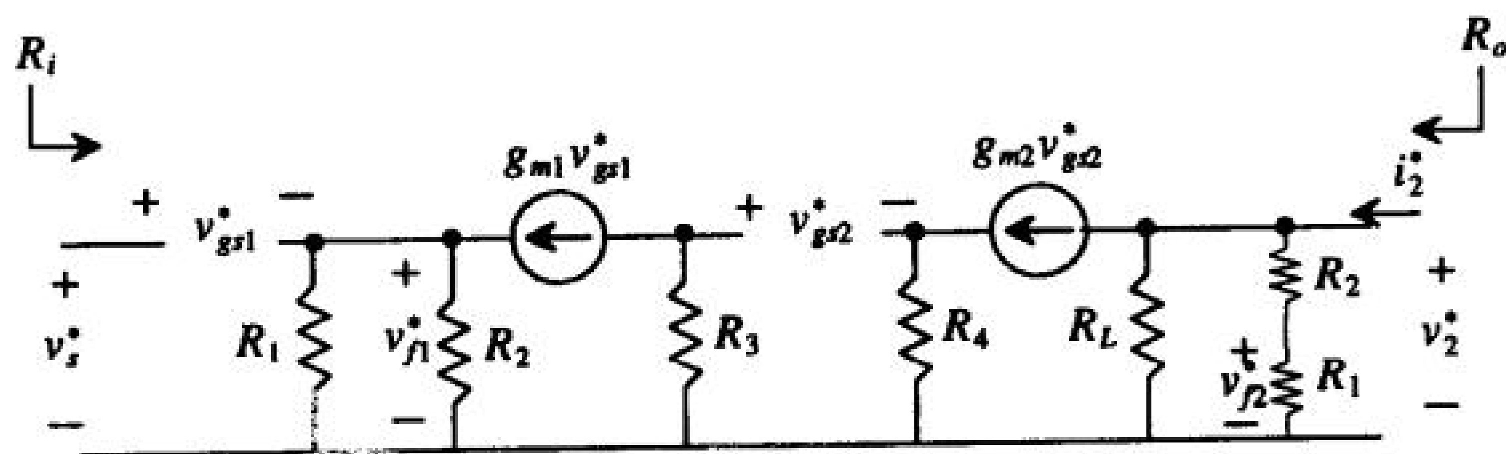


图23-16 图23-8所示电路的开环小信号等效电路

我们先假定MOS管的r_o远大于各个分立电阻，MOS管的衬底和源端相连（即$v_{sb}=0$）。随着讨论的深入，在小信号分析中会逐渐把漏-源电阻包含进来，这当然也会使分析过程更加复杂。

现在我们利用图23-16所示开环模型计算A_{OL}。由于反馈放大器为串联-并联反馈，因此，A_{OL}的单位为V/V，并且：

$$A_{OL}=\frac{v^*_2}{v^*_s} \tag{23-34}$$

求解得到A_{OL}为：

541~543

$$A_{OL}=\frac{v^*_2}{v^*_s}=\left(\frac{v^*_2}{v^*_{gs2}}\right)\left(\frac{v^*_{gs2}}{v^*_{gs1}}\right)\left(\frac{v^*_{gs1}}{v^*_s}\right)=[-g_{m2}R_L||(R_2+R_1)]\left[-\frac{g_{m1}R_3}{1+g_{m2}R_4}\right]\left[\frac{1}{1+g_{m1}(R_1||R_2)}\right] \tag{23-35}$$

下面从开环模型计算β的值。由前面的讨论知，β被定义为反馈信号和输出信号的比。由于反馈电路仅仅是电压分压关系，因此，有：

$$\beta=\frac{v^*_f}{v^*_2}=\frac{R_1}{R_1+R_2} \tag{23-36}$$

观察图23-16可知，该电路中有两个R_2和两个v^*_f。在这个例子中，由于r_o被假定为无穷大，因此，从v^*_2到v^*_{f1}的增益为零。如果r_o不被忽略，从v^*_2到v^*_{f1}的增益会很小但不等于零。因此，可

以说在基本放大器和反馈电路中都各自存在一条反向路径。只不过从v^*_2到v^*_{f2}的增益虽然小于1，但仍明显大于从v^*_2到v^*_{f1}的增益。因此，正如反馈电路中的正向路径被忽略一样，假定基本放大器中的反向路径增益远小于反馈路径中的反向路径增益，因此，β的值用最接近输出端的电阻R_2进行计算。

下面用图23-16的开环模型计算R_i和R_o的值。由于使用的是MOS管，因此，开环电路的输入电阻为无穷大。输出电阻可以通过把M1管的栅极短路到地，然后在输出端加电压求得。由于输入端接地，$v_{g2}=0$，因此，R_o就是输出电阻的并联（假定r_{o2}非常大）：

$$R_o=\frac{v_o^*}{i_2^*}=R_L||(R_1+R_2) \tag{23-37}$$

一旦计算出开环参数的值，就很容易求得闭环参数。闭环参数为：

$$A_{CL}=\frac{v_2}{v_s}=\frac{A_{OL}}{1+A_{OL}\beta} \tag{23-38}$$

544

$$R_{inf}=\frac{v_s}{i_s}=R_i(1+A_{OL}\beta) \tag{23-39}$$

$$R_{out}=R_{of}=\frac{v_2}{i_2}=\frac{R_o}{1+A_{OL}\beta} \tag{23-40}$$

在前面的分析中，我们忽略了信号源的电阻以及偏置电阻R_{G1}、R_{G2}，因为它们在放大器的反馈分析中不扮演任何角色。不过它们对整体电路的增益还是有影响的，因此，需要考虑进去。考虑这些影响因素后，整个电路的增益为：

$$\frac{v_2}{v_1}=\frac{v_s}{v_1}\cdot\frac{v_2}{v_s}=\frac{R_{G1}||R_{G2}}{R_{G1}||R_{G2}+R_S}\cdot A_{CL} \tag{23-41}$$

从信号源处看到的R_{in}为：

$$R_{in}=\frac{v_1}{i_1}=R_{G1}||R_{G2} \tag{23-42}$$

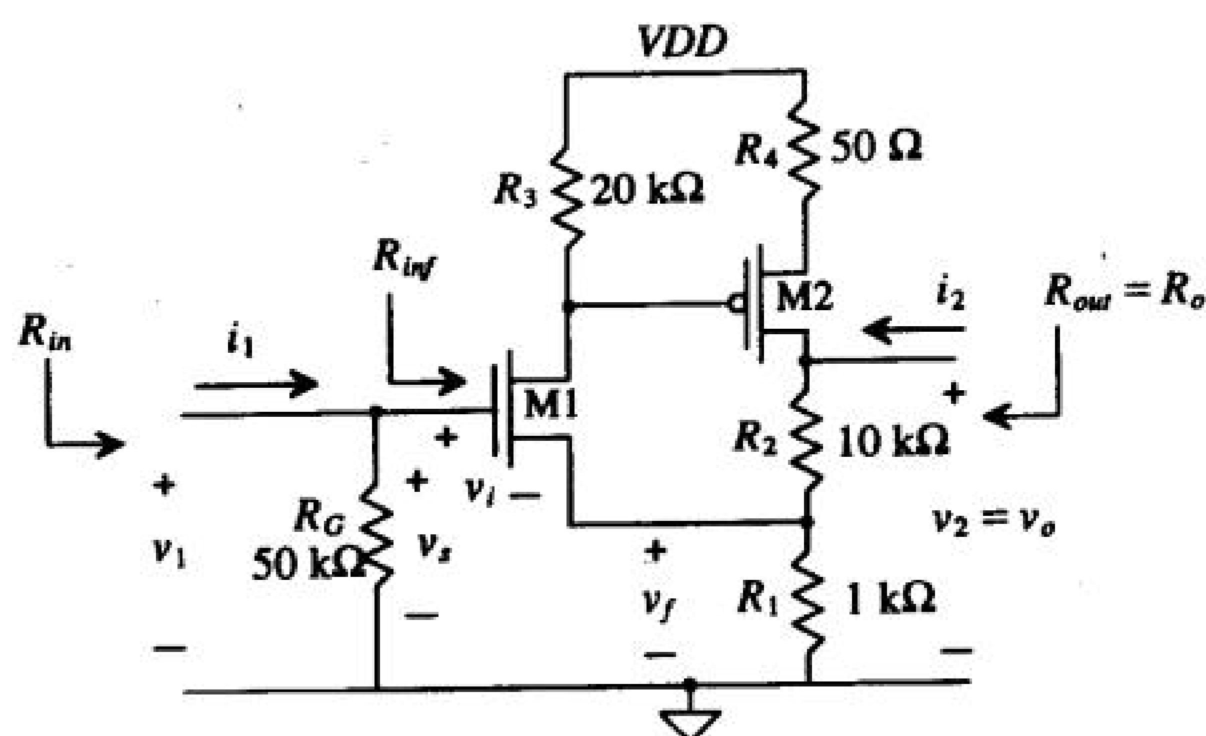
应该注意到，R_{in}的值与R_{inf}的值不同。到这里，我们对电压放大器做了全面分析。

例23.1

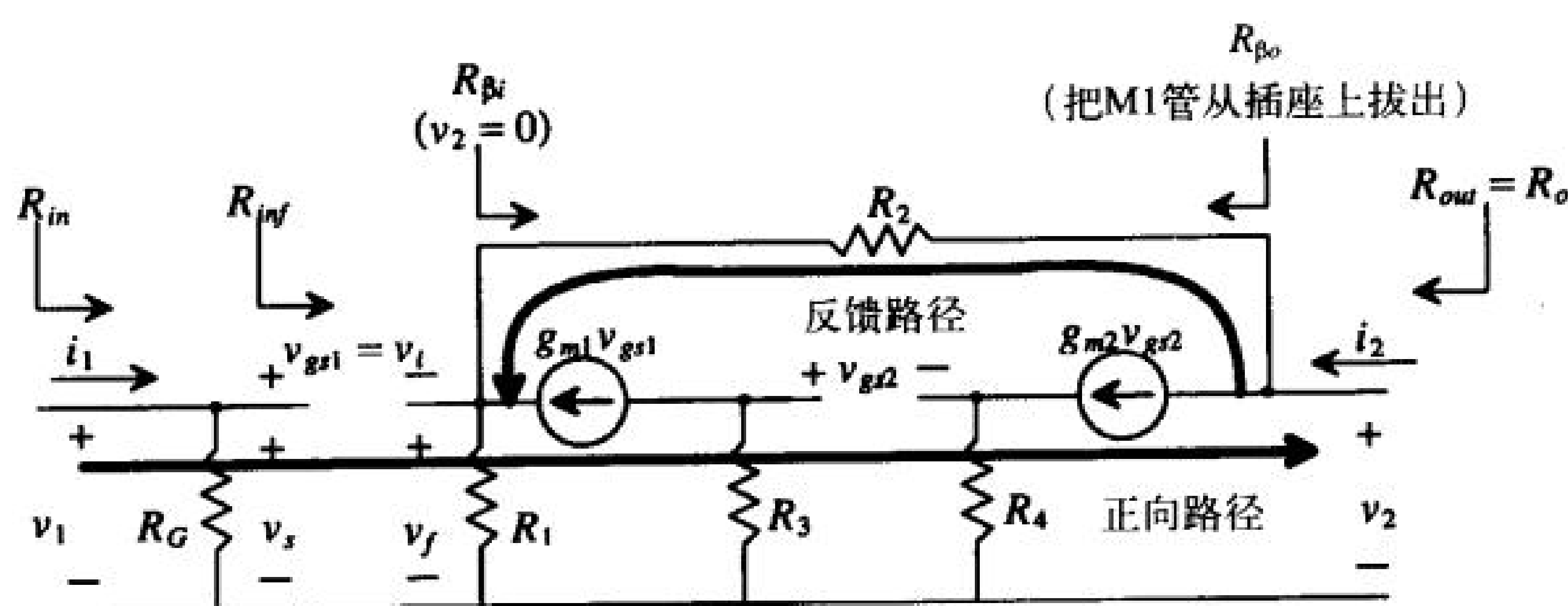
针对图23-17a所示的串联－并联电路，画出其闭环小信号等效电路模型，确定正向路径和反馈路径，再画出开环小信号等效电路模型，计算开环参数A_{OL}、β、R_i、R_o，闭环参数v_2/v_1、v_1/i_1、v_2/i_2。假定两个MOS管的$r_o=\infty$，并且在$g_{m1}=g_{m2}=1\text{mA/V}$条件下做了直流分析。

闭环小信号模型见图23-17b，正向路径和反馈路径已经在图上标出。考虑了反馈电路的负载效应的开环小信号模型见图23-17c。由于输出采用的是并联采样，把输出节点接地，从放大器输入端看到的反馈电路的负载电阻就是$R_{\beta i}$的值，此例中$R_{\beta i}$等于R_2。由于输入混合是串联混合，输入MOS管M1被“断开”，从输出端看到的反馈环路只有R_1+R_2，因此，$R_{\beta o}=R_1+R_2$。

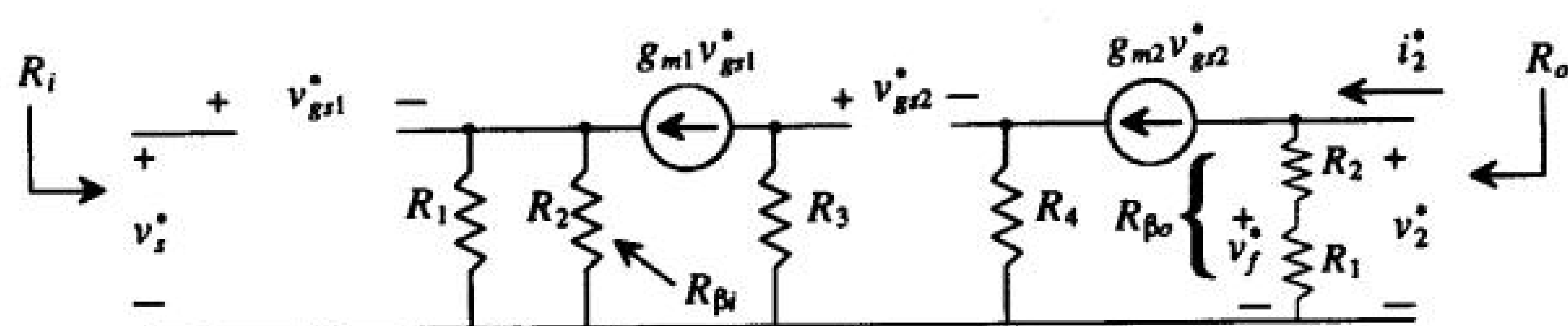
r_o的值被认为无穷大，因此，$R_i=\infty$，$R_o=R_1+R_2=11\text{k}\Omega$。当分析开环小信号电路时（图23-17c），我们只关心反馈部分的分析，因此，v_1和R_G都不包括在内。



a) 例23.1的串联-并联电路



b) 闭环小信号模型



c) 开环小信号模型

图 23-17

开环增益A_{OL}可以简单地由两个带负载的共栅放大器的增益求得:

$$A_{OL} = \frac{v_2^*}{v_s^*} = \frac{v_2^*}{v_{g2}^*} \cdot \frac{v_{g2}^*}{v_s^*} = \left[\frac{-g_{m2}(R_2+R_1)}{1+g_{m2}R_4}\right]\left[\frac{-g_{m1}R_3}{1+g_{m1}(R_1 \| R_2)}\right] = 109.8\ \text{V/V}$$

545 β的值是从输出到反馈变量的增益。在这里，是一个简单的电压分压关系，因此，有:

$$\beta = \frac{v_f^*}{v_2^*} = \frac{R_1}{R_1+R_2} = 0.0909\ \text{V/V}$$

注意到，$A_{OL}\beta$是正数并且没有单位。现在已经求得开环参数，闭环参数可以通过式（23-38）~（23-40）得到:

$$A_{CL} = \frac{v_2}{v_s} = \frac{A_{OL}}{1+A_{OL}\beta} = \frac{109.8}{1+(109.8 \cdot 0.0909)} = 10\ \text{V/V}$$

通过检查 $A_{CL} \approx \frac{1}{\beta}$ 是否成立，可以验证我们计算的结果是否正确。

在图23-17a和图23-17b中，闭环输出电阻R_{of}等于R_{out}。不过，闭环输入电阻R_{inf}不等于R_{in}，因为反馈放大器本身不包括输入信号源和栅电阻R_G。很容易求得闭环参数R_{inf}和R_{of}为:

$$R_{inf}=\infty\ (\text{因为}\ R_i=\infty)$$

$$R_{of}=R_{out}=\frac{v_2}{i_2}=\frac{R_o}{(1+A_{OL}\beta)}=\frac{11\ \text{k}\Omega}{10.98}=1.002\ \Omega$$

最后一步是求解R_{in}和v_2/v_1。观察图23-17a可得R_{in}的值为:

$$R_{in}=\frac{v_1}{i_1}=R_G||R_{inf}=50\ \text{k}\Omega$$

由于输入电压v_1等于v_s，因此，整个增益v_2/v_1等于A_{CL}。如果考虑信号源电阻，则可用式（23-41）计算v_2/v_1。

$$\frac{v_2}{v_1}=A_{CL}=10\ \text{V/V}$$

■

23.5 跨阻放大器（并联-并联反馈）

并联-并联反馈在输入端是电流混合，在输出端采样电压。考虑图23-18所示理想的并联-并联放大器，开环参数为A_{OL}、β、R_i和R_o。在理想情况下，$R_{\beta i}$无穷大，$R_{\beta o}$等于零。观察该图知，基本放大器和反馈电路在输入端和输出端都是并联连接。反馈电路与基本放大器并联，因此，输入变量是电流。从放大器的输出端向里看去，反馈路径和输出信号平行或者说是并联关系，因此，输出信号是电压。由于基本放大器的输入变量是电流，输出变量是电压，因此，增益的单位是V/I，也被称做跨阻放大器。由于$A_{OL}\beta$总是无单位且为正数，β的单位为I/V（姆欧）。

546~547

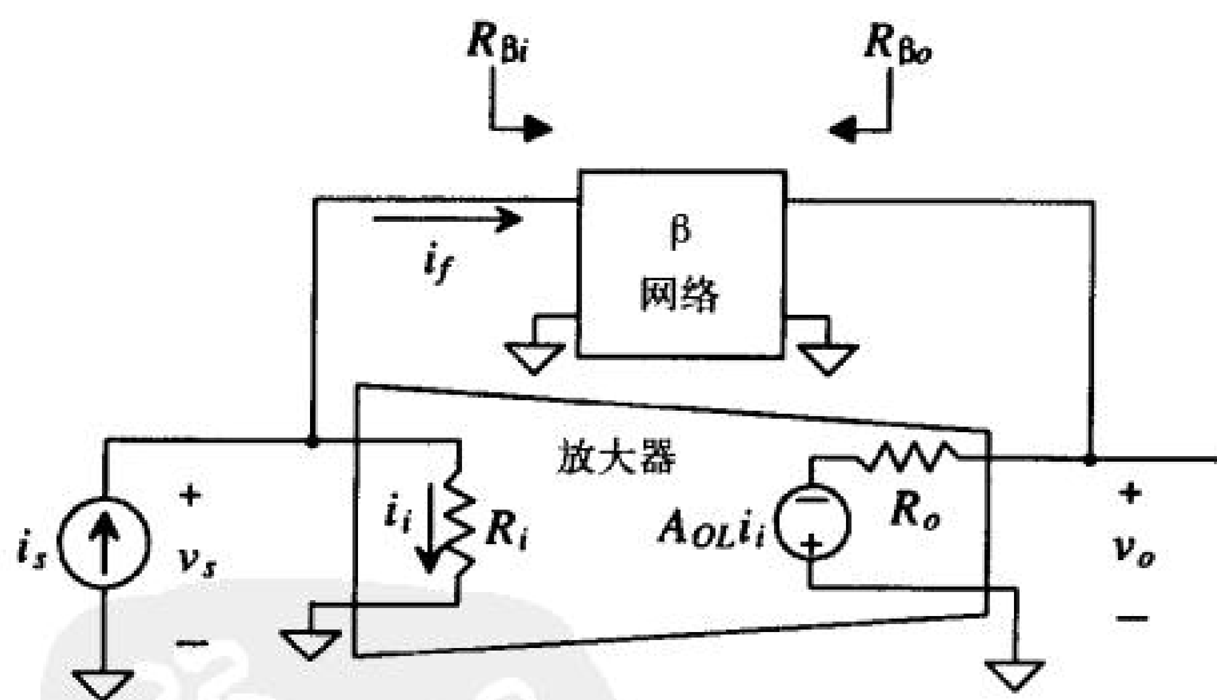


图23-18 理想的跨阻放大器（并联-并联）

闭环增益为:

$$A_{CL}=\frac{v_o}{i_s}=\frac{A_{OL}}{1+A_{OL}\beta} \tag{23-43}$$

观察图23-18知，基本放大器电路的输入和输出是反相关系，它等效于一个理想的运算放大器。由于A_{OL}为负值，因此，β也必须为负值以得到负反馈。

为了计算跨阻放大器的输入电阻，我们在放大器的输入端加一个测试电流源，则有

$i_s=i_{test}$，$v_s=v_{test}$。测试电流和输入电阻的关系由下式给出：

$$i_{test}=\frac{v_{test}}{R_i}+i_f=\frac{v_{test}}{R_i}+\beta v_o=\frac{v_{test}}{R_i}+\beta A_{OL}i_i=\frac{(1+A_{OL}\beta)\cdot v_{test}}{R_i} \tag{23-44}$$

假定反馈电路不构成基本放大器的负载，则可得到闭环输入电阻为：

$$R_{inf}=\frac{v_{test}}{i_{test}}=\frac{R_i}{1+A_{OL}\beta} \tag{23-45}$$

类似地，可分析得到跨阻放大器的输出电阻为：

548

$$R_{of}=\frac{R_o}{(1+A_{OL}\beta)} \tag{23-46}$$

理想的跨阻放大器具有零输入电阻和零输出电阻。从式（23-45）和式（23-46）可以看出，反馈使得基本放大器更接近理想情形。

现在来分析图23-19所示晶体管级的并联-并联反馈电路。在图23-20和图23-21中分别给出了它的闭环和开环小信号等效电路。栅极被连接到了交流地，因为它和直流电压源相连；而直流电流源I_{ss}是交流开路。有趣的是，由于考虑了r_{o1}和r_{o2}的影响，在基本放大器中也存在一条反馈路径。不过与反馈电路的反馈路径相比，它的增益非常小，通常认为可以忽略。

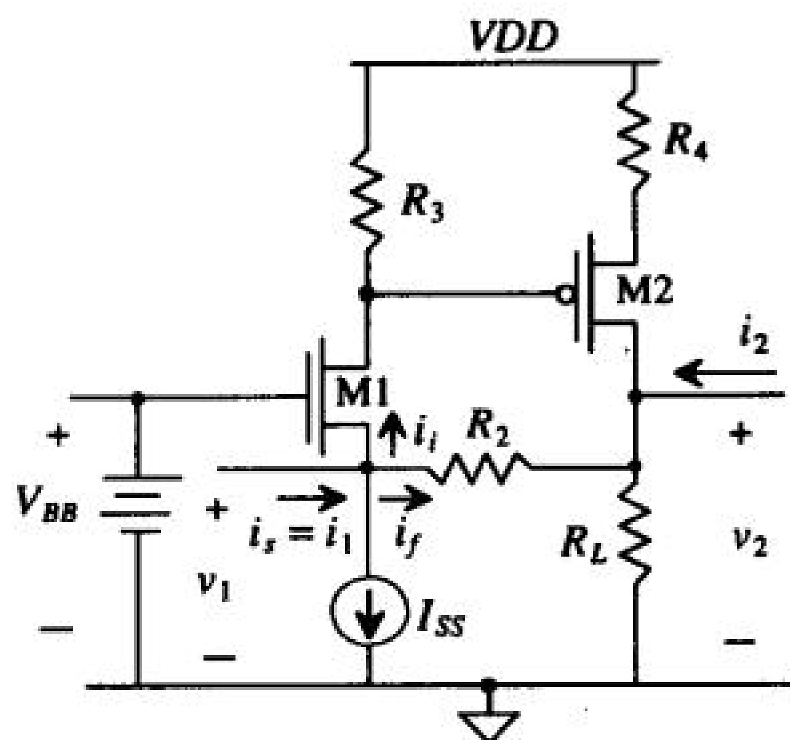
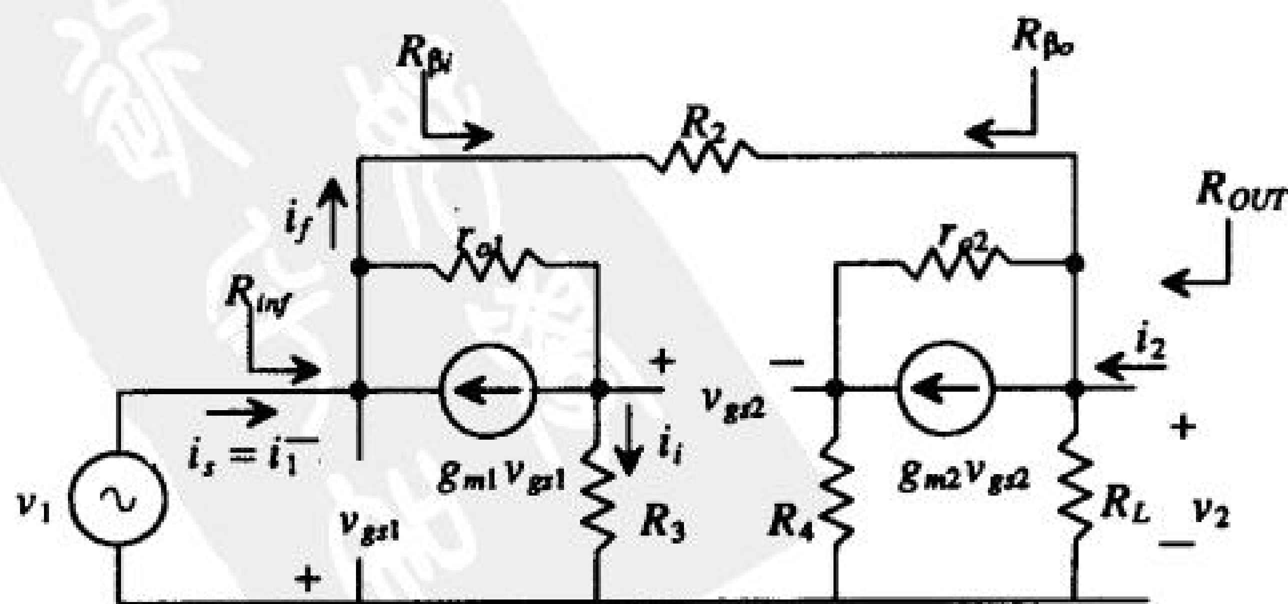


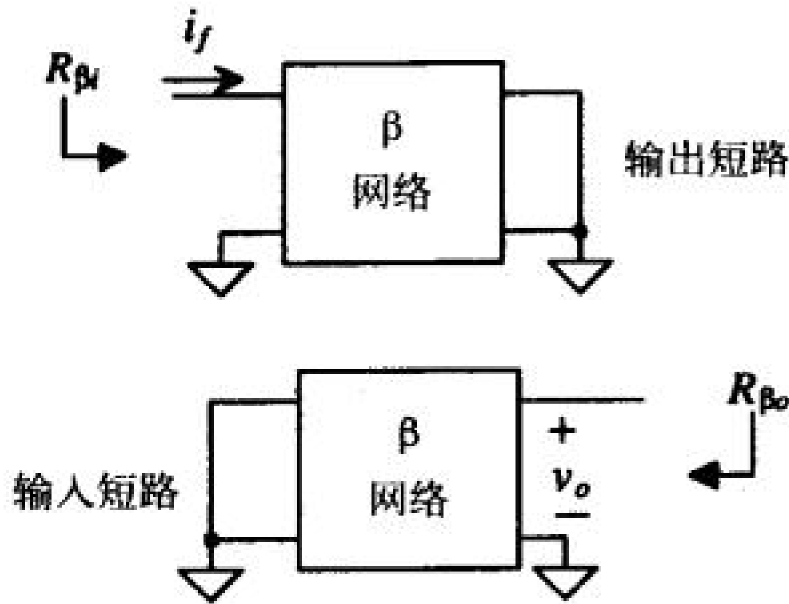
图23-19　并联-并联反馈放大器

开环分析的第一步是用以前提出的规则来考察反馈电路对基本放大器的影响。电阻$R_{\beta i}$是把输出节点短路到地后，从输入向反馈电路看进去的等效电阻。把输入短路到地，就可以计算从输出向反馈电路看进去的等效电阻$R_{\beta o}$。



a) 图23-19所示电路的闭环小信号等效模型

图　23-20



b) 分析反馈电路引入的负载

图　23-20（续）

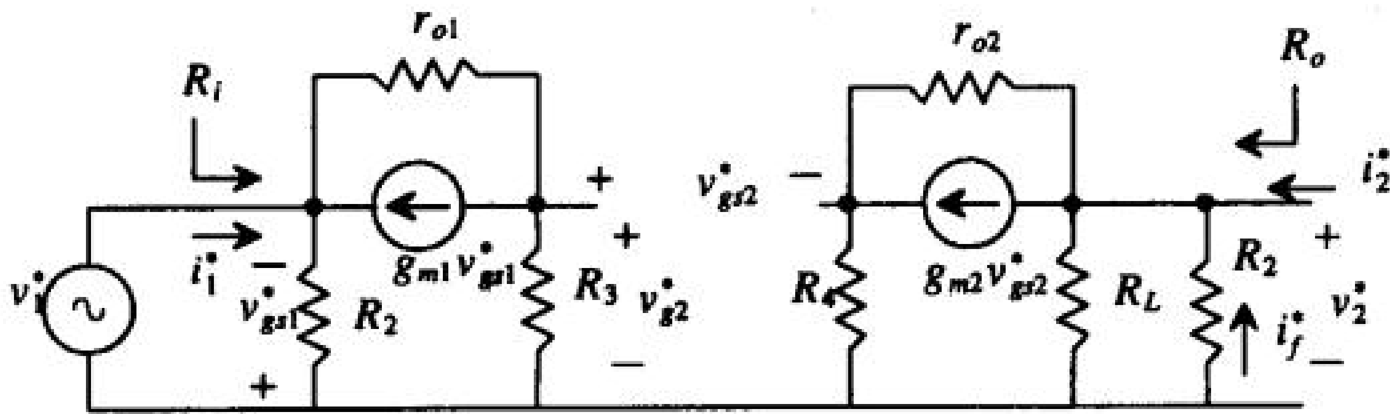


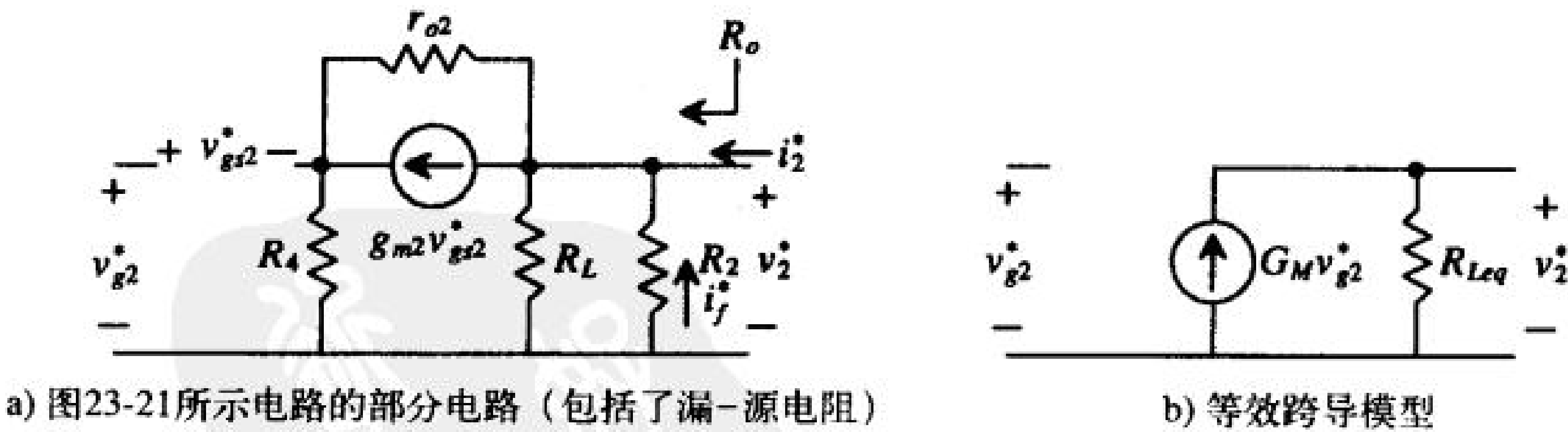
图23-21　图23-19所示电路的开环小信号等效模型

由于该电路是并联-并联反馈，因此，A_{OL}定义为：

$$A_{OL}=\frac{v_2^*}{i_s^*}=\frac{v_2^*}{v_{g2}^*}\cdot\frac{v_{g2}^*}{v_1^*}\cdot\frac{v_1^*}{i_s^*} \tag{23-47}$$

如果用标准的电路分析方法来求解式（23-47）的第一项，这会比较费力。采用一种基于双端口理论的电路分析技术可以有效的简化这一分析过程。例如，图23-22a是计算增益$\frac{v_2^*}{v_{g2}^*}$所需要的等效电路，而图23-22b所示电路用一个等效跨导G_M和一个输出电阻R_{Leq}来等效图23-22a所示电路。图23-22b所示等效电路的增益就是实际电路的增益，为：

549



a) 图23-21所示电路的部分电路（包括了漏-源电阻）　　b) 等效跨导模型

图　23-22

$$\frac{v_2^*}{v_{g2}^*}=G_MR_{Leq} \tag{23-48}$$

很容易求得R_{Leq}的值为：

$$R_{Leq}=R_L\|R_2\|R_{inD2} \tag{23-49}$$

式中，R_{inD2}是从M2管的漏端看进去的电阻。由第20章的讨论知，该电阻为：

$$R_{inD2}=[(1+g_{m2}R_4)r_{o2}+R_4] \tag{23-50}$$

G_M的值就是短路跨导[2]，定义为：

$$G_M=\frac{i_o^*}{v_{g2}^*}(R_{Leq}=0) \tag{23-51}$$

这意味着，把等效负载电阻$R_L||R_2$短路，短路电流和输入电压之间的增益就是等效跨导。因此，由图23-23可得到求解G_M的方程为：

$$i_o^*=-g_{m2}v_{gs2}+\frac{v_{s2}}{r_{o2}} \tag{23-52}$$

$$v_{s2}^*=-i_oR_4 \tag{23-53}$$

$$v_{s2}^*+v_{gs2}^*=v_{g2}^* \tag{23-54}$$

550
~
551

求解方程（23-52）~（23-54），得到：

$$G_M=\frac{i_o^*}{v_{g2}^*}=\frac{-g_{m2}}{1+g_{m2}R_4+\frac{R_4}{r_{o2}}} \tag{23-55}$$

因此，增益$\frac{v_2^*}{v_{g2}^*}$为：

$$\frac{v_2^*}{v_{g2}^*}=\frac{-g_{m2}(R_L||R_2||[(1+g_{m2}R_4)r_{o2}+R_4)]}{1+g_{m2}R_4+\frac{R_4}{r_{o2}}} \tag{23-56}$$

我们再回到式（23-47）。通过分析图23-21，知第二项$\frac{v_{g2}^*}{v_1^*}$为：

$$\frac{v_{g2}^*}{v_1^*}=\frac{g_{m1}R_3+\frac{R_3}{r_{o1}}}{1+\frac{R_3}{r_{o1}}} \tag{23-57}$$

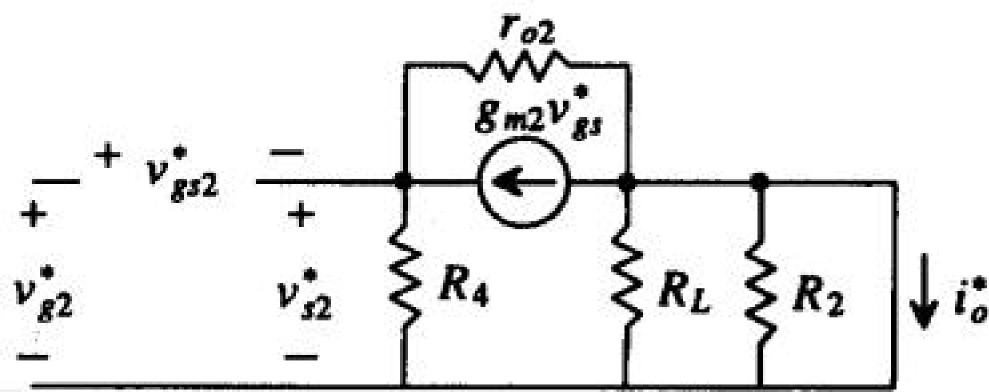


图23-23 用于计算等效跨导的电路

式（23-47）的最后一项很简单，是开环电路的输入电阻R_i。利用测试信号源，可以求得R_i为：

$$R_i=\frac{v_1^*}{i_s^*}=\frac{v_t}{i_t}||R_2=\left(\frac{1+\frac{R_3}{r_{o1}}}{g_{m1}+\frac{1}{r_{o1}}}\right)||R_2 \tag{23-58}$$

综合上边的结果，可得到开环增益A_{OL}的整个表达式为：

$$A_{OL}=\frac{v_2^*}{i_s^*}=\frac{-g_{m2}(R_L||R_2||((1+g_{m2}R_4)r_{o2}+R_4))}{1+g_{m2}R_4+\frac{R_4}{r_{o2}}}\cdot\frac{g_{m1}R_3+\frac{R_3}{r_{o1}}}{1+\frac{R_3}{r_{o1}}}\cdot\left(\frac{1+\frac{R_3}{r_{o1}}}{g_{m1}+\frac{1}{r_{o1}}}\right)||R_2\ \Omega \tag{23-59}$$

这个公式看起来非常复杂。实际上，如果r_{o2}远大于R_2、R_4和R_L，并且r_{o1}远大于R_3，则上式就可以简化为：

552

$$A_{OL} = [\text{带源电阻的共源放大器的增益}] \cdot [\text{共栅放大器的增益}] \cdot [R_i]$$
$$\approx \frac{-g_{m2}(R_L \| R_2)}{1+g_{m2}R_4} \cdot g_{m1}R_3 \cdot \frac{1}{g_{m1}} \| R_2 \Omega \qquad (23\text{-}60)$$

典型情况下，式（23-60）用于分立元件的设计，使用的电流较大，因此，电阻的阻值较小。但可以很容易地使用有源负载代替分离电阻，如图23-24所示。这里，电阻r_{o3}代替了R_3。由于R_4是源端负反馈电阻，它的阻值很小；可用栅-漏短接的有源负载代替R_4，其电阻为$\frac{1}{g_{m4}} \| r_{o4}$。电阻$R_L$现在被$r_{o5}$代替。因此，利用式（23-59）可得到图23-24所示电路的开环增益为：

$$A_{OL} = \frac{-g_{m2}(r_{o5} \| R_2 \| (1+g_{m2}(\frac{1}{g_{m4}} \| r_{o4}))r_{o2} + \frac{1}{g_{m4}} \| r_{o4}))}{1+g_{m2}\left(\frac{1}{g_{m4}} \| r_{o4}\right) + \frac{\frac{1}{g_{m4}} \| r_{o4}}{r_{o2}}} \cdot \frac{g_{m1}r_{o3} + \frac{r_{o3}}{r_{o1}}}{1+\frac{r_{o3}}{r_{o1}}} \left[\frac{1+\frac{r_{o3}}{r_{o1}}}{g_{m1}+\frac{1}{r_{o1}}} \| R_2 \right] \qquad (23\text{-}61)$$

如果假定$r_{o1} \approx r_{o3}$，且电阻R_2的阻值与有源负载所构成的电阻的阻值相比，相对较小，则上式可近似为：

$$A_{OL} = \frac{v_2^*}{i_s^*} \approx \frac{-g_{m2}(R_2)}{1+g_{m2}\left(\frac{1}{g_{m4}}\right)} \cdot \frac{1+g_{m1}r_{o3}}{2} \cdot \left(\frac{1}{g_{m1}} \| R_2\right) \Omega \qquad (23\text{-}62)$$

用有源器件甚至可以代替电阻R_2，这会在本章稍后再做讨论。

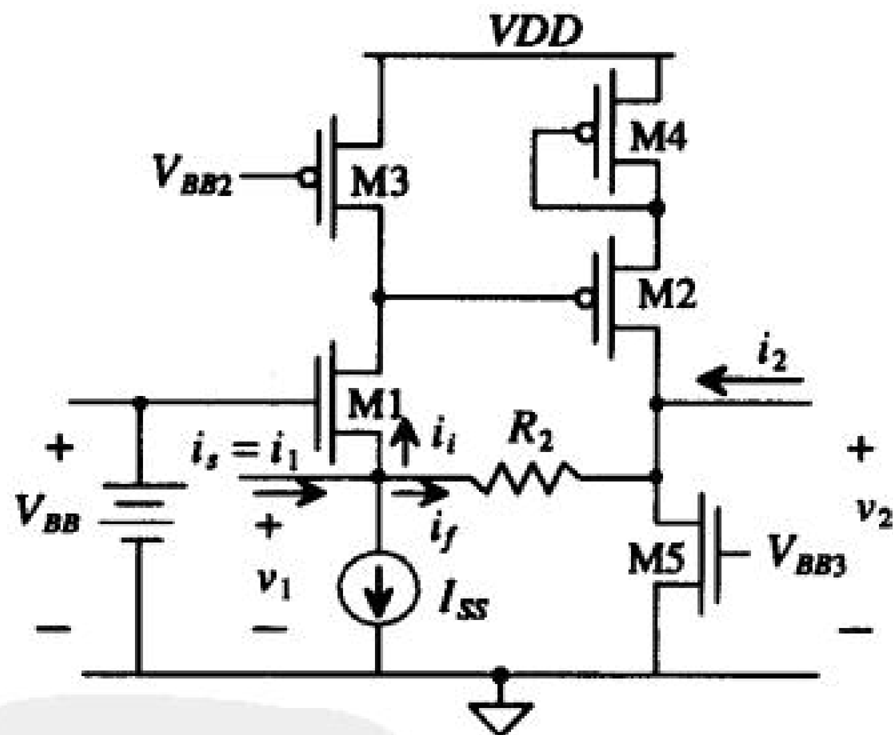


图23-24 采用有源负载的并联-并联反馈放大器

553

接下来，我们求出β的值。由β的定义知：

$$\beta = \frac{i_f^*}{v_2^*} = \frac{-1}{R_2} \text{ 姆欧} \qquad (23\text{-}63)$$

由上式知，$A_{OL}\beta$是没有单位且为正值。

现在已经求得开环参数A_{OL}、β、R_i和R_o。利用这些开环参数，可以很容易地求得闭环参数。闭环增益为：

$$A_{CL}=\frac{v_2}{i_s}=\frac{A_{OL}}{1+A_{OL}\beta} \tag{23-64}$$

闭环输入电阻为:

$$R_{inf}=\frac{R_i}{1+A_{OL}\beta} \tag{23-65}$$

闭环输出电阻为:

$$R_{of}=R_{out}=\frac{R_o}{1+A_{OL}\beta} \tag{23-66}$$

至此，我们可以总结反馈对放大器性能的影响：并联混合和并联采样使得输入和输出电阻减小为原来的$1/(1+A_{OL}\beta)$；类似地，串联混合和串联采样使得输入和输出电阻增加为原来的$(1+A_{OL}\beta)$。

在多数情况下，总增益用电压增益$\frac{v_2}{v_1}$来表示。由于我们已经计算了用电流i_s表示的传输函数，因此，可以很容易求得总的电压增益为:

$$\frac{v_2}{v_1}=\frac{v_2}{i_s(R_{inf})}=A_{CL}(\frac{1}{R_{inf}}) \tag{23-67}$$

由栅-漏之间的电阻构成的简单反馈

图23-25所示电路是最简单、最流行的并联-并联反馈的一种实现电路。它包括了一个简单的反相放大器，在栅和漏之间接入一个电阻R_2以实现反馈。反馈电阻R_2通常很大，它有几个重要功能。当分析电路的直流特性时，漏端电压和栅端电压相等，因为没有直流电流流过R_2（当输入是交流耦合时）。这使得M1管总是工作于饱和区，而且不需要其他元件就能提供直流偏置。下面我们将研究R_2对放大器交流响应的影响，会发现它对放大器的增益几乎没有影响。

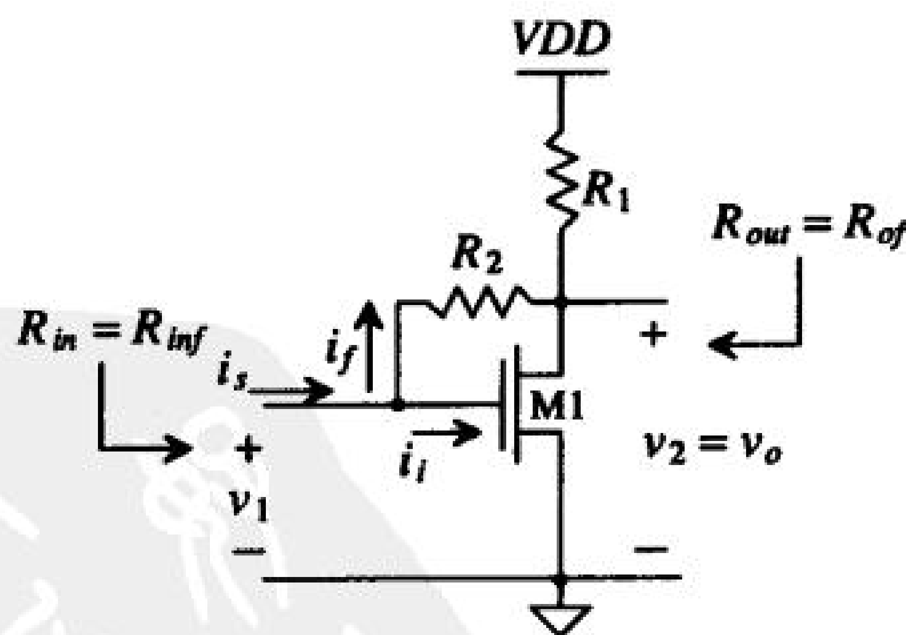


图23-25 栅和漏之间接入电阻R_2构成简单的并联-并联反馈

图23-26a和23-26b分别给出了闭环和开环小信号等效模型。由于反馈电阻在M1管的栅极累加电流，输入电流和反馈电流是并联关系。又由于反馈电路和输出采用相同的节点，因此，输出采样是并联采样。把输出短路，从输入向反馈环路看去，可得到开环模型中的$R_{\beta i}$的值。把输入短路，从输出端向反馈环路看进去，可得到$R_{\beta o}$的值。

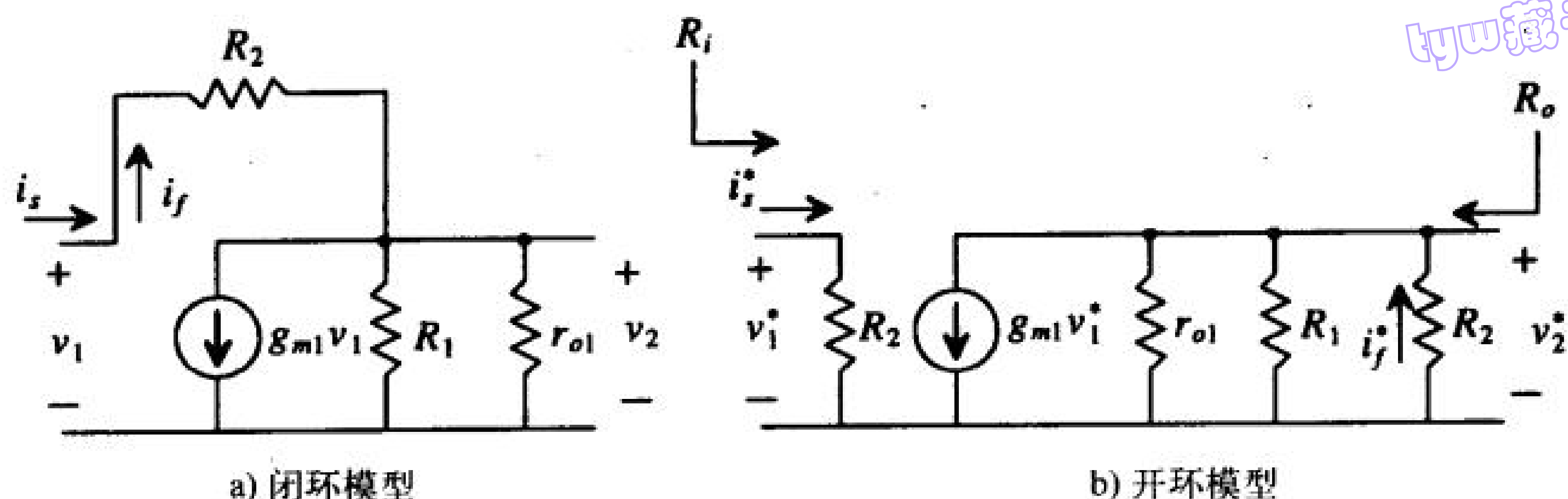


图23-26 图23-25所示电路的小信号模型

计算开环参数，得：

$$A_{OL}=\frac{v_2^*}{i_s^*}=\frac{v_2^*}{v_1^*}\cdot\frac{v_1^*}{i_s^*}=[-g_{m1}(R_1||R_2||r_{o1})][R2]\ \mathrm{V/A} \tag{23-68}$$

$$R_i=R_2 \tag{23-69}$$

$$R_o=R_1||R_2||r_{o1} \tag{23-70}$$

$$\beta=\frac{i_f^*}{v_2^*}=-\frac{1}{R_2} \tag{23-71}$$

554 ~ 555

由式（23-43）~（23-46），得闭环参数为：

$$A_{CL}=\frac{v_2}{i_s}=\frac{A_{OL}}{1+A_{OL}\beta}=\frac{-g_{m1}R_oR_2}{1+g_{m1}R_oR_2\frac{1}{R_2}} \tag{23-72}$$

$$R_{inf}=\frac{v_1}{i_s}=\frac{R_2}{1+g_{m1}R_oR_2\frac{1}{R_2}}\ ,\quad R_{of}=\frac{R_o}{1+g_{m1}R_oR_2\frac{1}{R_2}} \tag{23-73}$$

由于v_1没有相应的信号源电阻，因此，R_{inf}的值总是等于R_{in}。另外，可以看到，闭环增益与电阻R_2有关。这种放大器的大多数应用是用电压信号作为输入变量，因此，整个的电压增益为：

$$\frac{v_2}{v_1}=\frac{v_2}{i_s}\cdot\frac{i_s}{v_1}=A_{CL}\cdot\frac{1}{R_{inf}}=-g_{m1}R_o=-g_{m1}(R_1||R_2||r_{o1}) \tag{23-74}$$

若把R_2的值设计得远大于R_1的值，可使它对交流信号的中频段增益的影响降到最小。

例23.2

计算图23-27所示并联-并联放大器的增益$\frac{v_o}{v_s}$。假定$A=500\ 000\mathrm{V/A}$，$R_i=10\Omega$，$R_o=10\Omega$。该电路类似于一个简单的反相运算放大器。

首先，我们将把这个电压信号源转换成一个电流源，这样该电路的输入混合是并联混合。在这个放大器的模型中使用了参数A而不是A_{OL}，这样我们在计算A_{OL}时，必须把反馈电阻的负载效应以及R_L、R_S考虑进去。基本放大器电路是一个跨阻放大器，增益单位为V/I，输入电阻和输出电阻的理想值为0Ω。考虑由R_F所构成的反馈电路对基本放大器的负载效应后，得到图23-28。由该图可求得A_{OL}为：

$$A_{OL}=\frac{v_o^*}{i_s^*}=-A\cdot\left(\frac{R_F||R_L}{R_F||R_L+R_o}\right)\cdot\left(\frac{R_s||R_F}{R_s||R_F+R_i}\right)\Omega$$
$$=-500\ 000\cdot 0.989\cdot 0.989=-489\ 060\ \text{V/A}$$

很容易计算得到β的值为:

$$\beta=\frac{i_f^*}{v_o^*}=-\frac{1}{R_f}=-0.0001\ \text{A/V}$$

A_{CL}为:

$$A_{CL}=\frac{v_o}{i_s}=\frac{-489\ 060}{1+-489\ 060\cdot -0.0001}=-9.8\,\text{k}\Omega\approx R_F$$

由于$v_s=i_s\cdot R_s$，因此，总的电压增益为:

$$\frac{v_o}{v_s}=\frac{v_o}{i_s}\cdot\frac{1}{R_s}=A_{CL}\cdot\frac{1}{R_s}=-\frac{9.8\text{k}}{1\text{k}}=-9.8\ \text{V/V}\approx-\frac{R_F}{R_s}$$

由该结果知，这是标准的反相运算放大器的增益。 ■

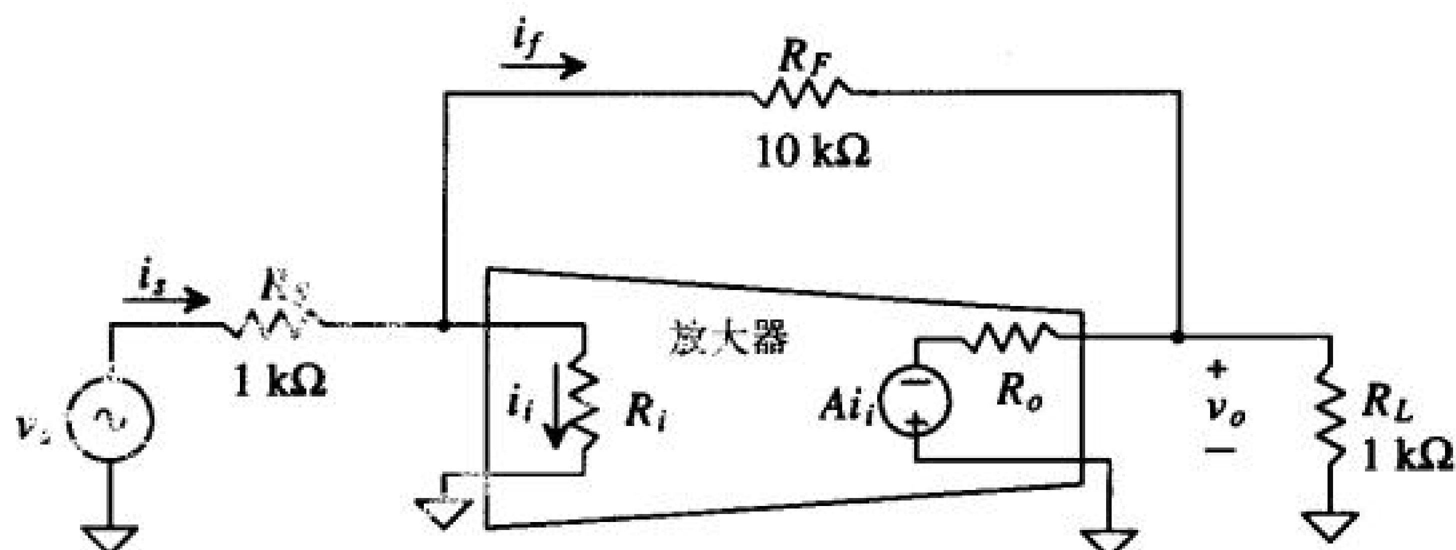


图23-27 一个跨阻放大器的实例

556

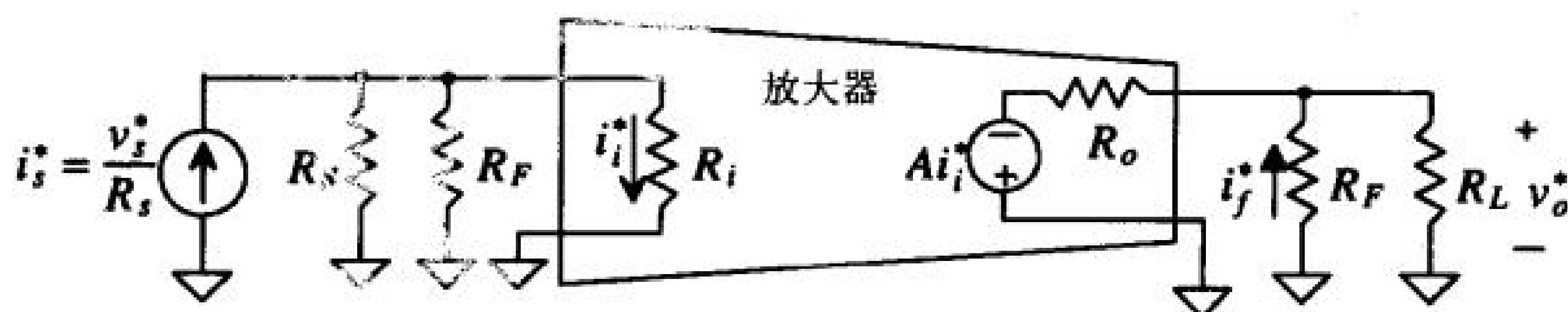


图23-28 例23.2中的开环跨阻放大器

23.6 跨导放大器（串联-串联反馈）

图23-29给出了一种串联-串联反馈放大器及其开环参数。理想情况下，$R_{\beta i}$和$R_{\beta o}$的值为零。反馈电阻R_F和放大器的输入和输出串联，因此，放大器的输入是电压，输出是电流，A_{OL}的单位是I/V（跨导），β的单位是V/I（欧姆）。跨导放大器的输入和输出电阻很大。

跨导放大器的闭环增益为:

$$A_{CL}=\frac{i_o}{v_s}=\frac{A_{OL}}{1+A_{OL}\beta}\ \text{A/V} \tag{23-75}$$

假设反馈电路不构成放大器的负载，则在反馈放大器的输入端施加一个测试电压，计算

流入放大器输入端的电流，可得到输入电阻。设$v_{test}=v_s$，$i_{test}=i_s$，可得到放大器输入端的回路方程为: 557

$$v_{test}=i_{test}\cdot R_i+v_f=i_{test}\cdot R_i+\beta\cdot A_{OL}\cdot i_{test}\cdot R_i \tag{23-76}$$

当$R_o\to\infty$时，由于$i_{test}\cdot R_i=v_i$，$A_{OL}\cdot v_i=i_o$，可求得带反馈的输入电阻为:

$$R_{inf}=\frac{v_{test}}{i_{test}}=R_i\cdot(1+A_{OL}\beta) \tag{23-77}$$

把输入端对地短路，在输出端加测试电流，可求得输出电阻。由于$i_{test}=i_{out}$，$v_i=-v_f$，$R_{\beta o}=0$，因此，有:

$$v_{test}=(i_{test}-A_{OL}v_i)\cdot R_o=[i_{test}-A_{OL}\cdot(-\beta i_{test})]\cdot R_o \tag{23-78}$$

可解得输出电阻为:

$$R_{of}=\frac{v_{test}}{i_{test}}=R_o\cdot(1+A_{OL}\beta) \tag{23-79}$$

理想的跨导放大器应具有无穷大的输入和输出电阻，反馈使得放大器的性能更趋进于理想情形。

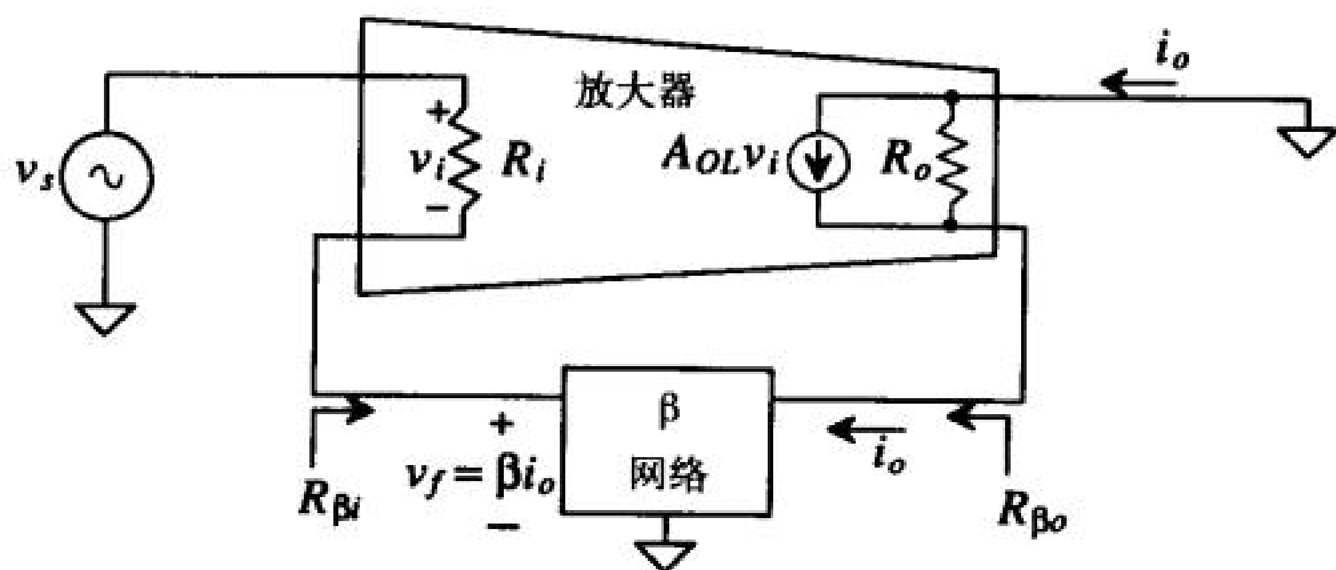


图23-29 理想的跨导放大器

现在再来看图23-30所示晶体管级电路。它和图23-13中的串联-并联反馈电路结构类似，唯一不同的是输出的位置。这两种电路中的反馈环路相同，因此，图23-30中的反馈是负反馈。

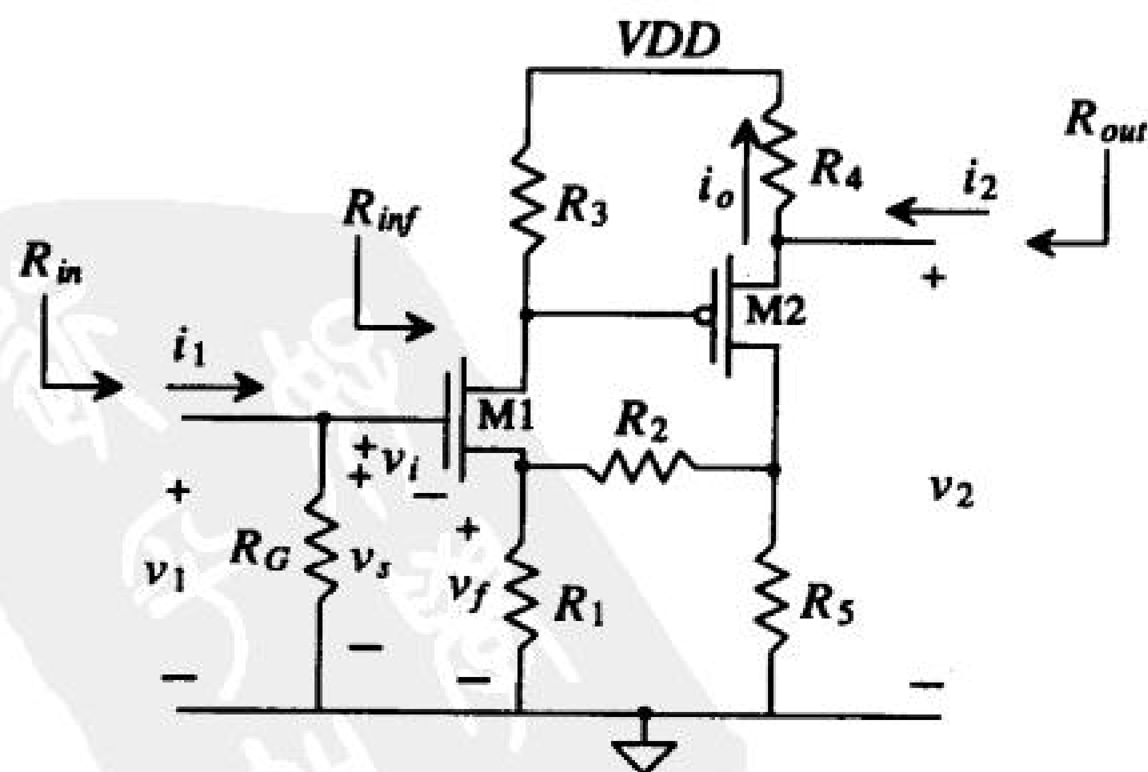
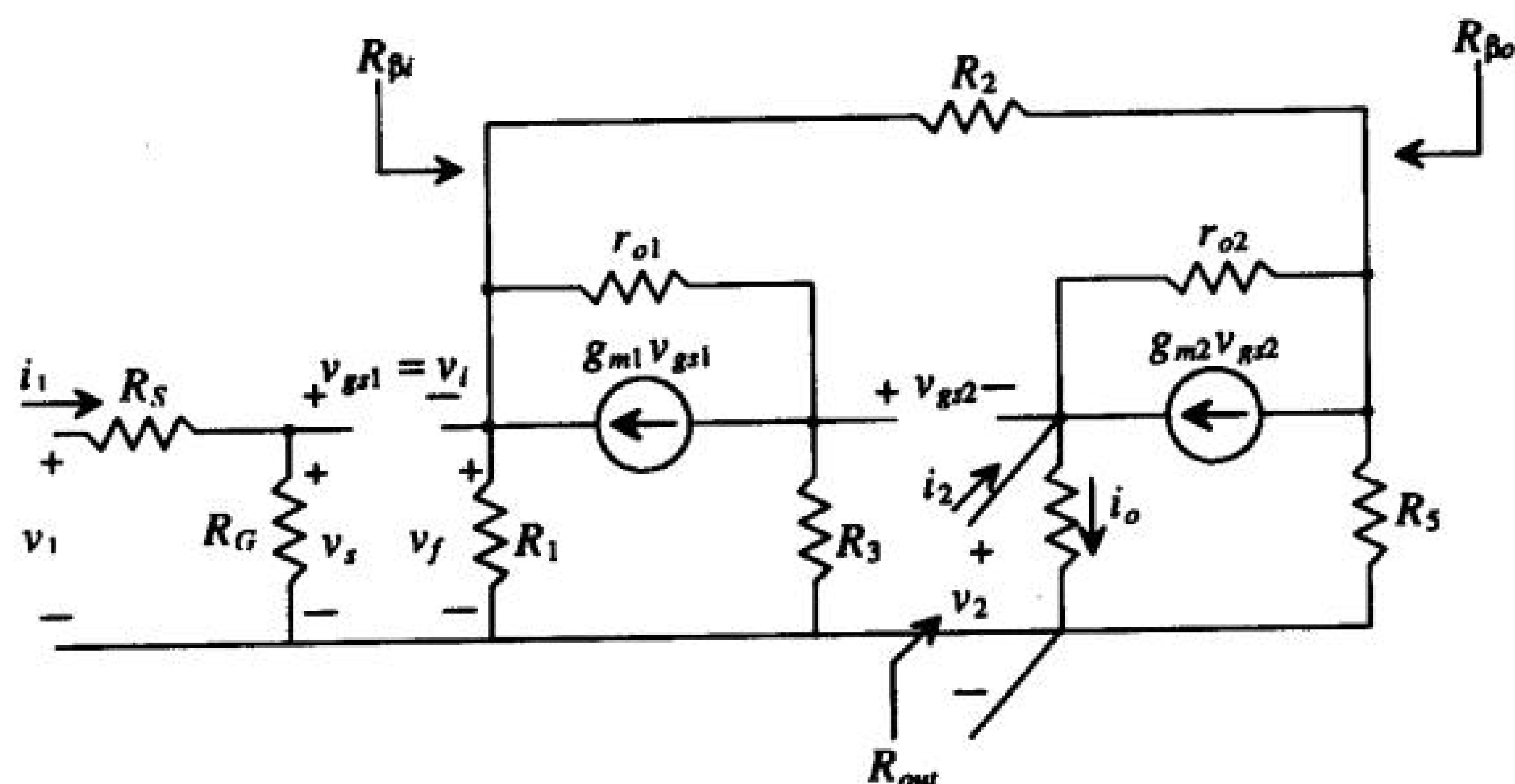


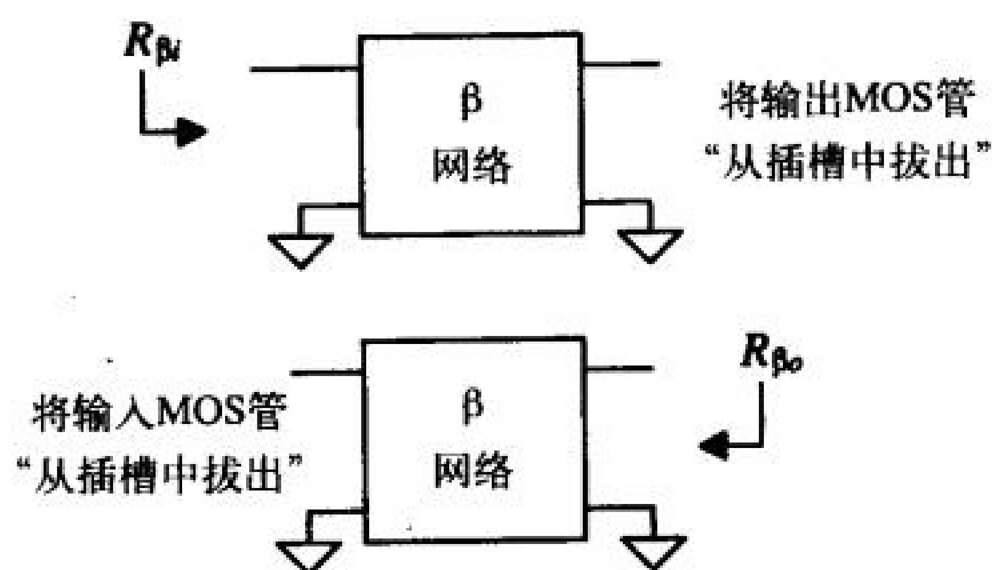
图23-30 晶体管级的串联-串联反馈放大器

由于输出和反馈电路分别连接在输出MOS管的两个不同的端点上，因此，输出变量是电

流，反馈电路对i_o采样。该电路的小信号等效电路见图23-31，开环小信号等效模型见图23-32。由于输出端采样的是电流量，因此，反馈电路的负载效应会和图23-13所示串联-并联反馈电路稍有不同。输入端使用了串联混合，因此，反馈电路在放大器输出端引入的负载和前面讨论过的串联-并联例子相同（即$R_{\beta o} = R_1 + R_2$）。由于输出采样是串联形式，等效电阻$R_{\beta i}$是把输出MOS管“从插槽中拔出”后，从输入端向反馈电路看进去的电阻，可求得$R_{\beta i} = R_2 + R_5$。



a) 图23-30所示电路的闭环小信号等效模型



b) 分析反馈电路的负载效应

图　23-31

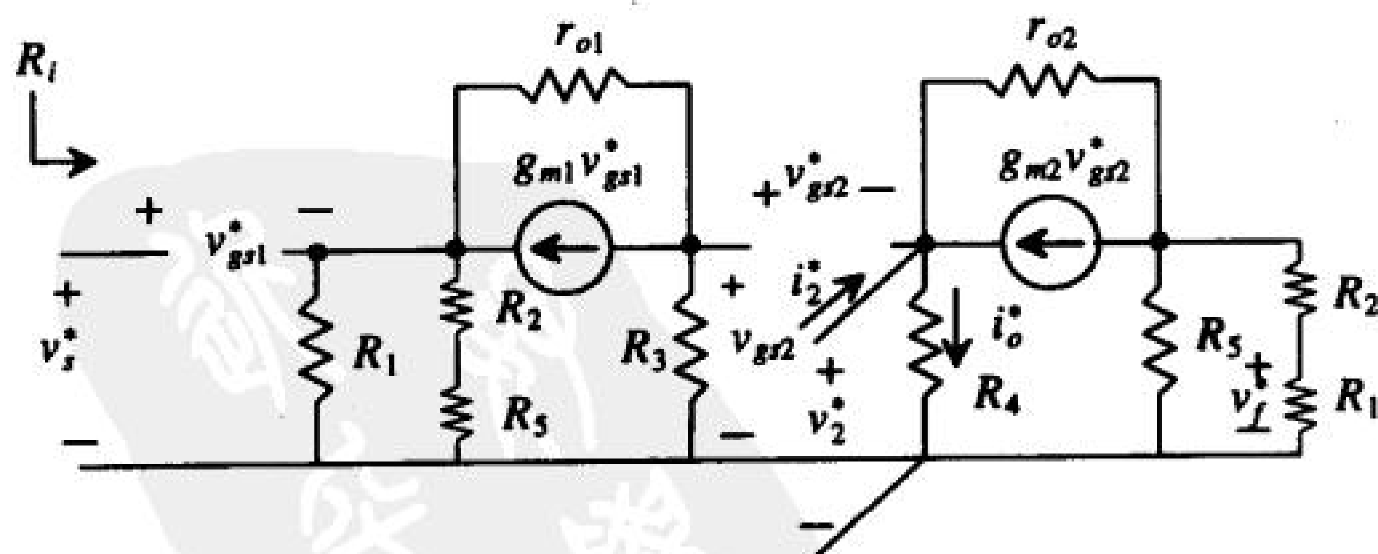


图23-32　图23-30所示电路的开环小信号模型

一旦建立了开环模型，就容易计算出A_{OL}:

$$A_{OL} = \frac{i_o^*}{v_s^*} = \frac{i_o^*}{v_{g2}^*}\frac{v_{g2}^*}{v_s^*} \tag{23-80}$$

通过分析电路，可求出 $\frac{v_2^*}{v_{g2}^*}$，再除以R_4，就可求得式中 $\frac{i_o^*}{v_{g2}^*}$ 项：

$$\frac{i_o^*}{v_{g2}^*}=\frac{g_{m2}}{1+g_{m2}R_4+\frac{R_4+R_5\|(R_2+R_1)}{r_{o2}}} \tag{23-81}$$

利用并联-并联反馈一节中提到的G_M方法，可求得式（23-80）中的 $\frac{v_{g2}^*}{v_s^*}$ 项为：

$$\frac{v_{g2}}{v_s^*}=\frac{-g_{m1}\left[R_3\|\left((1+g_{m1}R_A)r_{o1}+R_A\right)\right]}{1+g_{m1}R_A+\frac{R_A}{r_{o1}}} \tag{23-82}$$

式中，$R_A=R_1\|(R_2+R_5)$。反馈因子β为：

$$\beta=\frac{v_f^*}{i_o^*}\approx\frac{-R_5R_1}{R_5+R_1+R_2}\ \Omega \tag{23-83}$$

闭环增益为：

$$A_{CL}=\frac{i_o}{v_s}=\frac{A_{OL}}{1+A_{OL}\beta}\text{（姆欧）} \tag{23-84}$$

558
~
560

显然，R_i的值为无穷大，导致R_{inf}也为无穷大，因此，$R_{in}=R_{inf}\|R_G=R_G$。

下面计算R_o。观察图23-33，R_o是向负载电阻R_4看进去的电阻，即：

$$R_o=R_4+\frac{\frac{R_B}{r_{o2}}+1}{\frac{1}{r_{o2}}+g_{m2}}\approx R_4+\frac{1}{g_{m2}} \tag{23-85}$$

式中，$R_B=R_5\|(R_1+R_2)$。由此求得闭环输出电阻为：

$$R_{of}=R_o(1+A_{OL}\beta) \tag{23-86}$$

注意，在这个电路中，R_{of}与R_{out}并不相等。通常，R_{out}指与负载并联的电阻。因此，可以用图23-34来计算R_{out}。观察图23-34a，可以得到$R_{of}=R_o(1+A_{OL}\beta)$，$R'_{of}=R_{of}-R_4$。如果我们想用图23-34b求得$R_{out}$，则$R_{out}$为：

$$R_{out}=R_4\|R'_{of}=R_4\|(R_{of}-R_4) \tag{23-87}$$

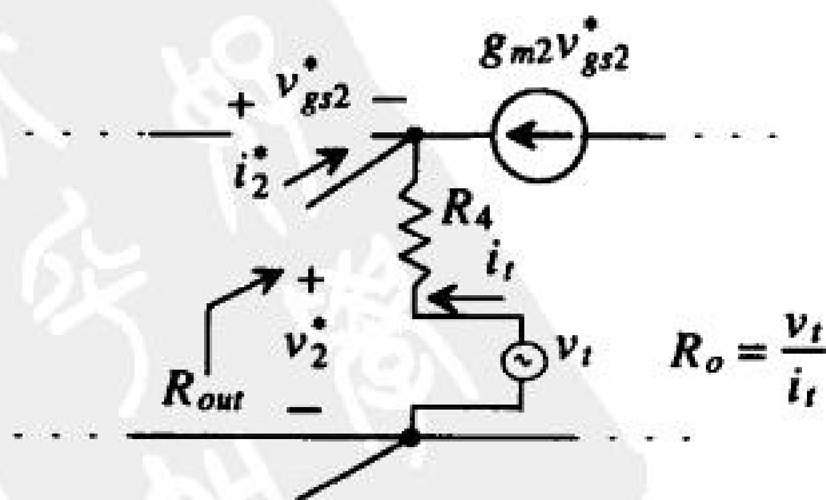
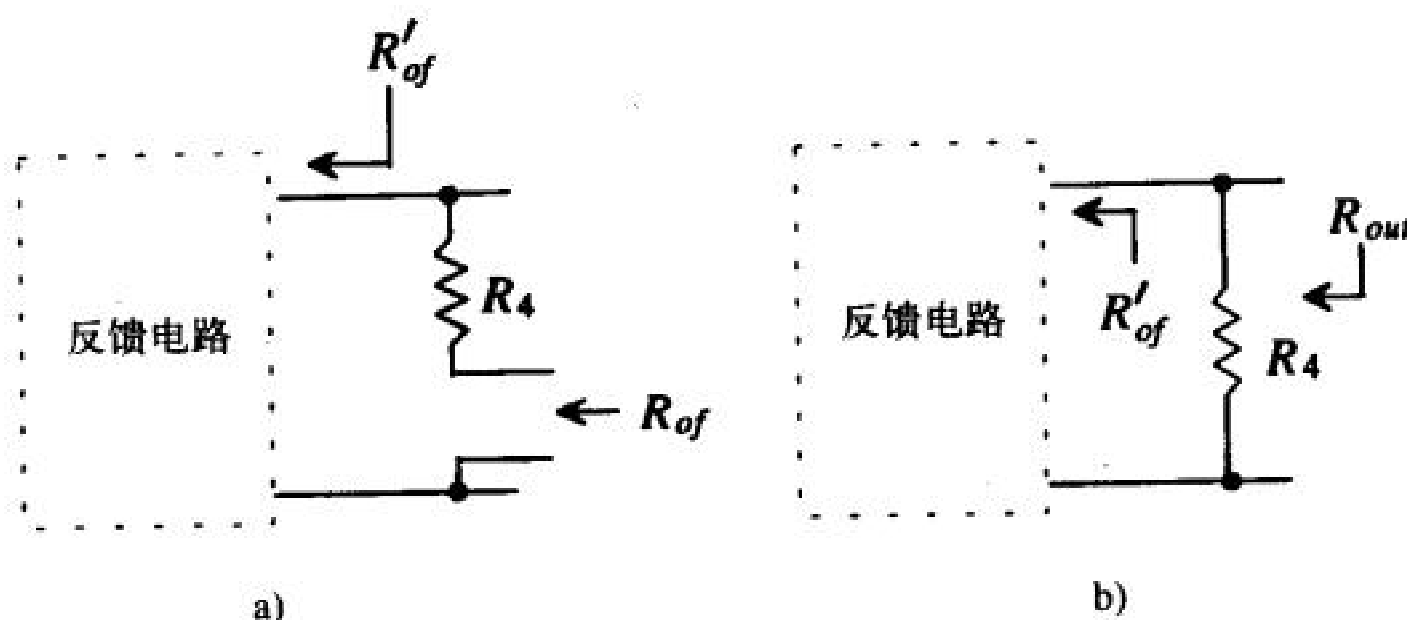


图23-33 计算图23-30所示电路的输出电阻



561

图23-34 确定串联采样电路的输出电阻

23.7 电流放大器（并联-串联反馈）

下面我们讨论最后一种反馈类型——并联-串联反馈放大器，又被称为电流放大器。根据前面的讨论，可知：并联-串联反馈放大器的A_{OL}和β的单位为I/I，而且输入电阻非常低，输出电阻非常高。图23-35给出了理想的并联-串联放大器，并标明了各个开环参数。根据以前的推导，可以得到：

$$R_{inf}=\frac{R_i}{(1+A_{OL}\beta)} \tag{23-88}$$

R_{of} 为：

$$R_{of}=R_o(1+A_{OL}\beta) \tag{23-89}$$

我们把与该拓扑结构相关的推导放在习题部分，留给读者来推导。

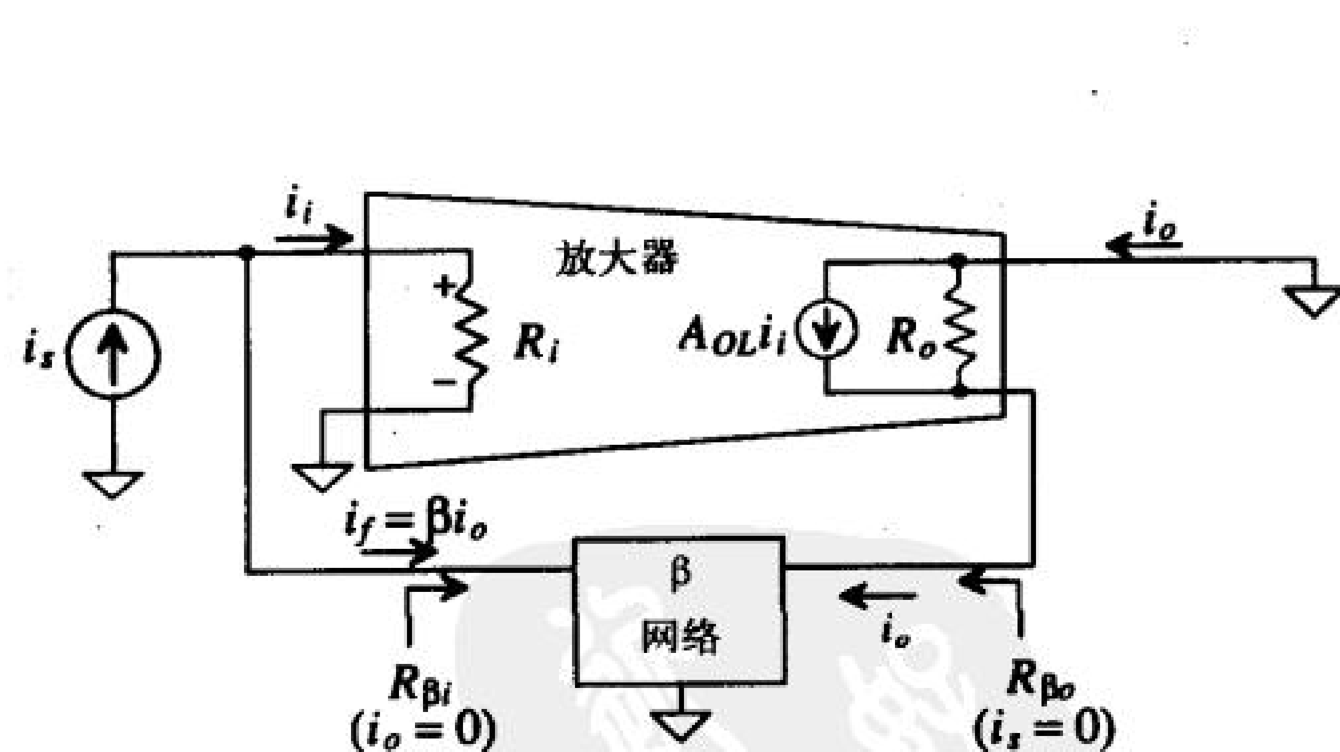


图23-35 理想的电流反馈放大器

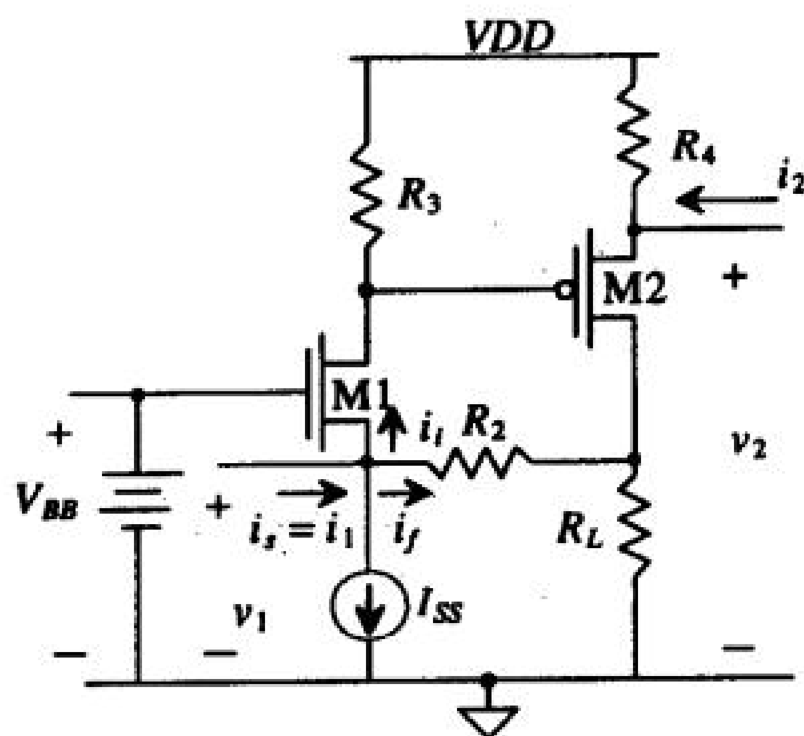


图23-36 并联-串联反馈放大器

图23-36给出了晶体管级并联-串联反馈放大器，它和并联-并联拓扑结构很类似，只是输出信号的位置不同。在习题部分会要求读者自己分析一下这种并联-串联电路。

例23.3

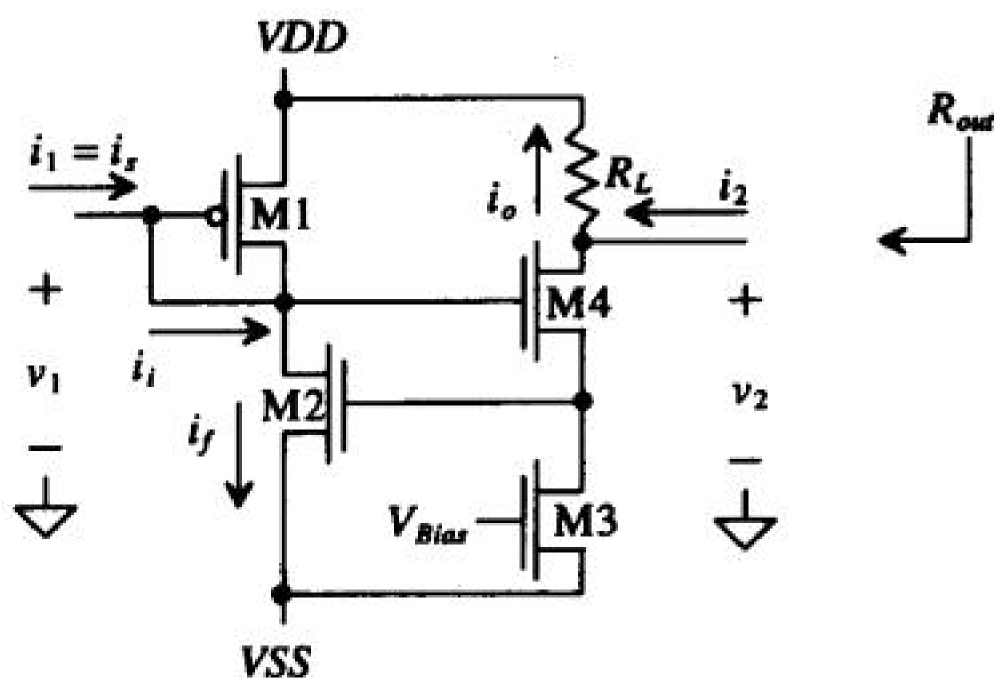
针对图23-37a所示的电流放大器，使用反馈分析方法，画出开环小信号模型，并推导A_{OL}、

β、R_i、R_o、R_{out}以及整个电压增益$\frac{v_2}{v_1}$。

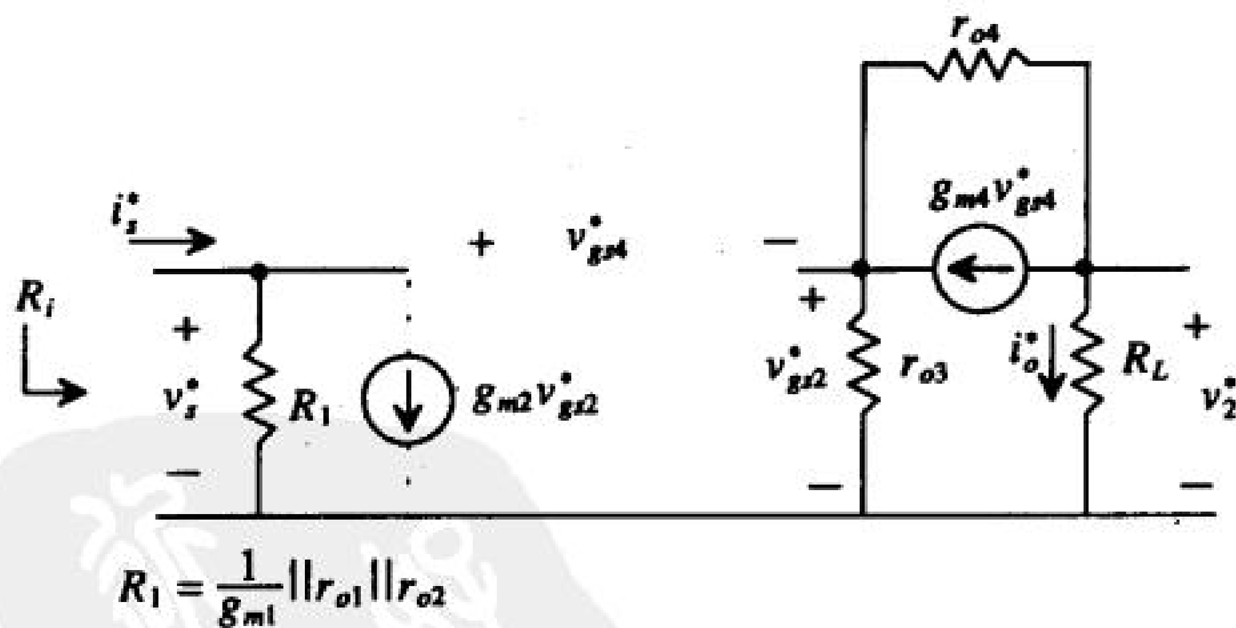
虽然该电路和共源共栅电流沉很类似，但我们还是可以把它当作电压运算放大器来使用，尽管这样做不太符合常规。我们先来确认该电路中的反馈电路。在M4管的栅极进行的电流叠加表明输入端是并联混合。由于输出端和反馈电路分别接在输出MOS管的不同端点上，因此，输出采样是串联采样。该电路的开环模型见图23-37b。在输入端，反馈电路引入的唯一负载是r_{o2}，其原因在于M4管可以被"从插槽中拔出"（即$v_{gs2}=0$）。另外，分析该电路知，反馈电路根本不会构成输出的负载。但在分析i_f时需要把受控源包含进去。在计算A_{OL}时，不必把受控源$g_{m2}v_{gs}$包括在内。但在计算β时需要考虑该受控源。分析开环等效电路，可得到A_{OL}为（见习题23.28）：

562

$$A_{OL}=\frac{i_o^*}{i_s^*}=\frac{v_2^*}{v_s^*}\cdot\frac{R_1}{R_L}=\frac{-g_{m4}(R_L||((1+g_{m4}r_{o3})r_{o4}+r_{o3}))}{1+g_{m4}r_{o3}+\frac{r_{o3}}{r_{o4}}}\cdot\frac{R_1}{R_L}\approx\frac{-g_{m4}R_1}{1+g_{m4}r_{o3}+\frac{r_{o3}}{r_{o4}}}\text{ A/A}$$



a) 例23.3所用到的电路



b) 开环模型

图 23-37

用分析串联-串联反馈放大器的方法可求解得到输出R_o为：

$$R_o=R_L+(1+g_{m4}r_{o3})r_{o4}+r_{o3}$$

同样地，R_{out}的值为：

$$R_{out}=(R_o(1+A_{OL}\beta)-R_L)||R_L$$

R_i就是R_1，并且：

$$R_{if}=\frac{R_1}{1+A_{OL}\beta}$$

反馈变量 $i_f^* \approx g_{m2}v_{gs2}^* = -g_{m2}i_o^* r_{o3}$，因此，β为：

$$\beta=\frac{i_f^*}{i_o^*}=-g_{m2}r_{o3}\ \text{A/A}$$

整个的电压增益为：

$$\frac{v_2}{v_1}=\frac{i_o\cdot R_L}{i_s\cdot R_{if}}=\frac{A_{OL}}{1+A_{OL}\beta}\cdot\frac{R_L}{R_{if}}\ \text{V/V}$$ ■

23.8 稳定性

前面各小节讨论了反馈的好处以及与增益的权衡。在实际应用负反馈技术时，还必须考虑一个非常关键的问题——电路的稳定性问题。一些电路在应用负反馈后，会使输入信号产生较大的相移，从而使原期望的负反馈变成了正反馈（即反馈信号和原始输入信号变成了相加关系），电路系统因此变得不稳定。如果能对开环放大器的A_{OL}和反馈电路的β进行一些细致的分析，就能把出现不稳定情况的概率降到最低。

563~564

我们定义环路增益为：

$$T=A_{OL}\beta \tag{23-90}$$

记住$A_{OL}\beta$的乘积必须始终为正。通过检查环路增益T的频率响应，可以判断整个系统是否稳定。判断一个系统是否稳定的原则总结如下（参见图23-38）：

情况1：如果$A_{OL}\beta$相位变化等于180°时的幅值小于0dB，则该系统稳定。

情况2：如果$A_{OL}\beta$相位变化等于180°时的幅值等于0dB，则该系统可能稳定也可能不稳定。

情况3：如果$A_{OL}\beta$相位变化等于180°时的幅值大于0dB，则该系统不稳定。

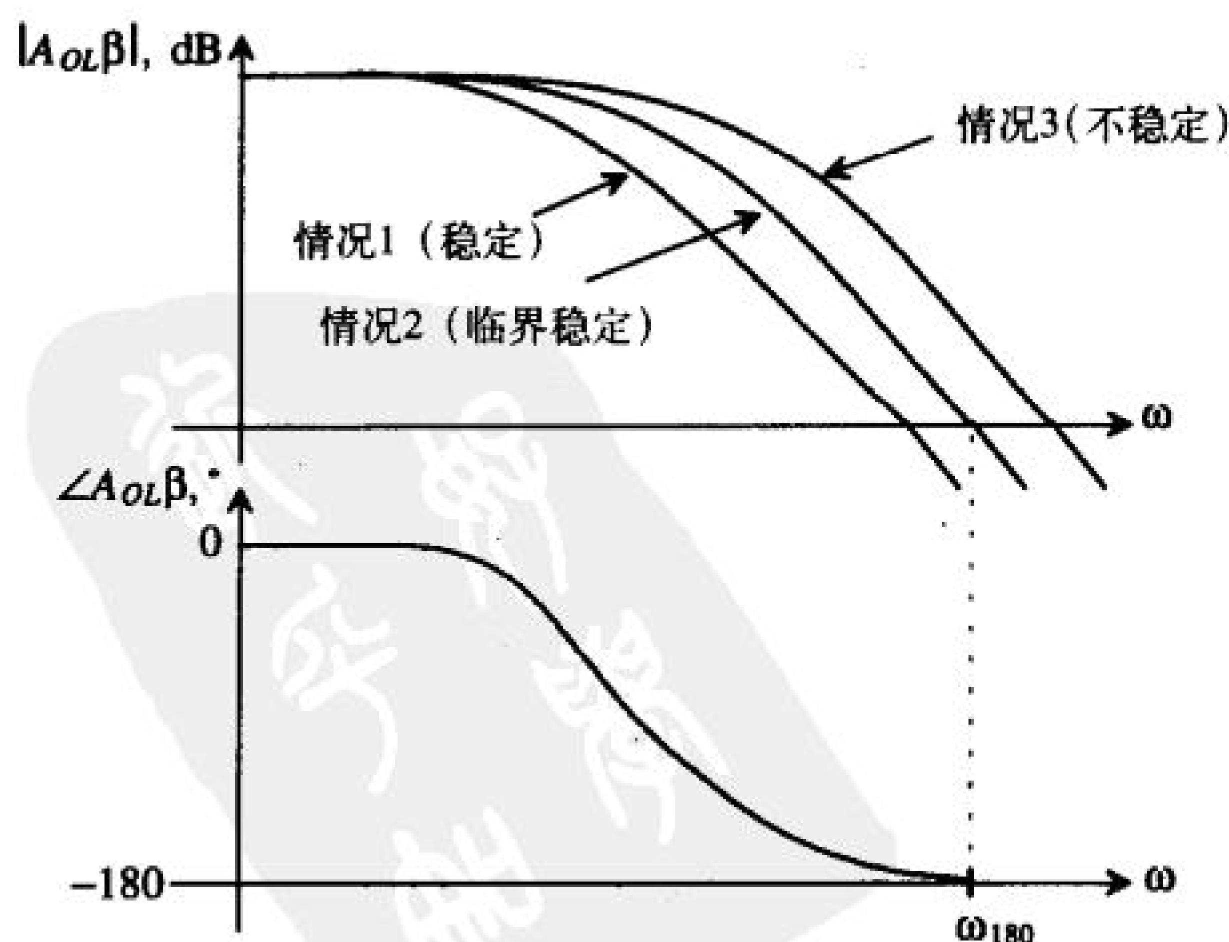


图23-38 用环路增益的频率响应分析电路的稳定性

有人也许会问：为什么180°的相移和0dB的幅值（对应的增益为1）如此重要？定性解释也许比定量分析要更容易说明其中的道理。要产生正反馈，输出必须和原始输入信号相加。可以用扩音系统说明这一点：如果喇叭的输出与麦克风的输入相加，则系统就变得不稳定，导致尖锐刺耳的啸叫发生，大多数人都经历过这种情形；发生啸叫的原因是扩音系统试图把自己的输出再次放大，产生了正反馈，使得系统不再稳定。

在负反馈应用中，由于A_{OL}和β中的频率相关部分会引入附加的相移，如果相移过大，就会导致反馈信号与原始输入信号相加。因为反馈信号与输入信号相比已经反相，再附加一个180°的相移，就会使反馈信号和输入信号同相。因此，在设计负反馈电路系统时，必须仔细检查环路增益的频率响应。0dB的幅值很重要：如果环路增益小于1，则输出将稳定到一个稳定值；如果大于1，则放大器的输出会迅速增长，电路很快就变得不再稳定。

假定A_{OL}能够用下面的频率响应公式表示：

$$A_{OL}(s) = -\frac{10}{\left(1+\frac{s}{10}\right)^2} \tag{23-91}$$

在ω = 10 rad/s处存在两个极点，直流增益为−10V/V。同时假定β与频率有关且在ω = 10 rad/s处存在一个单极点，即：

$$\beta = \frac{-1}{\left(\frac{s}{10}+1\right)} \tag{23-92}$$

那么，环路增益为：

$$A_{OL}\beta = \frac{10}{\left(1+\frac{s}{10}\right)^2}\cdot\frac{1}{\left(\frac{s}{10}+1\right)} \tag{23-93}$$

图23-39给出了环路增益的波特图。由该图知，在幅值低于0dB之前，相位就已经略微超过了180°，因此，该系统是不稳定系统。

下面介绍一种可以做同样的分析但更精确的方法。我们可以使用前面的公式来求解相位等于180°时的频率。根据前面的定义，环路增益的相位为：

$$\begin{aligned} Arg[A_{OL}(j\omega)\beta(j\omega)] = {} & \tan^{-1}\left(\frac{\omega}{z_1}\right)+\tan^{-1}\left(\frac{\omega}{z_2}\right)+\dots+\tan^{-1}\left(\frac{\omega}{z_n}\right) \\ & -\tan^{-1}\left(\frac{\omega}{p_1}\right)-\tan^{-1}\left(\frac{\omega}{p_2}\right)-\dots-\tan^{-1}\left(\frac{\omega}{p_n}\right) \end{aligned} \tag{23-94}$$

式中，z_1、z_2 … z_n是系统的零点，p_1、p_2 … p_n是系统的极点。我们上面分析的这个示例在同一频率处存在三个极点，但没有零点，因此，环路增益的相位为：

$$Arg[A_{OL}(j\omega)\beta(j\omega)] = -3\tan^{-1}\left(\frac{\omega_{180}}{10}\right) = -180 \tag{23-95}$$

式中，ω_{180}是相位为−180°时的频率。求解ω_{180}，得：

$$\omega_{180} = 17.32\ \text{rad/s} \tag{23-96}$$

565 ~ 566

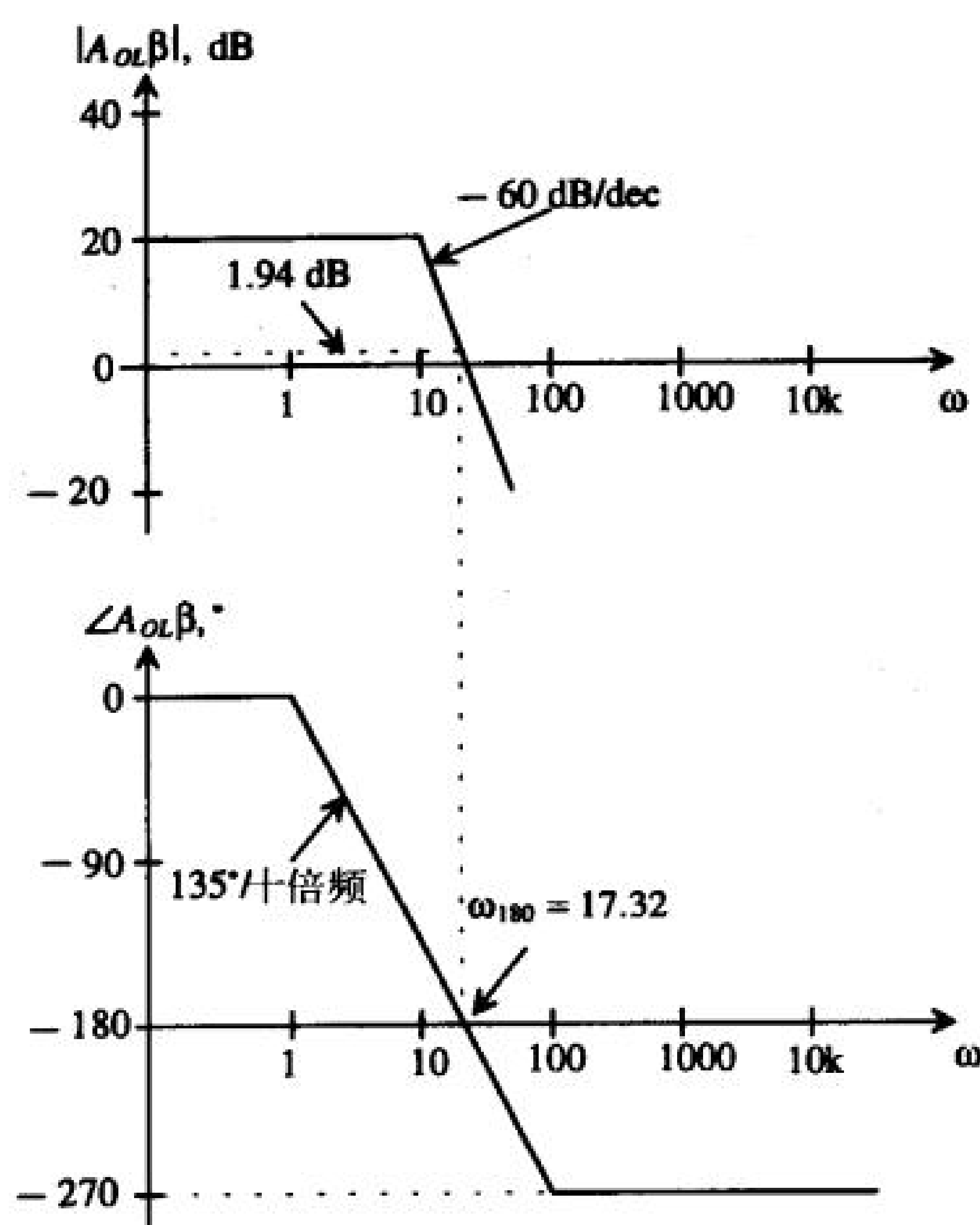


图23-39　用环路增益的频率响应曲线做稳定性分析

环路增益的幅值定义为:

$$20\text{Log}|A_{OL}(j\omega)\beta(j\omega)| = 20\text{Log}(A_o) + 20\text{Log}\sqrt{\left(\frac{\omega}{z_1}\right)^2+1} + 20\text{Log}\sqrt{\left(\frac{\omega}{z_2}\right)^2+1} + ..$$

$$+ 20\text{Log}\sqrt{\left(\frac{\omega}{z_n}\right)^2+1} - 20\text{Log}\sqrt{\left(\frac{\omega}{p_1}\right)^2+1} - .. - 20\text{Log}\sqrt{\left(\frac{\omega}{p_n}\right)^2+1} \quad (23\text{-}97)$$

式中，z_1、z_2 … z_n是系统的零点，p_1、p_2 … p_n是系统的极点，A_o是中频段的增益。把ω_{180}的值带入式（23-97），可解出相位为−180°时的环路增益的幅值，结果为:

$$20\text{Log}|A_{OL}(j\omega)\beta(j\omega)| = 20\text{Log}(10) - 3\left(20\text{Log}\sqrt{\left(\frac{17.32}{10}\right)^2+1}\right) \quad (23\text{-}98)$$

567

$$|A_{OL}(j\omega_{180})\beta(j\omega_{180})| = 1.94\ \text{dB} \quad (23\text{-}99)$$

根据前面给出的判断一个系统是否稳定的原则，可知该系统是不稳定系统。

通常用两个参数指标来衡量一个系统的稳定程度，即：增益裕度和相位裕度。增益裕度定义为：ω_{180}和单位增益处的$A_{OL}\beta$幅值之差。相位裕度定义为：$A_{OL}\beta$的幅值为单位增益时的相位和ω_{180}时的相位之差。图23-40示意了这两个参数的定义。值得说明的是，相位裕度是稳定性问题中的典型指标。放大器的相位裕度至少应该大于45°，大于60°更好。

在前面的讨论中，仅仅考虑了频域分析。在时间域上，相位裕度和信号的建立时间有着直接的联系。相位裕度增大时，信号建立所需要的时间就缩短。如果相位裕度接近于0，则信号就会无休止的振荡下去。

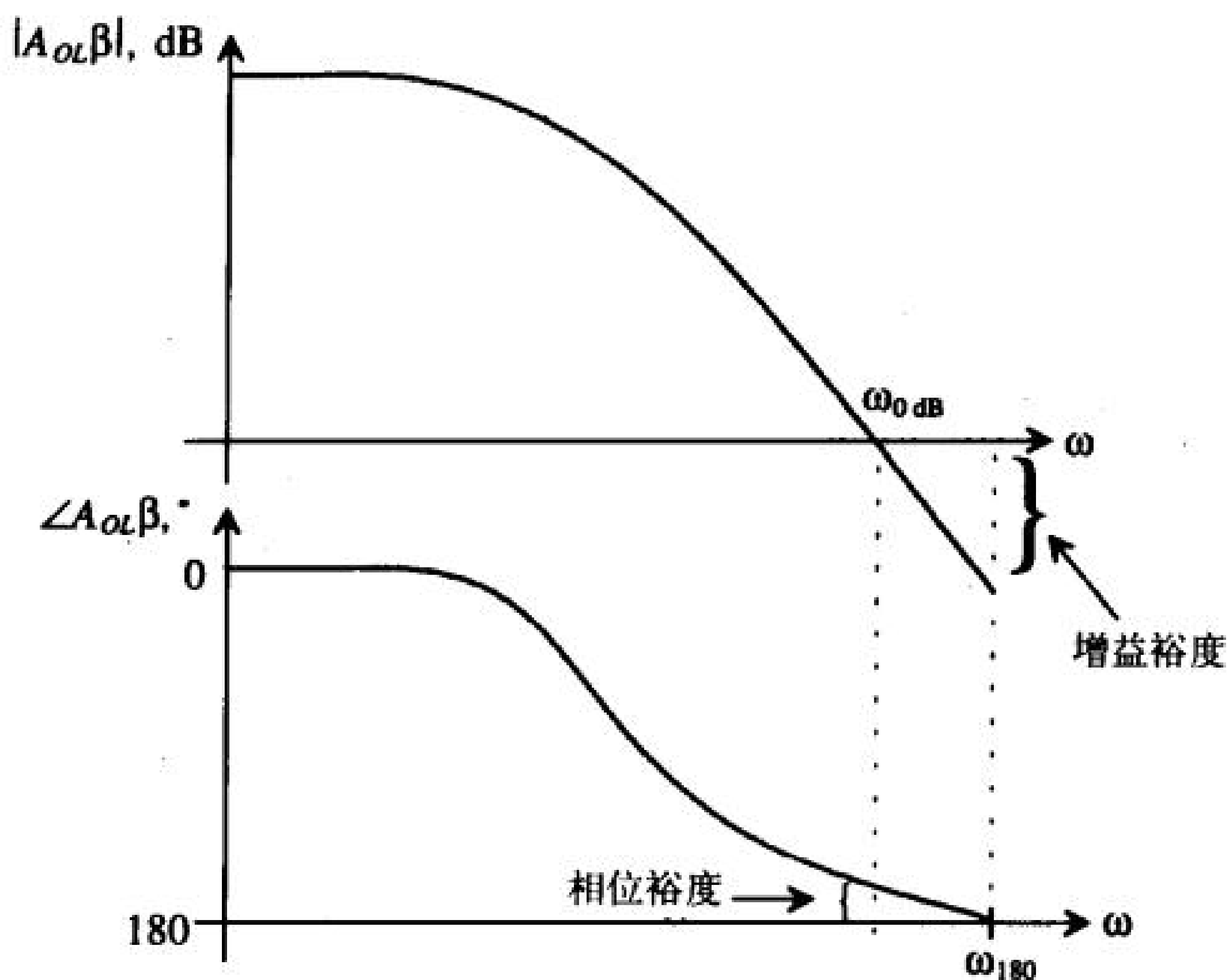


图23-40 增益裕度和相位裕度的定义

返回比

在有些情况下，从系统的角度来判断环路增益更为现实。有一种判断环路增益的很好的近似方法，称为返回比（Return Ratio，RR）法。它是把环路断开，然后在断开处加入一个测试源，再判断返回到环路断开处的信号值。考虑图23-41中的反馈环路，环路已经被断开。整个环路的增益为：

568

$$RR=\frac{x_f}{x_i}=-T=-A_{OL}\beta \tag{23-100}$$

该增益是输入经反馈环路后再返回的增益。值得说明的是，要求得$A_{OL}\beta$的值，RR法和双端口理论有很大不同，但如果仅仅是想绘出环路增益的频率响应曲线，RR法就足够了[3]。

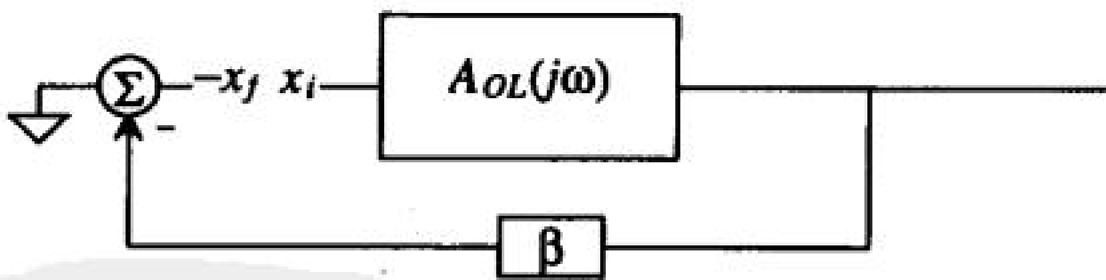


图23-41 断开反馈环路以计算环路增益

在应用RR法时，首先把所有的独立源用理想源和电阻替代；然后，选择一个受控源，将反馈环路在该处断开，使得被选择的受控源与电路的其余部分分开；接着，在受控源所在的节点处插入一个独立的测试源并加入测试信号。RR就是返回的信号（它现在表现为受控源上的信号）和测试信号的比值，即：

$$RR=-\frac{v_r}{v_t} \tag{23-101}$$

下面将用一个实例进一步说明RR法。

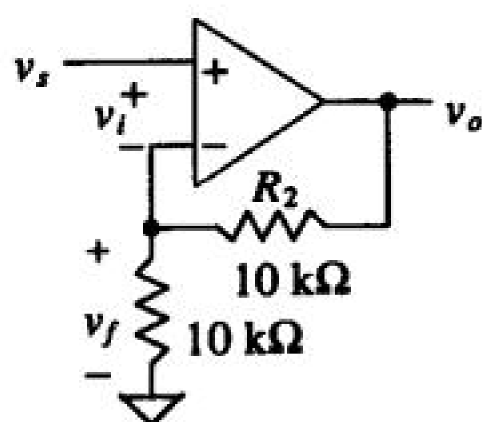
例23.4

计算图23-42a中串联-并联运算放大器电路的RR，并与用双端口方法求得的$A_{OL}\beta$进行比较。假定运算放大器可以采用图23-42b所示等效模型。

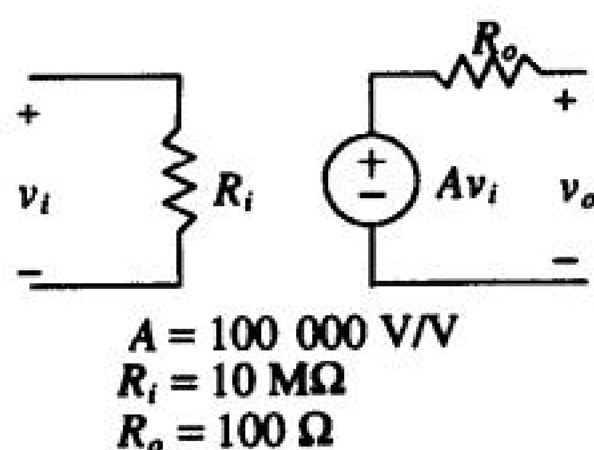
由于电路中只有一个受控源，判断在哪里断开环路就是一件很容易的事情了。接下来，把受控源和电路的其余部分分开，然后插入独立测试源v_t（见图23-43a）。现在返回信号就是受控源上的信号。通过运算，RR的值为：

569

$$RR=-\frac{v_r}{v_t}=A\cdot\left(\frac{R_I\|R_1}{R_I\|R_1+R_2}\right)\cdot\left(\frac{R_2+R_I\|R_1}{R_2+R_I\|R_1+R_o}\right)=49\ 726$$



a) 例23.4中的串联-并联放大器



b) 运算放大器的等效模型

图　23-42

接下来，需要利用第23.2节讨论的双端口分析法得到原始电路的开环模型。考虑反馈电路所引入的负载效应后，得到图23-43b所示电路模型。很容易求得A_{OL}的值为：

$$A_{OL}=\frac{v_o^*}{v_s^*}=A\cdot\left(\frac{R_1+R_2}{R_o+R_1+R_2}\right)\cdot\left(\frac{R_I}{R_1\|R_2+R_I}\right)=99\ 497$$

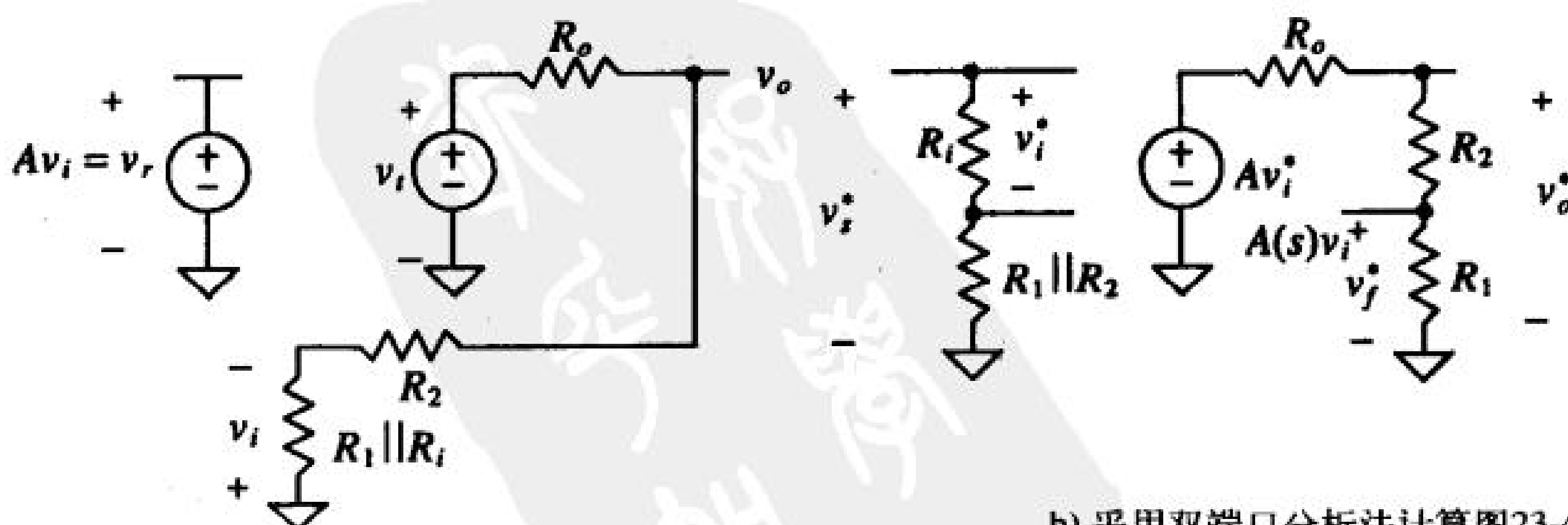
β的值为：

$$\beta=\frac{v_f^*}{v_o^*}=\frac{R_1}{R_1+R_2}=0.5$$

$A_{OL}\beta$的值为：

$$A_{OL}\beta=(99\ 497)(0.5)=49\ 748$$

用这两种分析方法得到的结果非常相近。■



a) 用于计算返回比的电路模型

b) 采用双端口分析法计算图23-42中环路增益的等效模型

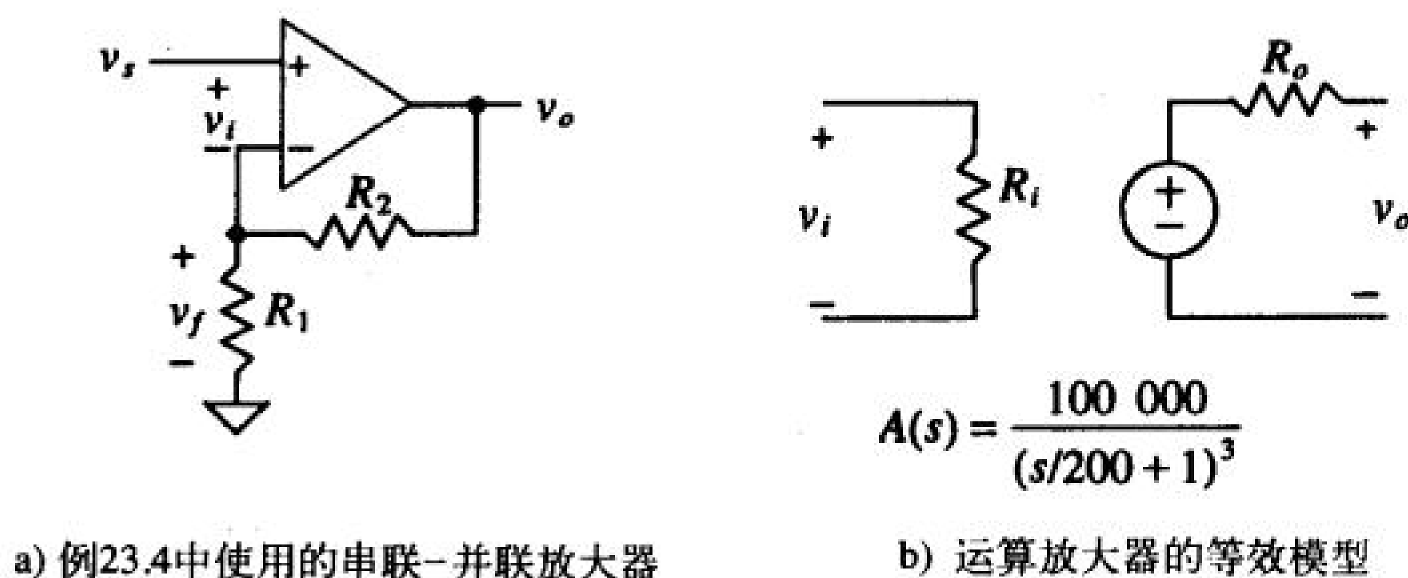
图　23-43

570

如果$A_{OL}\beta$和频率有关，那么就可以绘制出电路的相位和幅值曲线以得到相位裕度和幅值裕度。现在，假定例23.4中的电路如图23-44所示，它和频率有关。利用和例23.4相同的策略以及RR方法，可以求解得到环路增益值为：

$$RR=-\frac{v_r}{v_t}=\frac{49\ 726}{(s/200+1)^3} \tag{23-102}$$

然后，可以分析得到增益裕度和相位裕度，从而判断系统是否稳定（见习题23.34）。



a) 例23.4中使用的串联-并联放大器　　b) 运算放大器的等效模型

图 23-44

参考文献

[1] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, Saunders College Publishing, 1991. ISBN 0-03-051648-X.

[2] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[3] P. J. Hurst, "Exact Simulation of Feedback Circuit Parameters," *IEEE Transactions on Circuits and Systems*, Vol. 38, No. 11, pp. 1382-1389, November 1991.

习题

23.1 某个运算放大器的开环增益被设计为150 000±10% V/V。如果该放大器被用于β = 0.1V/V的闭环反馈电路中，计算闭环增益的容差。

23.2 如果在同相运算放大器中使用电阻构成反馈环路，则β的最大可能值是多少？画出β = 1/2时的整个运算放大器的电路图。

571

23.3 观察图P23-3可知，在该电路的两级放大器之间加入了一个噪声源v_n。(a) 写出包含噪声信号v_n和输入信号v_s的v_o的表达式。(b) 如果没有反馈（即β = 0），重做(a)。(c) 如果A_1 = A_2 = 200，并且重新在电路中加入反馈，β应该为多少才能使输出噪声降低为（b）中的一半？

23.4 一个放大器，其增益可以用下式表示：

$$A(s)=10\ 000\cdot\frac{100}{s+100}\ \text{V/V}$$

一组这样的放大器级联起来，在每级放大器上都施加了反馈。如果要求整体增益超过1 000，并且高频下降点（以-20dB/十倍频斜率下降）在100 000 rad/sec处，计算需要的放大器的级数。假定第一级放大器产生期望的高频极点，其余级的高频极点被设计得至少在其四倍以上。

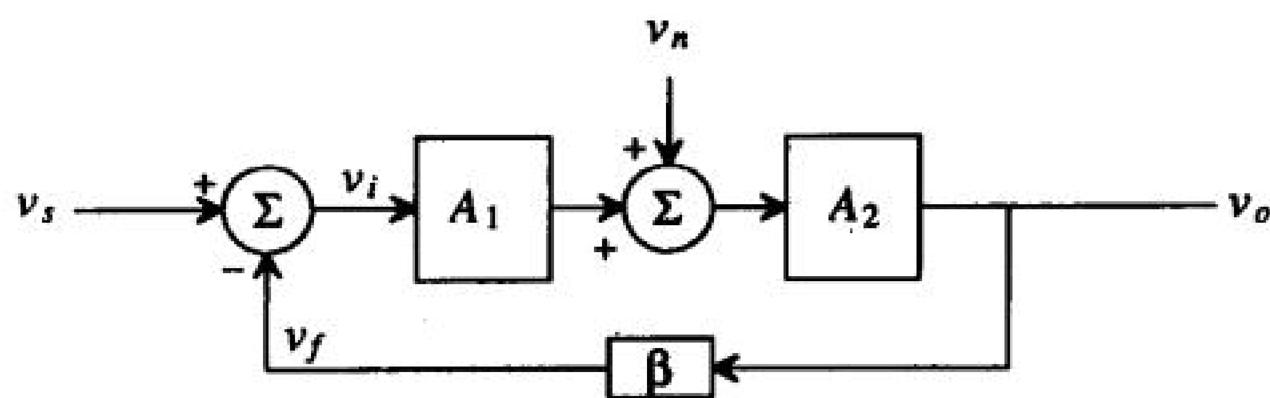


图 P23-3

23.5 一个放大器，其增益可以用下式表示：

$$A(s)=1\ 000\cdot\frac{s}{s+100}\ \text{V/V}$$

用该放大器构成反馈环路，反馈因子为β。如果要求低频转折点为50 rad/sec，计算β应为多少。在该点处的闭环增益为多少？

23.6 根据以下表项制作一个表格，总结一下四种反馈类型，表项包括：输入变量、输出变量、A_{OL}的单位、β的单位、计算$R_{\beta i}$和$R_{\beta o}$的方法、A_{CL}的表达式、R_{if}的表达式、R_{of}的表达式。

23.7 用图P23-7中的两个n型共源放大器再加一个电阻，构成：(a) 串联-并联反馈放大器；(b) 串联-串联反馈放大器；(c) 并联-并联反馈放大器；(d) 并联-串联反馈放大器。对每种情况，找出其正向路径和反馈路径，通过计算环路翻转次数确认反馈类型为负反馈，并标出输入变量、反馈变量和输出变量。假定输入电压v_{IN}的直流成分偏置M1管。

572

23.8 针对图P23-8中的双MOS管电路，重做习题23.7。

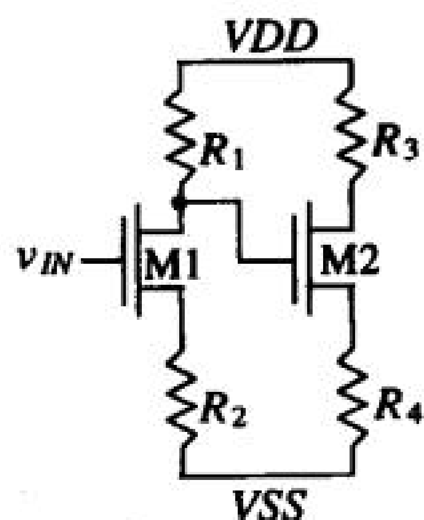


图 P23-7

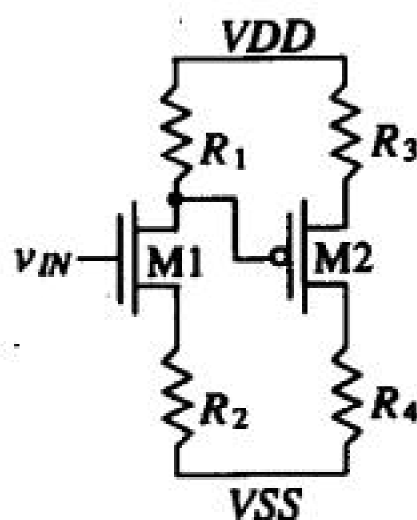


图 P23-8

23.9 针对图P23-9中的电路，重做习题23.7。

23.10 针对图P23-10中的电路，重做习题23.7。

对于下面的各习题，假定电路具有正确的直流偏置，各MOS管的参数设计合理。NNOS管的g_m = 0.06 A/V、r_o = 70kΩ。PMOS管的g_m = 0.04 A/V、r_o = 50kΩ。

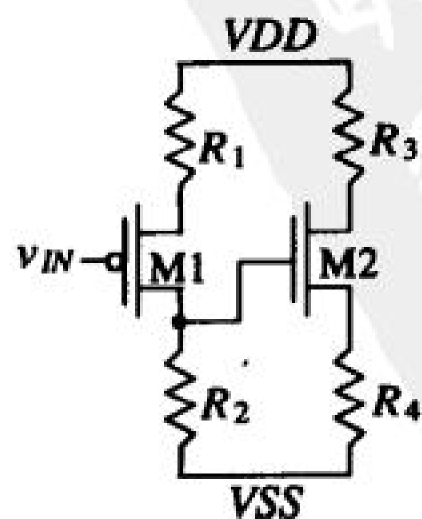


图 P23-9

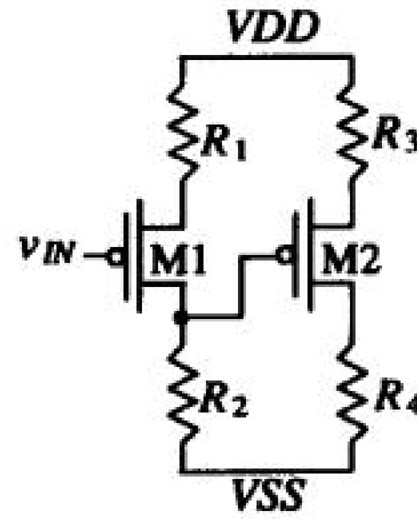


图 P23-10

23.11 使用图P23-11中的串联－并联放大器：(a) 通过标注混合变量和输出变量，确定反馈类型；(b) 证明该电路使用的是负反馈；(c) 画出闭环小信号等效模型；(d) 计算电阻$R_{\beta i}$和$R_{\beta o}$的表达式。

23.12 利用图P23-11和习题23.11的结果：(a) 画出该电路的小信号开环模型；(b) 计算出开环模型参数A_{OL}、β、R_i和R_o的表达式；(c) 计算出闭环参数A_{CL}和R_{out}的表达式。注意：求R_{in}是毫无意义的，因为信号被送入M1管的栅极。

23.13 使用图P23-13中的串联－并联放大器：(a) 标出混合变量和输出变量，验证反馈类型；(b) 求出闭环小信号模型的$R_{\beta i}$和$R_{\beta o}$。

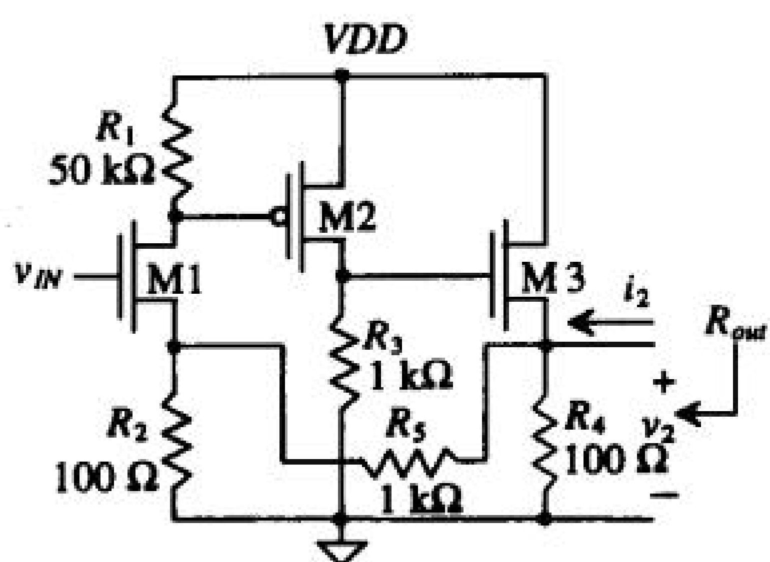


图 P23-11

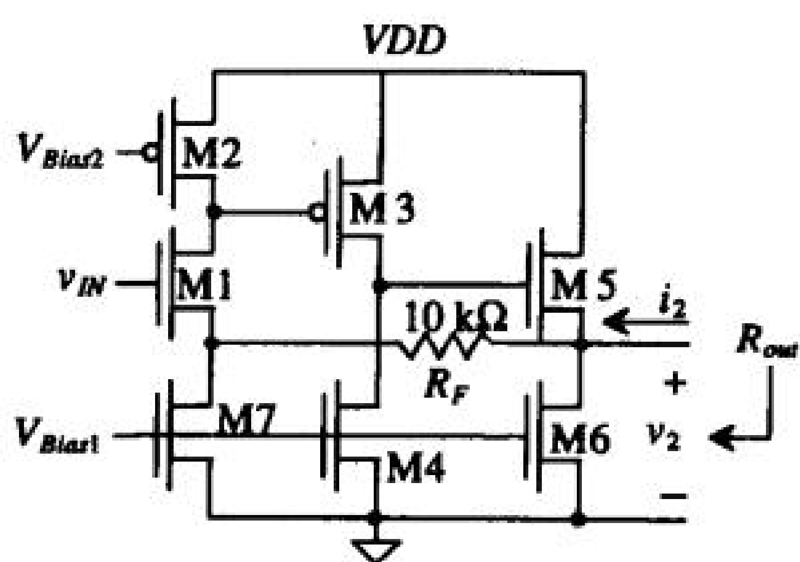


图 P23-13

23.14 利用图P23-13中的串联－并联放大器以及习题23.13的结果：(a) 画出该电路的开环小信号模型；(b) 计算开环参数A_{OL}、β、R_i和R_o；(c) 计算闭环参数A_{CL}和R_{out}。注意：图P23-13和图P23-11很类似，只是用有源负载替换了电阻。

23.15 利用反馈分析中的相关原则，计算图P23-15中串联－并联电路的电压增益 $\frac{v_2}{v_{in}}$ 和 $\frac{v_2}{i_2}$。

23.16 图P23-16给出了一个并联－并联反馈放大器：(a) 通过标出输入混合变量和输出变量，确认反馈类型；(b) 验证该电路使用的是负反馈；(c) 画出闭环小信号模型；(d) 计算$R_{\beta i}$和$R_{\beta o}$的值。

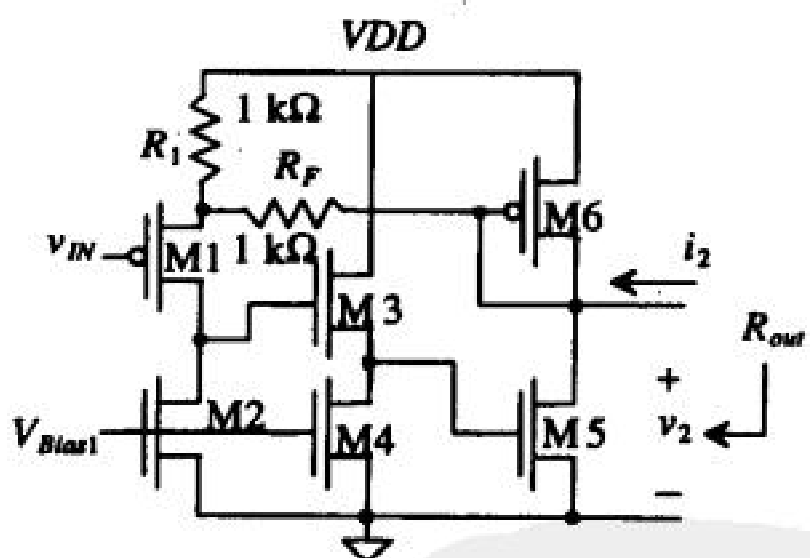


图 P23-15

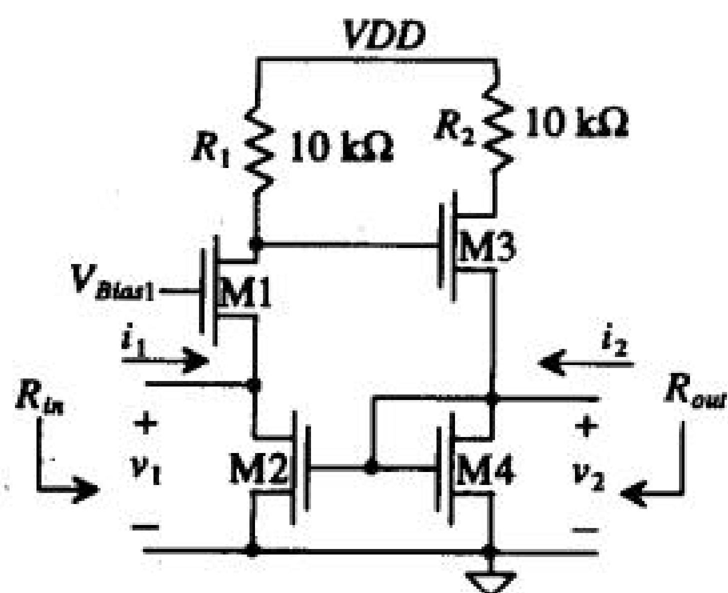


图 P23-16

23.17 利用图P23-16和习题23.16的结果：(a) 画出该电路的开环小信号模型；(b) 计算开环参数A_{OL}、β、R_i和R_o的表达式；(c) 计算闭环参数A_{CL}、R_{in}和R_{out}的表达式。

23.18 利用本章给出的分析反馈的原则，计算图P23-18中并联－并联反馈电路的电压增益 $\frac{v_2}{v_1}$、$\frac{v_1}{i_1}$ 以及 $\frac{v_2}{i_2}$。

23.19 用图P23-19中的串联－串联反馈放大器：(a) 确认反馈类型；(b) 验证采用的是负反馈；(c) 画出闭环小信号模型；(d) 计算$R_{\beta i}$和$R_{\beta o}$的值。

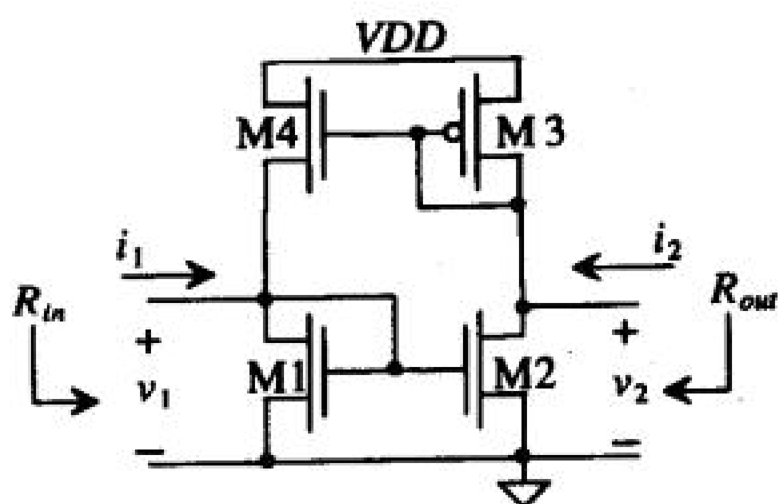


图　P23-18

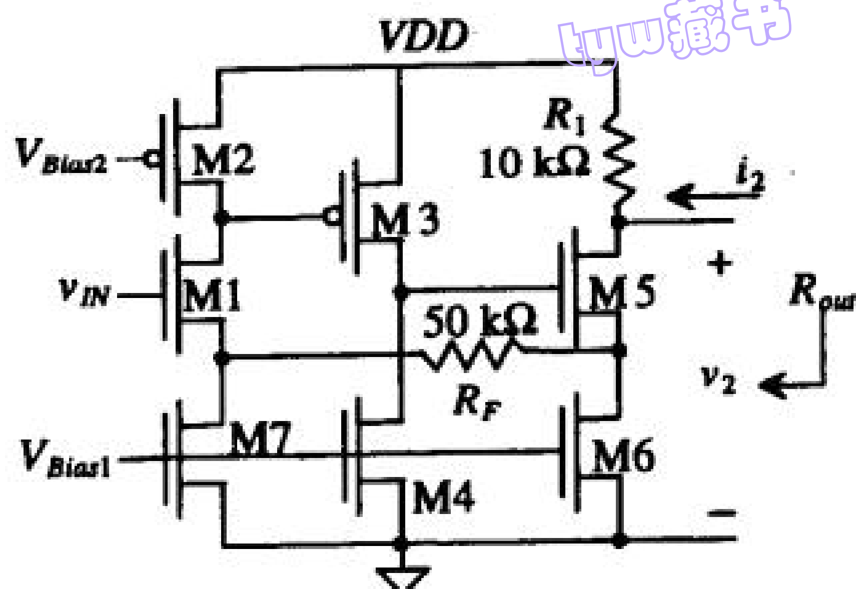


图　P23-19

23.20　利用图P23-19和习题23.19的结果：(a) 画出该电路的开环小信号模型；(b) 计算开环参数A_{OL}、β、R_i和R_o；(c) 计算闭环参数A_{CL}、R_{in}和R_{out}。

23.21　用图23-35中的并联-串联放大器，推导A_{OL}、R_{if}和R_{of}的表达式。

573～575

23.22　在不添加任何元件的前提下，将图P23-16中的并联-并联放大器转化为一个并联-串联反馈放大器：(a) 确认反馈类型；(b) 验证采用的是负反馈；(c) 画出闭环小信号模型；(d)计算$R_{\beta i}$和$R_{\beta o}$的值。

23.23　用习题23.22中的并联-串联放大器：(a) 画出该电路的小信号开环模型；(b) 计算开环参数A_{OL}、β、R_i和R_o；(c) 计算闭环参数A_{CL}、R_{in}和R_{out}。

23.24　图P23-24给出了一种反馈放大器。确定该电路的反馈类型，并计算电压增益$\frac{v_2}{v_1}$、R_{in}和R_{out}。

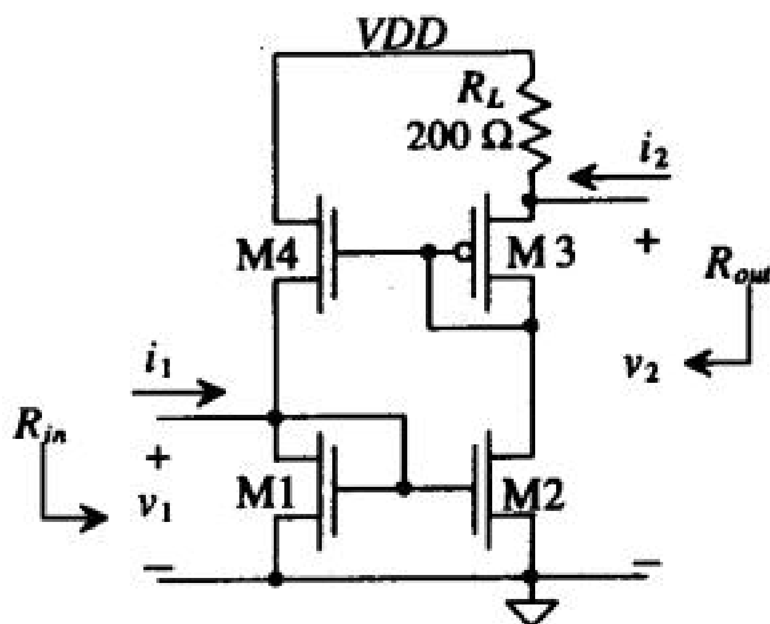


图　P23-24

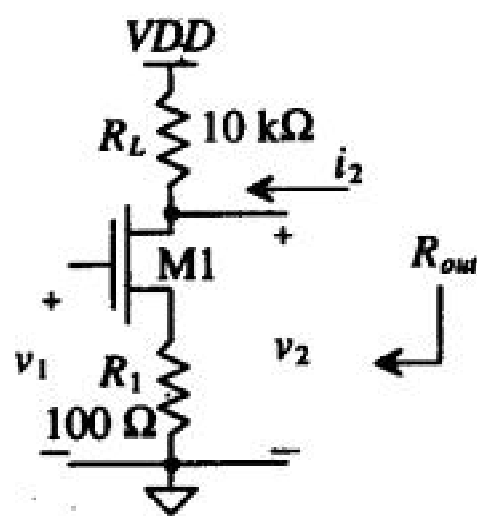


图　P23-25

23.25　图P23-25中的放大器是一个简单的带源端电阻的共源放大器。分析它为什么是一个很简单的反馈放大器，判断它所使用的反馈类型，并计算A_{OL}和β。

23.26　图P23-26给出了一个反馈放大器，确定其反馈类型，并计算电压增益$\frac{v_2}{v_1}$、R_{in}和R_{out}。

23.27　图P23-27给出了一个反馈放大器，确定其反馈类型，并计算电压增益$\frac{v_2}{v_1}$和R_{out}。

23.28　证明例23.3中开环增益的表达式是正确的。

576

23.29　判断图23-44中的放大器是否稳定。

23.30　图P23-30a中的运算放大器可以用图P23-30b中的电路建模。当反馈因子β = 1时，根据下面的传输函数，判断当参数ω_2分别为10^5、10^6、10^7和5×10^6 rad/sec时，该运算放大器是否稳定并计算相应的相位裕度和幅值裕度。

$$A_{OL}(j\omega)=\frac{10\ 000}{\left(1+j\frac{\omega}{100}\right)\left(1+j\frac{\omega}{\omega_2}\right)}$$

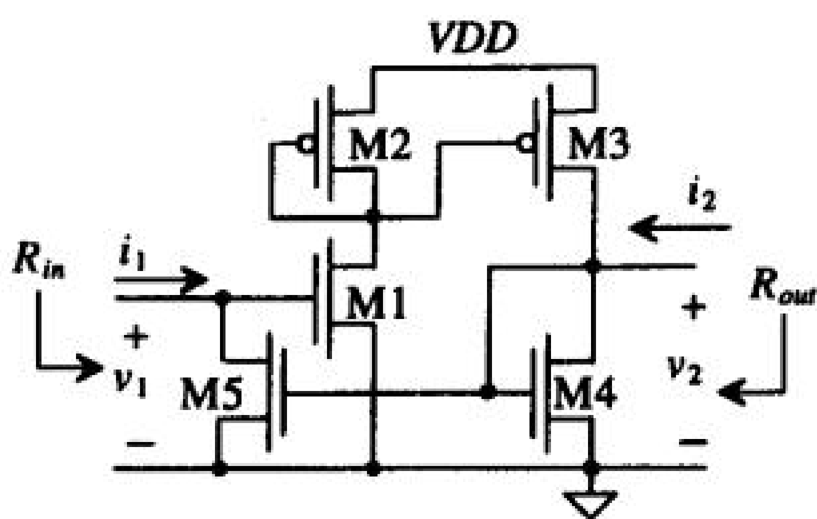


图 P23-26

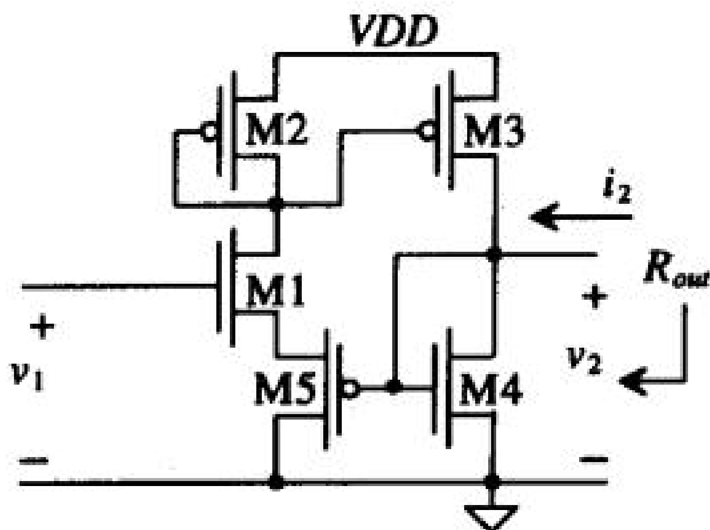
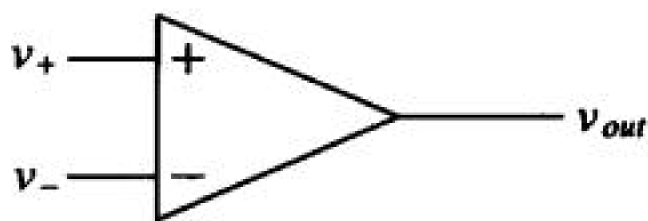
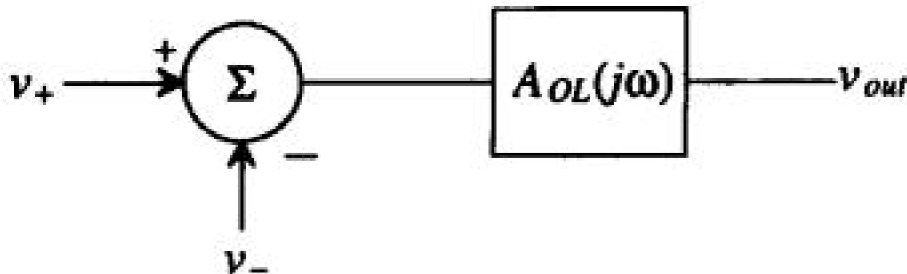


图 P23-27



a)



b)

图 P23-30

23.31 图P23-31给出了一个放大器的相位曲线。这个放大器的中频增益为−1 000，有三个在ω = ∞处的零点和三个极点。如果这个放大器被配置成反馈放大器，且β与频率无关，要使该放大器振荡，β的值应为多少？

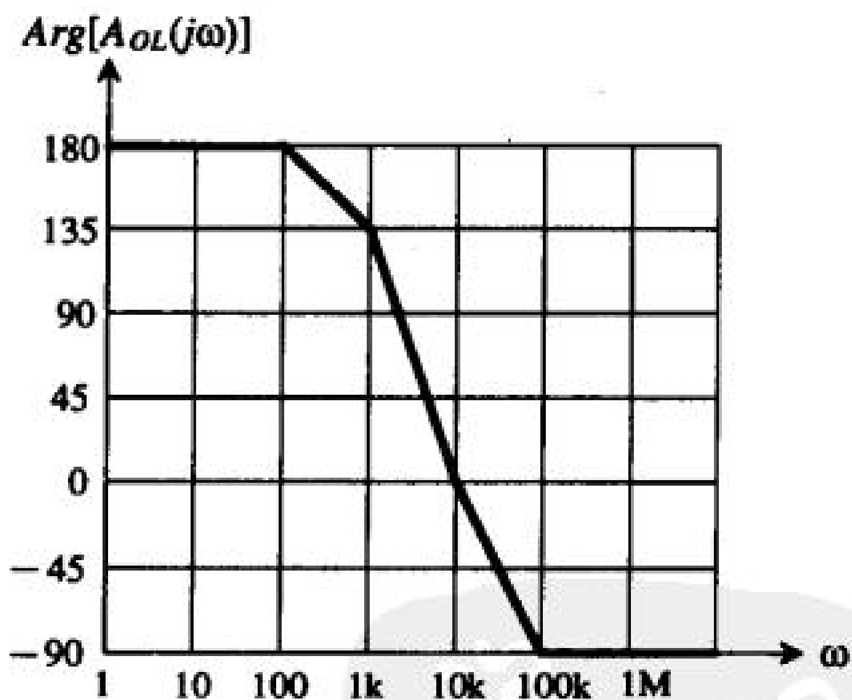


图 P23-31

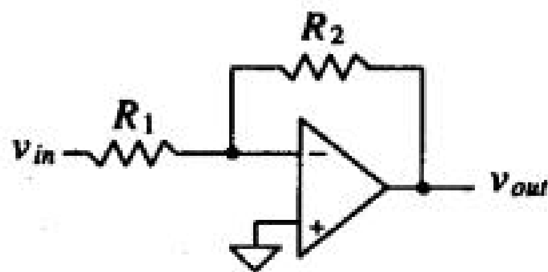


图 P23-32

23.32 你已经测量了图P23-32中运算放大器的增益。从基本运算放大器理论你也知道，这个电路的增益应该是$-R_2/R_1$ V/V。然而，你在R_2 = 10kΩ和R_1 = 1kΩ情况下的测量表明：增益只有−5V/V。这个运算放大器的开环增益是多少？

23.33 使用图P23-33中的电路和RR方法，计算R_1和A_o的值，使得在单位增益频率ω = 8 000 rad/sec处测得的相位裕度等于45°。可以对该放大器进行如下建模：输入电阻无穷大，输出电阻为零，频率响应为:

$$A(s)=\frac{-A_o}{(s/200+1)(s/10\ 000+1)}$$

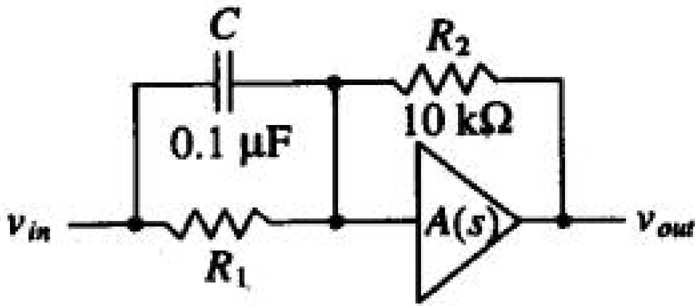


图　P23-33

577~578

23.34　如果一个电路系统的返回比由式(23-102)给出，判断该系统是否稳定。



第24章　差分放大器

本章将讨论差分放大器。差分放大器是一种可以将两个信号的差值进行放大的放大器，它是CMOS模拟集成电路设计中的基本单元模块，掌握其工作原理和设计方法非常重要。在本章中，我们将讨论三种基本类型的差分放大器，即：源端耦合对、源端交叉耦合对和电流差分放大器。

24.1　源端耦合对

源端耦合对如图24-1所示，它由M1管和M2管构成[1]。M5管和M6管构成电流镜，用于为耦合对提供偏置电流I_{ss}。在本书中，除非特别说明，否则我们都假定源端耦合对的M1管和M2管尺寸相同，因此，有$\beta_1=\beta_2=\beta$。在M1管和M2管的源端，将电流的交流和直流成分累加起来，得到：

$$I_{SS}=i_{D1}+i_{D2} \tag{24-1}$$

如果把M1管和M2管栅端的输入电压分别记为v_{I1}和v_{I2}，则它们的差为：

$$v_{DI}=v_{I1}-v_{I2}=v_{GS1}-v_{GS2} \tag{24-2}$$

用交流分量和直流分量来表示，则：

$$v_{DI}=V_{GS1}+v_{gs1}-V_{GS2}-v_{gs2} \tag{24-3}$$

当M1管和M2管的栅接地时：

$$I_{D1}=I_{D2}=\frac{I_{SS}}{2} \tag{24-4}$$

由于工作于饱和区的MOS管遵循如下关系：

$$i_D=\frac{\beta}{2}(v_{GS}-V_{THN})^2 \tag{24-5}$$

因此，输入信号的差值可以写成：

$$v_{DI}=\sqrt{\frac{2}{\beta}}\left(\sqrt{i_{D1}}-\sqrt{i_{D2}}\right) \tag{24-6}$$

根据式（24-6）和（24-1），可以用输入电压差v_{DI}来表示MOS管的漏端电流（假定$v_{DI}>0$），即：

$$i_{D1}=\frac{I_{SS}}{2}\left[1+\sqrt{\left(\frac{\beta v_{DI}^2}{I_{SS}}-\frac{\beta^2 v_{DI}^4}{4I_{SS}^2}\right)}\right] \tag{24-7}$$

$$i_{D2}=\frac{I_{SS}}{2}\left[1-\sqrt{\left(\frac{\beta v_{DI}^2}{I_{SS}}-\frac{\beta^2 v_{DI}^4}{4I_{SS}^2}\right)}\right] \tag{24-8}$$

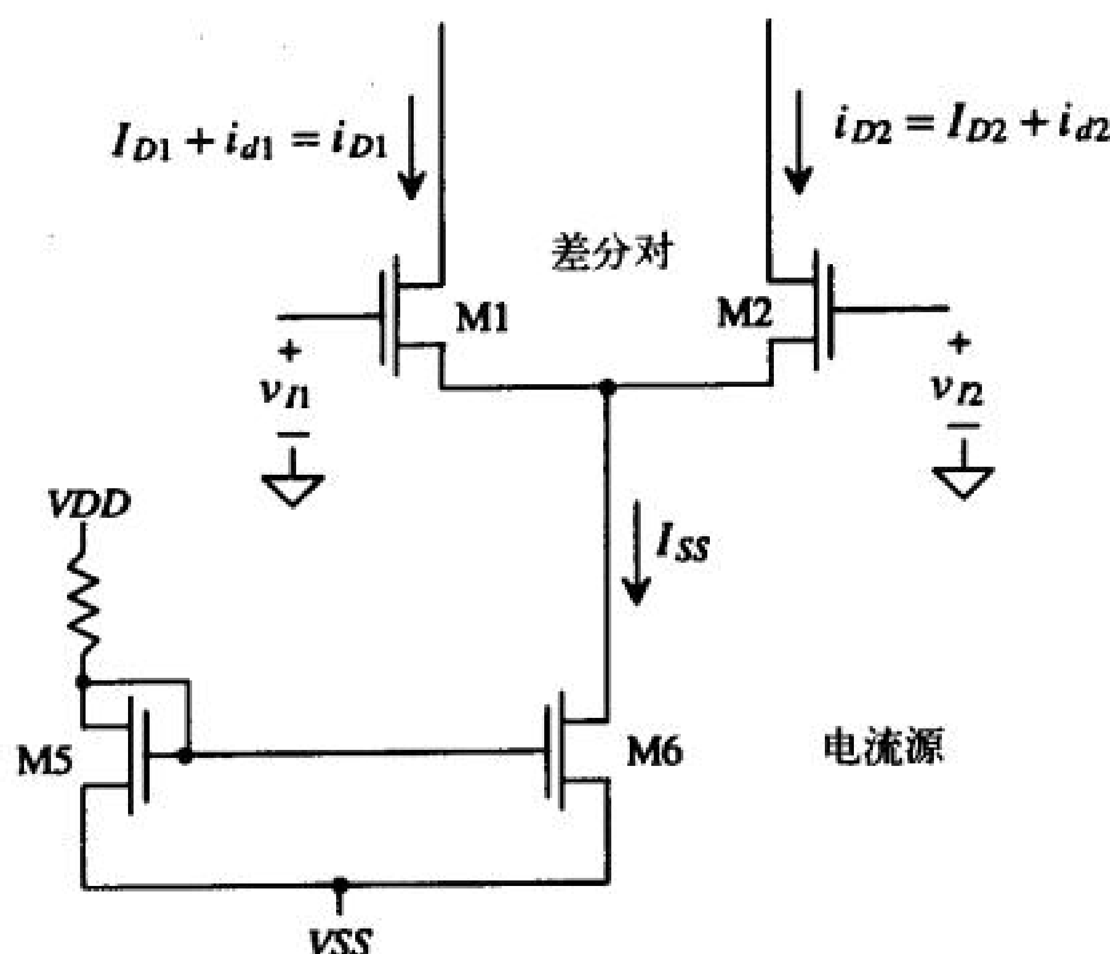


图24-1 差分放大器

为了理解这种放大器的工作原理，我们先假定$v_{I2}=0$（即M2管的栅端接地），从而有$v_{I1}=v_{DI}$。如果v_{I1}保持在VDD，M2管将截止，流过M1管的电流为I_{SS}（即$i_{D1}=I_{D1}=I_{SS}$）。如果要保证电路线性工作，则M1管和M2管必须一直工作在饱和区，因此，使M2管截止的输入电压也就是使所有的I_{SS}都流过M1管的输入电压。我们把此时的输入电压记为v_{DIMAX}。令式（24-5）等于

580

I_{SS}，并且由于此时差分对的源端电压为$-V_{THN}$（因为此时M2管刚刚开始截止），可以解得：

$$v_{DIMAX}=\sqrt{\frac{2I_{SS}}{\beta}} \tag{24-9}$$

更通用的结果为（无论v_{I2}等于零还是不等于零）：

$$v_{DIMAX}=v_{I1}-v_{I2}=\sqrt{\frac{2I_{SS}}{\beta}} \tag{24-10}$$

例24.1

对于图24-1中的差分放大器，如果$I_{SS}=10\mu A$，$W_2=W_1=15\mu m$，$L_2=L_1=5\mu m$，求解v_{DIMAX}并和仿真结果比较。

由式（24-9）得到：

$$v_{DIMAX}=\sqrt{\frac{2\cdot 10\,\mu}{50\frac{\mu A}{V^2}\cdot\frac{15}{5}}}=364\text{ mV}$$

仿真结果见图24-2。 ■

用类似方法，可得到使所有电流都流过M2管的最小输入电压差为：

$$v_{DIMIN}=-\sqrt{\frac{2I_{SS}}{\beta}} \tag{24-11}$$

差分放大器的跨导等于转移特性曲线在v_{DIMIN}和v_{DIMAX}之间的曲线斜率（M1管和M2管此时均工作于饱和区）。大信号跨导为：

$$G_m = \frac{di_{D1}}{dv_{DI}} = \frac{I_{SS}}{2\sqrt{2I_{SS}/\beta}} = \frac{\sqrt{2\beta I_{SS}}}{4} = \frac{g_m}{4} \tag{24-12}$$

这和MOS管的小信号跨导有相同的形式。可以通过增大I_{SS}或者增大M1管和M2管的沟道宽度的方法来增大跨导。

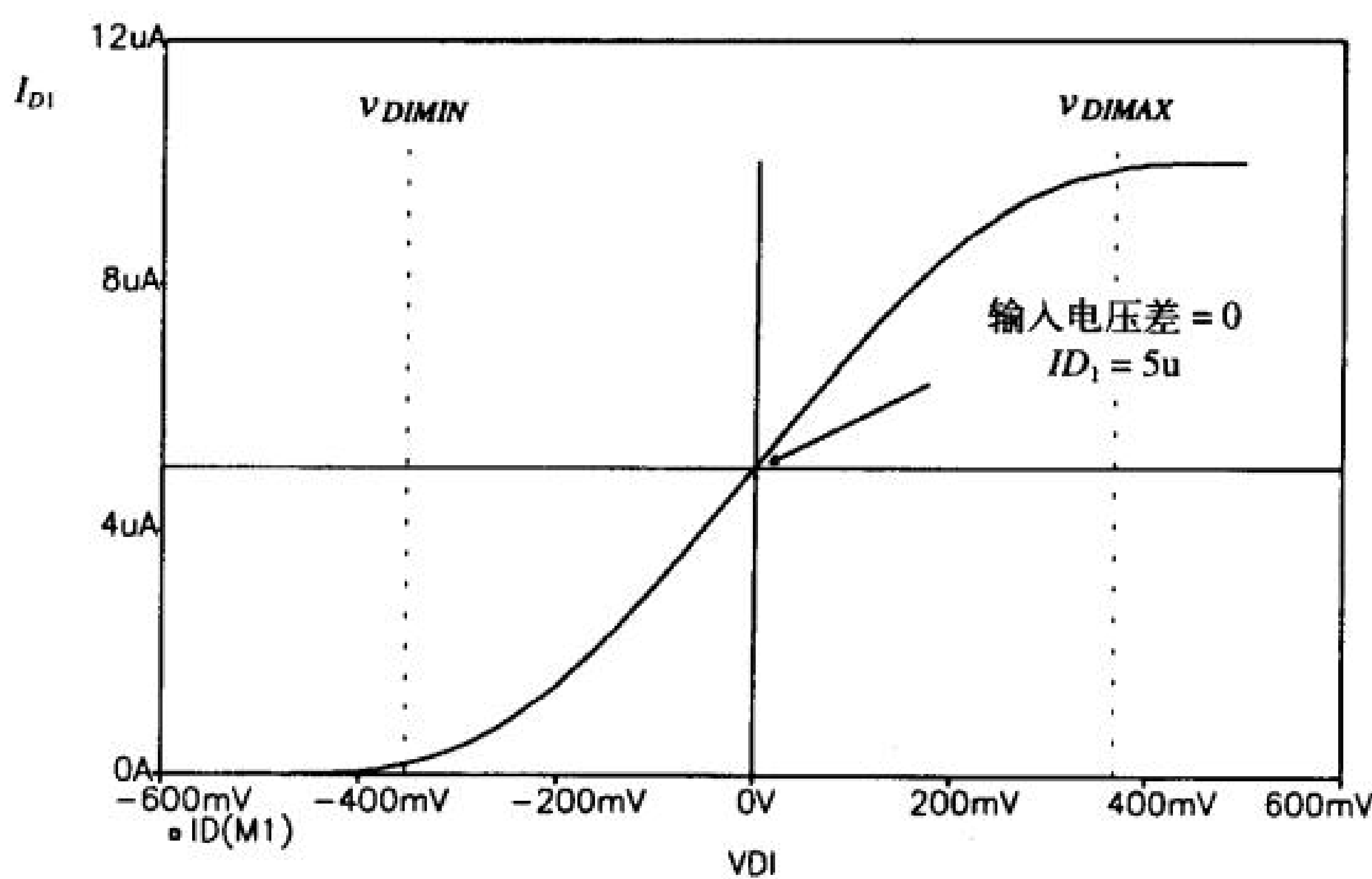


图24-2 例24.1中源端耦合差分放大器的转移特性曲线

24.1.1 电流源负载

CMOS差分放大器常常和电流源负载一起使用，如图24-3所示。考虑M1管和M2管的栅都接地的情况。这种情况下，流过M1~M4管的电流是$I_{SS}/2$。M4管的漏端电压和M3/M4管的栅端电压（以及M3管的漏端电压）相等。因此，M1管和M2管的漏端电压差为零。M4管的漏端和M3管的栅端电压相同的这一结果被用于把下一级偏置在一个特定的电流水平。选择这些器件尺寸的方法和选择电流源和电流沉器件尺寸的方法很类似。首先，考虑到沟长调制效应的影响，选择最小的沟道长度。对CN20工艺来说，我们选择5μm作为沟道长度。沟道宽度则由

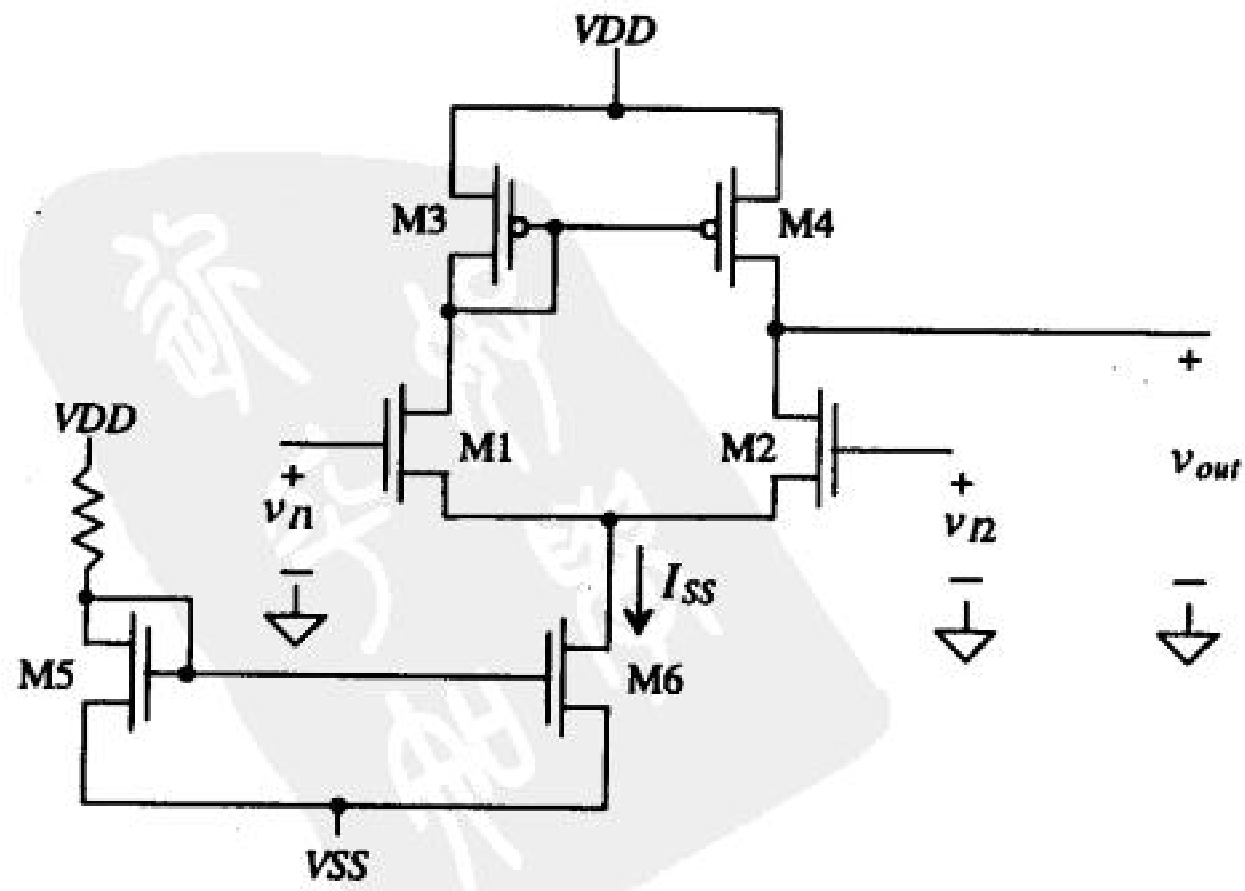


图24-3 电流源做负载（M3管和M4管）的差分放大器

581~582

MOS管的栅-源电压决定。在许多设计中，带电流源负载的差分放大器通常被设计成宽长比较大，超过V_{THN}的剩余栅压也许只有0.1V。通常，在我们的设计中设置V_{GS}为1.2V。但要注意的是，在使用NMOS差分放大器时，体效应也许会使M1管和M2管的阈值电压约增大为1.2V；这时，我们就把V_{GS}设置为1.5V（比V_{THN}高0.3V）。在n阱CMOS工艺中，使用N型差分对的好处在于：体效应导致阈值电压匹配性更好；MOS管源端到交流地的寄生电容较小。在实际的电路设计中，有时也会用P型差分对以消除体效应（见图24-4）。

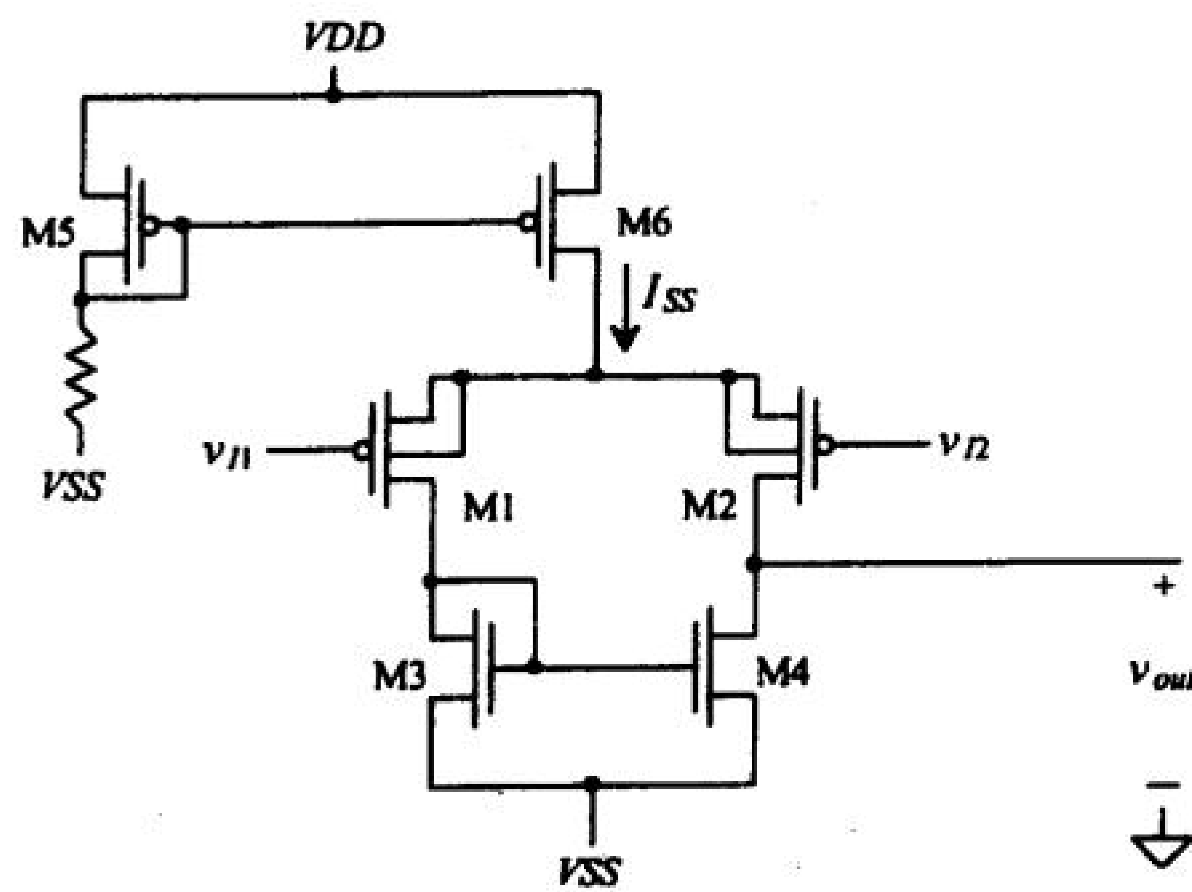


图24-4 P型差分放大器

例24.2

用SPICE仿真得到图24-3中电流源做负载的差分对的转移特性曲线。其中，$I_{SS}=20\mu A$，$W_1=W_2=15\mu m$，$W_3=W_4=70\mu m$，MOS管的沟道长度为5μm。假定$VDD=-VSS=2.5V$。

在做SPICE仿真时，我们把M2管的栅极接地，对v_{I1}进行直流扫描。结果见图24-5。注意到，当输入都处于地电位时，输出电压为1.3V，M1管到M4管的漏端电流均为10μA，栅源电压为1.2V。曲线在$v_{I1}=0$处的斜率就是放大器的电压增益，这一点我们将在本节后面进行定量分析。 ■

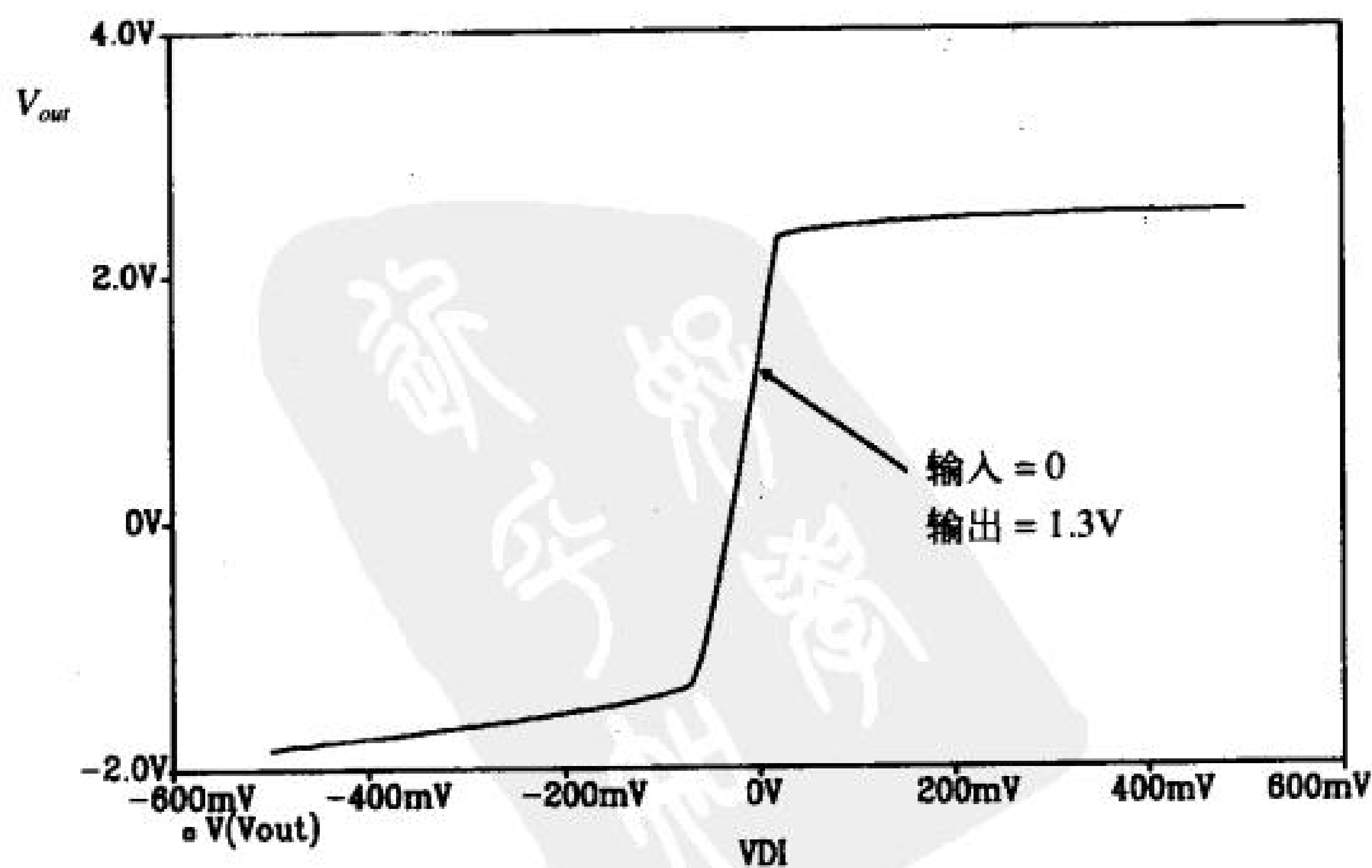


图24-5 例24.2中差分放大器的直流扫描结果

到目前为止，我们只考虑了v_{I1}和v_{I2}的差值，它们的共模量为地电位（或者说0V）。需要进一步讨论的一个重要问题是：使放大器继续正常工作的共模输入电压的范围。换句话说，如果有一个共模信号加在M1管和M2管的栅极，那么输入电压就会存在一个最大值和最小值，输入电压低于这个最小值或大于这个最大值时，MOS管都会退出饱和区。这个共模输入信号范围被称作共模范围（Common-Mode Range，CMR）。

考虑图24-6所示电路，其中M1管和M2管的栅极连在一起。如果v_I从零开始向VSS扫描，则存在使M6管由饱和区转为线性区的一点，这一点所对应的v_I就是使差分放大器能够线性工作的最小输入电压。我们称这个电压为：

$$v_{IMIN} = \text{输入电压允许的最小值} \tag{24-13}$$

当输入电压为v_{IMIN}时，M6管处于由饱和区向线性区转换的临界点，因此，有：

$$v_{IMIN} = \overbrace{\sqrt{\frac{I_{SS}}{\beta_1}} + V_{THN}}^{\text{M1管和M2管的}V_{GS}} + \overbrace{\sqrt{\frac{2I_{SS}}{\beta_6}}}^{V_{DS6}=V_{GS6}-V_{THN}} + VSS \tag{24-14}$$

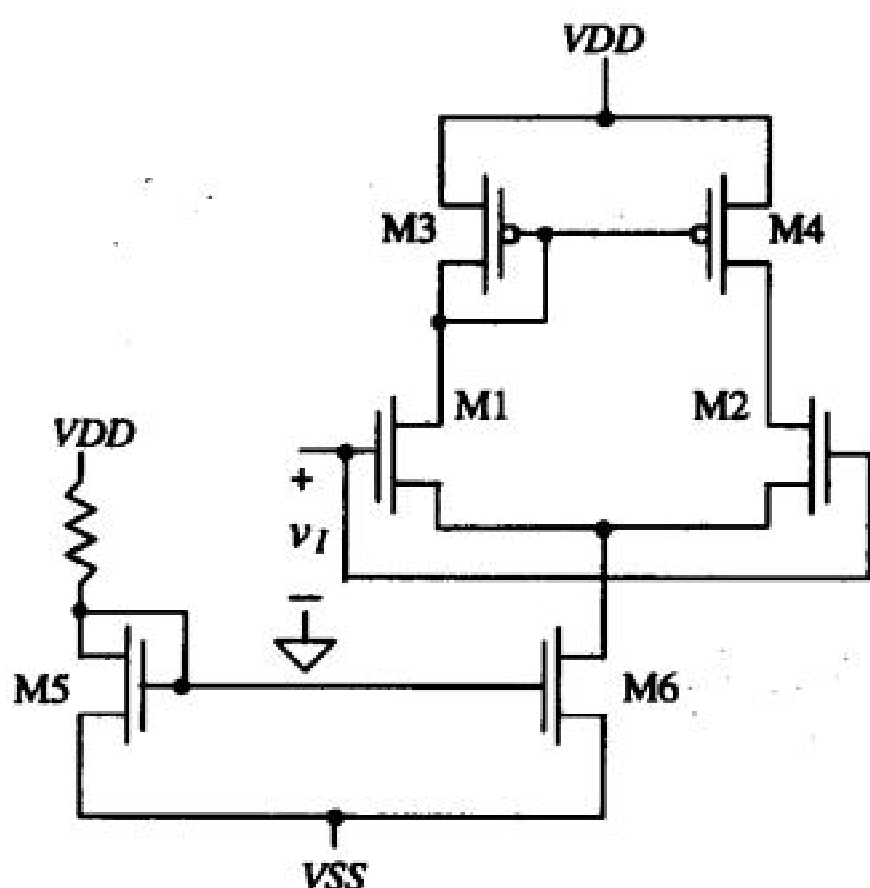


图24-6 计算共模输入范围的差分放大器

当输入电压向VDD方向增加时，存在使M1管和M2管由饱和区转为线性区的一点，这一点所对应的v_I就是使差分放大器能够线性工作的最大输入电压，记为v_{IMAX}。在M1管和M2管由饱和区转为线性区的临界点处，存在：

$$V_{DS1} = V_{GS1} - V_{THN} \rightarrow V_{D1} = V_{G1} - V_{THN} \tag{24-15}$$

由于$V_{G1} = v_{IMAX}$，得到：

$$v_{IMAX} = VDD - \overbrace{\left[\sqrt{\frac{I_{SS}}{\beta_3}} + V_{THP}\right]}^{V_{SG3}} + V_{THN} \tag{24-16}$$

由于V_{THP}近似等于V_{THN}，因此，有：

$$v_{IMAX} \approx VDD - \sqrt{\frac{I_{SS}}{\beta_3}} \tag{24-17}$$

这样，使差分放大器能够线性工作的共模输入范围为：

$$\text{CMR的上限} = v_{IMAX} \tag{24-18}$$

$$\text{CMR的下限} = v_{IMIN} \tag{24-19}$$

在前面的推导中，我们并没有考虑体效应对阈值电压的影响。前面我们是如何定义一个MOS管工作在饱和区的呢？实际是满足$V_{DS} > V_{GS} - V_{THN}$这一条件（见第5章）。知道了这一点就容易分析体效应的影响了。在实际的电路设计中，我们发现：MOS管要比这个公式所估计的更早地进入饱和区。这是由于沟道中电荷分配不均匀造成的。因此，在推导中考虑体效应，也不能提高计算共模范围时的计算精度。考虑下面这个例子。

583~585

例24.3

对例24.2中的差分放大器，估计CMR上限和CMR下限，并与仿真结果做比较。假定电流镜中M6管的$W_6 = 30\mu m$、$L_6 = 5\mu m$，$I_{SS} = 20\mu A$。

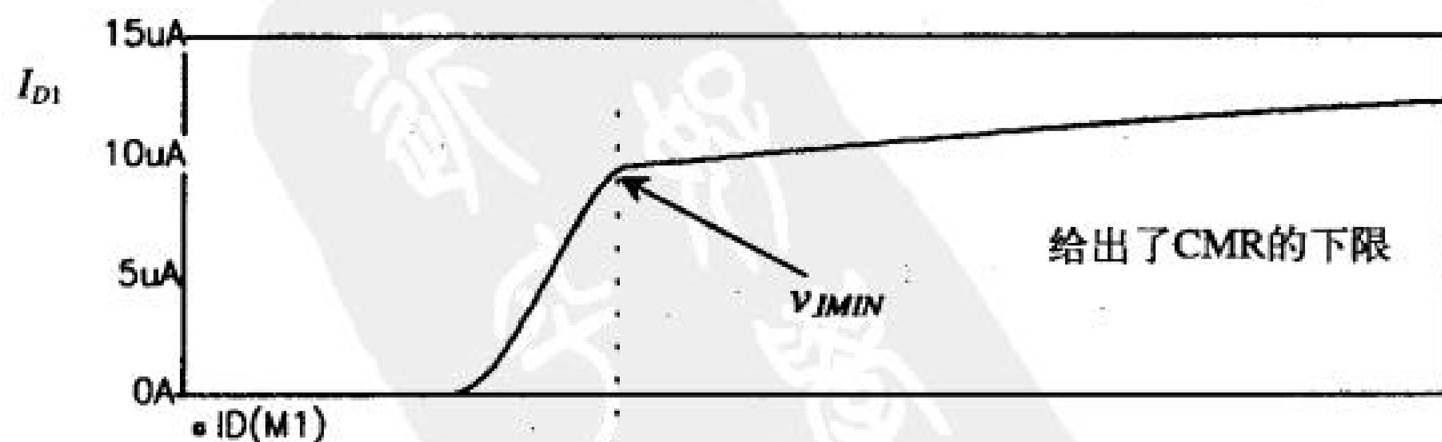
我们先计算CMR上限：

$$v_{IMAX} = 2.5 - \sqrt{\frac{20\ \mu A}{17\frac{\mu A}{V^2}\cdot\frac{70}{5}}} = 2.1\ V$$

然后再计算CMR下限：

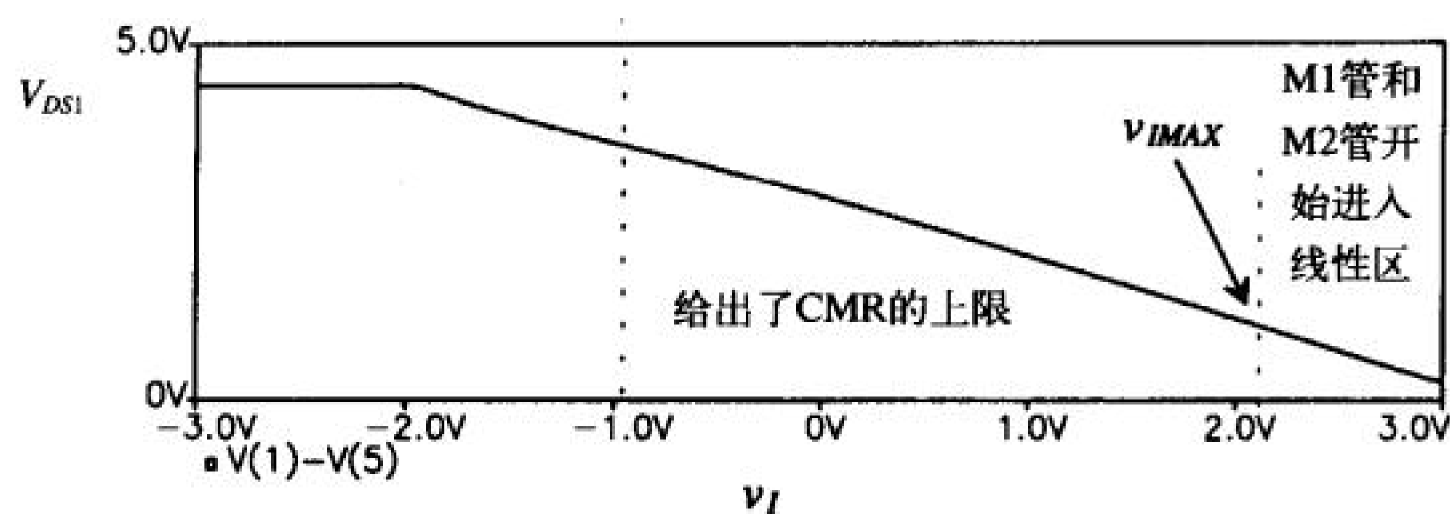
$$v_{IMIN} = \sqrt{\frac{20\ \mu A}{50\frac{\mu A}{V^2}\cdot\frac{15}{5}}} + 0.83 + \sqrt{\frac{2\cdot 20\mu A}{50\frac{\mu A}{V^2}\cdot\frac{30}{5}}} - 2.5 = -0.94\ V$$

图24-7给出了流经M1管的电流和M1管的源漏电压（$I_{SS}/2 = 10\mu A$），横坐标是施加在M1管（和M2管）栅上的电压。在图上，CMR下限对应M1管漏端电流开始向零下降的点。CMR上限则对应M1管转入线性区的那一点（即$V_{DS1} < V_{GS1} - V_{THN}$）。注意到，电流之和（即$I_{D1} + I_{D2}$）并不是常数，这是由于M6管的输出电阻是有限值造成的；也就是说，当V_{DS6}增大时，I_{SS}也会相应增加。上述这些结果在下一章讨论运算放大器的设计时有广泛应用。 ■



a) M1管的漏端电流随输入电压的变化
（M1管和M2管的栅端连在一起）

图 24-7



b) M1管的源漏电压随输入电压的变化

图24-7 (续)

现在让我们分析一下图24-3所示差分放大器的小信号增益。首先假定M2管的栅端接交流地，则输入电压为：

$$v_{i1} = v_{gs1} - v_{gs2} = i_{d1} \cdot \frac{1}{g_{m1}} - i_{d2} \cdot \frac{1}{g_{m2}} \tag{24-20}$$

理想情况下，流入M6管漏端的交流电流为零，因此有：

$$i_{d1} = -i_{d2} = i_d \text{ 并且 } g_{m1} = g_{m2} = g_m \tag{24-21}$$

得到：

$$v_{i1} = i_d\left(\frac{2}{g_m}\right) \tag{24-22}$$

为什么M2管的漏端电流是从M2管的漏端流出而不是流入呢？想一想直流电流和交流电流的变化就可以很容易地理解这一问题。v_{i1}增加使得i_{D1}增加而i_{D2}减小。M2管漏端电流的减小意味着交流电流是流出漏端的。用图24-8可以更清晰地解释这个问题。流入输出节点的电流包括了从电流镜流下来的电流和从M2管漏端流出来的电流。M3管的漏端电流被M4管镜像。M1管漏端电流的增加等于M2管漏端电流的减小。因此，流经输出节点电阻的总电流为$2i_d$。向M4管的漏端看去的电阻为：

$$r_{o4} = \frac{1}{\lambda I_D} \tag{24-23}$$

向M2管漏端看去的电阻为：

$$R_{intoD2} = r_{o2}\left(1 + g_{m2} \cdot \frac{1}{g_{m1}}\right) \approx r_{o2} \tag{24-24}$$

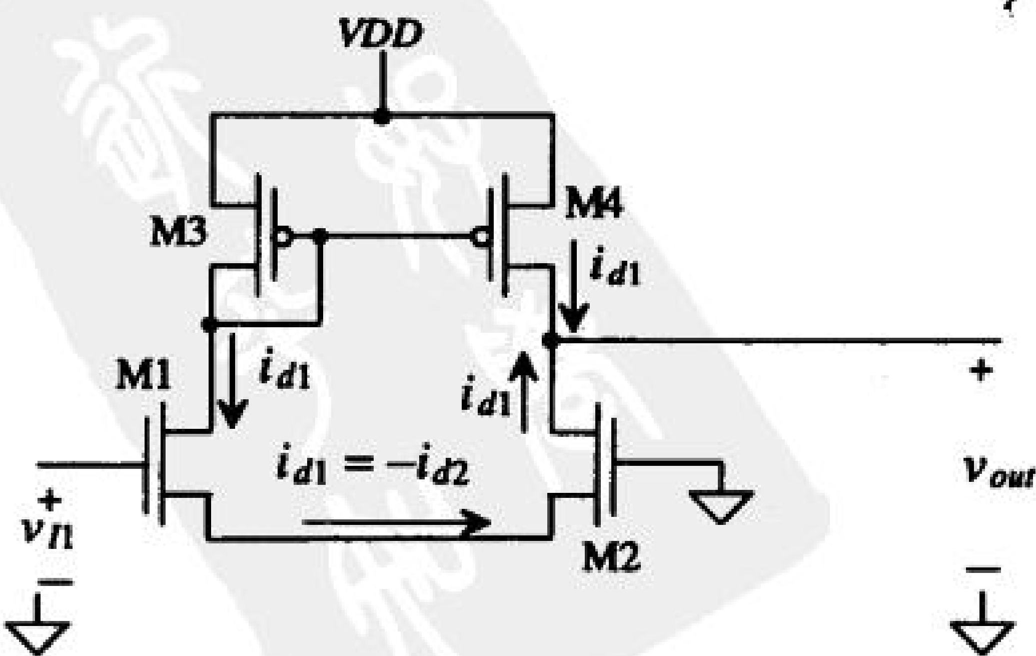


图24-8 差分放大器的交流电流的分析

586
~
587

差分放大器的电压增益为：

$$A_v = \frac{v_{out}}{v_{i1}} = \frac{v_{out}}{v_{i1} - v_{i2}} = \frac{2i_d(r_{o2} \| r_{o4})}{i_d \cdot \frac{2}{g_m}} = g_m(r_{o2} \| r_{o4}) \tag{24-25}$$

该增益又可以被写为：

$$A_v = \frac{2\sqrt{\beta}}{(\lambda_2 + \lambda_4)\sqrt{I_{SS}}} \tag{24-26}$$

换句话说，降低差分对的偏置电流可以增加增益，代价是带宽和压摆率的下降。

考虑图24-9所示驱动负载电容C_L的差分放大器。如果给差分放大器施加一个从0到VSS的阶跃输入，那么M1管、M3管和M4管截止，M2管进入线性区，负载电容通过M2管和M6管放电。在这种情况下，电容以它的最大速率放电（泄放电流为I_{SS}）。负载电容充/放电的速率被称为压摆率。假定和差分放大器本身的输出电容相比，负载电容非常大，那么放电速率为：

$$\frac{\mathrm{d}V}{\mathrm{d}t} = \frac{I_{SS}}{C_L}\ (\mathrm{V/\mu s}) \tag{24-27}$$

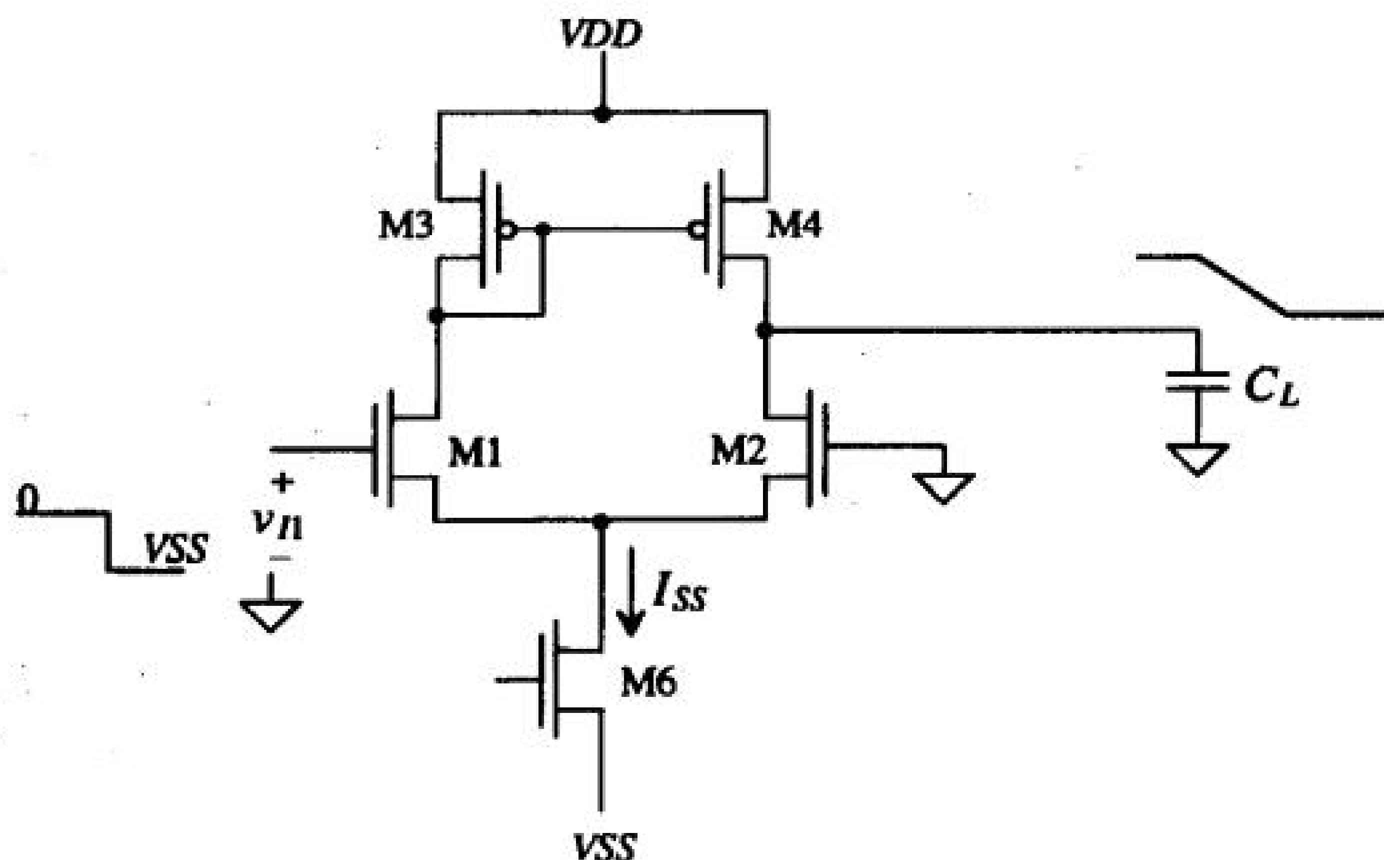


图24-9　差分放大器的压摆率限制

同样，如果我们施加一个正向阶跃，M2管就会截止，流经M1管、M3管和M4管的电流变为I_{SS}。因此，负载电容被充电的最大速率也可以用上面的公式给出。当电容被充到最大值后，M4管截止，而流经M1管和M3管的电流仍然为I_{SS}。在推导压摆率的过程中，我们忽略了输出节点MOS管的寄生电容。在推导放大器的小信号频率响应时，不能忽略这些寄生电容。

考虑图24-10所示输出节点的电路图。由小信号增益的推导过程知，这个节点到地的有效电阻近似为$r_{o2}\|r_{o4}$。输出节点到地的总电容为：

$$C_{tot} = C_L + C_{db4} + C_{gd4} + C_{db2} + C_{gd2} \tag{24-28}$$

因此，输出节点的时间常数是：

$$\tau_{out} = (r_{o2} \| r_{o4}) \cdot C_{tot} \tag{24-29}$$

3dB点的频率为：

$$f_{out} = \frac{1}{2\pi\tau_{out}} \tag{24-30}$$

图24-10 差分放大器的输出节点电容（用于分析频率响应）

例24.4

对于图24-11中的差分放大器，计算压摆率和小信号的3dB点的频率。把手算结果和SPICE仿真结果进行比较。假定漏端注入区的长度为6μm，注入区的宽度和MOS管的宽度相等。

图24-11 例24.4用到的差分放大器

我们首先计算MOS管的宽度。漏端耗尽层电容可以用零偏置的耗尽层电容来近似，即:

$$C_{db2} = cj \cdot 6\ \mu\text{m} \cdot W_2 = 1.04\times10^{-4}\cdot 6\mu \cdot 15\mu = 9.4\ \text{fF}$$

$$C_{db4} = cj \cdot 6\mu \cdot 70\mu = 137\ \text{fF}$$

588
~
589

MOS管的栅漏电容为:

$$C_{gd2} = CGDO \cdot W_2 = 3.8\times10^{-10}\cdot 15\ \mu\text{m} = 5.7\ \text{fF}$$

$$C_{gd4} = CGDO \cdot W_4 = 5\times10^{-10}\cdot 70\ \mu\text{m} = 35\ \text{fF}$$

输出节点的总电容为:

$$C_{tot} = 2\ \text{pF} + 137\ \text{fF} + 35\ \text{fF} + 9.4\ \text{fF} + 5.7\ \text{fF} = 2.19\ \text{pF}$$

因此，压摆率为:

$$SR = \frac{dV}{dt} = \frac{20\ \mu A}{2.19\ pF} = 9.1\frac{V}{\mu s}$$

输出时间常数为:

$$\tau = (r_{o2} \| r_{o4}) \cdot C_{tot} = \frac{1}{2\lambda\frac{I_{SS}}{2}} \cdot C_{tot} = \frac{1}{0.06 \cdot 20\ \mu A} \cdot 2.19\ pF = 1.8\ \mu s$$

由式（24-30）可求得3dB点的频率为87kHz。SPICE仿真结果由图24-12给出。把M2管的栅端保持在地电位，在M1管的栅端施加一个从0V到−2.5V的阶跃，可以得到SR。手算结果和仿真结果非常接近。 ■

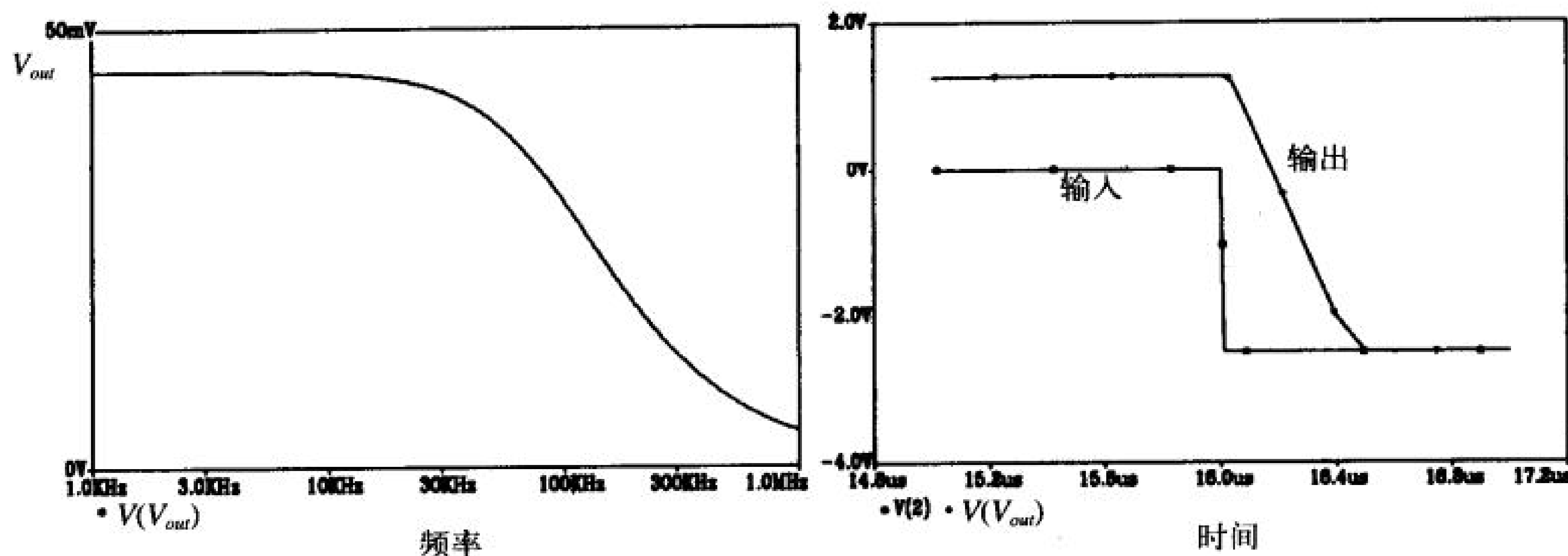


图24-12 例24.4的SPICE仿真结果

这个例子引出了一个SPICE仿真的问题，这个问题非常重要、但刚开始设计电路时又不容易注意到。在用SPICE仿真压摆率时，如果我们在仿真开始时或者很接近开始时就在M1管的栅极加上阶跃信号，会有什么后果呢？电路将无法达到稳态，仿真也将无法收敛。如果我们在电路已经达到稳定状态后再施加阶跃信号（这个例子中约过15μs后再施加阶跃信号），仿真就会收敛（失败的概率降低了）。因此，这里给出一个SPICE仿真模拟电路的通用规则：当进行瞬态仿真时，施加输入激励前应有足够长的时间使电路达到稳定状态。

24.1.2 共模抑制比

差分放大器的一个重要特性是它能够抑制加在两个输入端的共模信号。在模拟系统中，信号通常是以差分的方式传输，非常希望放大器能够抑制耦合进每条传输线的噪声。考虑图24-13所示放大器。由于输入不再是差分信号，公共源端节点也就不能再被认为是交流地。位于M1管和M2管源端的电流源被它的小信号输出电阻所代替。如果在M1管和M2管的栅上施加交流信号，也就是说在差分放大器的输入端施加共模信号，我们就可以得到共模增益。首先，由于流过M1管和M2管的电流i_d都流过电流源的输出电阻r_{o6}，因此，交流小信号共模输入电压v_c为:

$$v_c = v_{gs1,2} + 2i_d r_{o6} \tag{24-31}$$

上式可以被重新写为:

$$v_c = i_d\left(\frac{1}{g_m} + 2r_{o6}\right) \approx i_d \cdot 2r_{o6} \tag{24-32}$$

利用电路的对称性，可以得到输出电压为:

590~591

$$v_{out} = -i_d \cdot \frac{1}{g_{m3}} = -i_d \cdot \frac{1}{g_{m4}} \tag{24-33}$$

因此，共模增益为（假定$g_{m3}=g_{m4}$）:

$$A_c = \frac{v_{out}}{v_c} = -\frac{1/g_{m4}}{2r_{o6}} = -\frac{1}{2g_{m4}r_{o6}} \tag{24-34}$$

增加连接在源耦合对上的电流源的输出阻抗，可减小共模增益（理想情况下共模增益为零）。差模增益由式（24-25）给出，即$|A_v| = g_{m1}(r_{o2}||r_{o4})$。带电流源负载的差分放大器的共模抑制比（Common-Mode Rejection Ratio，CMRR）用dB表示为:

$$\mathrm{CMRR} = 20\log\left|\frac{A_v}{A_c}\right| = 20\log\left|g_{m1}(r_{o2}||r_{o4}) \cdot 2g_{m4}r_{o6}\right| \tag{24-35}$$

当电流源的输出电阻为R_{out}时，上式变为:

$$\mathrm{CMRR} = 20\log\left|2g_{m1}g_{m4}(r_{o2}||r_{o4})R_{out}\right| \tag{24-36}$$

使用共源共栅电流源能极大地提高差分放大器的CMRR，代价是减小了输入共模范围。另外，前面的分析只讨论了低频CMRR。高频时，M1管和M2管源端到地的电容（该电容与r_{o6}并联，见图24-13）主导了电流源的输出阻抗，使得CMRR随频率的升高而下降。

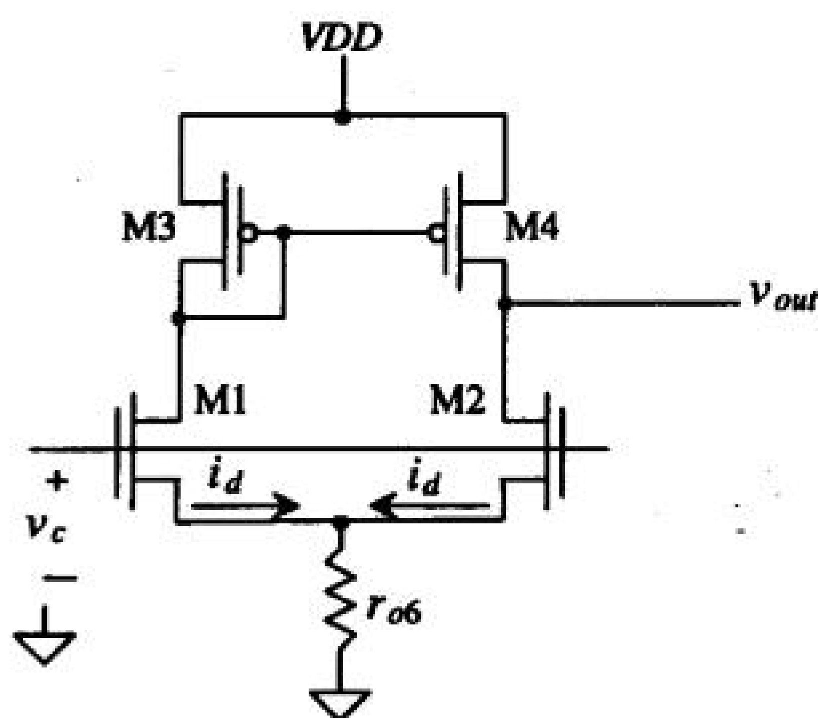


图24-13 计算输入CMRR的差分放大器电路

24.1.3 噪声

考虑图24-14所示差分放大器电路。该图标出了每个MOS管中的噪声源。根据第9章的内容，可以写出每个MOS管源漏之间的均方噪声如下:

$$\overline{i_n^2} = \overline{i_{therm}^2} + \overline{i_{1/f}^2} = 4kT \cdot \frac{2}{3}g_m + \frac{KF \cdot I_D^{AF}}{f \cdot (C'_{ox} \cdot L)^2}, \left(\frac{\mathrm{A}^2}{\mathrm{Hz}}\right) \tag{24-37}$$

592

M1管和M3管的噪声电流被M4管镜像，因此，输出节点的总输出噪声电流为:

$$\overline{i_{T,out}^2} = \overline{i_{n1}^2} + \overline{i_{n2}^2} + \overline{i_{n3}^2} + \overline{i_{n4}^2} \tag{24-38}$$

这里假定：M6管不引入任何噪声电流，而且在我们关心的频率范围内，电路的电容不起作用。

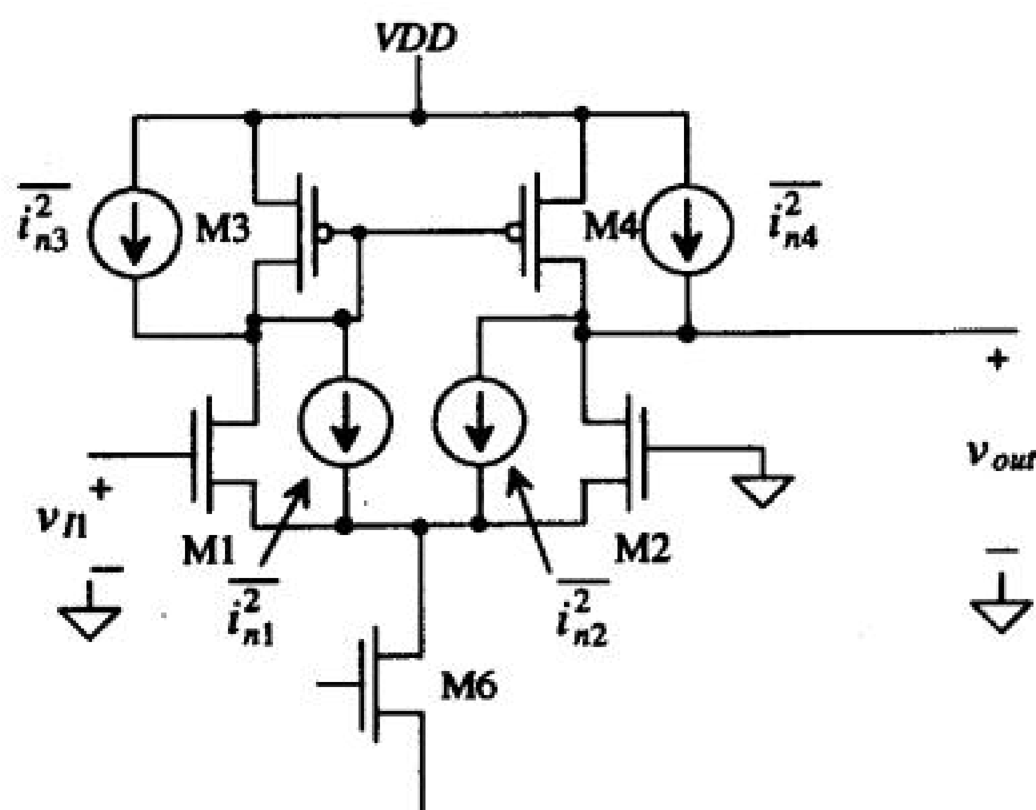
总的均方输出噪声为:

$$\overline{v_{T,out}^2}=\left(\overline{i_{n1}^2}+\overline{i_{n2}^2}+\overline{i_{n3}^2}+\overline{i_{n4}^2}\right)(r_{o2}\|r_{o4})^2,\ \left(\frac{\mathrm{V}^2}{\mathrm{Hz}}\right) \tag{24-39}$$

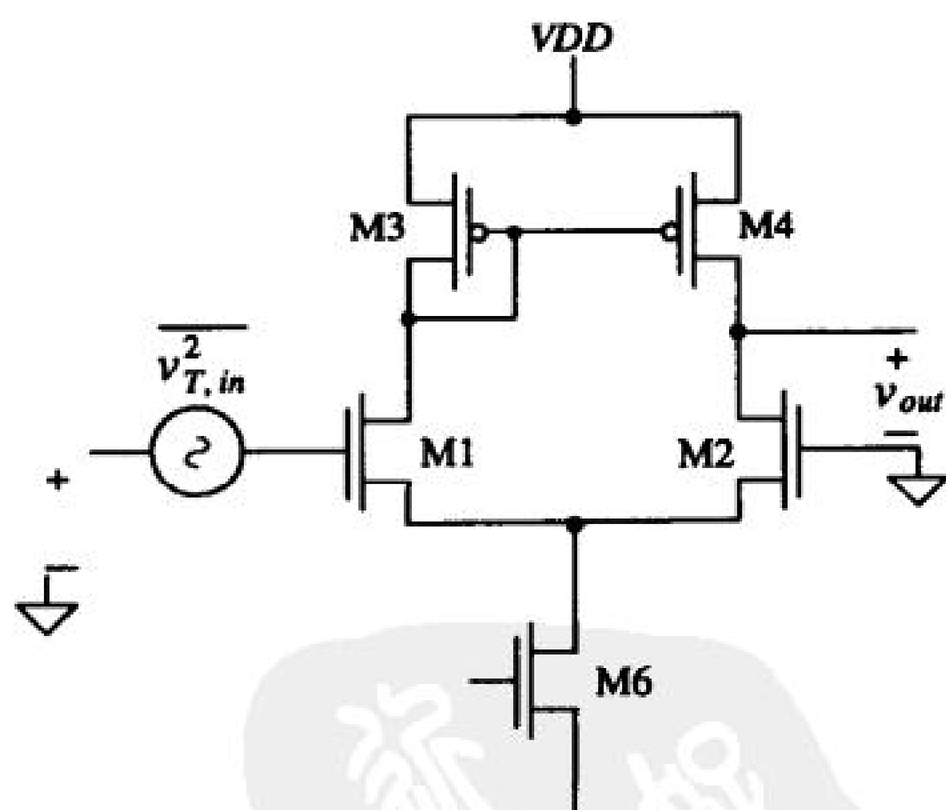
而总的等效均方输入噪声为:

$$\overline{v_{T,in}^2}=\frac{\overline{v_{T,out}^2}}{A_v^2}=\frac{1}{g_{m1}^2}\left(\overline{i_{n1}^2}+\overline{i_{n2}^2}+\overline{i_{n3}^2}+\overline{i_{n4}^2}\right) \tag{24-40}$$

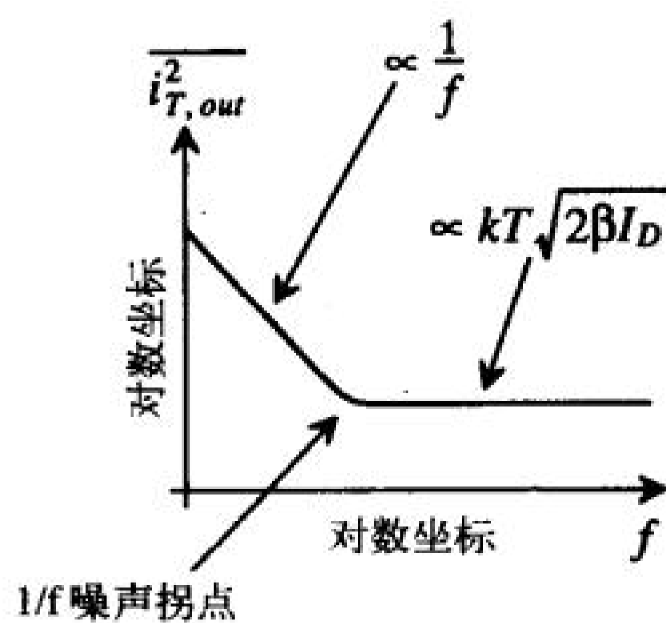
减小源端耦合对的偏置电流I_{SS}可以减小热噪声和$1/f$输入噪声的贡献。相对于M1管和M2管，适当增加负载管M3和M4的沟道长度，则可以使输入和输出的$1/f$噪声主要由M1管和M2管决定。



a) 标出了噪声源的基本差分放大器



b) 输入端噪声建模



c) 1Hz带宽上的总的输出噪声

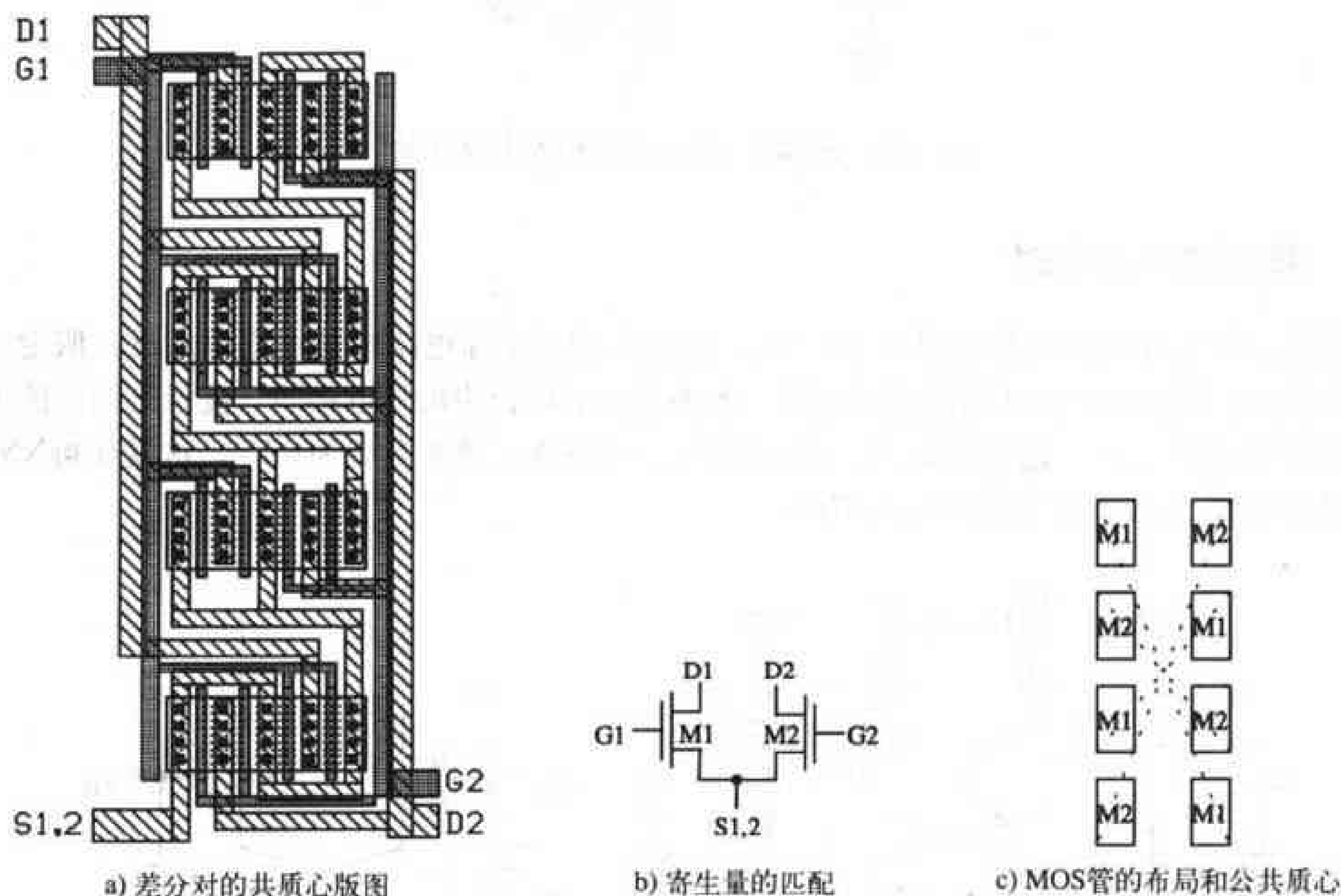
图 24-14

24.1.4 匹配考虑

差分放大器的性能与器件之间的匹配性密切相关。可以利用优化的版图技术使氧化层梯度和其他工艺偏差引起的一阶失配最小。在第20章讨论电流源时，已经介绍了叉指技术。差分放大器对匹配度的要求很高，仅用叉指技术是不够的，还必须采用另一种匹配度更高的版

图设计技术，即共质心版图设计技术。共质心版图设计技术的核心是共质心对称布局，它是把两个需要严格匹配的器件根据版图的公共中心对称放置。这使得两个器件互相抵消x方向和y方向上的工艺梯度，而且也使得电路中的热源对这两个器件的影响相同。

图24-15给出了差分对的版图。由该图知，源端耦合对被分成四个独立的叉指行，在竖直方向上交替相连。公共的源端遍布于整个版图中。请注意观察该版图是如何实现完全的共质心对称的。尽管这种版图设计技术费时费力，但它可以将非理想因素减到最小，为此花费额外功夫是值得的。



a) 差分对的共质心版图　　b) 寄生量的匹配　　c) MOS管的布局和公共质心

图 24-15

借助图24-16，可计算出由阈值电压、几何尺寸和负载电阻失配所引起的差分对的输入失调电压[2]:

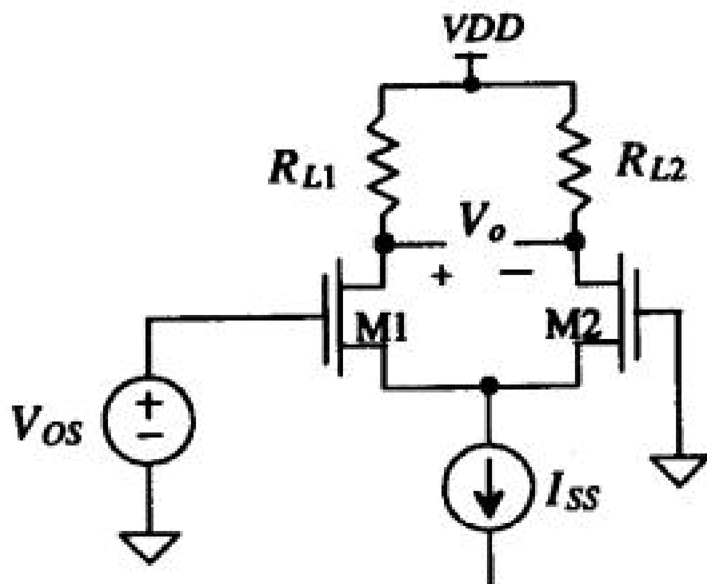
$$V_{OS}=V_{GS1}-V_{GS2}=V_{THN1}+\sqrt{\frac{2I_{D1}}{\beta_1}}-V_{THN2}-\sqrt{\frac{2I_{D2}}{\beta_2}} \tag{24-41}$$

可以定义阈值电压、负载电阻和几何尺寸的差值与均值分别为：ΔV_{THN}（等于$V_{THN1}-V_{THN2}$）、V_{THN}（等于V_{THN1}和V_{THN2}的均值）；ΔR_L（等于$R_{L1}-R_{L2}$）、R_L（等于R_{L1}和R_{L2}的均值）；$\Delta(W/L)$（等于$W_1/L_1-W_2/L_2$）、(W/L)（等于W_1/L_1和W_2/L_2的均值）。这样，我们可以把式(24-41)进行适当替换（要求$I_{D1}R_{L1}=I_{D2}R_{L2}$），替换后的结果为：

$$V_{OS}=\Delta V_{THN}+\frac{V_{GS}-V_{THN}}{2}\cdot\left[\frac{-\Delta R_L}{R_L}-\frac{\Delta(W/L)}{(W/L)}\right] \tag{24-42}$$

阈值电压的失配必须通过优化的版图设计来减小。几何尺寸和负载电阻的失配则可以通过采用较小的V_{GS}（使V_{GS}接近V_{THN}）来减小。可以把该结论与式（20-38）进行比较，式（20-38）

表明：电流镜中使用较小的V_{GS}会导致较大的电流镜像误差。



593 ~ 595

图24-16 计算差分放大器的输入失调电压

24.2 源端交叉耦合对

源端交叉耦合对的电路见图24-17[3,4]。这种结构在实际电路设计中应用广泛。假定两个输入都接地，所有的NMOS管的尺寸相同，所有的PMOS管的尺寸也相同。流经电路中的所有MOS管的电流均为I_{SS}。通常情况下，我们设计$I_{SS}=10\mu A$，栅源电压为1.2V，这就使得NMOS管的尺寸为15/5，PMOS管的尺寸为70/5。

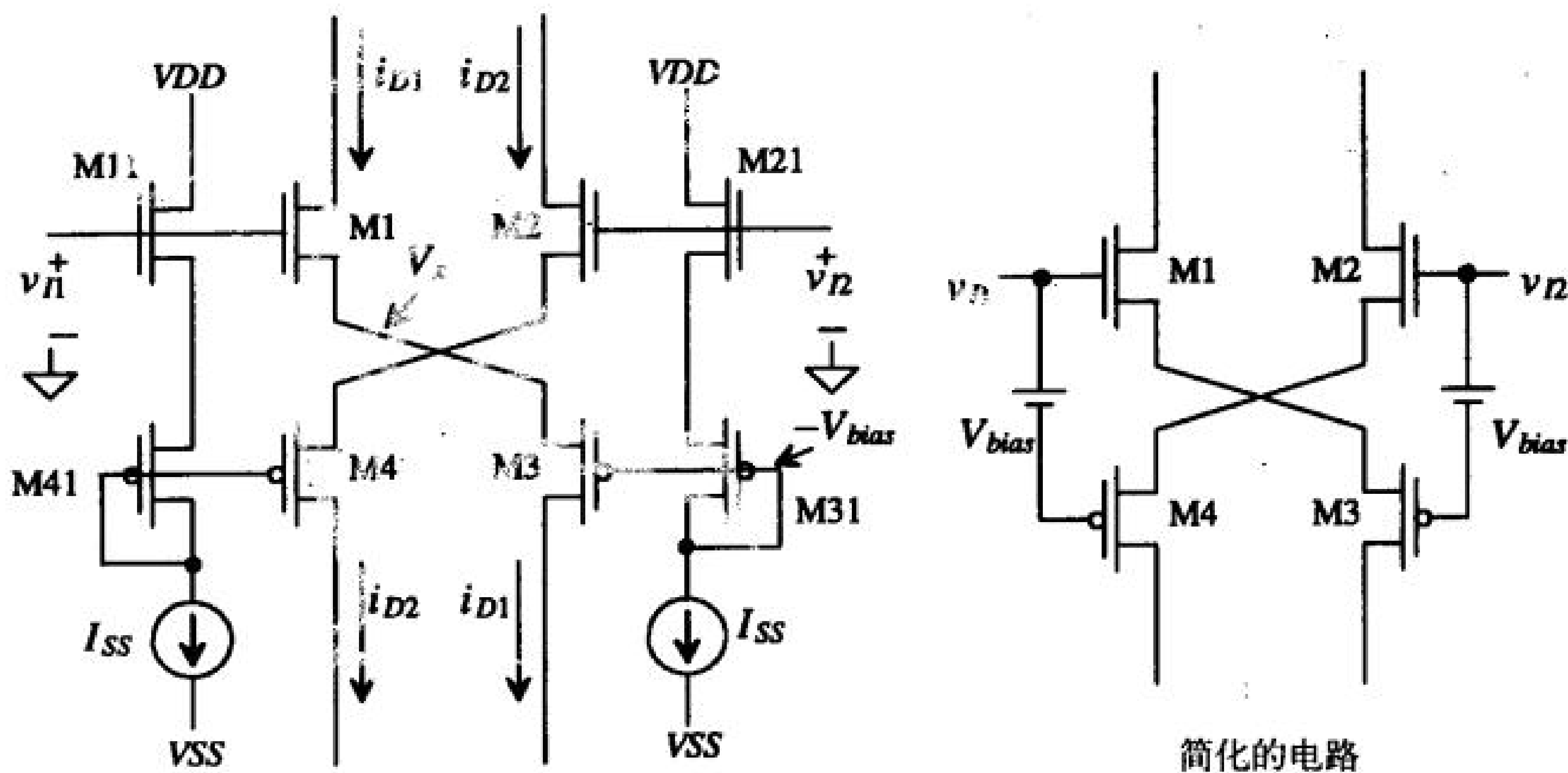


图24-17 源端交叉耦合差分放大器（用NMOS管做输入管）

如果M2管的栅端接地，M3管的栅处于固定电压，我们把该电压记为$-V_{bias}$（各MOS管采用上述尺寸时，该值近似为-2.4V）。我们把M1管和M3管的源端电压记做V_x。假定M1管和M4管处于饱和区，则输入电压为：

$$v_{I1}=\sqrt{\frac{2i_{D1}}{\beta_1}}+V_x+V_{THN} \tag{24-43}$$

对于M3管，有：

$$i_{D1}=\frac{\beta_3}{2}(V_x+V_{bias}-V_{THP})^2 \tag{24-44}$$

用式（24-44）求解V_x，得到：

$$V_x = \sqrt{\frac{2i_{D1}}{\beta_3}} - V_{bias} + V_{THP} \tag{24-45}$$

596

把该结果代入式（24-43），得：

$$v_{I1} = \sqrt{2i_{D1}}\left[\frac{1}{\sqrt{\beta_1}} + \frac{1}{\sqrt{\beta_3}}\right] - V_{bias} + V_{THP} + V_{THN} \tag{24-46}$$

当$v_{I1}=0$时，$i_{D1}=I_{ss}$。可以把式（24-46）进一步改写为：

$$i_{D1} = \frac{1}{2}\cdot(v_{I1} + V_{bias} - V_{THP} - V_{THN})^2 \frac{\beta_1\beta_3}{\left(\sqrt{\beta_1} + \sqrt{\beta_3}\right)^2} \tag{24-47}$$

如果把v_{I1}接地，通过类似的分析可以得到i_{D2}为：

$$i_{D2} = \frac{1}{2}\cdot(v_{I2} + V_{bias} - V_{THP} - V_{THN})^2 \frac{\beta_2\beta_4}{\left(\sqrt{\beta_2} + \sqrt{\beta_4}\right)^2} \tag{24-48}$$

通常情况下，$\beta_1=\beta_2$，$\beta_3=\beta_4$。观察图24-17知，在放大器的上端或下端，都可以得到差分放大器的输出电流i_{D1}和i_{D2}。

在本章的前面，我们定义了输入电压差为：

$$v_{DI} = v_{I1} - v_{I2} \tag{24-49}$$

如果把式（24-47）中的v_{I1}替换成v_{DI}、式（24-48）中的v_{I2}替换成$-v_{DI}$，则可以得到式（24-47）和（24-48）的更通用形式。

源端交叉耦合差分放大器的一个重要特性是：当v_{DI}增加时，i_{D1}持续增加而i_{D2}逐步截止；当v_{DI}减小时，i_{D2}持续增加而i_{D1}逐步截止。换句话说，该放大器工作在甲乙类状态。使得两个输出电流均不为零的最大输入电压差为：

$$|v_{DMIN}| = -V_{bias} + V_{THP} + V_{THN} \tag{24-50}$$

例24.5

对于图24-17中的差分放大器，$I_{SS}=10\mu A$，所有NMOS管的尺寸为15/5，所有PMOS管的尺寸为70/5，估算v_{DMIN}并与仿真结果做比较。

我们知道，在这种尺寸和偏置条件下，所有MOS管的栅源电压都近似为1.2V。因此，可得到：

$$|v_{DMIN}| = -2.4 + 0.91 + 0.83 = -660 \text{ mV}$$

图24-18给出了仿真结果（$v_{I2}=0$）。可以把该图与图24-2做比较，图24-2中的漏端电流为I_{SS}。由图24-18可明显看出：由于没有电流源与M1管和M2管串联，因此，源端交叉耦合差分放大器不存在压摆率限制。 ■

597

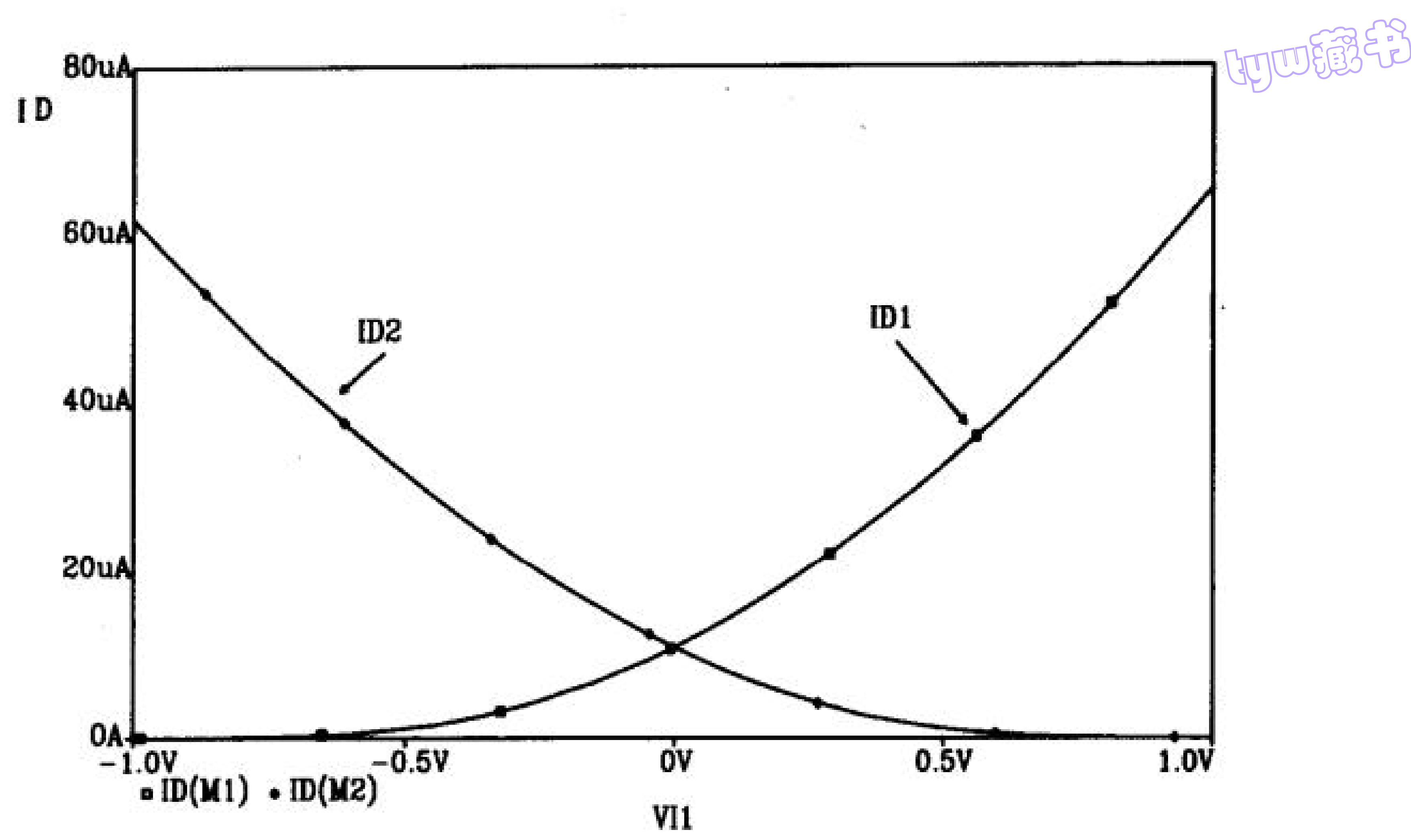
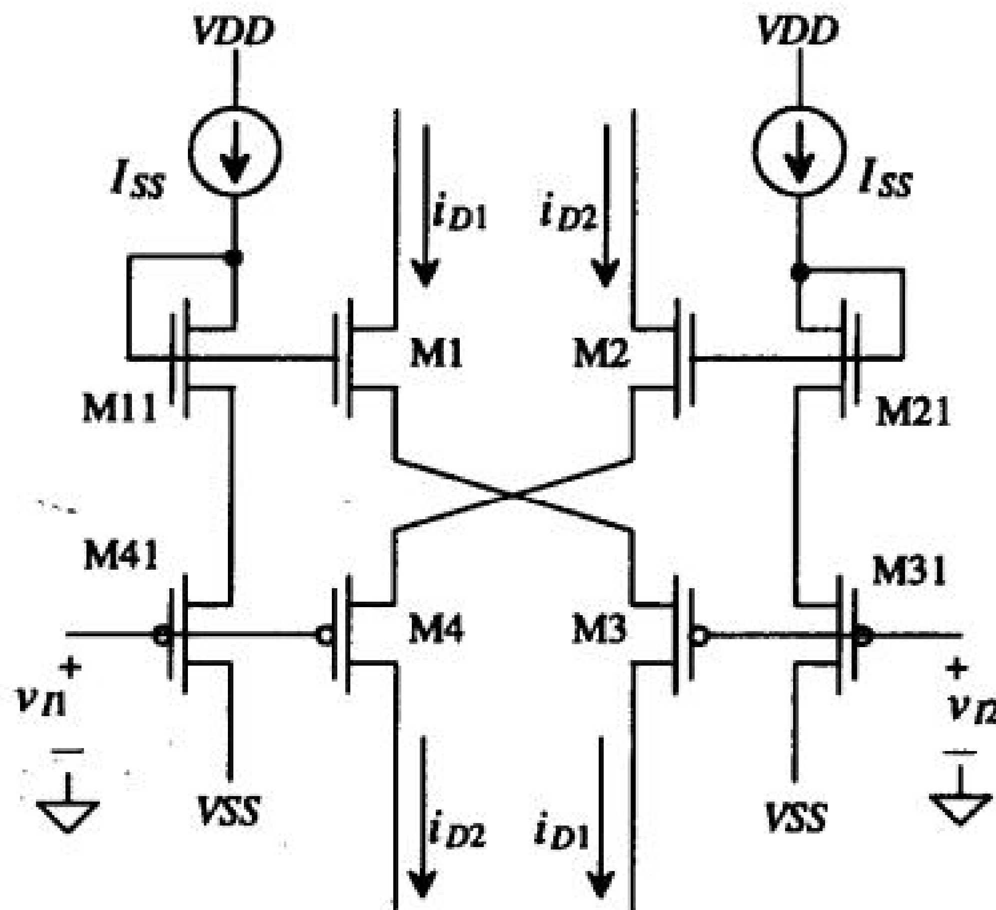


图24-18　例24.5差分放大器的转移特性



598

图24-19　用PMOS管做输入的源端交叉耦合差分放大器

图24-19给出了用PMOS管做输入的源端交叉耦合差分放大器电路。通常情况下，选用NMOS管还是PMOS管做输入，取决于共模范围。NMOS管做输入时，有较大的CMR上限，PMOS管做输入时，有较大的CMR下限。在下一节中将讲述如何计算CMR。

电流源负载

图24-20给出了带有源负载的源端交叉耦合差分放大器电路。在M1管和M4管的漏端各串联一个有源负载，就很容易形成差分输出放大器。可以通过直观的分析得到这种放大器的小信号增益。下面我们采用叠加法计算每个输入到输出的增益。首先，计算v_{I2}接地时的小信号增益$\frac{v_o}{v_{I1}}$。忽略体效应，我们可以看到，从M1管栅端到M1管源端的电压增益就是共漏放大器的增益，为：

$$\frac{v_{s1}}{v_{I1}}=\frac{g_{m1}R_{Leq}}{1+g_{m1}R_{Leq}}\ \text{V/V} \tag{24-51}$$

式中，R_{Leq}就是M1管的源端看到的负载。通过加测试源，可求出从M3管源端看进去的有效阻抗（见图24-21），进而得到R_{Leq}为:

$$R_{Leq}=\frac{v_t}{i_t}=\frac{1+\frac{1}{g_{m5}r_{o3}}}{g_{m3}+\frac{1}{r_{o3}}}\approx\frac{1}{g_{m3}} \tag{24-52}$$

因此，从v_{I1}到M1管源端的电压增益为:

$$\frac{v_{s1}}{v_{I1}}=\frac{g_{m1}\frac{1}{g_{m3}}}{1+g_{m1}\frac{1}{g_{m3}}} \tag{24-53}$$

从v_{s1}到v_{g9}的电压增益是共栅放大器的增益，为:

$$\frac{v_{g9}}{v_{s1}}=g_{m3}\frac{1}{g_{m5}} \tag{24-54}$$

最后，很容易求得从M9管的栅端到输出的增益为$-g_{m9}(r_{o9}||r_{o10})$，因此，有:

$$\frac{v_o}{v_{I1}}=-\frac{g_{m1}\frac{1}{g_{m5}}}{1+g_{m1}\frac{1}{gm3}}g_{m9}(r_{o9}||r_{o10})\ (\text{当}v_{I2}=0\text{时}) \tag{24-55}$$

用同样的分析，可以得到从v_{I2}到输出的增益为:

$$\frac{v_o}{v_{I2}}=\frac{g_{m2}\frac{1}{g_{m6}}}{1+g_{m2}\frac{1}{gm4}}g_{m10}(r_{o9}||r_{o10})\ (\text{当}v_{I1}=0\text{时}) \tag{24-56}$$

599

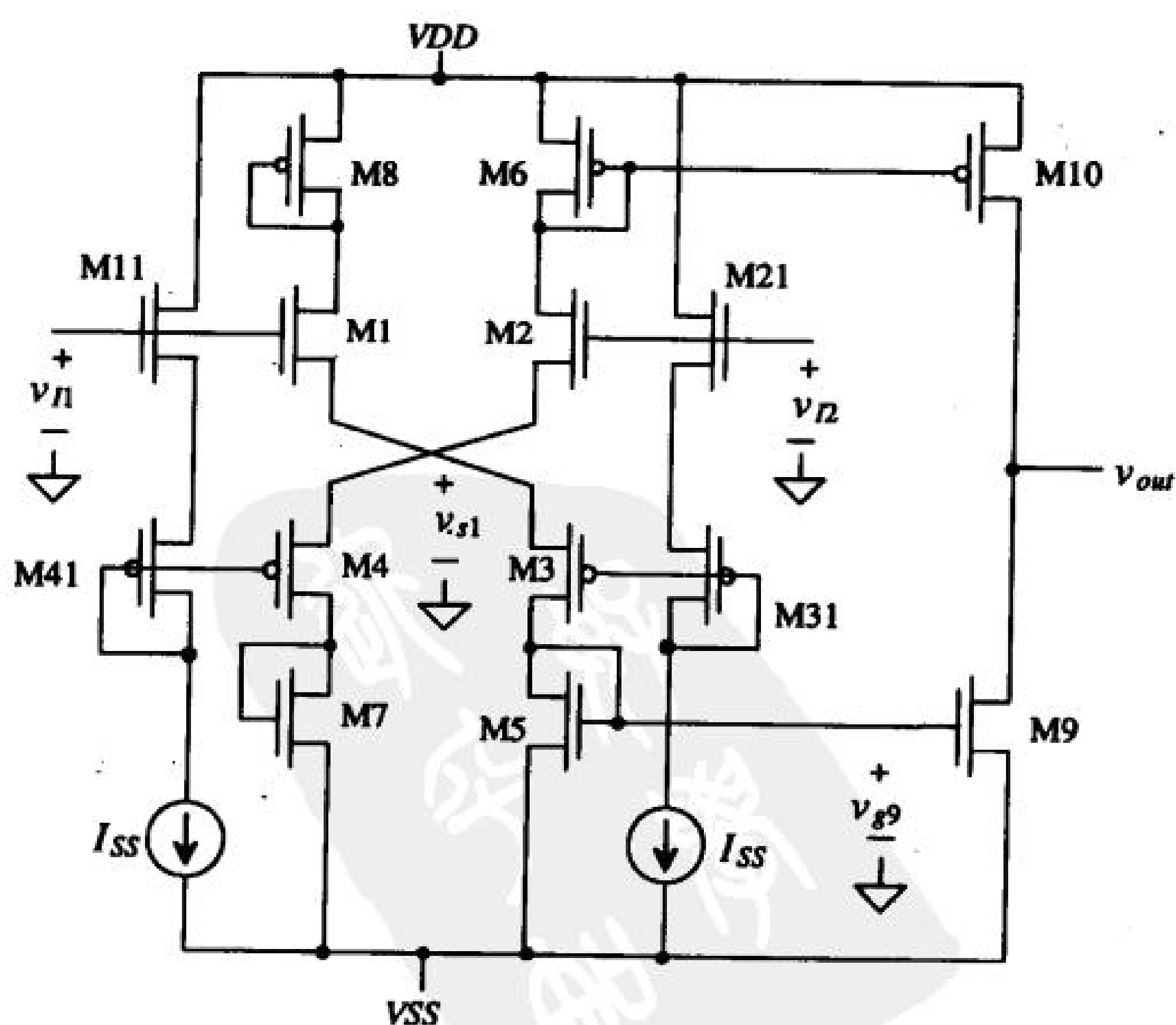
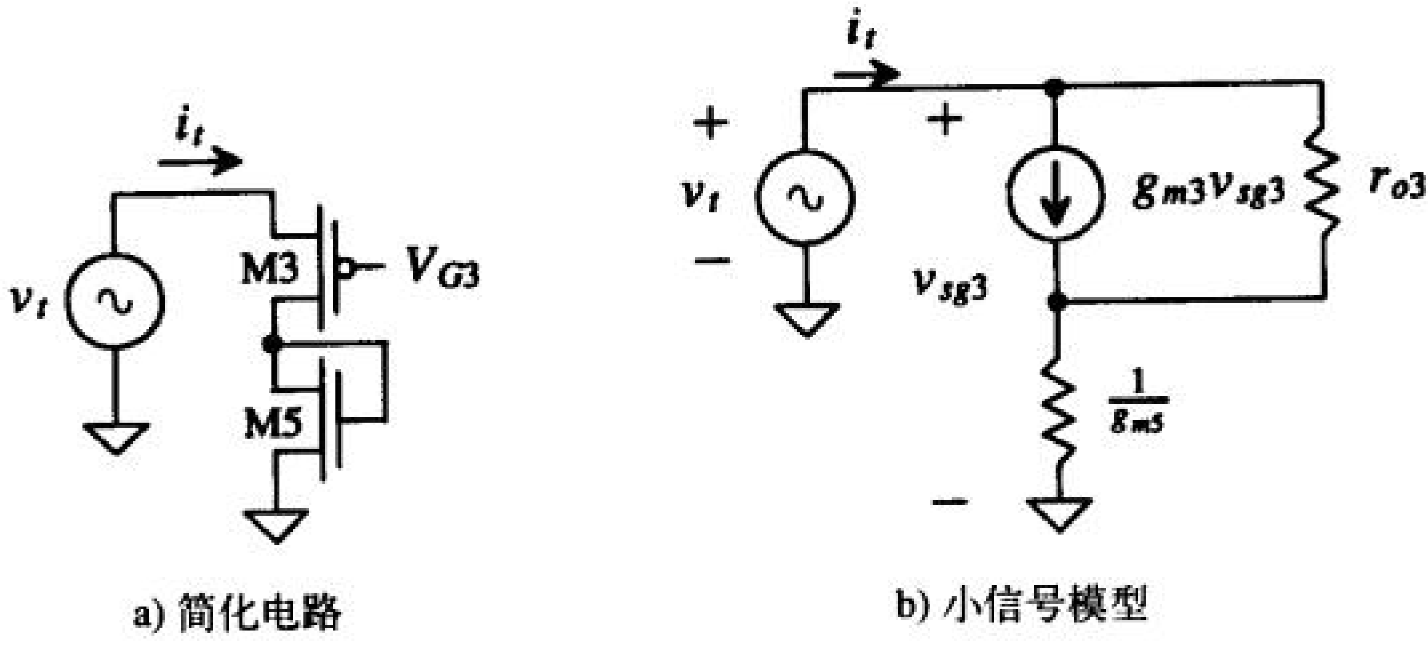


图24-20　带电流源负载的源端交叉耦合差分放大器

现在可以使用叠加法计算每个输入对输出的影响。如果M1管和M2管是理想匹配，M3管和M4管也理想匹配，M5管和M6管的g_m被设计成分别等于M7管和M8管的g_m，那么，差分增益为：

$$v_o=(v_{I2}-v_{I1})\frac{2\cdot g_{m1,2}\frac{1}{g_{m5,6}}}{1+g_{m1,2}\frac{1}{g_{m3,4}}}g_{m9,10}(r_{o9}||r_{o10})\Rightarrow\frac{v_o}{v_d}=\frac{2\cdot g_{m1,2}\frac{1}{g_{m5,6}}}{1+g_{m1,2}\frac{1}{g_{m3,4}}}g_{m9,10}(r_{o9}||r_{o10}) \quad (24\text{-}57)$$



a) 简化电路　　b) 小信号模型

图 24-21

600

可以使用上述分析源端交叉耦合差分放大器的方法计算出共模电压的上限和下限，上限为：

$$v_{IMAX}\approx VDD-\sqrt{\frac{2I_{SS}}{\beta_6}} \quad (24\text{-}58)$$

下限为：

$$v_{IMIN}=\overbrace{\sqrt{\frac{2I_{SS}}{\beta_1}}+V_{THN}}^{V_{GS1}}+\overbrace{\sqrt{\frac{2I_{SS}}{\beta_3}}}^{V_{DS3}}+\overbrace{\sqrt{\frac{2I_{SS}}{\beta_5}}+V_{THN}}^{V_{GS5}}+VSS \quad (24\text{-}59)$$

CMR的上限与基本的源端耦合差分放大器类似，而CMR下限明显变差了。图24-22给出了一种偏置方法，它可以有效地把差分放大器的CMR变换到电源电压的中心点。在低功耗设计中，

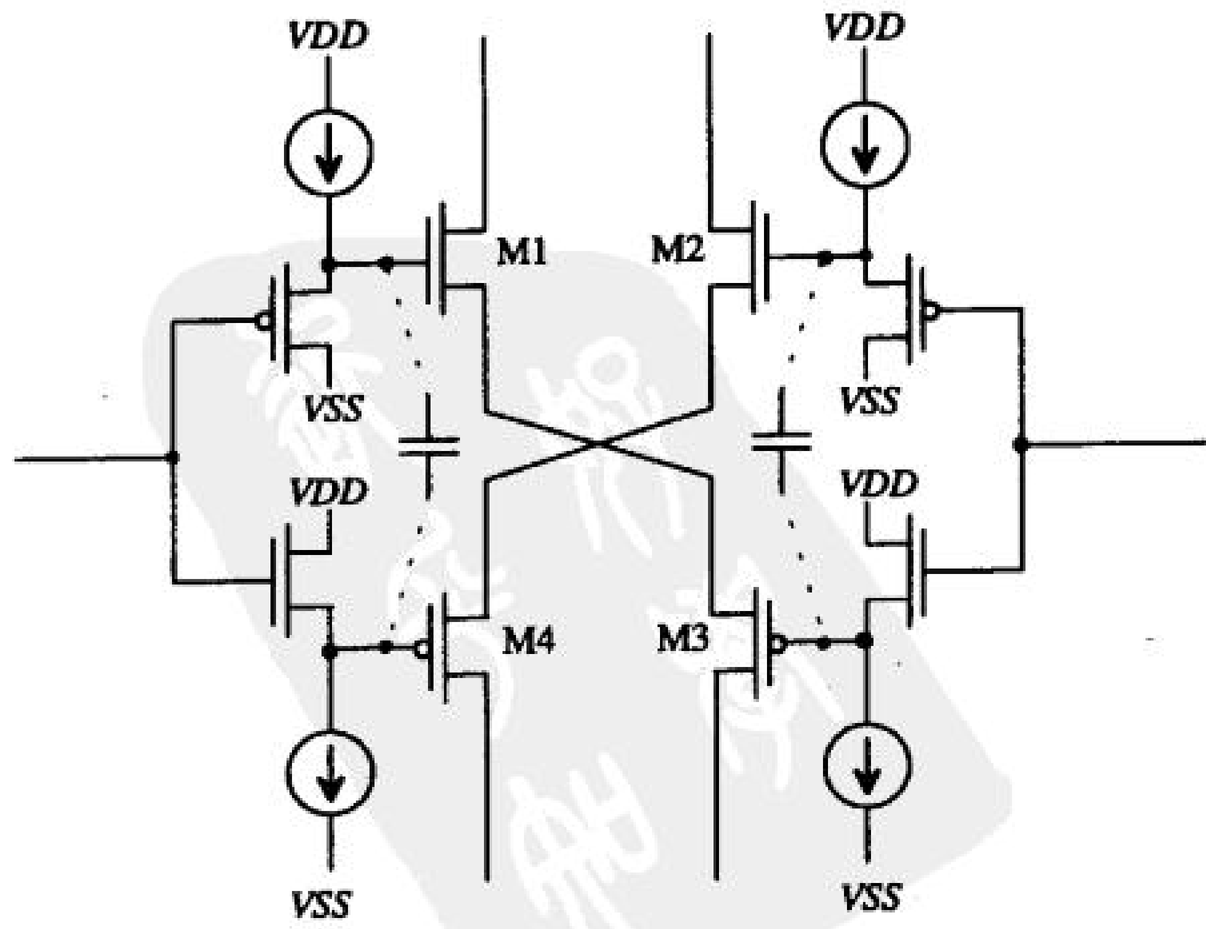


图24-22 用于平移输入共模范围的偏置电路

（注意，体效应会影响偏置，使得流过M1管～M4管的电流减少）

一般采用较小的偏置电流，偏置电流源对M1~M4管的输入电容充放电会引起压摆率限制问题，而图24-22中M1~M4管栅端之间的电容可以消除这一限制。

另一种电流源负载的电路结构见图24-23。若$g_{m1}=g_{m2}$，$g_{m3}=g_{m4}$，则该电路的增益为：

$$A_v=\frac{v_{out}}{v_{i1}-v_{i2}}=2\cdot\frac{r_{o2}||r_{o6}}{\frac{1}{g_{m1}}+\frac{1}{g_{m3}}} \quad (24\text{-}60)$$

601

这种差分放大器可以直接用来替换源端耦合差分对，特别是比较关注压摆率限制时。它的带宽和CMRR与源端耦合对差分放大器的近似相同，但电路要比后者复杂，功耗较大。

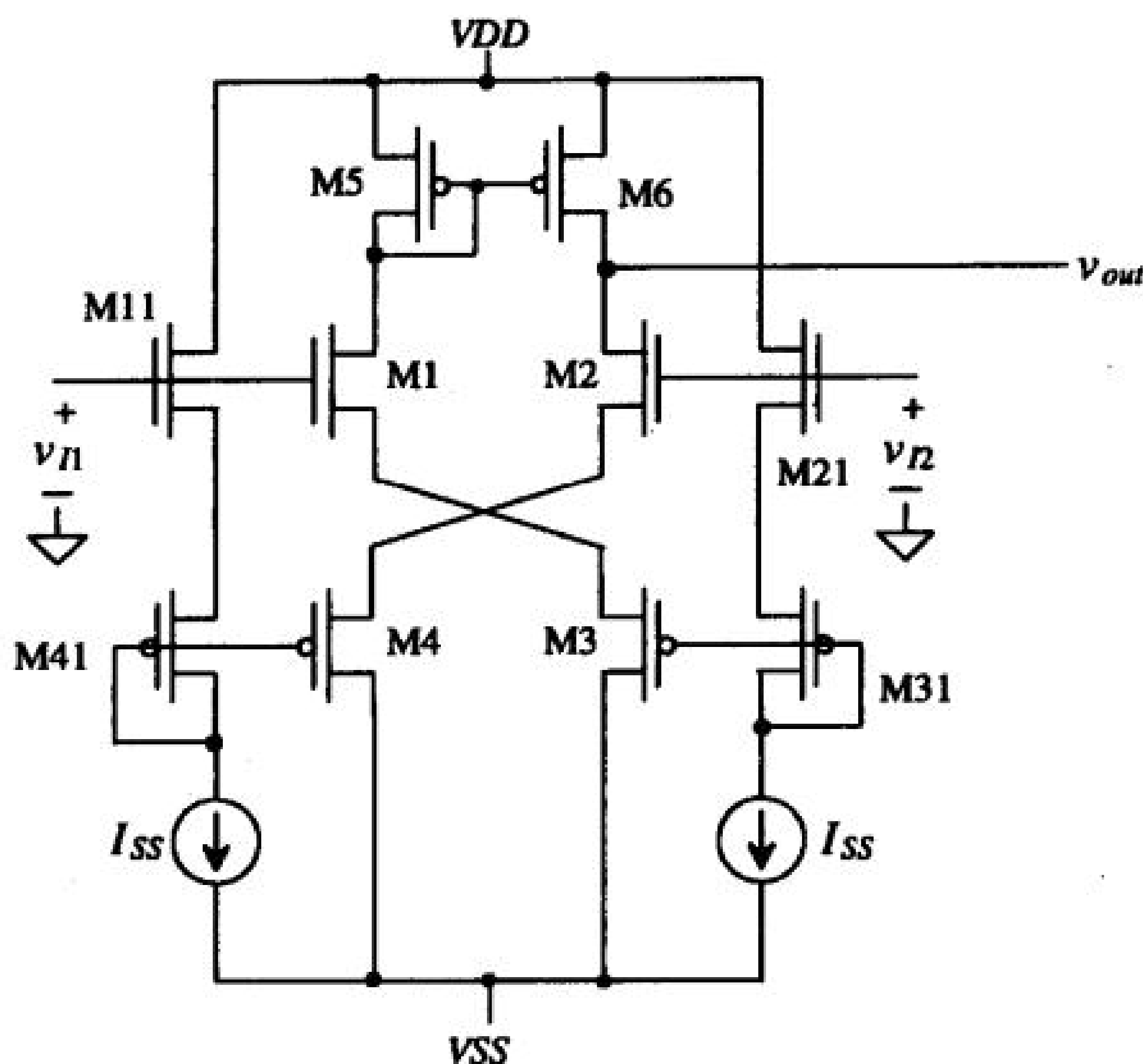


图24-23 另一种电流源负载的源端交叉耦合差分放大器

24.3 共源共栅负载

由前面的分析知，图24-3中电流源负载差分放大器的电压增益为$g_m(r_{o2}||r_{o4})$。对于许多应用来说这个增益过小。使用共源共栅电流源负载替换M3/M4管，可以使增益近似为$g_m r_{o2}$（参阅22.2.1一节）。如果M1/M2管也使用共源共栅结构，则可以进一步提高增益，图24-24给出了这种电路结构。要设计MC6管的V_{GS}，使M1/M2管和MC1/MC2都处于饱和区。该电路的增益为：

$$A_v=g_{m1}(R_{into\,DC2}||R_{into\,DC4}) \quad (24\text{-}61)$$

假定M2管和MC2管尺寸相同，则向MC2管漏端看进去的电阻为：

$$R_{into\,DC2}\approx g_{m2}\cdot r_{o2}^2 \quad (24\text{-}62)$$

602

假定MC4管和M4管具有相同的尺寸，则向MC4漏端看进去的电阻为：

$$R_{into\,DC4}\approx g_{m4}\cdot r_{o4}^2 \quad (24\text{-}63)$$

因此，这种共源共栅差分放大器的增益为：

$$A_v = g_{m1}\left(g_{m2}r_{o2}^2 || g_{m4}r_{o4}^2\right) \tag{24-64}$$

这种共源共栅差分放大器的主要缺点在于减小了共模范围的上限。v_{IMIN}和第24.1 节讨论的源端耦合差分放大器一样。共模电压的下限由M6管退出饱和区决定，因此，有：

$$v_{IMIN} = \sqrt{\frac{2(I_{SS}+I_{BIAS})}{\beta_6}} + \sqrt{\frac{I_{SS}}{\beta_{1,2}}} + V_{THN1,2} + V_{SS} \tag{24-65}$$

图23-24 共源共栅差分放大器

共模信号的上限受限于共源共栅负载。由于输入电压需要使M1、MC1、MC3和M3管都工作于饱和区，因此，v_{IMAX}受到限制。不过，MC6管引入的直流反馈使得该电路存在一种比较有趣的现象。由于流过MC6管的电流恒定，v_{SGC6}也保持恒定。因此，当M1管和M2管栅上的共模电压增加时，M1管和M2管漏端电压通常将减小。但是，由于流过M1管和M2管的电流也是恒定的，共源节点（图中的节点B）的电压也开始增加。因此，MC1和MC2的栅节点电压也增加。流过MC1管和MC2管的电流也是恒定的；而$v_{GSC1,2}$将试图保持恒定，结果是把M1管和M2管的漏端电压向上拉。这个反馈机制使M1管和M2管不进入非饱和区。因此，共模电压的上限v_{IMAX}受限于MC1管和MC2管进入非饱和区这一条件。MC1管和MC2管开始进入非饱和区时，有：

603

$$v_{DSC1} = v_{GSC1} - v_{THC1} \tag{24-66}$$

其中，MC1管和MC2管的漏端电压为：

$$v_{DC1} = v_{DD} - v_{SG3} - v_{SGC3} \tag{24-67}$$

MC1管和MC2管的栅端电压为：

$$v_{GC1} = v_{INMAX} - v_{GS1} + v_{GSC6} \tag{24-68}$$

代入式（24-66）得:

$$v_{INMAX} = V_{DD} - \sqrt{\frac{I_{SS}}{\beta_1}} - \sqrt{\frac{I_{SS}}{\beta_{C3}}} - \sqrt{\frac{I_{SS}}{\beta_3}} + \sqrt{\frac{2I_{BIAS}}{\beta_{C6}}} - 2V_{THP} + V_{THN} \tag{24-69}$$

上式假定所有NMOS管和PMOS管的阈值电压近似相等。例24.6将示例说明共源共栅负载差分放大器的CMR会减小。

例24.6

求解图24-25中M6管、MC6管和MB1~MB3管的尺寸，使得M1管和M2管保持在饱和区，并估计这种电路的增益和共模范围。假定I_{SS}为20μA。

图24-25 例24.6中共源共栅差分放大器

M1/M2管或MC1/MC2管的栅源电压通过求解下式得到:

$$\frac{I_{SS}}{2} = \frac{\beta_{C1}}{2}(V_{GS} - V_{THN})^2 \rightarrow V_{GS} = 1.2\text{ V}$$

因此，从MC1管栅端到M1管源端的最小电压（即V_{GSC6}的最小电压）为$V_{GSC1}+V_{DS,sat}$，近似为1.5V。如果我们设计$I_{BIAS}=10\mu A$，则可以解得MC6的尺寸为:

$$10\ \mu A = \frac{50\frac{\mu A}{V^2}}{2}\frac{W_{C6}}{5\ \mu m}(1.5-0.83)^2 \rightarrow W_{C6} \approx 5\ \mu m$$

由于流过M5管的电流为10μA，我们可以将MB3管的尺寸设计为与M5管相同，即15/5；这样，流过MB3管的电流也是10μA。MB1管和MB2管构成一个电流镜，这样，流过MB3管的电流被镜像到MB1管。我们可以设计MB1和MB2管的尺寸为70/5。剩下的需要确定尺寸的是M6管。

流过M6管的总电流为$I_{SS}+I_{BIAS}=30\mu A$，因此，它的尺寸可以设计为45/5。由式（24-64）可求得该共源共栅差分放大器的增益为：

$$A_v=55\frac{\mu A}{V^2}\left[55\frac{\mu A}{V^2}(833k)^2 \| 70\frac{\mu A}{V^2}(833k)^2\right]=1\ 175\ V/V$$

而非共源共栅差分放大器的增益仅约为50V/V。

由式（24-65）和式（24-69）可计算出共模范围。v_{IMIN}的值为：

$$v_{IMIN}=0.365+0.365+0.83-5=-3.44\ V$$

v_{IMAX}的值为：

$$v_{IMAX}=5-0.365-0.289-0.289+0.632-2(0.91)+0.83=3.77\ V$$

■

24.4　宽摆幅差分放大器

CMOS集成电路的电源电压越来越低，使得增加共模范围逐渐成为设计的重要内容。一种增大输入摆幅的方法是使两个互补的差分放大级并联，如图24-26所示[5, 6]。为了理解该电路的工作原理，我们首先考虑输入信号v_{in}的直流成分使得两个差分放大级都导通的情形（交流成分与直流成分相比非常小）。流过差分对中M1/M2管和M9/M10管的电流为I，而流过累加管M4和M12的电流为$2I$。如果M5管和M4管的尺寸相同，M7管和M12管的尺寸相同，那么流过输出管M5和M7的电流为$2I$。假定$g_{m1}=g_{m2}$，$g_{m9}=g_{m10}$，则小信号电压增益为：

604
~
605

$$A_v=(g_{m1}+g_{m9})[r_{o7}(2I)\|r_{o5}(2I)]=\frac{(g_{m1}+g_{m9})}{\lambda_7 2I+\lambda_5 2I}=\frac{\sqrt{2\beta_1 I}+\sqrt{2\beta_9 I}}{2I(\lambda_7+\lambda_5)} \tag{24-70}$$

如果输入使得P型差分放大器导通而N型差分放大器截止，那么流过累加管M4和M12的电流为I，流过M5管和M7管的电流也为I，没有电流流过M1管、M2管、M3管和M6管。这时的小信号电压增益为：

$$A_v=g_{m9}[r_{o7}(I)\|r_{o5}(I)]=\frac{\sqrt{2\beta_9 I}}{I(\lambda_7+\lambda_5)} \tag{24-71}$$

同样分析，可得P型差分放大器截止而N型差分放大器导通时的小信号电压增益为：

$$A_v=g_{m1}[r_{o7}(I)\|r_{o5}(I)]=\frac{\sqrt{2\beta_1 I}}{I(\lambda_7+\lambda_5)} \tag{24-72}$$

我们希望仅有一个差分放大器导通和两个差分放大器都导通时的小信号增益有一个比较平滑的过渡。若：

$$\beta_1=\beta_9=\beta \Rightarrow G_m=\sqrt{2\beta I} \tag{24-73}$$

则式（24-70）~（24-72）可以被重写为：

$$A_v=G_m\cdot[r_{o7}(I)\|r_{o5}(I)] \tag{24-74}$$

对于低失真设计而言，保持增益恒定非常重要。同时，对于一个稳定的放大器而言，可以被补偿以确保稳定性也很重要（第25章中会详细讨论这些）。如果一个放大器的增益依赖于输入

信号的幅度，那就难于补偿。

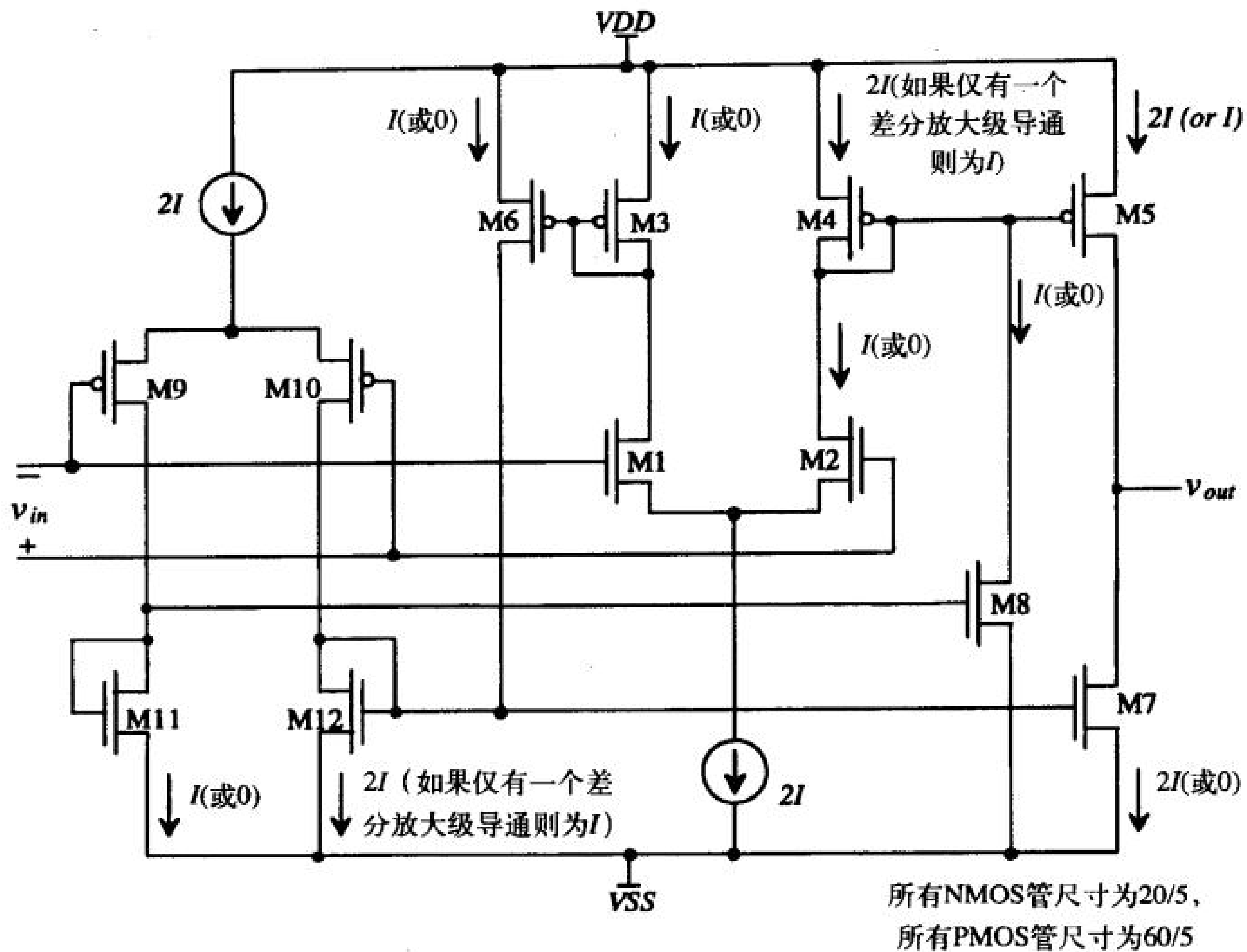


图24-26　两个差分放大级并联以增大输入摆幅

图24-26中的放大器被称为运算跨导放大器（Operational Transconductance Amplifier，OTA）。OTA在CMOS模拟电路设计中有广泛应用。如果我们将图24-26中的NMOS管尺寸均设计为20/5，PMOS管尺寸均设计为60/5（这样在$KP_n=50\mu A/V^2$和$KP_p=17\mu A/V^2$条件下能满足式(24-73)），取电流$I=1\mu A$，那么，在$\lambda=0.06$条件下，由式（24-72）可得到该电路的小信号增益为166V/V（$=A_v$）。在$VDD=|VSS|=2.5V$条件下，当共模输入电压分别为2V、0V、−2V时做SPICE仿真（使用BSIM模型），得到增益为240。如果共源共栅连接的MOS管替换M5管和M7管，则可以增加OTA的增益。

24.4.1　电流差分放大器

另一种宽摆幅差分放大器是电流差分放大器。电流差分放大器的电路图如图24-27所示。在下面的讨论中，我们假定M1管到M4管的尺寸都相同。如果i_1和i_2都是零，那么流过电路中所有MOS管的电流均为I_{SS}。现在假定i_1增加但小于I_{SS}，这使得M1管和M2管的电流都增加，因此，流过M3管的电流要减小以使$i_{D2}+i_{D3}=2I_{SS}$。流过M3管的电流会被镜像到M4管，迫使电流i_1流出差分放大器。当增加i_2时可以做类似的分析，它使得差分放大器的输出端吸收电流i_2。改变M1~M4管之间的尺寸比例，可相应改变差分放大器的电流增益。

电流差分放大器的输入电阻就是二极管接法的MOS管的小信号电阻，即：

$$R_{in}=\frac{1}{g_m} \tag{24-75}$$

606
~
607

这种电路在低功耗和高速电路设计中均有应用。



图24-27　电流差分放大器

24.4.2　恒定跨导的差分放大器

图24-28给出了一种由N型和P型差分放大级共同构成的满摆幅（rail to rail）差分放大器[7,8]。出于失真和补偿的考虑，一般希望这种差分放大器的跨导能够保持恒定而不随它所处工作状态的改变而改变，即：无论N型和P型差分放大级都导通还是只有一个导通，跨导都保持恒定。若要使整个输入范围内的g_m都保持恒定，需要：

$$g_m = g_{mn} + g_{mp} = \sqrt{2\beta_n I_n} + \sqrt{2\beta_p I_p} = 常数 \qquad (24\text{-}76)$$

式中，g_{mn}和g_{mp}分别是N型和P型差分放大级的跨导，g_m是输入级的总跨导。由于β_n和β_p都是常数且可以设计成相等，因此，可以把式（24-76）改写成（假定两个差分放大级都工作）：

$$\sqrt{I_n} + \sqrt{I_p} = 常数 \qquad (24\text{-}77)$$

图24-28　满摆幅的差分放大器

只要两个差分放大级都工作，这个等式就总成立。如果仅有一个差分放大器导通，就会出现跨导不恒定问题。例如，共模输入信号（即差分放大级+输入端和−输入端共有的信号）

足够大时，会使得P型差分放大级截止，$I_p=0$，导致差分放大器输入级的总跨导发生改变。

要解决这个问题，应使（当两个差分放大级都导通时）:

$$I_n = I_p = I_o \tag{24-78}$$

这样，式（24-77）可简化为:

$$2\sqrt{I_o} = 常数 \tag{24-79}$$

608

如果当P型差分对截止时，我们在I_n上加入$3I_o$的电流；当N型差分对截止时，我们在I_p上加入$3I_o$的电流，则输入差分对的总跨导依然恒定为:

$$\overbrace{2\sqrt{I_o}}^{均导通时} = \overbrace{\sqrt{3I_o+I_n}}^{仅N型差分对导通时} = \overbrace{\sqrt{3I_o+I_p}}^{仅P型差分对导通时}（如果\ I_o=I_p=I_n） \tag{24-80}$$

图24-29给出了一个恒定跨导的满摆幅输入级的实例。图24-28中的相加电路在这个图中并没有给出。M1~M4管构成了P型和N型差分对。在两个差分对都导通时，流过MP1和MN1管的电流恒定为I_o（MP1和MN1管就是图24-28中的恒定电流源），每个电流差分放大器的输出电流（即流过M6管和M7管的电流）都近似为0。如果共模输入电压足够大使得P型差分对截止，MS1和MS2管也截止，这将使得流过M5管的电流变成I_o。流过M6管的电流是由M5管镜像而来。由于M6管的电流是M5管的三倍，因此，流过M6管的电流就是$3I_o$。

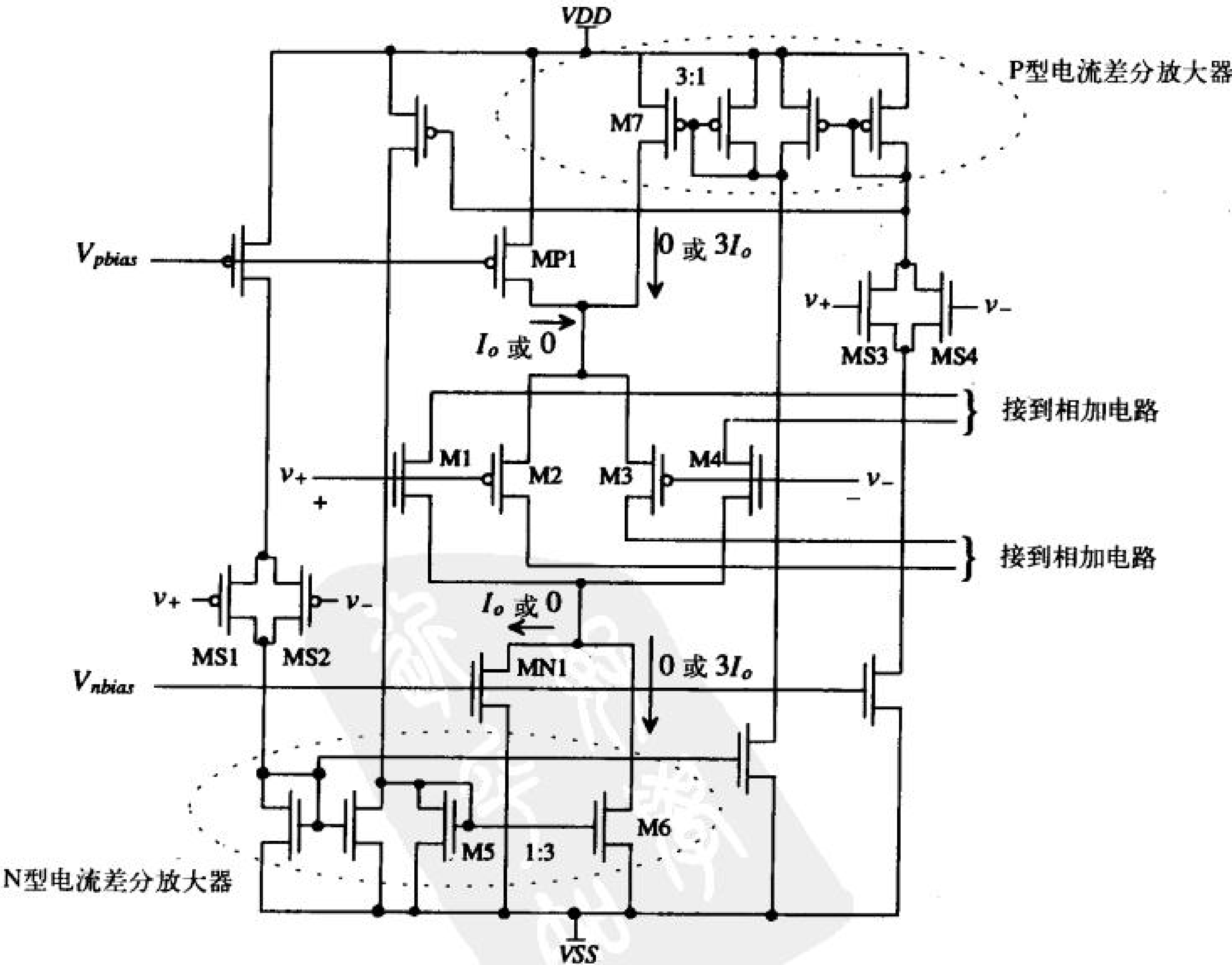


图24-29 恒定跨导的宽摆幅差分放大器

讨论

通常情况下，当运算放大器在大信号下工作时，输入信号的变化会使得作为运算放大器输入级的差分放大器导通或者截止。这种情况下，在运算放大器中使用恒定跨导差分放大器可以避免失真。在运算放大器中使用恒定跨导差分放大器还可以避免对运算放大器的过度补偿。但使用恒定跨导差分放大器也存在一些现实的问题。g_m的值可能随着工艺偏差有百分之二十的变化，我们在运算放大器设计中仍然可能会过度补偿。虽然使用恒定跨导级以避免过度补偿很有用，但我们仍可能会因考虑工艺偏差而对运算放大器过度补偿或欠补偿，附加调节电路引入的复杂性和功耗并不一定能够增强电路性能。使用恒定跨导级避免失真依赖于保持运算放大器的单位增益频率f_u恒定且与输入共模电压无关。实际上，输入差分对的失配（阈值电压和几何尺寸的失配）和差分放大器导通或截止所引起的直流偏置的变化都会导致失真。在有些情况下，这种失真会比非恒定跨导差分放大器中f_u不恒定导致的失真更严重。失配导致的失真可以用失调电压来建模，它依赖于输入共模信号。由于从恒定跨导差分放大器中流入或流出的直流电流并不是常数，因此，相加电路的直流工作点也会随着信号幅度的变化而改变，这会使低频增益发生变化从而引入失真。

609~610

参考文献

[1] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design,* Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[2] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits,* 3rd ed., John Wiley and Sons, 1993. ISBN 0-471-57495-3.

[3] R. Castello and P. R. Gray, "A High-Performance Micropower Switched-Capacitor Filter," *IEEE Journal of Solid State Circuits,* Vol. SC-20, No. 6, pp. 1122-1132, December, 1985.

[4] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS Linear Transconductor/Square-Law Function Circuit," *IEEE Journal of Solid State Circuits,* Vol. SC-22, No. 3, pp. 366-377, June 1987.

[5] M. Steyaert and W. Sansen, "A High-Dynamic-Range CMOS Op Amp with Low-Distortion Output Structure," *IEEE Journal of Solid State Circuits,* Vol. SC-22, No. 6, pp. 1204-1207, December 1987.

[6] T. S. Fiez, H. C. Yang, J. J. Yang, C. Yu, and D. J. Allstot, "A Family of High-Swing CMOS Operational Amplifiers," *IEEE Journal of Solid State Circuits,* Vol. 24, No. 6, pp. 1683-1687, December 1989.

[7] J. H. Botma, R. F. Wassenaar, and R. J. Wiegerink, "A Low-Voltage CMOS Op Amp with a Rail-to-Rail Constant-g_m Input Stage and a Class AB Rail-to-Rail Output Stage," *Proceedings of the 1993 IEEE ISCAS,* p. 1314.

[8] A. L. Coban, P. E. Allen, and X. Shi, "Low-Voltage Analog IC Design in CMOS Technology," *IEEE Transactions on Circuits and Systems,* Vol. 42, No.11, November 1995.

习题

24.1 对于图P24-1中的差分放大器，求M1管的漏端电流和输入电压$v_{I1}-v_{I2}$的函数关系（忽略体效应）。

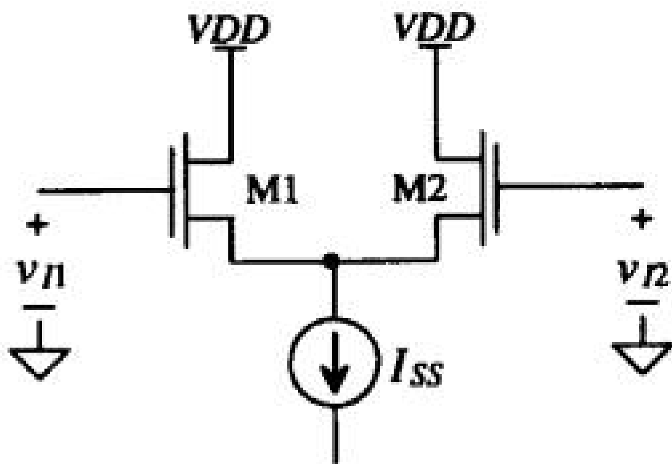


图 P24-1

611

24.2 如果M1管和M2管的宽度增加到100μm，重做例24.1。计算差分放大器的跨导。分别将i_{d2}写成g_m（$=g_{m1}=g_{m2}$）和v_{i1}的乘积形式（当v_{i2}=交流地时）、g_m和v_{i2}的乘积形式（当v_{i1}=交流地时）、g_m和$v_{i1}-v_{i2}$的乘积形式（当v_{i1}和v_{i2}都不是交流地时）。

24.3 用图P24-3中的差分放大器电路结构，设计一个电路，使它可以将一个1kHz的1V方波变换成一个1kHz的0到5V方波。注意到，该电路中的许多MOS管工作在截止区、饱和区或线性区。

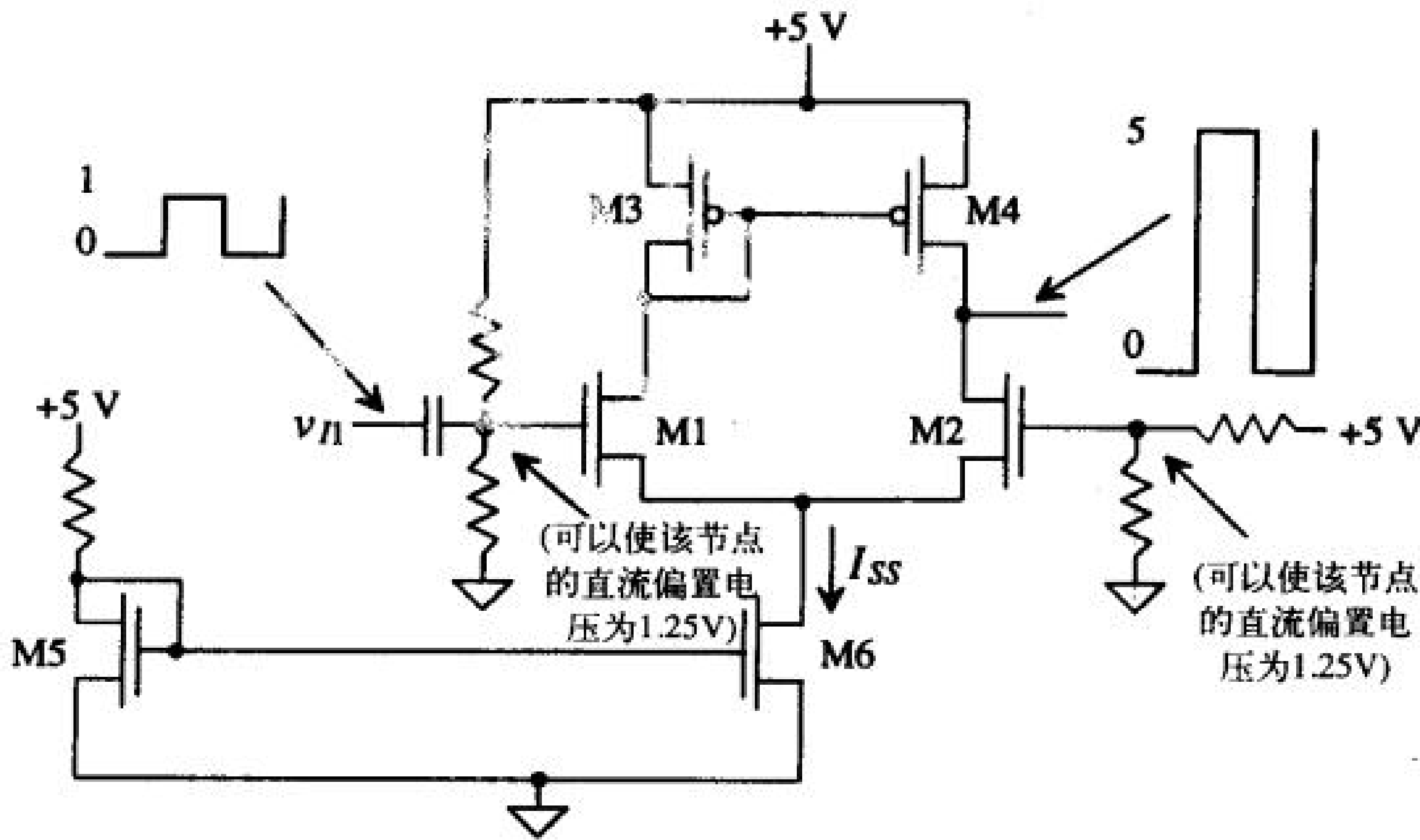


图 P24-3

24.4 仿真验证习题24.3中设计的电路。

24.5 计算图P24-5中差分放大器的小信号增益和输入共模范围。所有NMOS管的尺寸为15/5，所有PMOS管的尺寸为70/5，电阻为3.8MEG。

24.6 用SPICE仿真验证习题24.5计算的结果。

24.7 在图P24-5所示差分放大器的输出端加一个1pF电容，估算对该电容充放电引起的压摆率限制。

24.8 对于图P24-8中的N型差分对，证明：若在跨导分析中考虑体效应，则下面的关系式成立：

$$i_{d1}=\frac{g_m}{2}\left[v_{i1}\left(2-\frac{g_m}{g_m+g_{mb}}\right)-v_{i2}\cdot\frac{g_m}{g_m+g_{mb}}\right]-\frac{g_m\cdot g_{mb}}{g_m+g_{mb}}\cdot\frac{[v_{i1}+v_{i2}]}{2}$$

$$i_{d2}=\frac{g_m}{2}\left[v_{i2}\left(2-\frac{g_m}{g_m+g_{mb}}\right)-v_{i1}\cdot\frac{g_m}{g_m+g_{mb}}\right]-\frac{g_m\cdot g_{mb}}{g_m+g_{mb}}\cdot\frac{[v_{i1}+v_{i2}]}{2}$$

612

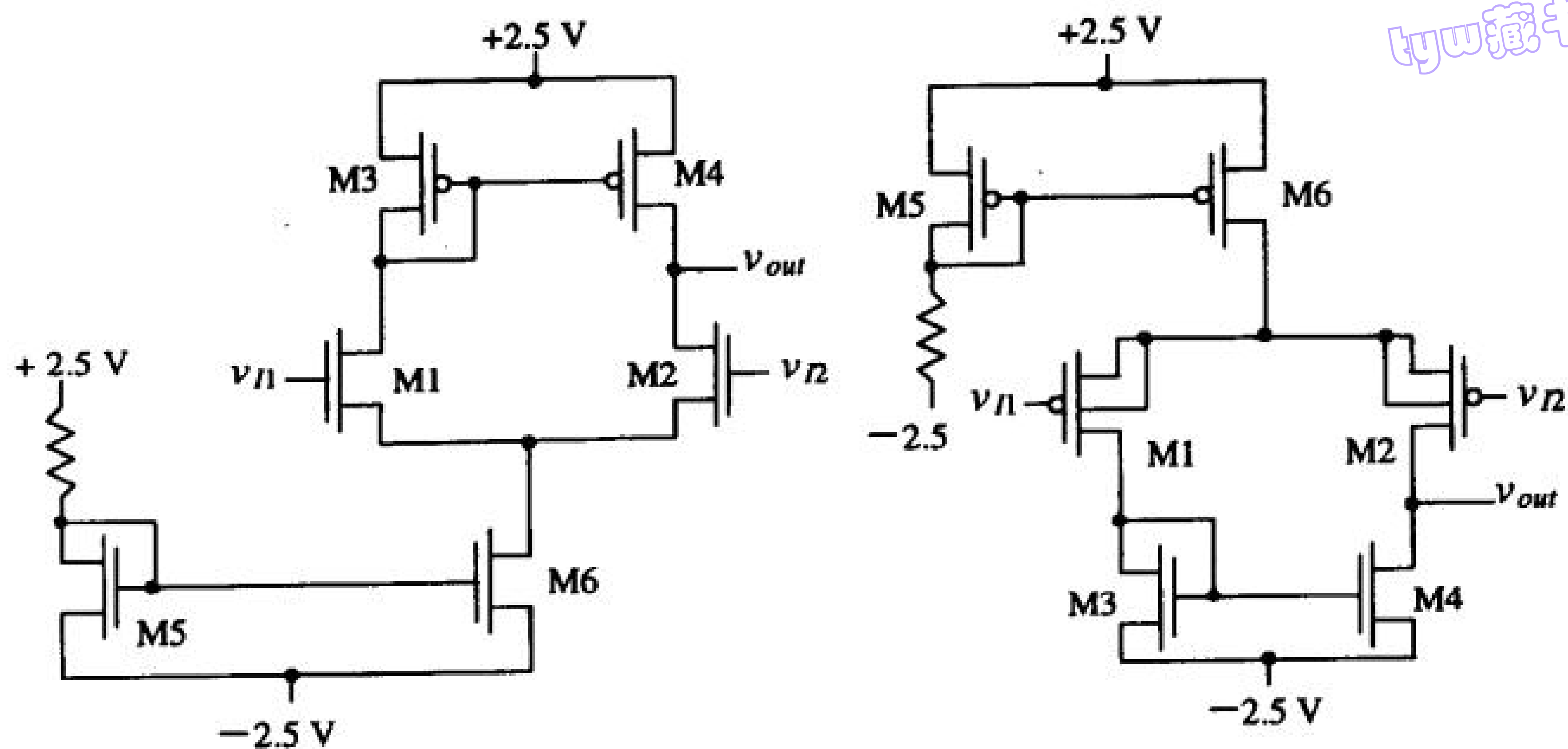


图 P24-5

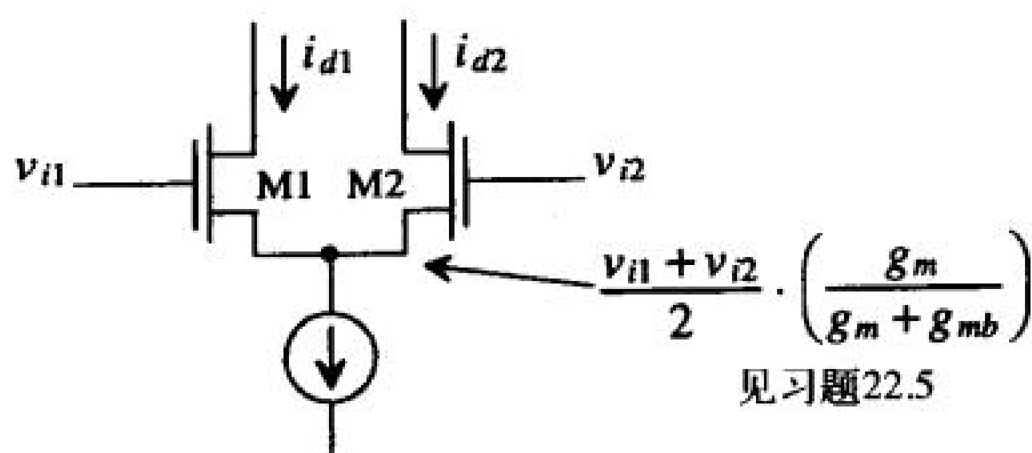


图 P24-8

24.9 图P24-9所示差分放大器电路很适用于需要输出纯差分信号的情形。计算:

(a) 差分放大器的跨导。

(b) 用输入电压和g_{mn}（NMOS管的跨导）表示的各MOS管的漏端电流。

(c) 小信号电压增益$(v_{O1}-v_{O2})/(v_{I1}-v_{I2})$。

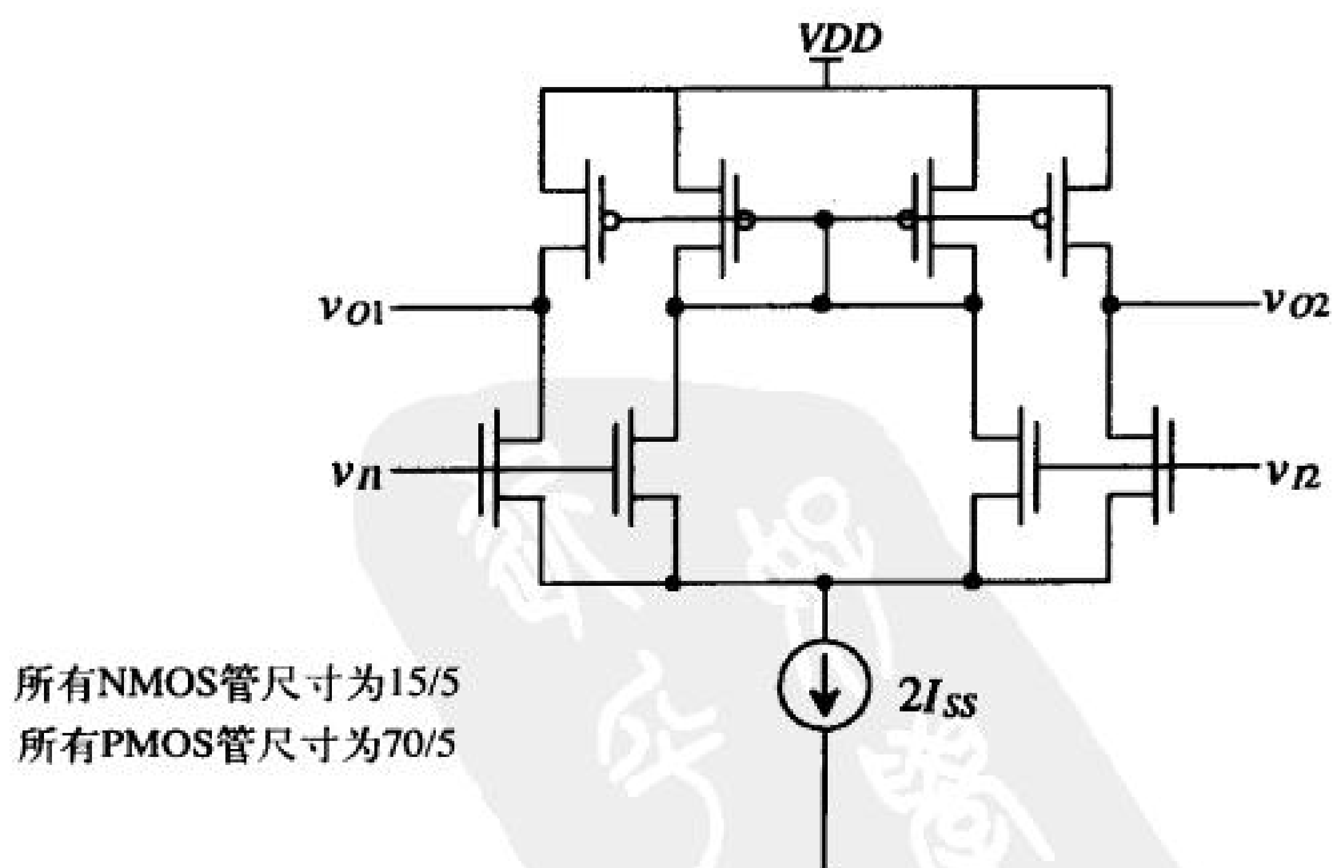


图 P24-9

24.10 如果用共源共栅电流源产生尾电流I_{SS}，计算图24-13中差分放大器的CMRR。

24.11 对于图24-13中的差分放大器，假定电流源的输出阻抗可以简单地用一个电容建模，推导CMRR

作为频率函数的表达式。假定M4管漏端的寄生电容可以忽略。

24.12 从1到1kHz带宽内，计算例24.2中差分放大器的RMS输入噪声电压。假定$KF=10^{-25}$，$AF=1.3$。

24.13 用SPICE仿真验证习题24.12计算出的噪声电压。

24.14 如果例24.5中的NMOS管和PMOS管尺寸均为100/5，重做例24.5。

24.15 计算图P24-15中放大器的小信号增益。如果电流源/沉上的最小电压为0.3V，计算放大器的输入CMR。

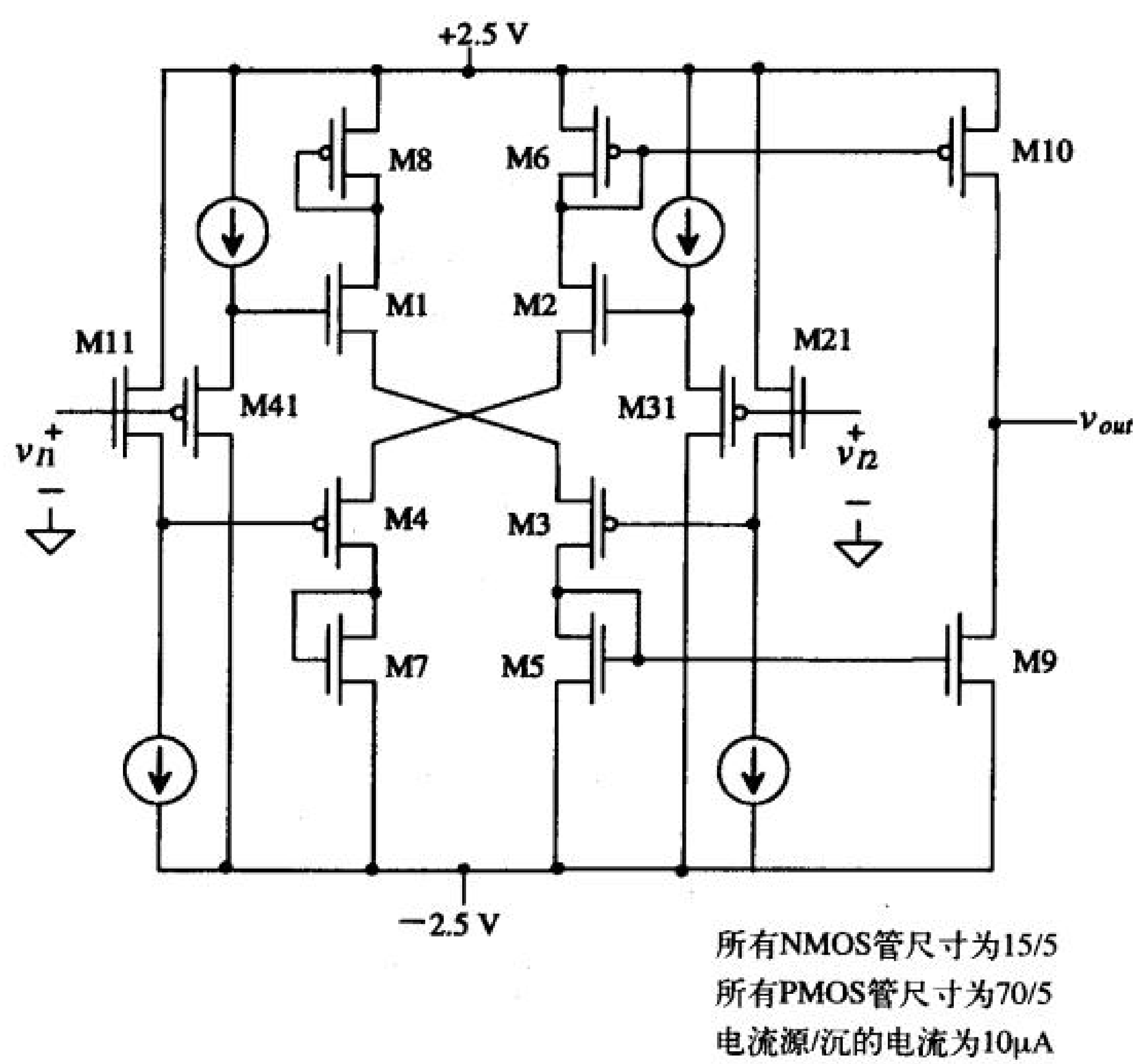


图 P24-15

24.16 如果习题24.15中的有源电流源负载M6/M8管和M5/M7管用图P24-16中的宽摆幅电流镜代替，重做习题24.15。注意，如果V_{bias}选择合适，这个放大器的CMR可以保持不变（见第20.2节的讨论）。

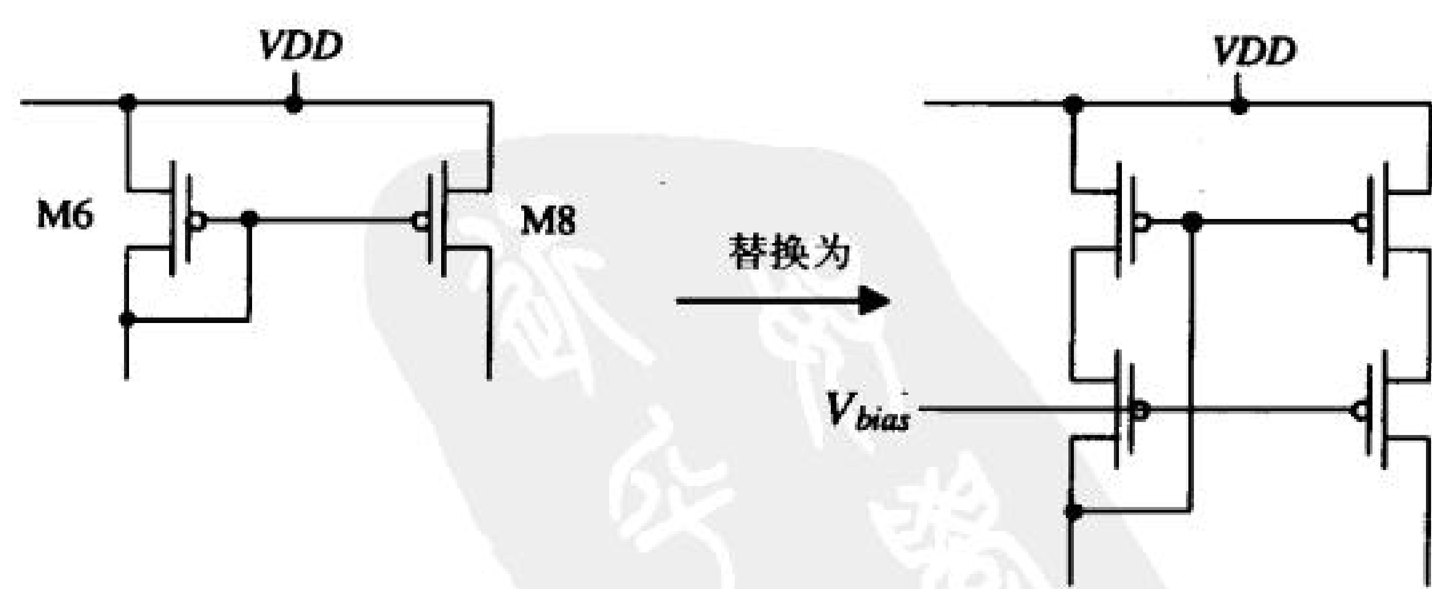


图 P24-16

24.17 如果I_{SS}为2μA，重做例24.6。

24.18 如果$VDD=-VSS=2.5\text{V}$，$I_{SS}=10\mu\text{A}$，所有NMOS管尺寸均为15/5，计算图24-27中电流差分放大器的输入CMR（以电流形式）。

24.19 计算图P24-19所示电路的v_o/v_{in}。该电路是一个电压跟随器。

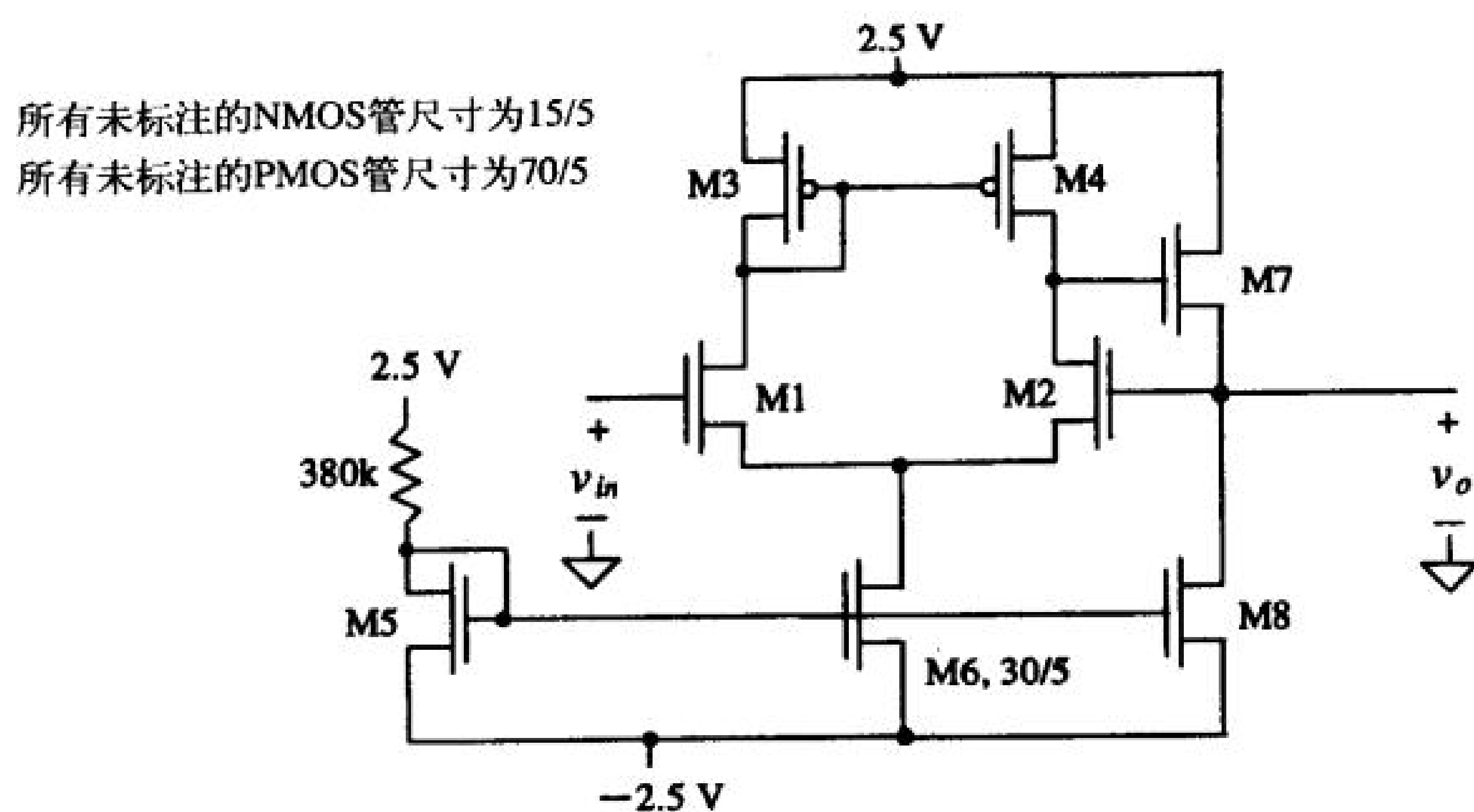


图 P24-19

24.20 图24-29中的MS1/MS2以及MS3/MS4在差分放大器中起什么作用?

24.21 证明图P24-21所示电路的输出电流与输入电压（v_{I1}和v_{I2}）的差呈平方关系。

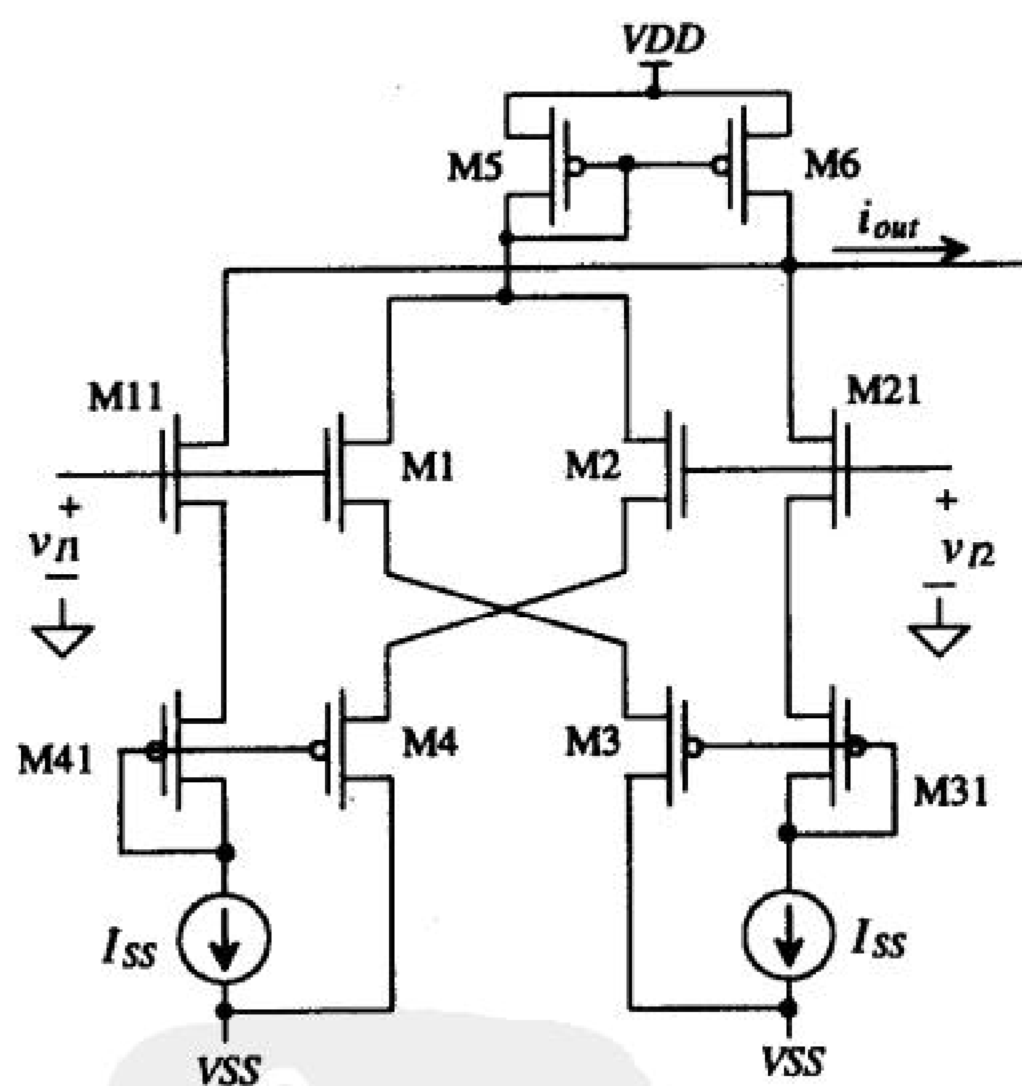


图 P24-21

613
~
616

第25章 运算放大器

运算放大器（Operational Amplifier，op-amp）是模拟集成电路设计中的基本电路模块[1-3]。图25-1给出了带输出缓冲的两级运算放大器框图。运算放大器的第一级是一个差分放大级，紧随其后是增益级（如共源级），最后是一个输出缓冲。如果整个运算放大器驱动一个很小的纯电容负载（如用于开关电容电路或者数据转换电路时），就不需要输出缓冲级。如果运算放大器驱动电阻负载或者一个很大的电容负载（或者两者的结合），就需要使用输出缓冲级。

对于无法驱动电阻负载且已封装好的运算放大器而言，其电路特性很难描述，因此，本章的讨论将从带输出缓冲的两级放大器开始。设计运算放大器的过程包括：确定设计指标，选择器件尺寸和偏置，对电路补偿以保证稳定性，仿真以确定运算放大器的A_{OL}（开环增益）、CMR（输入共模范围）、CMRR（共模抑制比）、PSRR（电源电压抑制比）、输出电压范围、电流源/沉是否合适以及电路功耗等。

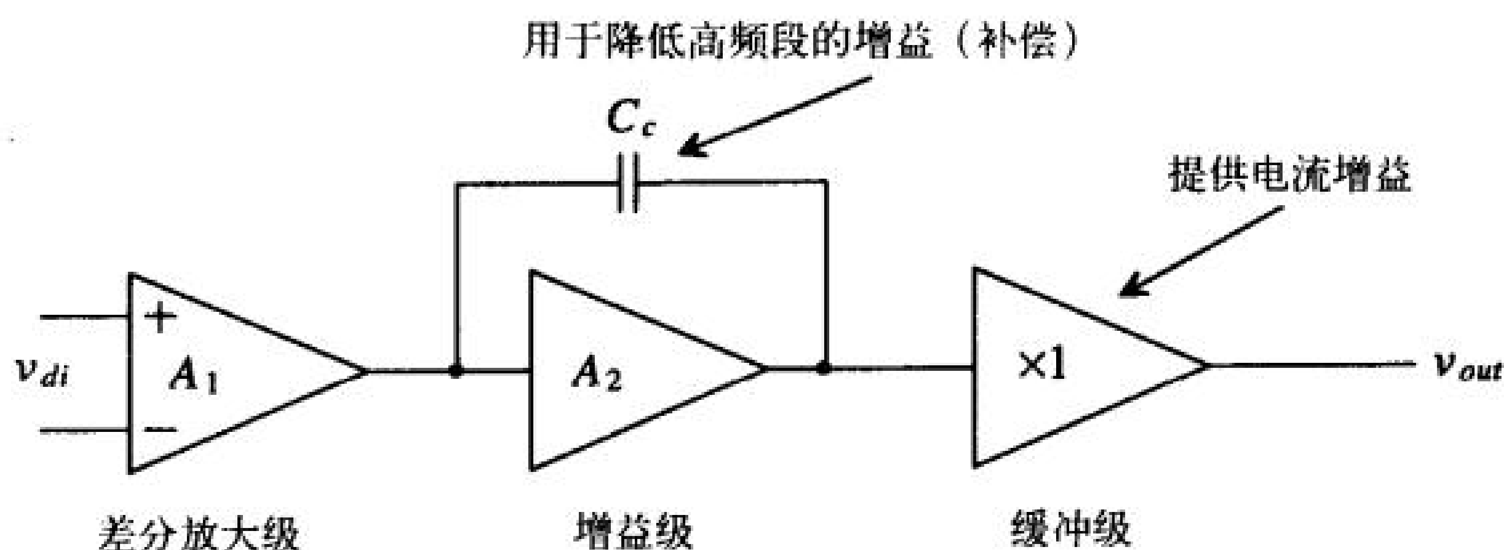


图25-1 带输出缓冲的两级运算放大器框图

25.1 基本CMOS运算放大器的设计

图25-2给出了一种运算放大器电路。我们将用该电路来讲述CMOS运算放大器的设计流程。

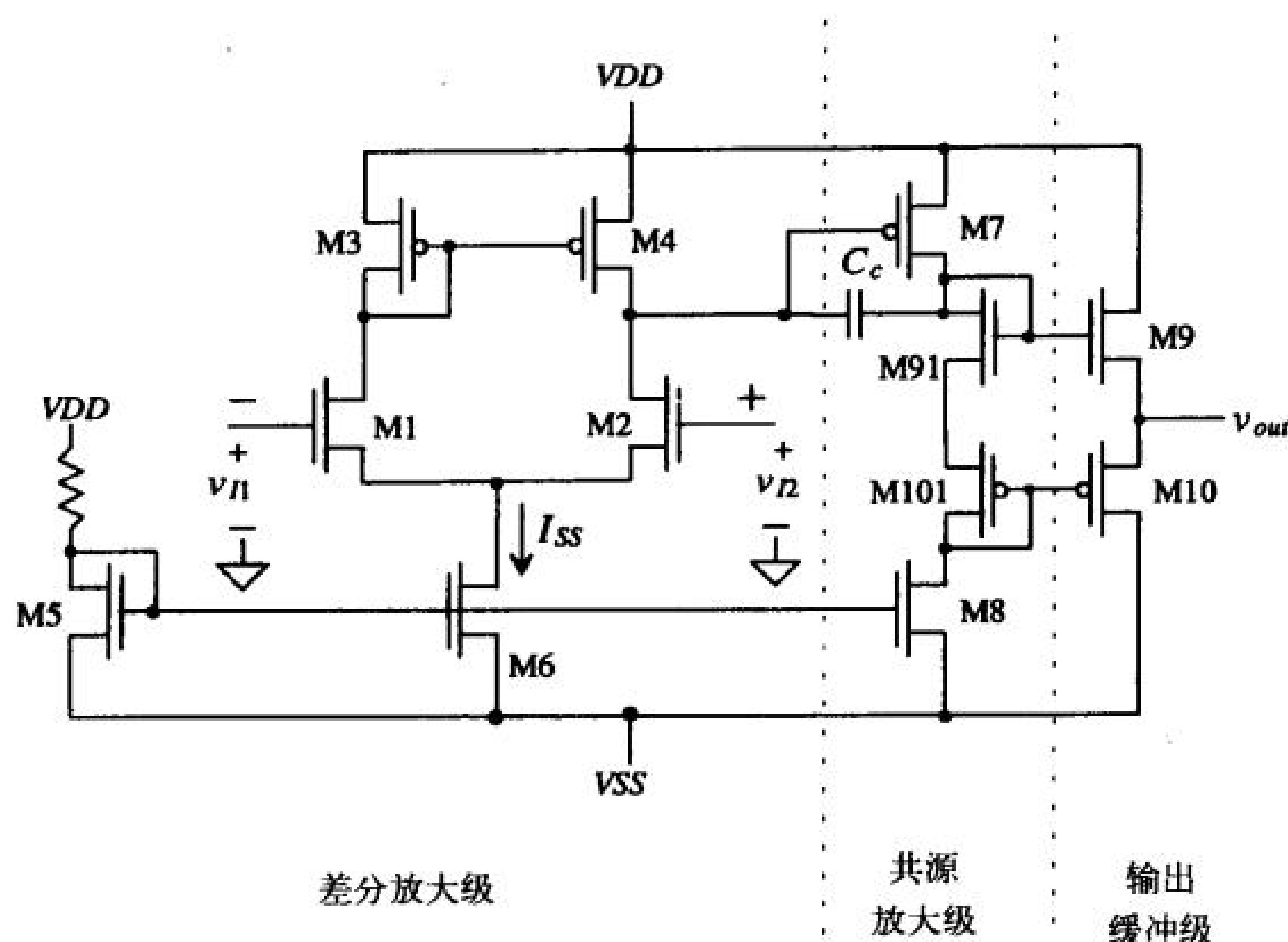
确定差分放大级的偏置电流I_{SS}

差分放大级的偏置电流I_{SS}需要根据增益、CMR、CMRR、功耗、噪声、匹配性以及压摆率来确定。如果很关心压摆率，则可以考虑选用源端交叉耦合的差分放大器作运算放大器的第一级。差分放大级的小信号增益已在式(24-25)中给出，即：

$$A_1 = g_{m1}(r_{o2}||r_{o4}) = \frac{2\sqrt{\beta}}{(\lambda_2+\lambda_4)\sqrt{I_{SS}}} = \frac{2}{(\lambda_2+\lambda_4)(V_{GS}-V_{THN})} \tag{25-1}$$

除了确定I_{SS}外，我们还必须确定MOS管的V_{GS}。通常，选择偏置电流是一个迭代过程，也就是说，我们先选择好一个偏置电流，然后再验证它是否满足上述许多重要特征指标参数。通常，在给定偏置电流的情况下，增大差分对MOS管的宽长比（如保持L不变、增加W）会使V_{GS}降低、CMR增大、输入参考噪声降低、匹配性更好、增益增大（其原因是β增大）；这样做的

主要缺点在于增加了版图面积和寄生电容（因此会降低电路速度）。



618

图25-2 带输出缓冲的运算放大器

我们可以先取$I_{SS}=20\mu A$、$V_{GS}=1.2V$，这就是例24.2、24.3以及图24-11中的差分放大器电路。当要设计的运算放大器是为了片外使用时，差分输入级中MOS管的沟道宽度通常为几百微米；对于同样的I_{SS}，这会增大运算放大器的开环增益但也会减小V_{GS}（这样做有利于增大运算放大器的共模范围）。

确定器件的尺寸

设计运算放大器的下一步是确定第二级的偏置电流。在前面确定差分放大级的偏置电流时，我们考虑了很多问题，确定第二级的偏置电流时同样需要考虑这些问题。前面我们分析过图20-3所示电路，由分析结果知：当运算放大器的两个输入（即M1管和M2管的栅极）电压相同时，流过M3管和M4管的电流相等。这使得M4管的漏端和它的栅端电压相同。如果我们想把流经M7管的电流设置为10μA，我们只需要简单地把它的尺寸设置为与M4管相同即可；如果需要5μA的电流，则把M7管的W/L设置为M4管的一半，即35/5。接着，我们设计M8管，使它的漏端电流为10μA（和流过M7管的电流相等）。假定$(1/g_{m91}+1/g_{m101})$与$r_{o7}||r_{o8}$相比很小，则第二级的增益为：

$$A_2=-g_{m7}\cdot(r_{o7}||r_{o8})=\frac{-\sqrt{2\beta_7 I_{D7}}}{(\lambda_7+\lambda_8)I_{D7}}=\frac{-2}{(\lambda_7+\lambda_8)(V_{SG}-V_{THP})} \tag{25-2}$$

由此得到运算放大器的开环增益为：

$$A_{OL}=A_1\cdot A_2=g_{m1}(r_{o2}||r_{o4})\cdot[-g_{m7}(r_{o7}||r_{o8})] \tag{25-3}$$

如果我们采用图25-3中的尺寸，则运算放大器的开环增益为：

$$|A_{OL}|=\overbrace{\sqrt{2\cdot 50\frac{\mu A}{V^2}\cdot\frac{15}{5}\cdot 10\mu A}}^{g_{m1}}\cdot\overbrace{\left[\frac{1}{(0.06+0.06)10\mu A}\right]^2}^{(r_{o2}||r_{o4})\cdot(r_{o7}||r_{o8})}\cdot\overbrace{\sqrt{2\cdot 17\frac{\mu A}{V^2}\cdot\frac{70}{5}\cdot 10\mu A}}^{g_{m7}}$$

$$=2\ 600\,\frac{V}{V}$$

如果把偏置电流减小为1μA，则将使得开环增益增大10倍。

输出级采用了第22章中讨论的甲乙类输出级。M91管和M101管为源跟随缓冲级（由M9和M10管构成）提供偏置。M9管的栅端电压可以达到VDD。如果M9和M10管的栅源电压不超过1.2V，那么输出级能提供的最大驱动电流为（忽略体效应）：

$$I_{OUTMAX}=\frac{\beta_9}{2}(V_{GS9}-V_{THN})^2=50\,\frac{\mu A}{V^2}\cdot\frac{150}{2}(1.2-0.83)^2=500\,\mu A \tag{25-4}$$

619

最小驱动电流为：

$$I_{OUTMIN}=\frac{\beta_{10}}{2}(V_{SG10}-V_{THP})^2=17\,\frac{\mu A}{V^2}\cdot\frac{700}{2}(1.2-0.91)^2=-500\,\mu A \tag{25-5}$$

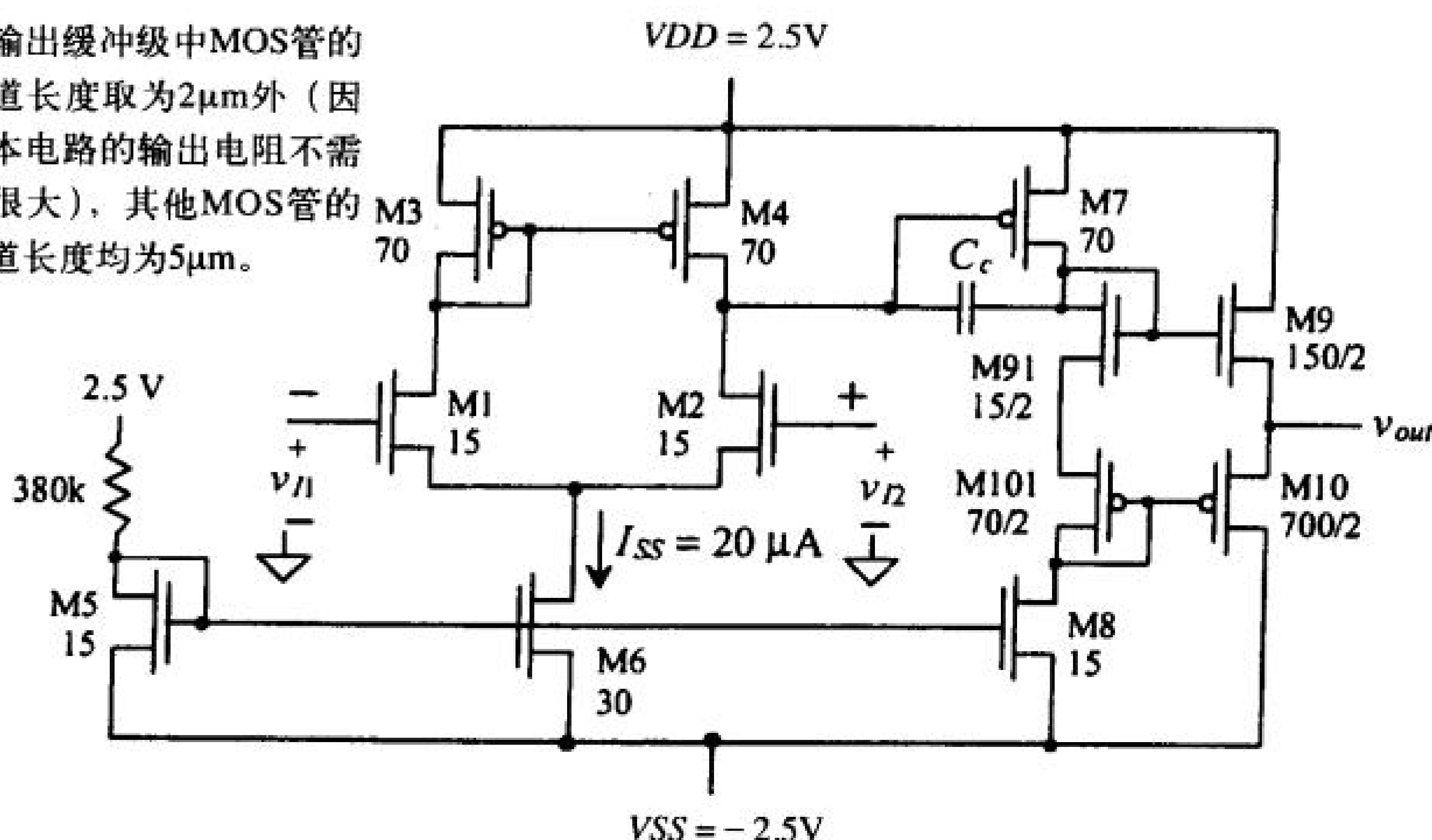


图25-3 标明了各MOS管尺寸的运算放大器

在这种情况下（即负载电流已定），最大输出摆幅由下式给出：

$$V_{OUTMAX}=VDD-1.2 \tag{25-6}$$

$$V_{OUTMIN}=VSS+1.2 \tag{25-7}$$

实际上，最大输出电流与放大器的输出电压密切相关。例如，若$V_{out}=0V$，电源电压为2.5V，则运算放大器可以输出的电流为：

$$I_{OUTMAX}=50\frac{\mu A}{2}\cdot\frac{150}{2}(2.5-0.83)^2=10\text{ mA} \tag{25-8}$$

M9管的功耗为2.5 × 0.010 = 25mW！回顾第9章中讲述的MOS管的温度特性，可知：V_{GS9}将一直增加，直到M9管关断，以避免器件热失控。尽管器件和运算放大器不会被这种过载功耗损坏，但还是应注意避免这种情形的发生。因此，需要在运算放大器的输出端加入最大电流探测电路或者短路保护电路。考虑图25-4所示短路保护电路。当运算放大器的输出级向负载输出电流时，如果流过M9管的电流大于下式确定的电流：

$$I_{OUTMAX}=\frac{V_{THN}}{R} \tag{25-9}$$

620

则，加在M9管栅上的驱动电压就会被去掉。

当运算放大器的输出级从负载抽取电流时，如果流过M10管的电流大于下式确定的电流：

$$I_{OUTMIN}=\frac{V_{THP}}{R} \tag{25-10}$$

则，加在M10管栅上的驱动电压就会被去掉。这就使得输出级中的MOS管不会流过太大电流，保护输出级。该电路中电阻的典型值为1kΩ。

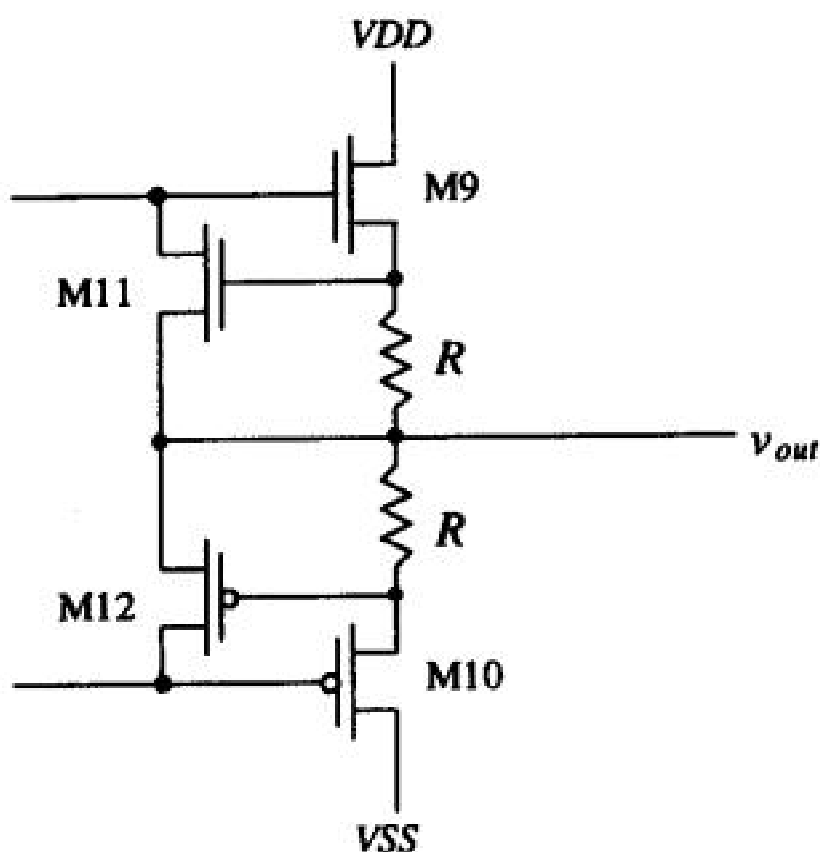


图25-4 在输出级增加M11管、M12管和电阻以构成短路保护

运算放大器的补偿

运算放大器设计中的最后一步是确定补偿网络。运算放大器的闭环增益可以用反馈方程的形式写出，为：

$$A_{CL}=\frac{A_{OL}}{1+A_{OL}\beta} \tag{25-11}$$

从第23章的讨论知，当环路增益$A_{OL}\beta=-1$时，反馈放大器变得不再稳定。这等于要求：

$$|A_{OL}\beta|=1 \text{ 且 } \angle A_{OL}\beta=\pm180^\circ \tag{25-12}$$

β代表反馈到输入端并从输入信号中减掉的输出信号的大小，因此，β的最大值是所有的输出都被反馈到输入端的情形，此时β＝1。图25-5中的电压跟随结构的放大器是β＝1的闭环放大器实例。在这种情况下，我们可以把式(25-12)重写为：

621

$$|A_{OL}|=1 \text{ 且 } \angle A_{OL}=\pm180^\circ \tag{25-13}$$

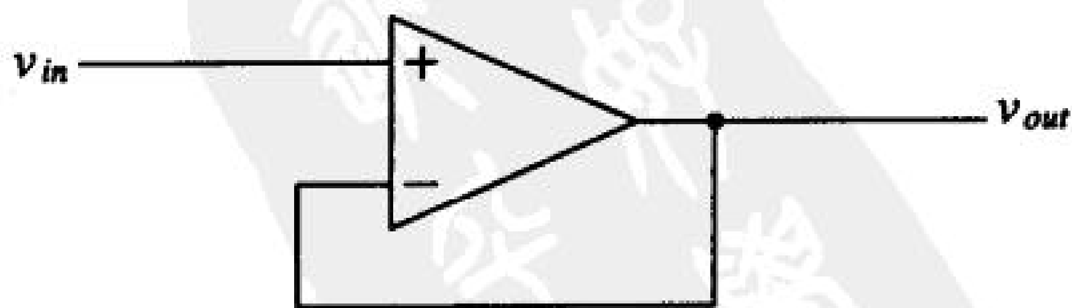


图25-5 β＝1的闭环放大器实例——电压跟随结构

我们将在下面运算放大器补偿的讨论中使用这个结果（即将考虑一个放大器的开环增益）。

在两级运算放大器中，考虑到高阻抗节点产生主要的极点，它的小信号模型见图25-6。差分放大器的输出端到地的电阻为：

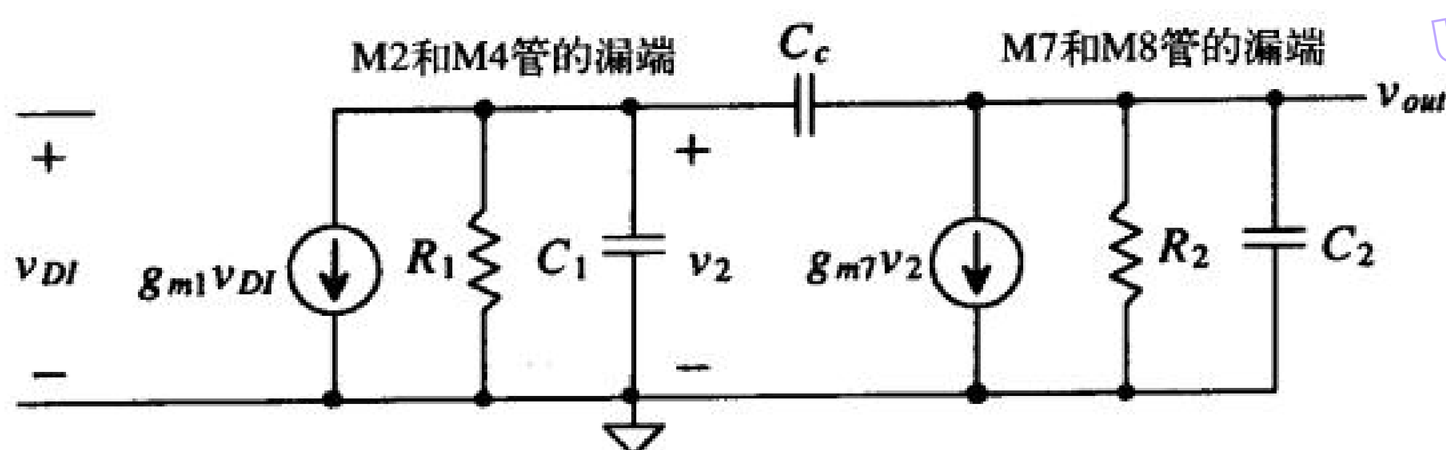


图25-6 两级运算放大器的小信号模型

$$R_1 = r_{o2} || r_{o4} \tag{25-14}$$

该节点电容由式(24-28)给出，为:

$$C_1 = C_{gs7} + C_{gd7}(1 + |A_2|) + C_{db4} + C_{gd4} + C_{db2} + C_{gd2} \tag{25-15}$$

对当前这个放大器，有:

$$R_1 = 833\ \text{k}\Omega$$

利用例24.4的结果，有

$$C_{gs7} = \frac{2}{3} \cdot C'_{ox} \cdot W_7 L_7 = 187\ \text{fF}$$

$$C_{gd7} = W \cdot CGDO = 70\ \mu\text{m} \cdot 5 \times 10^{-10} \frac{\text{F}}{\text{m}} = 35\ \text{fF}$$

由式(25-2)可求得第二级的增益A_2为−58V/V。由例24.4的结果知电容C_1为:

$$C_1 = 187 + 35(1 + 58) + 190 = 2.44\ \text{pF}$$

这样，在图25-3所示电路中，由该节点的时间常数得到的一个极点为:

$$f_1 = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi \cdot 833\ \text{k} \cdot 2.44\ \text{pF}} = 78\ \text{kHz}$$

M7管的漏端为高阻节点，它引起的一个极点可以用R_2和C_2求得。R_2和C_2分别为:

$$R_2 = r_{o7} || r_{o8} \tag{25-16}$$

622

$$C_2 = C_{gd7}\left[1 + \frac{1}{|A_2|}\right] + C_{db7} + C_{db8} + C_{gd8} + C_{gd9} + C_{gd10} \tag{25-17}$$

由于该运算放大器中，第一级和第二级的偏置电流相同，因此，R_2的值与R_1的值相同。C_2的值是以下几个电容之和: $C_{gd7}=35\text{fF}$，$C_{db7}=137\text{fF}$，$C_{db8}=9.4\text{fF}$，$C_{gd8}=5.7\text{fF}$，以及:

$$C_{gd9} = 150\ \mu\text{m} \cdot 3.8 \times 10^{-10} = 57\ \text{fF}$$

$$C_{gd10} = 700\ \mu\text{m} \cdot 5 \times 10^{-10} = 350\ \text{fF}$$

由此求得$C_2=600\text{fF}$。由M7和M8管漏端这一高阻节点引入的极点为:

$$f_2 = \frac{1}{2\pi R_2 C_2} = 318\ \text{kHz}$$

至此，我们还没有考虑补偿电容C_c的影响。在我们尝试补偿该运算放大器以使它稳定之

前，先讨论一下放大器开环增益的仿真。仿真开环增益是另一种寻找主极点位置的方法，并可以和我们前面手算的结果加以比较。图25-7给出了一种很有用的电路，可以仿真运算放大器的开环增益而不论它是否带有补偿网络。电阻反馈能保证运算放大器有稳定的直流工作状态，而电容和电阻的联合使用消除了从运算放大器输出端反馈回去的交流信号。对于上面讨论的图25-3中的放大器电路，不带补偿时的SPICE仿真结果由图25-8给出。开环增益为1(即0dB)的点对应的相位为160°，即相位裕度为-20°，因此，该放大器很不稳定。通常，对运算放大器补偿后，相位裕度不应小于+45°。

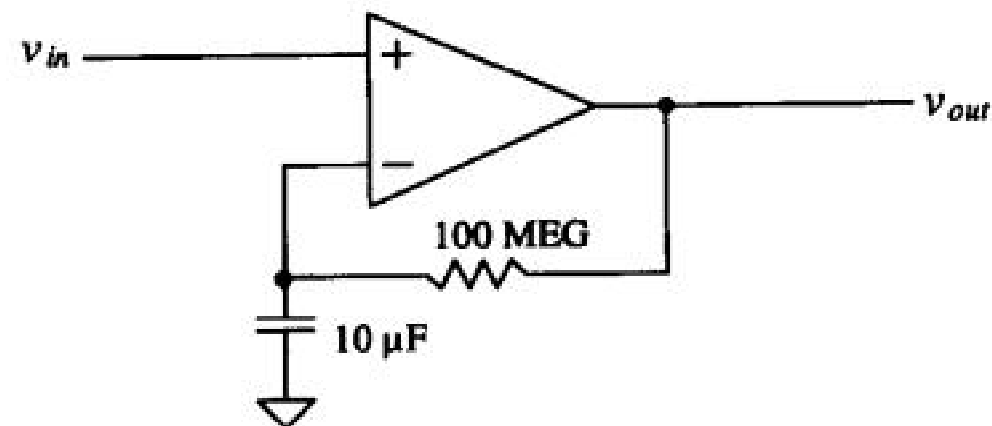


图25-7　一种用于测量开环增益和频率响应的电路结构

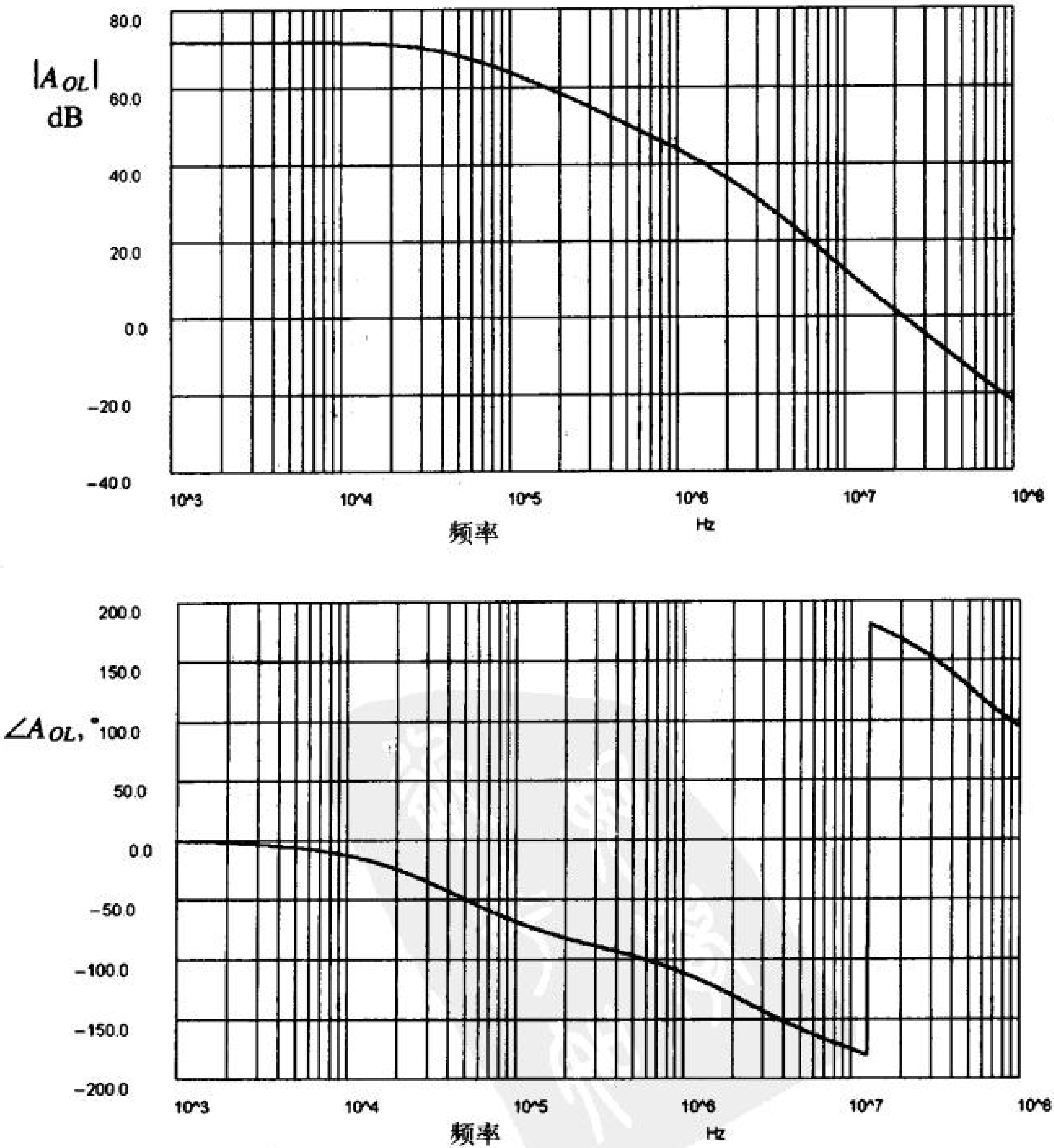


图25-8　图25-3所示运算放大器的未补偿时的开环频率响应

623
~
624

图25-3所示运算放大器中的补偿电容使得增益在第二个极点发挥作用之前，早已开始下降。如果C_c远大于C_1($v_2 \approx 0$，$g_{m1}v_{DI}$全部从C_c通过)，则我们可以用输入电压来表示输出电压，为:

$$v_{out} = \overbrace{g_{m1}v_{DI}}^{\text{第一级的输出电流}} \cdot \frac{1}{j\omega C_c} \tag{25-18}$$

$$A_{OL} = \frac{v_{out}}{v_{DI}} = \frac{g_{m1}}{j\omega C_c} \tag{25-19}$$

如果我们把开环增益幅值为1时的频率记做f_u，那么我们可以根据下式来确定补偿电容的大小:

$$|A_{OL}| = \frac{g_{m1}}{2\pi f C_c} \tag{25-20}$$

当$|A_{OL}|$等于1时，有:

$$C_c = \frac{g_{m1}}{2\pi f_u} \tag{25-21}$$

上式对常用运算放大器的设计很有帮助，特别是当放大器的带宽要求不是非常苛刻时。

要补偿图25-3所示运算放大器，首先需要考察图25-8中开环增益幅值曲线和相位曲线。我们的手算表明: $f_1 = 78\text{kHz}$，$f_2 = 318\text{kHz}$；而SPICE仿真结果给出的结果是: $f_1 = 50\text{kHz}$，$f_2 = 1.5\text{MHz}$。如果我们把单位增益频率选在第二个极点的位置，则A_{OL}的相位近似为135°，对应的相位裕度为45°。若要使相位裕度更大一些，可以把f_u设置为1MHz，对应的补偿电容为:

$$C_c = \frac{55\frac{\mu A}{V^2}}{2\pi 10^6} = 8.75\ \text{pF}$$

补偿后的运算放大器的相位和幅值曲线见图25-9。由该图知，其相位裕度近似为45°。实际的电路设计中，最好把补偿电容增加到10pF以使相位裕度更大一些。

到现在我们可能会问: “为什么我们总是需要考虑相位裕度？”其原因在于: 较大的负载电容会增加运算放大器的相位改变，而反馈网络通常也不是零延迟。如果在反馈环路中加入一个n阱电阻，则n阱电阻延迟所对应的相位变化为:

$$\theta = t_{delay} \cdot f \cdot 360° \tag{25-22}$$

补偿电容会影响运算放大器的另一个性能指标——压摆率。补偿电容和差分对的偏置电流共同决定了运算放大器的压摆率。运算放大器输出的最大改变速率近似为I_{SS}对C_c充电的速率，即: 625

$$SR = \frac{dV_{out}}{dt} = \frac{I_{SS}}{C_c} \tag{25-23}$$

在某些情况下，这是一个非常重要的指标参数。用源端交叉耦合对替换源端耦合对，可以消除这种运算放大器中的压摆率限制，但代价是电路结构更复杂，功耗更大。

在推导补偿特性时，我们假定C_c远大于C_1。这种近似存在几个实际的问题。回顾图25-9，我们可以看到，A_{OL}在f_u附近存在一个零点。这个零点会使得f_u定义不明确。对图25-6中带补偿电容的两级运算放大器进行更精确的分析，可以得到下式:

$$\frac{v_{out}}{v_{DI}} = \frac{g_{m1}g_{m7}R_1R_2\left(1 - \frac{sC_c}{g_{m7}}\right)}{s^2R_1R_2[C_1C_2 + C_c(C_1 + C_2)] + s[R_1(C_1 + C_c) + R_2(C_2 + C_c) + g_{m7}R_1R_2C_c] + 1} \tag{25-24}$$

该式的极点近似为:

$$p_1 \approx \frac{-1}{(1+g_{m7}R_2)C_cR_1} \tag{25-25}$$

$$p_2 \approx \frac{-g_{m7}C_c}{C_2C_1+C_2C_c+C_cC_1} \tag{25-26}$$

还存在一个右半平面的零点，为:

$$z=\frac{g_{m7}}{C_c} \tag{25-27}$$

把这个结果和式(25-20)比较，可以看出：如果第一级和第二级的跨导接近，那么运算放大器的单位增益频率和零点的位置就相当接近了。由于该零点位于右半平面，使得相位裕度进一步下降。从直观上看，可以理解为第一级的输出通过补偿电容被直接送到了第二级的输出，并没有实现反相，从而使相位裕度降低了。

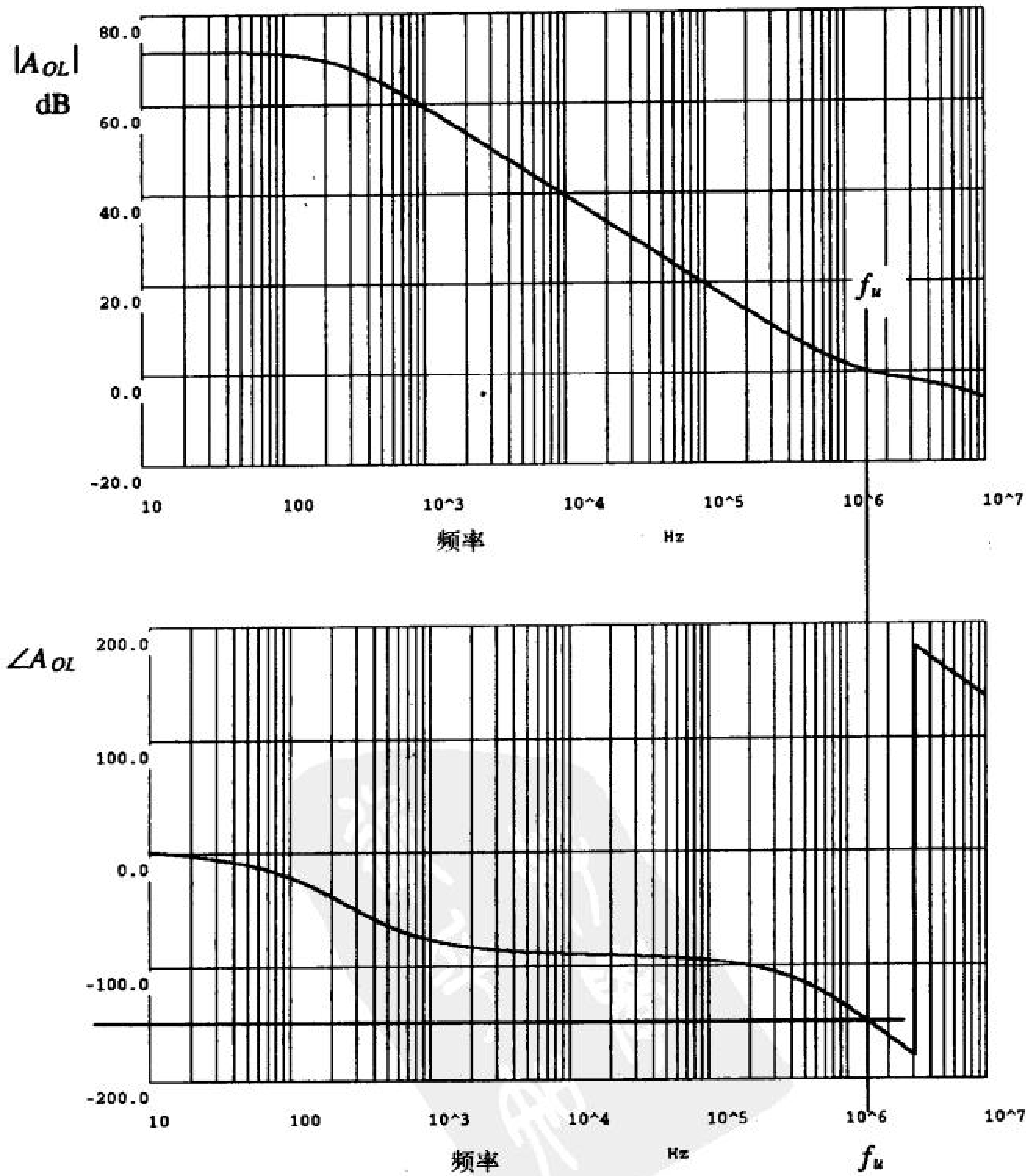


图25-9 图25-3所示运算放大器在补偿后的开环特性

要解决这个信号穿通问题，我们可以给补偿电容串联一个电阻，如图25-10所示。增加这个电阻可以把零点改为:

$$z=\frac{1}{C_c\left(\frac{1}{g_{m7}}-R_z\right)} \tag{25-28}$$

如果我们选择R_z使得它等于$1/g_{m7}$，那么就可以使这个零点消失。若使R_z大于$1/g_{m7}$，则该零点会改善开环的频率响应从而增加相位裕度。正是由于这个原因，这种类型的补偿有时也被称为超前补偿。

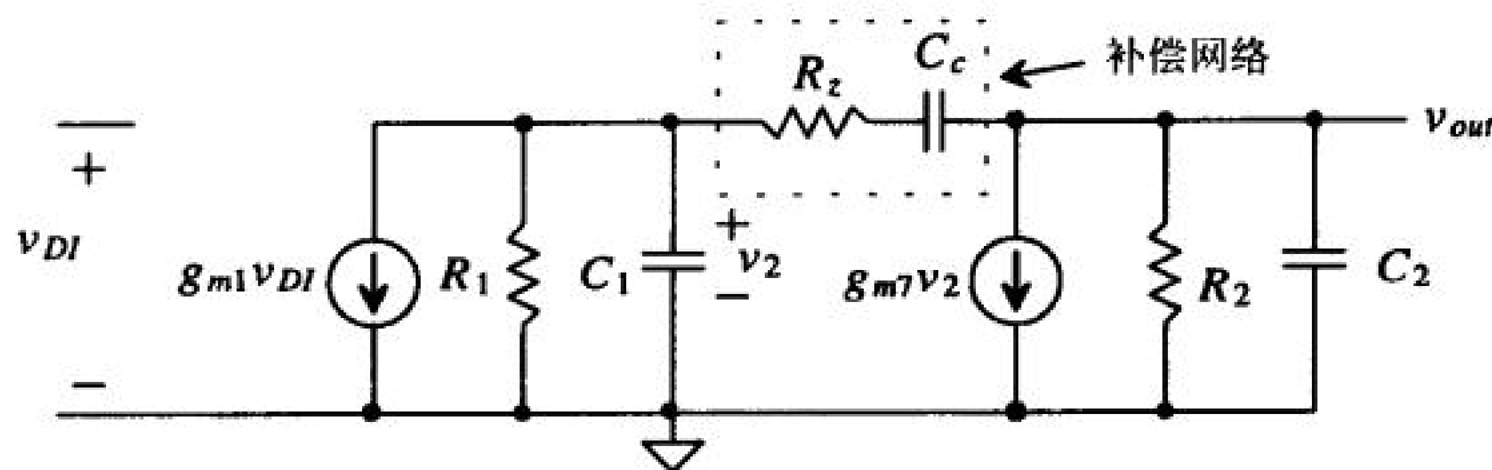


图25-10　两级运算放大器实际采用的补偿网络

对于图25-3中的运算放大器，如果$g_{m7}=70\mu A/V^2$，那么零点消除电阻的阻值可以由下式得到:

$$R_z=\frac{1}{g_{m7}}=14.5\ \text{k}\Omega \tag{25-29}$$

626~627

增加零点消除电阻后，补偿电容C_c的选择与我们前面的讨论相比没有变化（因为R_z对低频极点没有影响）。该运算放大器的完整电路图见图25-11[⊖]，其中包括了补偿网络。带补偿网络的运算放大器的开环增益的幅值曲线和相位曲线见图25-12。由于联合使用了R_z和C_c，因此，运算放大器的相位裕度比单独使用C_c时要好。任何一种实际应用的两级运算放大器都应该在补偿网络中使用零点消除电阻。

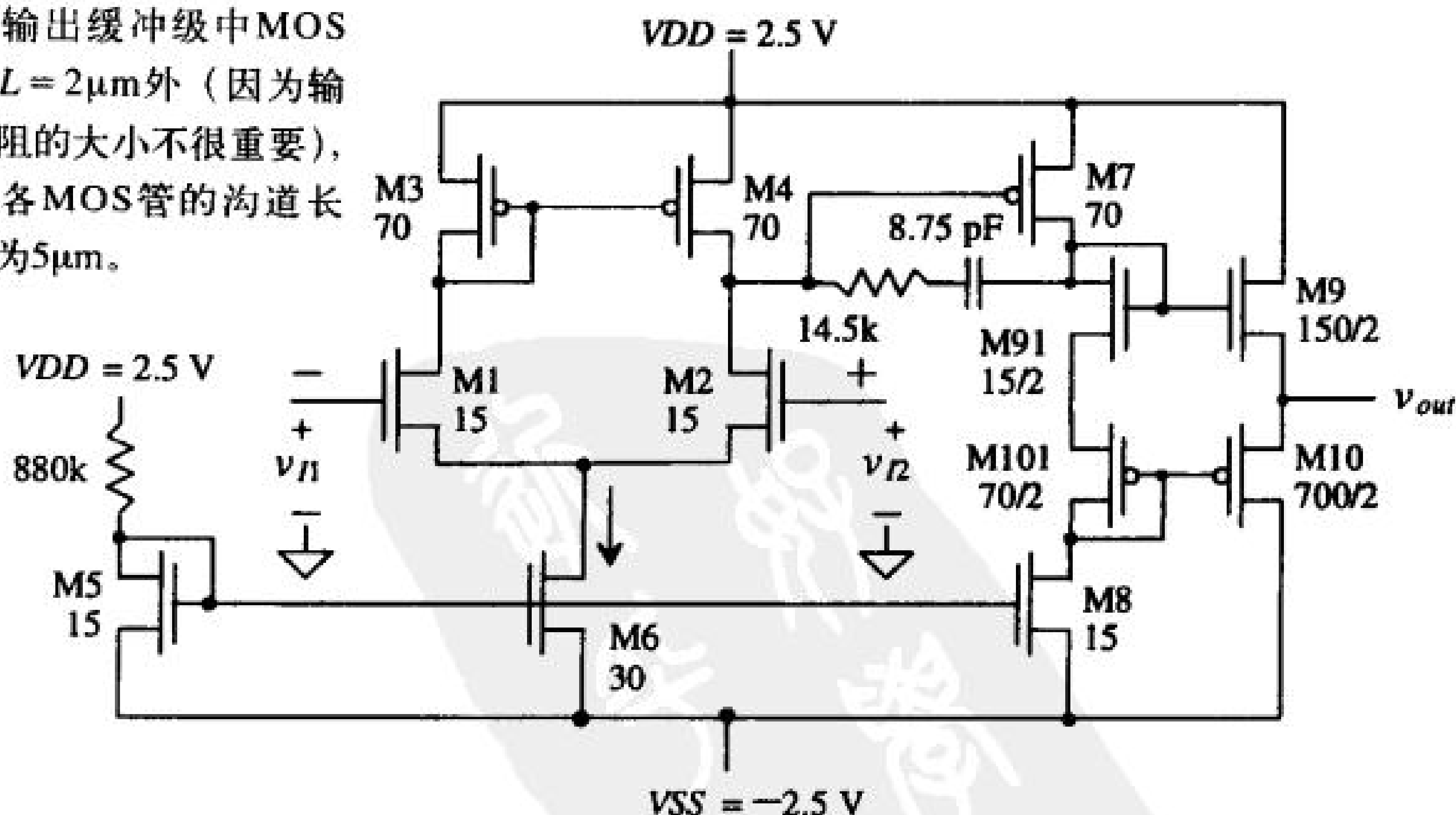


图25-11　带补偿的运算放大器的完整电路图

628

⊖ 我们可以用一个电流源代替图25-11中的880kΩ电阻，为这个运算放大器提供偏置。这里，我们选用电阻是为了简化电路图。实际上，第21章中的任何一种电流源都可以通过M5管提供一个偏置电流，从而为运算放大器提供偏置。

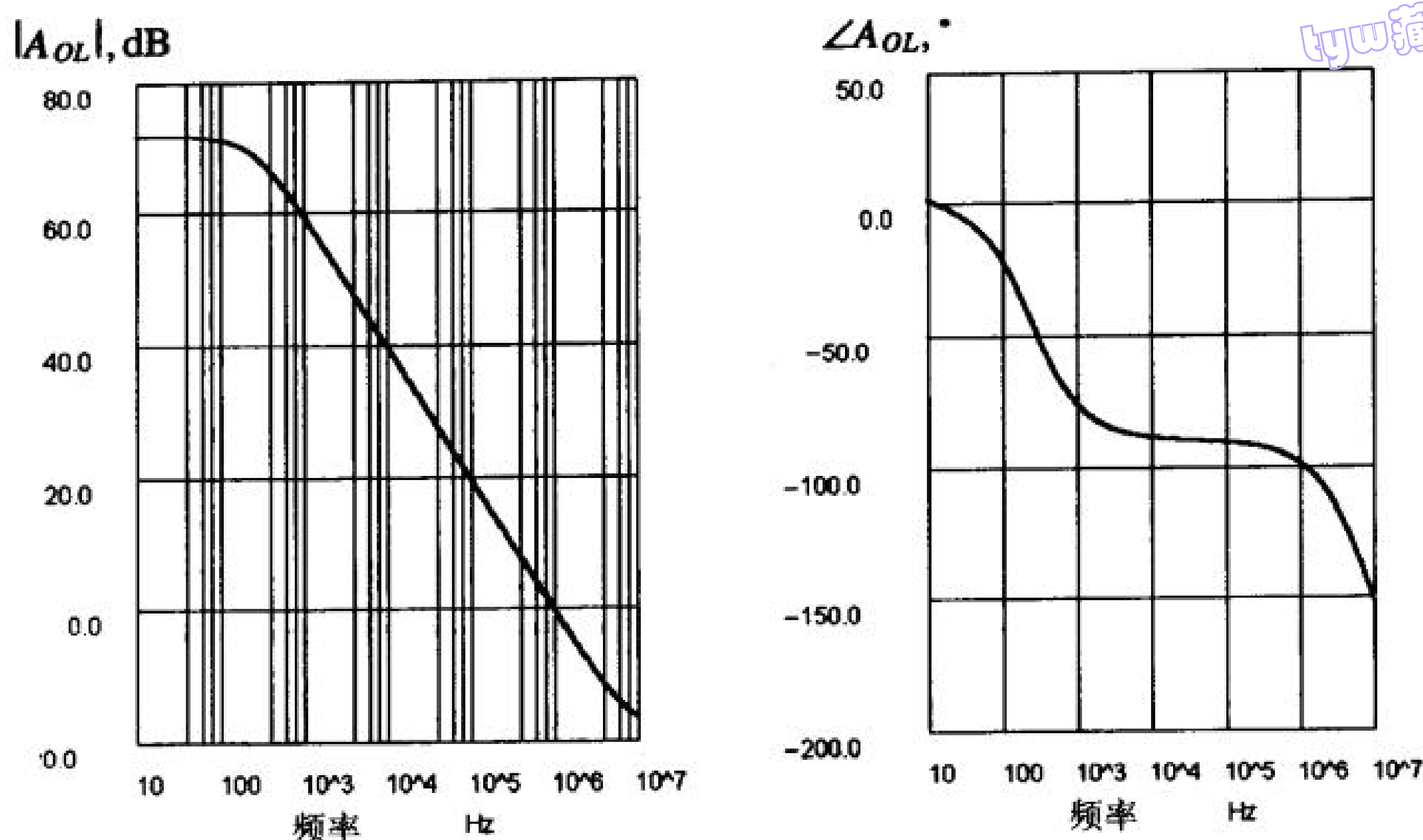


图25-12 图25-11中带零点消除电阻的运算放大器的开环增益和相位响应曲线（相位裕度近似为80°）

零点消除电阻R_z也可以用MOS管来实现（即图25-13中的M13管）。通常，设计者更愿意用MOS管来实现R_z，因为这样可以设置M13管的有效沟道电阻，使它能跟踪$1/g_{m7}$随温度和工艺的变化。一个由M14、M15以及M16管构成的偏置电路用来产生M13管所需的栅偏置电压（该MOS管被当作R_z使用）。由第9章的讨论知，工作于线性区的PMOS管的沟道电阻为：

$$R_{ch}=\frac{1}{\beta(V_{SG}-V_{THP})}=R_z \tag{25-30}$$

g_{m7}和$1/R_{ch}$分别等于：

$$g_{m7}=\beta_7(V_{SG7}-V_{THP}) \qquad R_{ch}^{-1}=\beta_{13}(V_{SG13}-V_{THP}) \tag{25-31}$$

由此，可以得到g_{m7}和R_{ch}的乘积。假定$\beta_7=\beta_{14}=\beta_{15}$，$\beta_8=\beta_{16}$，可得到：

$$g_{m7}R_{ch}=\frac{\beta_7}{\beta_{13}}=g_{m7}R_z \tag{25-32}$$

由式(25-28)知，要使零点消失，需要$g_{m7}R_z$为1。为此，对于图25-11中的运算放大器来说，可以简单地将图25-13中M13管的尺寸设置为70/5（与M7管的尺寸相同）。对于超前补偿（即进

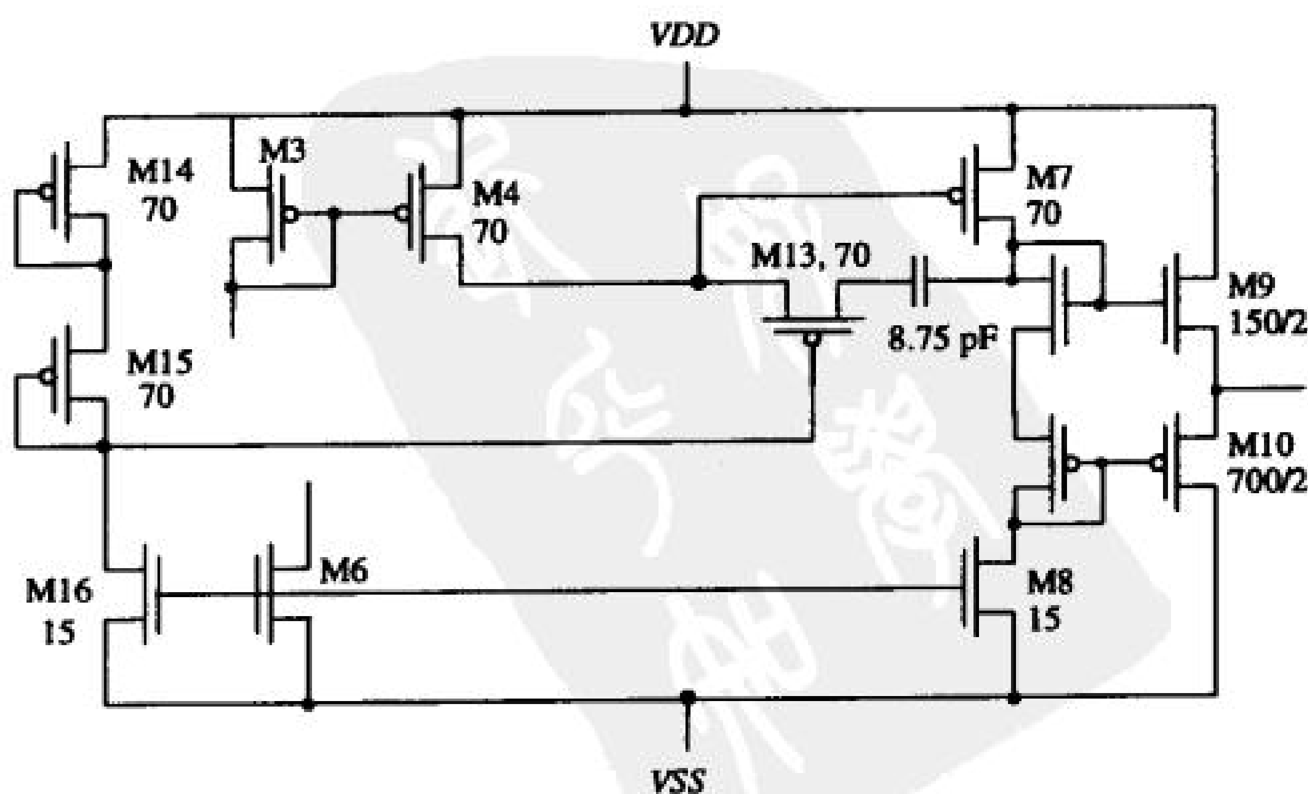


图25-13 运算放大器的部分电路（M13管用作对工艺不敏感的补偿电阻）

一步增大相位裕度），我们需要把$g_{m7}R_z$的乘积设置为大于1。为了减少运算放大器对工艺偏差的灵敏度，我们付出的代价是电路更复杂，功耗更大。

25.1.1 运算放大器的特性

前面我们已经大致讨论了一个运算放大器的设计，下面需要进一步讨论一下运算放大器的特性。

输入失调电压

运算放大器的一个重要参数是输入失调电压。理想情况下，如果我们把运算放大器的两个输入都接地，则输出电压应为零。实际上，输出电压并不为零，因为输入级存在失配，这种情况被称为**随机失调**（random offsets）。输出电压不为零还有另一个原因，即第二级的输出电压（对于前面讨论的运算放大器而言是M7和M8管的漏端）没有很好的设定，导致出现**系统失调**（systematic offset）。电流镜和差分放大级中，几何尺寸和阈值电压差异引起的随机失调已经讨论过了。系统失调在最坏情况下为：

$$V_{os,sys}=\frac{VDD}{A_{OL}}\text{或}\frac{VSS}{A_{OL}} \tag{25-33}$$

运算放大器的失调电压可以模型化为：在一个无失调电压的运算放大器的同相输入端串联一个直流电压源，如图25-14a所示。把运算放大器的反相输入端接地，对同相输入端进行扫描，可以对系统失调加以仿真。图25-14b给出了图25-11所示运算放大器的仿真结果。失调电压等于曲线在x轴方向上与原点的距离，这里近似为0.1mV。转移特性曲线的斜率等于运算放大器的开环增益。

629~630

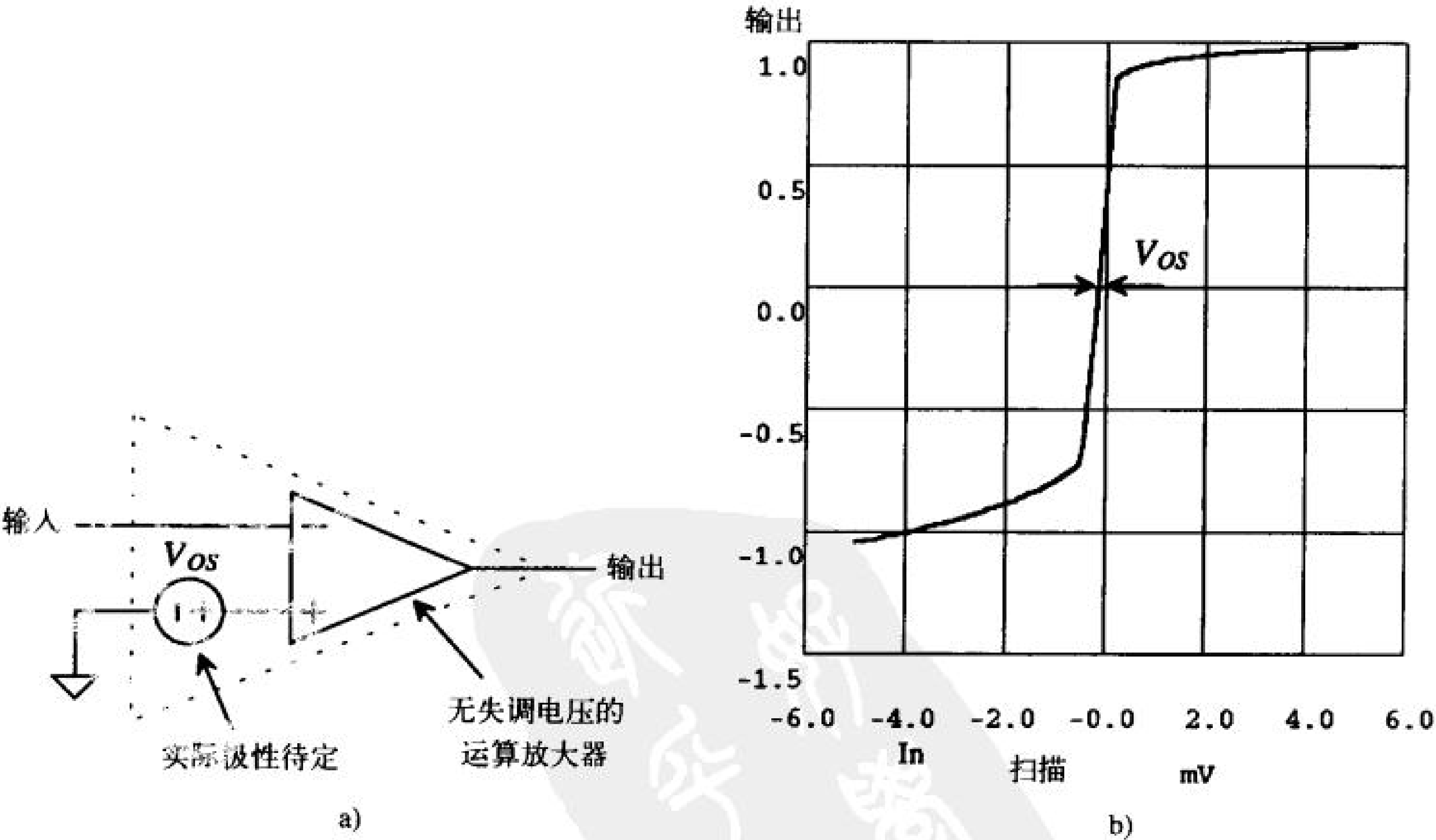


图25-14 图25-11中运算放大器的仿真结果（给出了系统失调电压）

631

输出电压摆幅

图25-11中甲乙类输出级的运算放大器的输出电压摆幅可以用式(25-4) ~ (25-7)来计算。图

25-14b的仿真结果表明，其输出摆幅近似为+/− 0.8V。在这里，我们比较感兴趣的是与输入呈线性关系的输出信号范围。从图中可以看到，输入电压近似为+/−0.5mV（忽略失调电压），产生的输出电压为$A_{OL}\cdot(v_{I2}-v_{I1})$。

共模抑制比

将输入差分放大级的共模增益A_c乘以第二级的增益，再除以开环增益A_{OL}，就得到了运算放大器的共模抑制比（Common Mode Rejection Ratio，CMRR）。运算放大器的CMRR用dB给出，为：

$$\text{CMRR}=20\log\left(\frac{A_{OL}}{A_c A_2}\right)=20\log\left(\frac{A_1}{A_c}\right) \tag{25-34}$$

该式表明，运算放大器的CMRR由第一级（差分放大级）决定。CMRR的仿真可以用图25-15所示电路进行。利用该电路的两个输出A_{OL}和$A_c\cdot A_2$，用式(25-34)可以得到CMRR。对于图25-11所示运算放大器，CMRR近似为75dB（由式(24-35)求得）；由图25-12知A_{OL}为72dB。已知CMRR和A_{OL}，就可以得到共模增益，为：

$$A_{cm}=(A_2A_c)(\text{dB})=A_{OL}(\text{dB})-\text{CMRR(dB)}=72-75=-3\text{ dB}=0.707\text{ V/V} \tag{25-35}$$

我们可以认为A_{cm}是运算放大器对共模信号的开环增益。如果施加的差分电压为零，把共模信号改变ΔV_c，那么输出电压将改变$\Delta V_o=A_{cm}\cdot\Delta V_c$。要补偿输出电压的变化，需要在运算放大器的输入端施加一个非零的差分输入电压（一个和共模电压相关的失调电压）。这个失调电压的大小可以用下式进行估算：

$$\Delta V_{OS}=\frac{\Delta V_o}{A_{OL}}=\frac{A_{cm}}{A_{OL}}\cdot\Delta V_c=\frac{\Delta V_c}{\text{CMRR}} \tag{25-36}$$

如果我们在图25-11所示运算放大器的两个输入端施加1V的共模信号，失调电压将变化175μV。

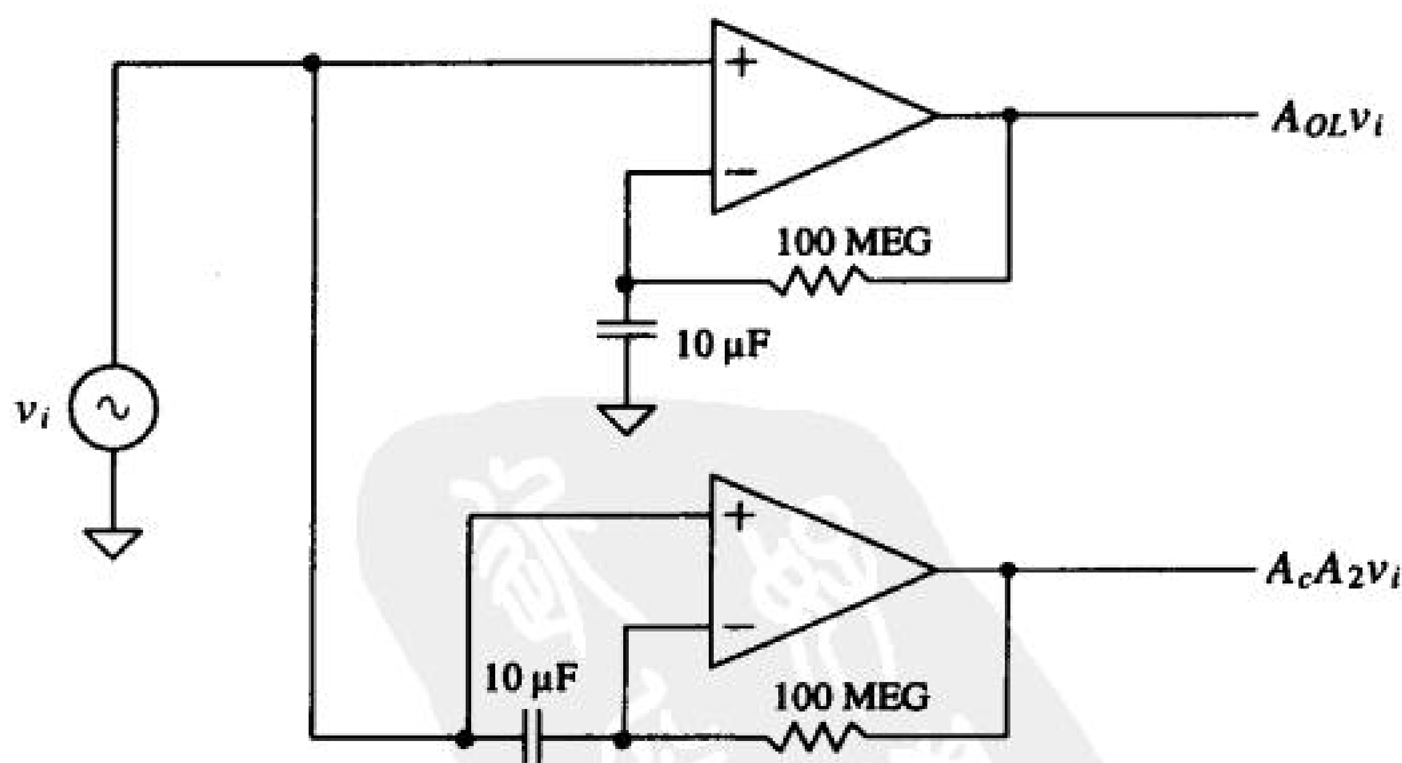


图25-15 用于仿真CMRR的电路

功耗

运算放大器的功耗P就是流过电流源或电流沉的电流总和乘以电源电压。对于图25-11所示运算放大器，$P=(VDD-VSS)\cdot(I_{D5}+I_{D6}+I_{D8}+I_{D10})=700\mu\text{W}$。

电源电压抑制比

电源电压抑制比（Power Supply Rejection Ratio，PSRR）用来描述放大器屏蔽电源线（*VDD*和*VSS*）上的噪声以及电压变化的能力。该参数在高精度模拟电路设计中特别重要。考虑图25-16所示测试结构，正PSRR定义为：

$$\mathrm{PSRR}^{+}=\frac{A_{OL}}{v_{out}/v^{+}} \tag{25-37}$$

632

负PSRR定义为：

$$\mathrm{PSRR}^{-}=\frac{A_{OL}}{v_{out}/v^{-}} \tag{25-38}$$

我们先考虑图25-11所示运算放大器的输出电压如何随*VDD*的变化（即v^+）而变化。在定频率时，补偿电容能有效地实现M7管栅端和漏端的短接；此时，我们可以把M7管看作一个阻值为$1/g_{m7}$的小信号电阻。由于向M91管的漏端看去的电阻主要由r_{o8}决定，而且$r_{o8}>>1/g_{m7}$，因此，几乎所有的v^+都耦合到了输出缓冲级的输入端，从而影响运算放大器的输出信号。图25-16c给出了v^+到v_{out}的增益。对于负PSRR，补偿电容使M7管栅端和漏端短接，导致M8管的漏端和*VDD*有效地短接在一起。这使得负PSRR随着频率的增加而增加(见图25-16d)。前面我们采用的补偿机制使得两级运算放大器的PSRR很差。本章后面讨论的一组放大器被称为运算跨导放大器（Operational Transconductance Amplifiers，OTAs）。这种运算放大器是单级的，通过负载电容进行补偿。通常情况下，OTA比前面讨论的两级运算放大器有好得多的PSRR。

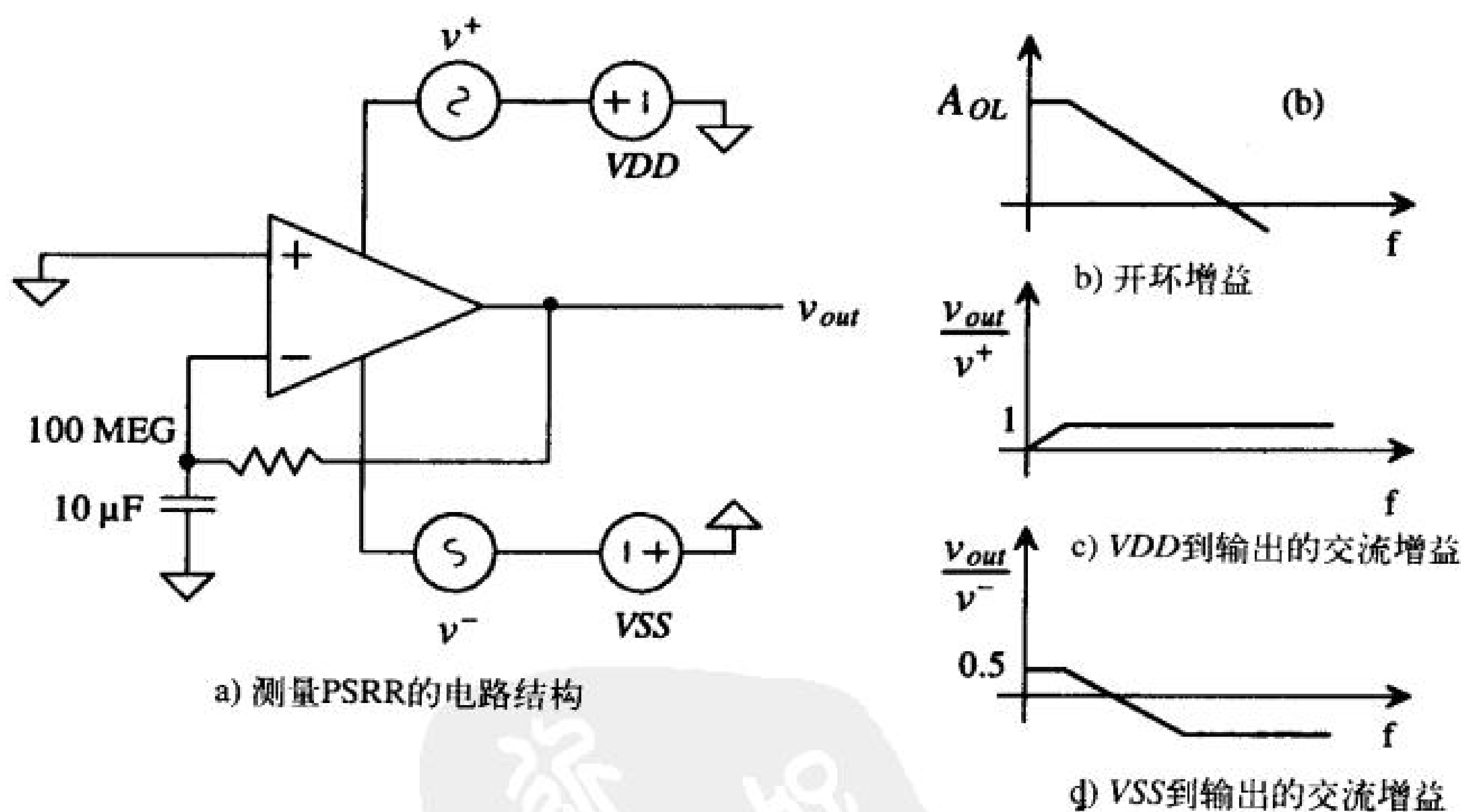


图 25-16

压摆率

前面讨论的两级运算放大器采用的是源端耦合差分放大器，采用这种差分放大器时，压摆率（Slew Rate，SR）限制由式(25-23)给出。图25-17所示电路对于测量或仿真运算放大器的压摆率限制很有帮助。对于图25-11所示运算放大器，SR为20μA/8.75pF（即2.25V/μs）。通常情况下，压摆率、过冲和建立时间都与负载情况有关。在仿真图25-11所示运算放大器时，我们假定它驱动10pF的负载（等于一个标准示波器探头的电容）。在源跟随器的输入端施加一个0到1V的阶跃信号，得到图25-18所示仿真结果。该仿真结果和手算结果很接近。

633

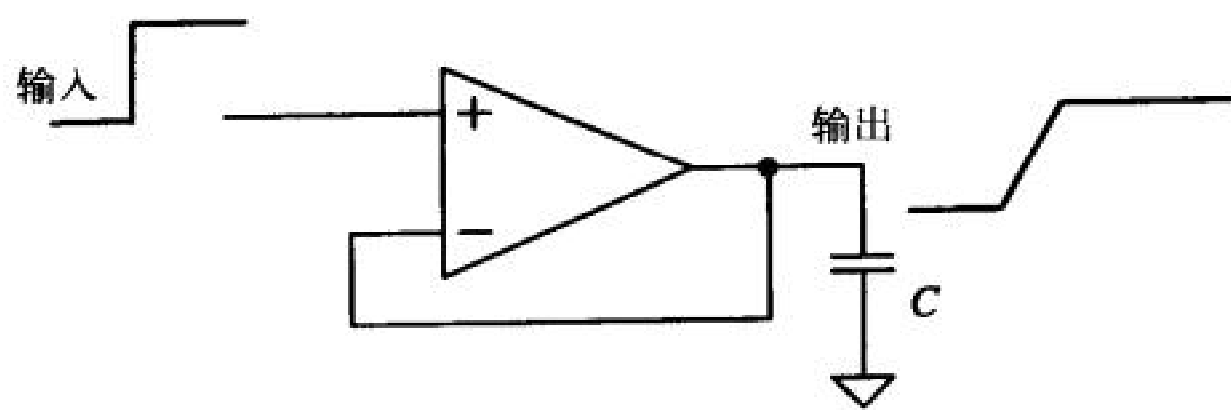


图25-17 用于测量运算放大器压摆率的电路

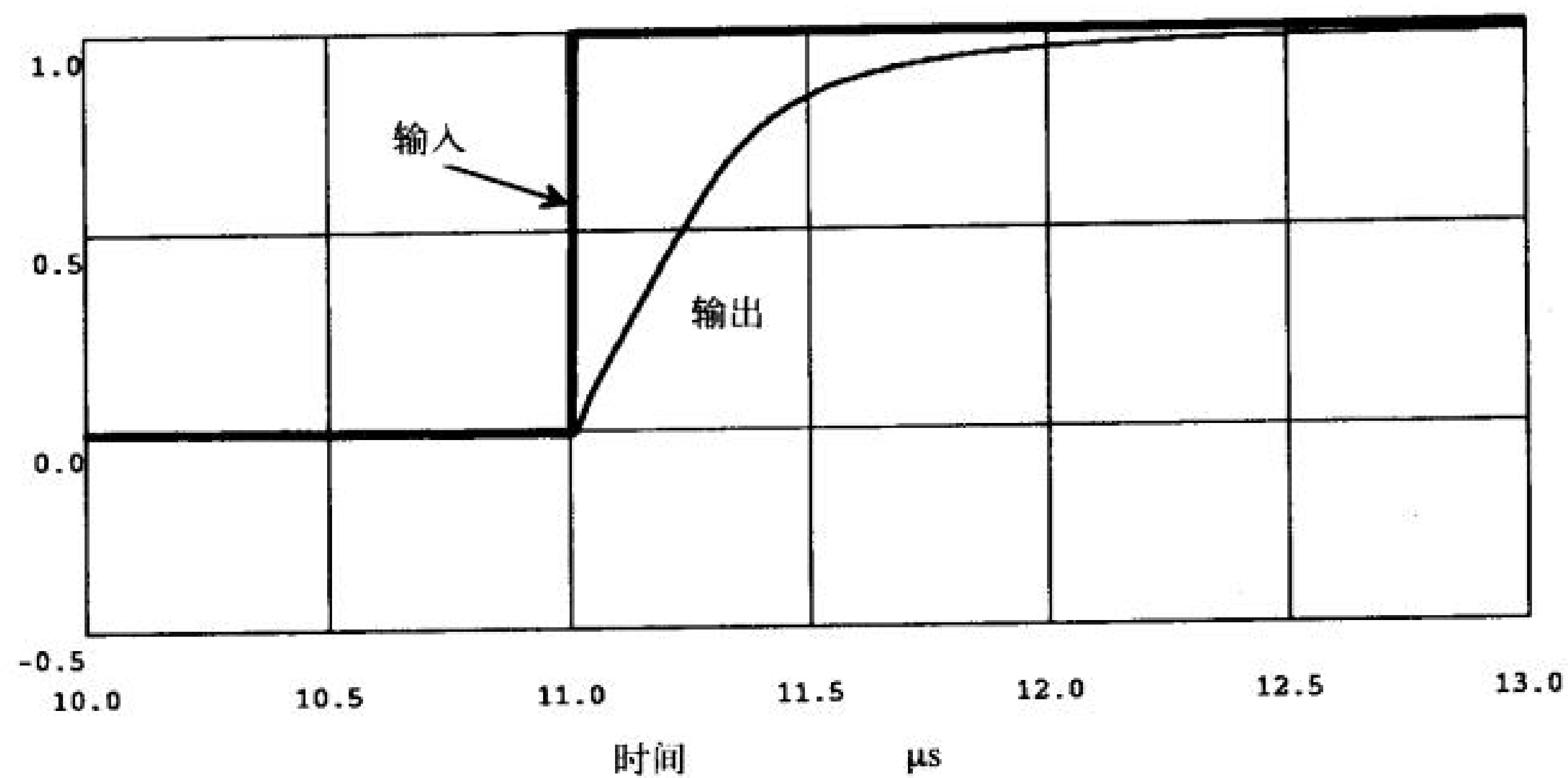


图25-18 图25-11所示运算放大器的压摆率仿真结果（驱动10pF的负载）

在某些特殊的应用中，SR指标十分重要，这时应该考虑使用源端交叉耦合结构。在图25-19中给出了一种使用源端交叉耦合对的运算放大器；这种新电路结构中的各MOS管的尺寸是基

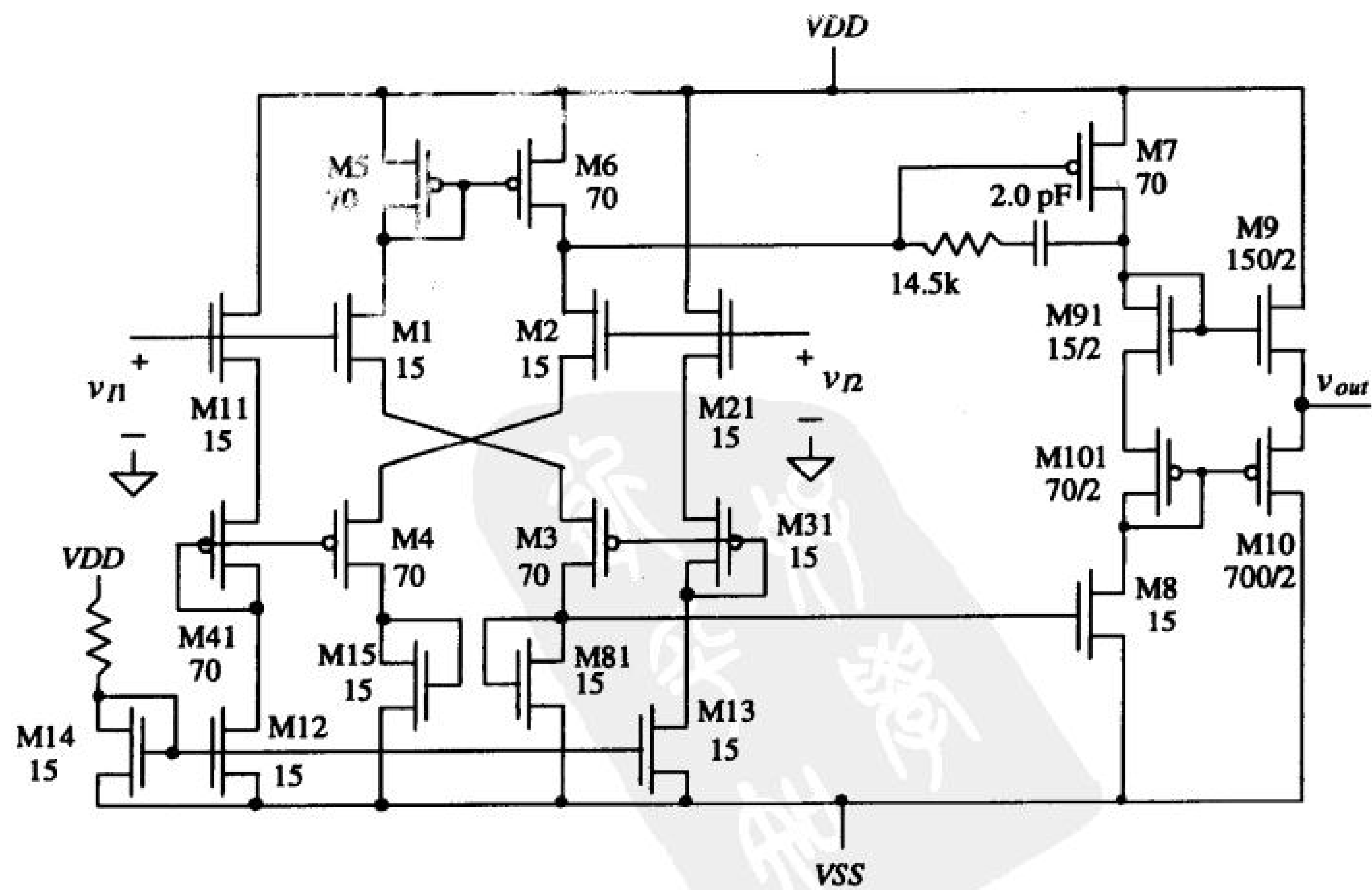


图25-19 无压摆率限制的运算放大器

于图25-11所示的运算放大器电路确定的。正如我们前面讨论源端交叉耦合对时一样，实际设计中，M1/M2管和M3/M4管的沟道宽度应该大于15μm。增加沟道宽度可以增加差分放大级的跨导，进而增加运算放大器的增益。

25.1.2 无缓冲级的运算放大器的补偿

图25-20给出了一种不带输出缓冲级的两级CMOS运算放大器。当用作比较器（这时不需要图中的补偿网络部分）或者负载是纯容性负载时（当运算放大器用于片内采样电路时常常是这种情况），采用该电路就很合适。对这种两级运算放大器进行补偿时，负载电容应该被计算在C_2之内。由于负载电容会影响第二个极点的位置，补偿过的放大器加上负载电容后有可能变得不再稳定。

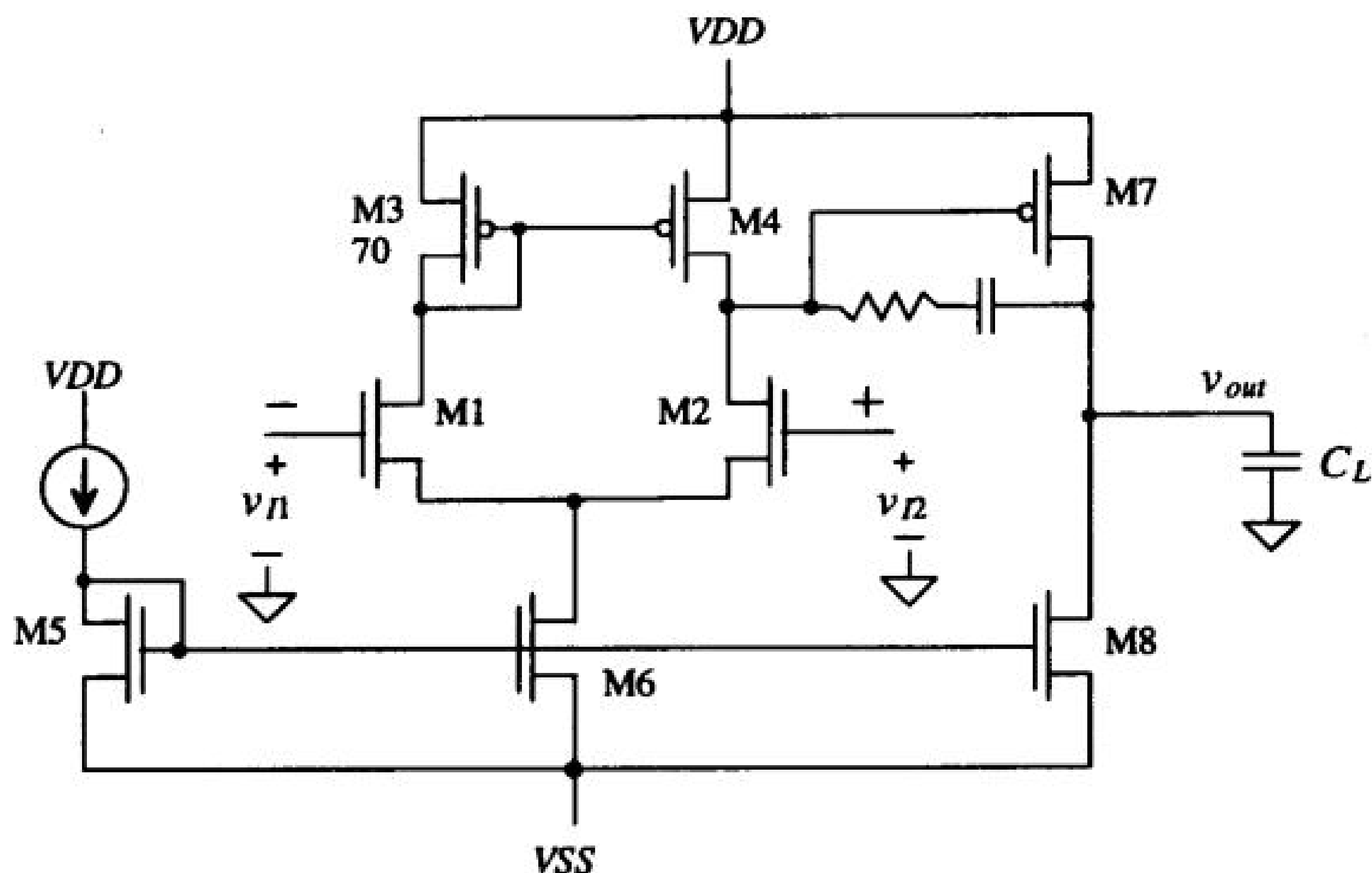
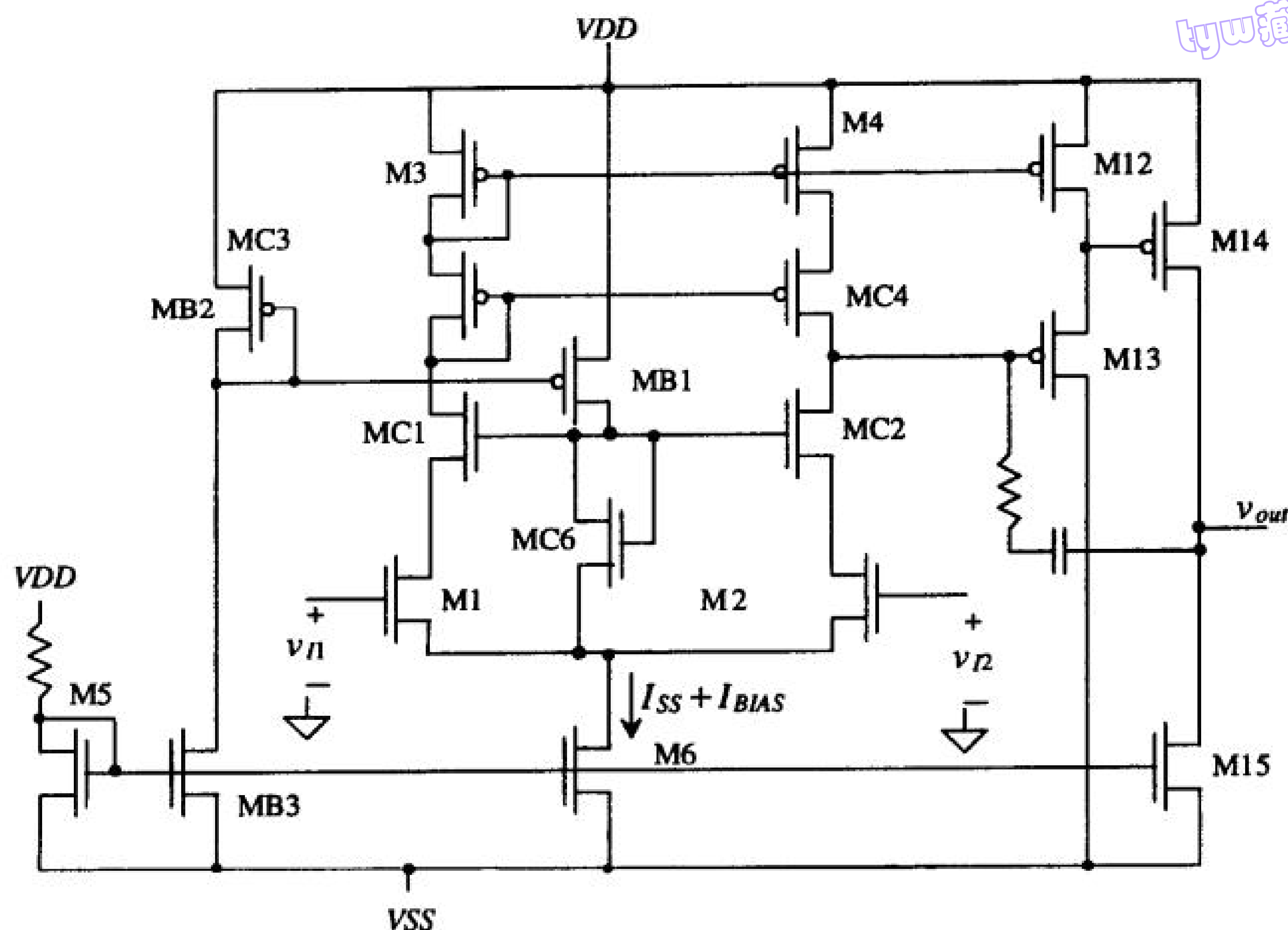


图25-20 无缓冲级的两级运算放大器

25.1.3 共源共栅输入级的运算放大器

图25-21给出了一种基于共源共栅差分输入级的无缓冲运算放大器。共源共栅输入级用于增加运算放大器的开环增益。M13管和M12管构成源跟随器级，实现差分级和整个运放的输出之间的直流电压平移。这使得输出可以达到VDD和VSS。共源共栅输入级的输出阻抗很高，这使得该电路的第一个极点在频率轴上的位置变得更低。虽然这种运算放大器的增益明显高于基于基本电流镜的运算放大器的增益，但它的输入共模范围和CMRR都更糟糕。由于第一级的增益很大，这种运算放大器可以不使用输出缓冲级。另外，该电路的输出端可以通过M14管提供一个很大的驱动电流，但吸收电流的能力受限于M15管的尺寸和偏置。这种放大器的一种典型应用是用于稳压电路中。在稳压电路中，这种运算放大器持续给负载提供电流（但应注意PSRR限制）。



634 ~ 636

图25-21 使用共源共栅差分放大级的无缓冲运算放大器

25.2 运算跨导放大器

运算跨导放大器（OTA）可以被看作是一个无输出缓冲级的运算放大器。无输出缓冲的OTA只能驱动容性负载。一个OTA可以被定义为一个放大器；除输入和输出节点外，该放大器的其余所有节点都是低阻节点。图25-22给出了一个OTA的实例。注意，不能把图25-20中的基本运算放大器看成OTA，因为M4管的漏端是个高阻节点，它并不是放大器的输入或者输出节点。对于图25-22所示OTA，假定$\beta_1=\beta_2$，$\beta_{31}=\beta_{41}$，则电流i_{d31}和i_{d41}由下式给出：

$$-i_{d31}=i_{d41}=\frac{g_{m1}}{2}(v_{I2}-v_{I1})=i_d \tag{25-39}$$

进一步，如果$\beta_4=K\cdot\beta_{41}=K\cdot\beta_{31}=K\cdot\beta_3$，$K\cdot\beta_{51}=\beta_5$，那么$i_{d4}=-i_{d5}=K\cdot i_{d41}=-K\cdot i_{d31}$。如果电容的阻抗与$r_{o4}||r_{o5}$相比足够大，那么OTA的输出电压为：

$$v_{out}=2Ki_d(r_{o4}||r_{o5}) \tag{25-40}$$

若M2管的栅极是OTA的同相输入端，则电压增益为：

$$A_v=\frac{v_{out}}{v_{I2}-v_{I1}}=Kg_m(r_{o4}||r_{o5}) \tag{25-41}$$

不过，正如该电路的名字所表明的那样，我们更关心的是该放大器的跨导（即输入电压和输出电流之间的关系）。如果电容负载或者外部电阻负载的阻抗与输出电阻$r_{o4}||r_{o5}$相比较小，那么输出电流将主要流向外部负载。在这种情况下，我们可以把输出电流记为：

$$i_{out}=i_{d4}-i_{d5}=2Ki_d \tag{25-42}$$

这样，OTA的跨导为：

$$G_m = \frac{i_{out}}{v_{I2} - v_{I1}} = g_m K \tag{25-43}$$

在下面的讨论中，我们假定$K=1$，因此，$G_m = g_m$。换句话说，OTA的跨导由差分输入放大级的跨导决定。这种OTA的一种比较常用的特性是：调节偏置电流可以调节它的跨导。用这种OTA实现的滤波器就可以通过调节OTA的偏置电流（图25-23中的I_{BIAS}）来调整滤波器的性能。图25-23给出了OTA的电路符号。

图25-22　一个OTA的基本结构

图25-23　OTA的电路符号

例25.1

针对图25-24所示OTA，推导I_{BIAS}和跨导g_m与$V_{control}$的函数关系。

首先，应该认识到M10管的漏端电流和M8管的漏端电流（即I_{BIAS}）相等。因此，可以把偏置电流写成$V_{control}$的函数：

$$I_{BIAS} = \frac{V_{control} - V_{GS10}}{100\ \text{k}\Omega}$$

由于M10管的W/L很大，我们可以假定$V_{GS10} \approx V_{THN} \approx 1\text{V}$。利用这个结果可以知道，当$V_{control}$从1V变化到2.5V时，$I_{BIAS}$相应地从0变到15μA。如果$V_{control}$为2V，$I_{BIAS}$就是10μA。

注意到差分放大器的I_{SS}（M6管的漏端电流）等于$2I_{BIAS}$，由此，可以得到OTA的跨导为：

637~638

$$g_m = \sqrt{2\beta I_{BIAS}} \tag{25-44}$$

用$V_{control}$表示为：

$$g_m=\left[\frac{2\beta_1(V_{control}-1)}{100\ \text{k}\Omega}\right]^{1/2}=\left[\frac{2\cdot 50\frac{\mu\text{A}}{\text{V}^2}\cdot 15(V_{control}-1)}{100\ \text{k}\Omega\cdot 5}\right]^{1/2} \tag{25-45}$$

当$V_{control}=2\text{V}$时，由上式可求得OTA的增益为：$G_m=g_m=55\mu\text{A/V}$。■

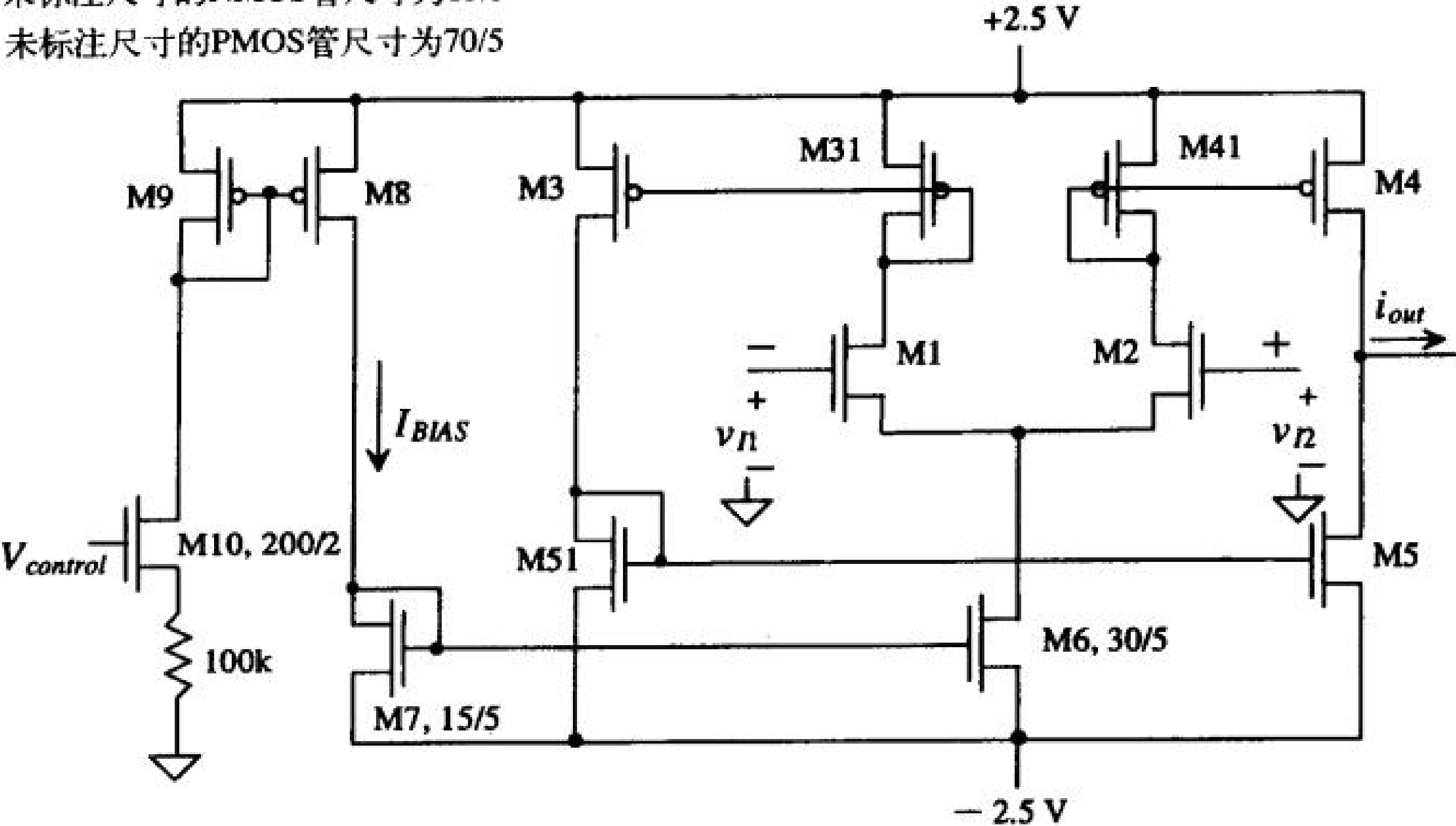
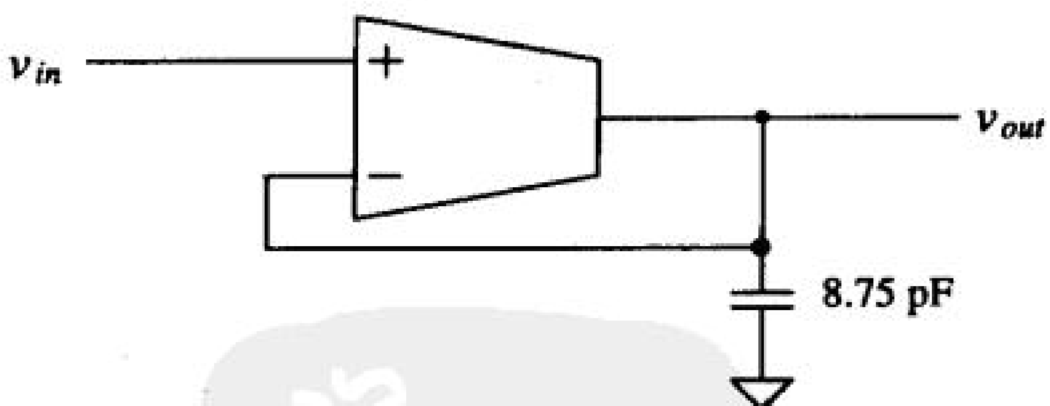


图25-24　例25.1的OTA电路

例25.2

针对图25-24所示OTA，当$V_{control}$等于2V（$I_{BIAS}=10\mu\text{A}$）时，计算图25-25所示电路的传输函数v_{out}/v_{in}。将手算结果和SPICE仿真结果进行比较。



639

图25-25　例25.2的OTA电路

OTA的输出电流i_{out}等于$g_m(v_{in}-v_{out})$。输出电压为：

$$v_{out}=i_{out}\cdot\frac{1}{j\omega C}=\frac{g_m}{j\omega C_L}\cdot(v_{in}-v_{out})$$

式中，C_L为负载电容（这里为8.75 pF）。该电路的传输函数为：

$$\frac{v_{out}}{v_{in}}=\frac{1}{1+j\omega\left(C_L\cdot\frac{1}{g_m}\right)} \tag{25-46}$$

图25-25所示电路与一个简单的单时间常数的低通滤波器的功能相同，该低通滤波器的电容值为C_L、电阻值为$1/g_m$。这种电路的主要优点是从信号源v_{in}端看到的是OTA的输入阻抗，它实际上为无穷大。该电路有一个极点：

$$f=\frac{1}{2\pi\cdot 8.75\text{p}\cdot\frac{1}{55\mu}}=1\ \text{MHz}$$

图25-26给出了仿真结果。观察该图可以得到一个重要结论：增加负载电容可以增加OTA的相位裕度（会使主极点变小）。 ■

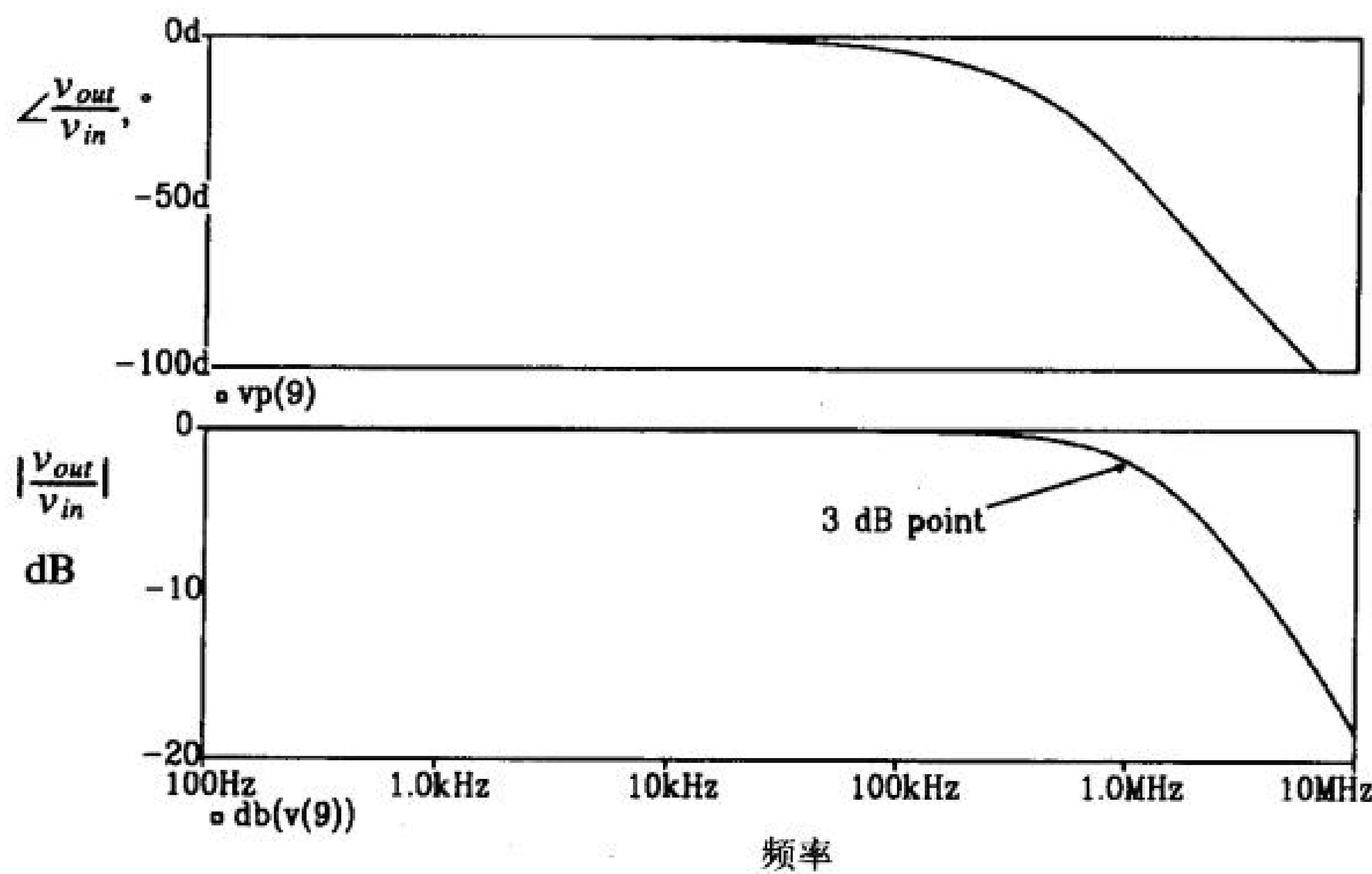


图25-26 图25-25中OTA电路的相位和幅值响应曲线

640

图25-27给出了另一种高通OTA电路[4]。它的传输函数为：

$$\frac{v_{out}}{v_{in}}=\frac{j\omega\left(C\cdot\frac{1}{g_m}\right)}{1+j\omega\left(C\cdot\frac{1}{g_m}\right)} \tag{25-47}$$

在图25-25和25-27中，由OTA和电容共同构成的滤波器电路又被称为跨导－电容滤波器。

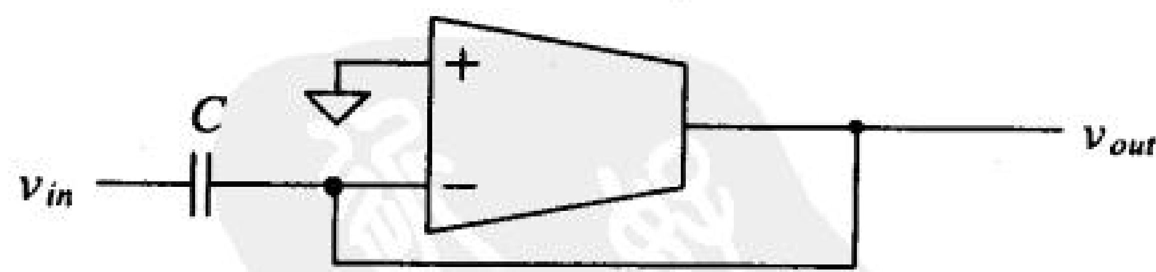


图25-27 用OTA实现的高通滤波器

用OTA实现滤波器电路时会遇到两个比较重要的问题，即输入信号的幅度和寄生输入/输出电容。大信号使得OTA增益变得非线性（用SPICE做交流分析并不能看出大信号失真）。与OTA的输入/输出寄生电容相比，外部电容应该足够大。这限制了使用OTA的滤波器的最大频率，还会导致幅值和相位误差。这种误差通常可以通过选择适当大小的I_{BIAS}来消除。

图25-28给出了一种双二阶电路（biquadratic，缩写为biquad），它适用于低通、高通、带通和带阻滤波器[4]。表25-1给出了不同的输入情况以及各自所对应的滤波器类型。如果我们

假定每级的跨导都相同，那么滤波器的自然频率（natural frequency）为：

$$\omega_o = \frac{g_m}{\sqrt{C_1 C_2}} \tag{25-48}$$

滤波器的Q值为：

$$Q = \sqrt{\frac{C_2}{C_1}} \tag{25-49}$$

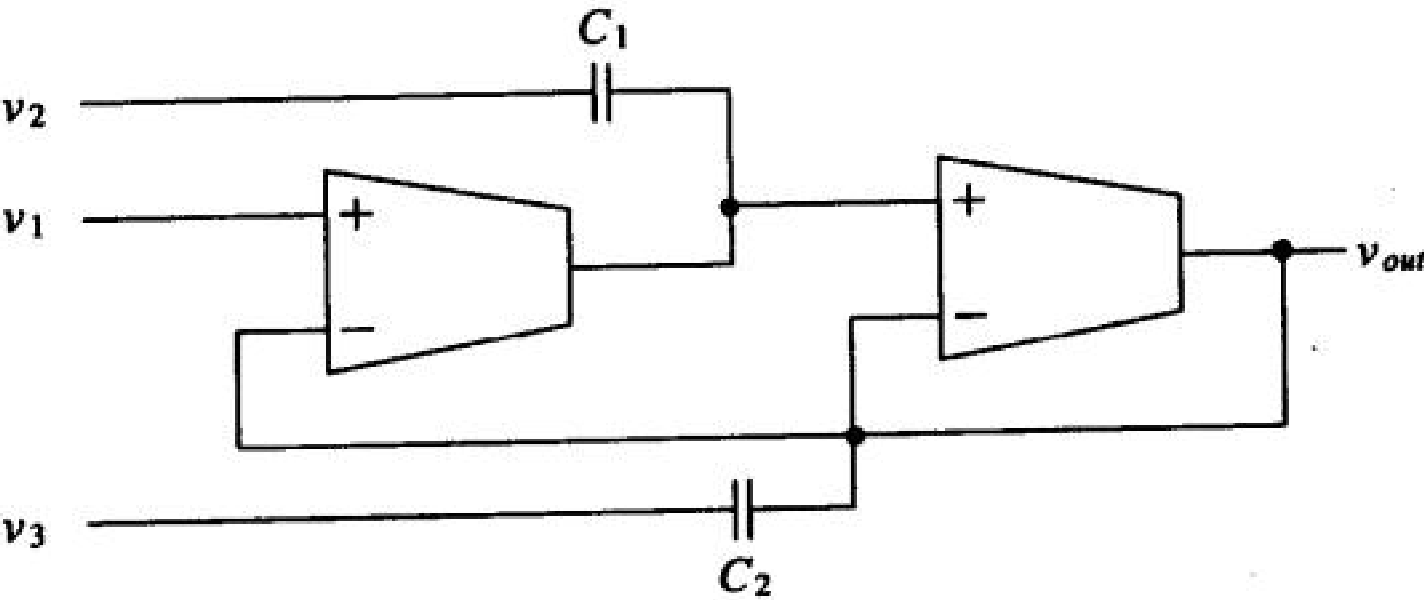


图25-28 用OTA实现的双二阶滤波器

表25-1 双二阶滤波器的设计方程

滤波器类型	输入情况	传输函数
低通	$v_{in} = v_1$，v_2和v_3接地	$\frac{g_m^2}{s^2 C_1 C_2 + sC_1 g_m + g_m^2}$
高通	$v_{in} = v_3$，v_1和v_2接地	$\frac{s^2 C_1 C_2}{s^2 C_1 C_2 + sC_1 g_m + g_m^2}$
带通	$v_{in} = v_2$，v_1和v_3接地	$\frac{sC_1 g_m}{s^2 C_1 C_2 + sC_1 g_m + g_m^2}$
带阻	$v_{in} = v_1 = v_3$，v_2接地	$\frac{s^2 C_1 C_2 + g_m^2}{s^2 C_1 C_2 + sC_1 g_m + g_m^2}$

一个理想的跨导放大器具有无穷大的输入和输出阻抗。图25-22中的OTA的输出阻抗大小中等。它的输出阻抗在滤波器应用中会给传输函数引入一个误差。可以使用图25-29所示共源共栅OTA来增大输出阻抗，这种OTA放大器的跨导和非共源共栅OTA的跨导相同。共源共栅MOS管可以增大输出阻抗，但会减少输出摆幅。M9管使M3管和M4管的漏端保持相同的电位，这就减小了沟道长度调制效应所引入的误差。应该设置偏置电压使得M4管和M5管都处于饱和区。

25.2.1 宽摆幅OTA

图25-30给出了一种宽摆幅OTA[5]，它在第24章中已经介绍过了。宽摆幅在这里意味着输入CMR接近电源电压。图25-31给出了这种OTA的仿真结果。仿真结果表明，其输入电压摆幅可以从零达到+5V。这种OTA的输出电压摆幅受限于电源电压。当只有一个差分放大器导通时，这种OTA的跨导 $g_m = \sqrt{2\beta I} = \sqrt{2 \cdot \frac{20}{5} \cdot 50 \frac{\mu A}{V^2} \cdot 1\mu A} = 20 \frac{\mu A}{V}$（由第24.4节分析结果得到）；当

两个差分放大器都导通时，这种OTA的跨导为 $40\frac{\mu A}{V}$。由第24.4节的分析知：不带负载时，OTA的低频电压增益为166V/V；它与导通的差分放大器的数目无关。

641~642

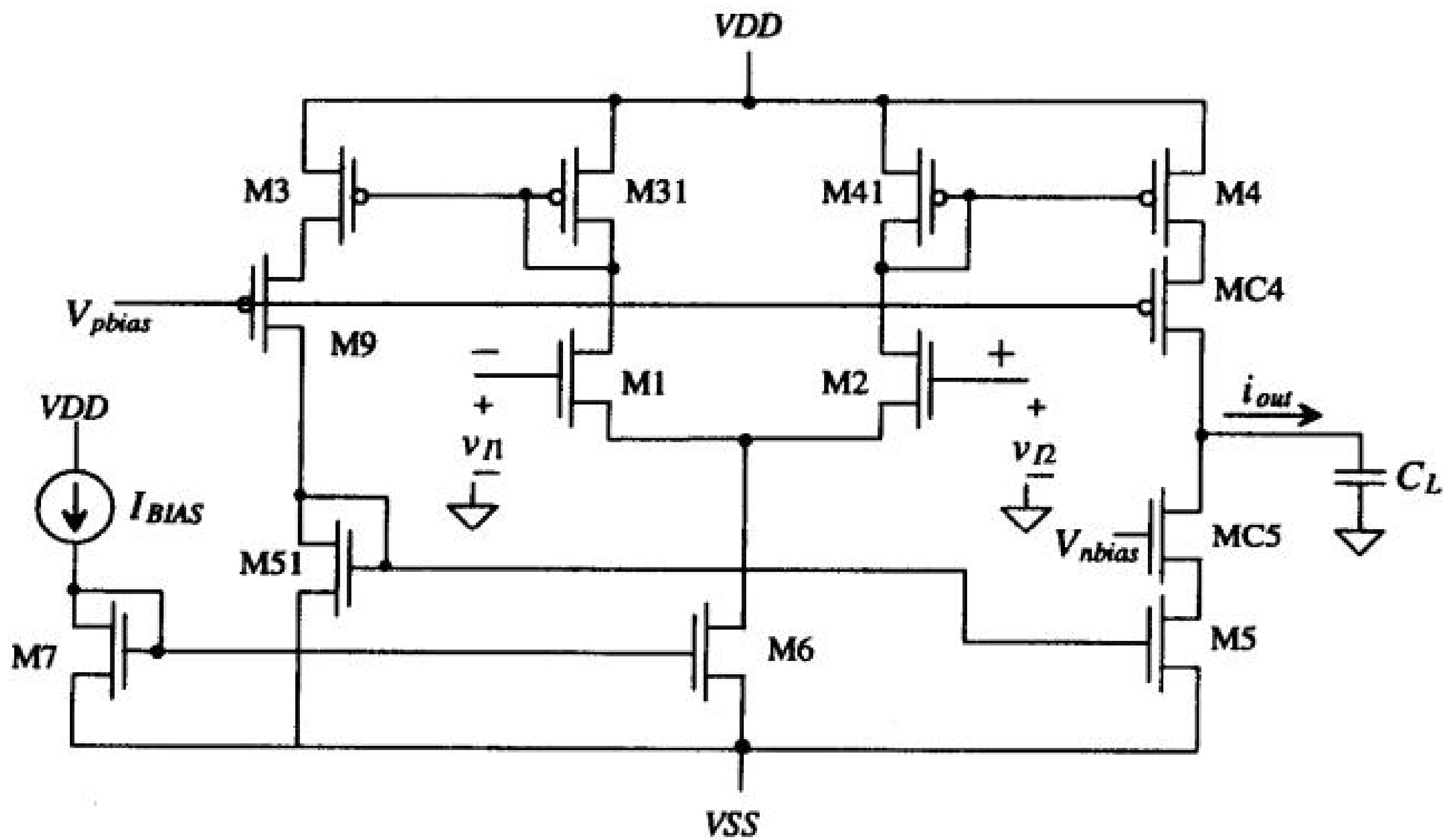


图25-29 一种共源共栅OTA

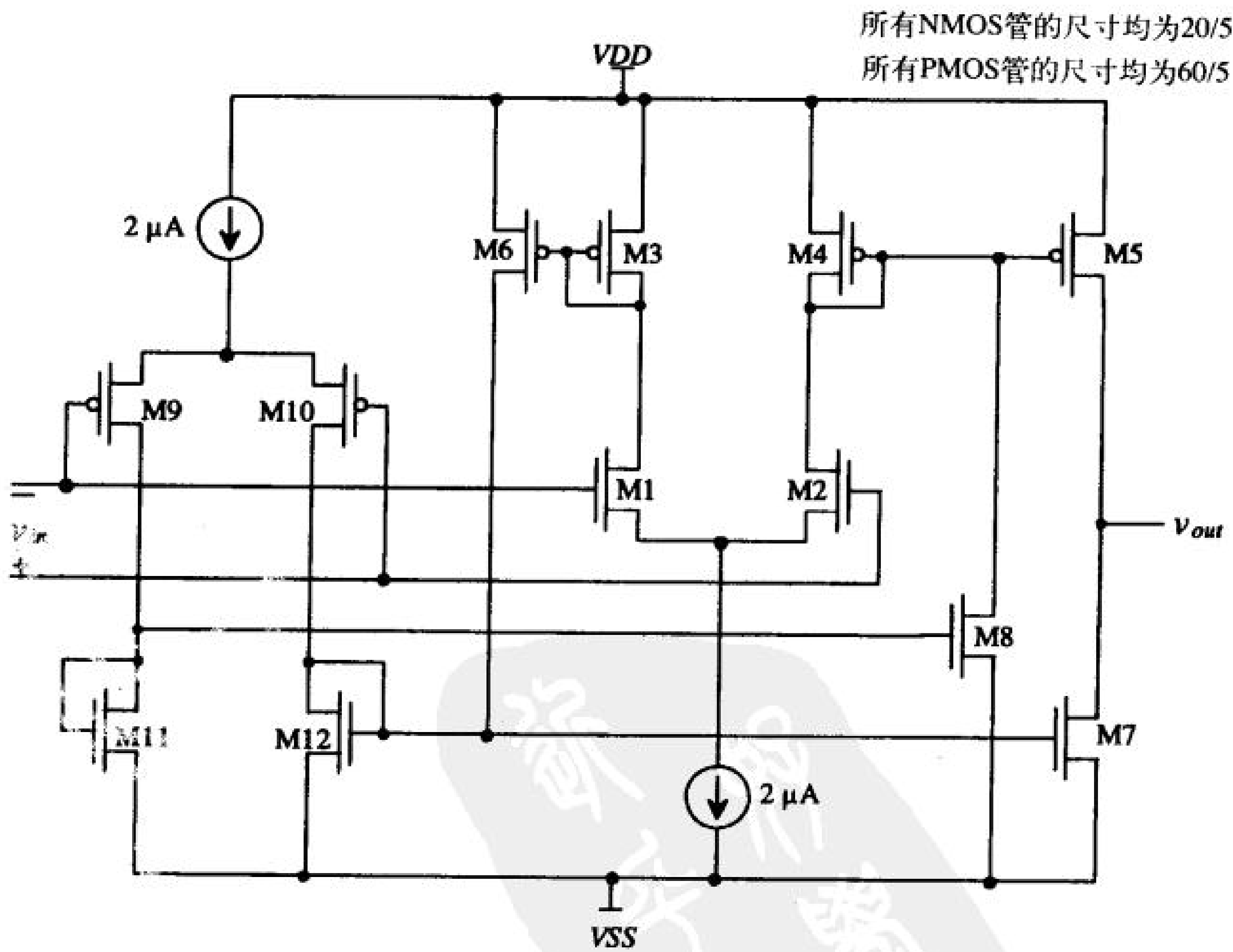


图25-30 宽摆幅OTA（已在第24章分析过）

643

在图25-30所示OTA电路中，有的MOS管工作在线性区，有的工作在饱和区或截止区，这种电路一般很难用SPICE进行仿真。使用Level 2模型可以帮助收敛，但代价是损失了仿真精度。例如，用Level 2模型仿真图25-30所示OTA时，得到的开环增益近似为18；而用BSIM模

型仿真时得到的电压增益为240。这个结果清楚地表明，Level 2模型仅仅适合于功能验证（验证电路的连接是否正确）。为了使BSIM也能很好地收敛，要在仿真文件中加入.OPTIONS语句，并设置*RELTOL*=0.1，*ABSTOL*=0.1u，*VNTOL*=50mV。对这种电路进行AC分析时，收敛要容易得多（与DC扫描或瞬态分析相比）。AC分析首先从计算静态工作点开始（这也是AC仿真中最困难的一部分），接下来会把有源器件用小信号模型替换。

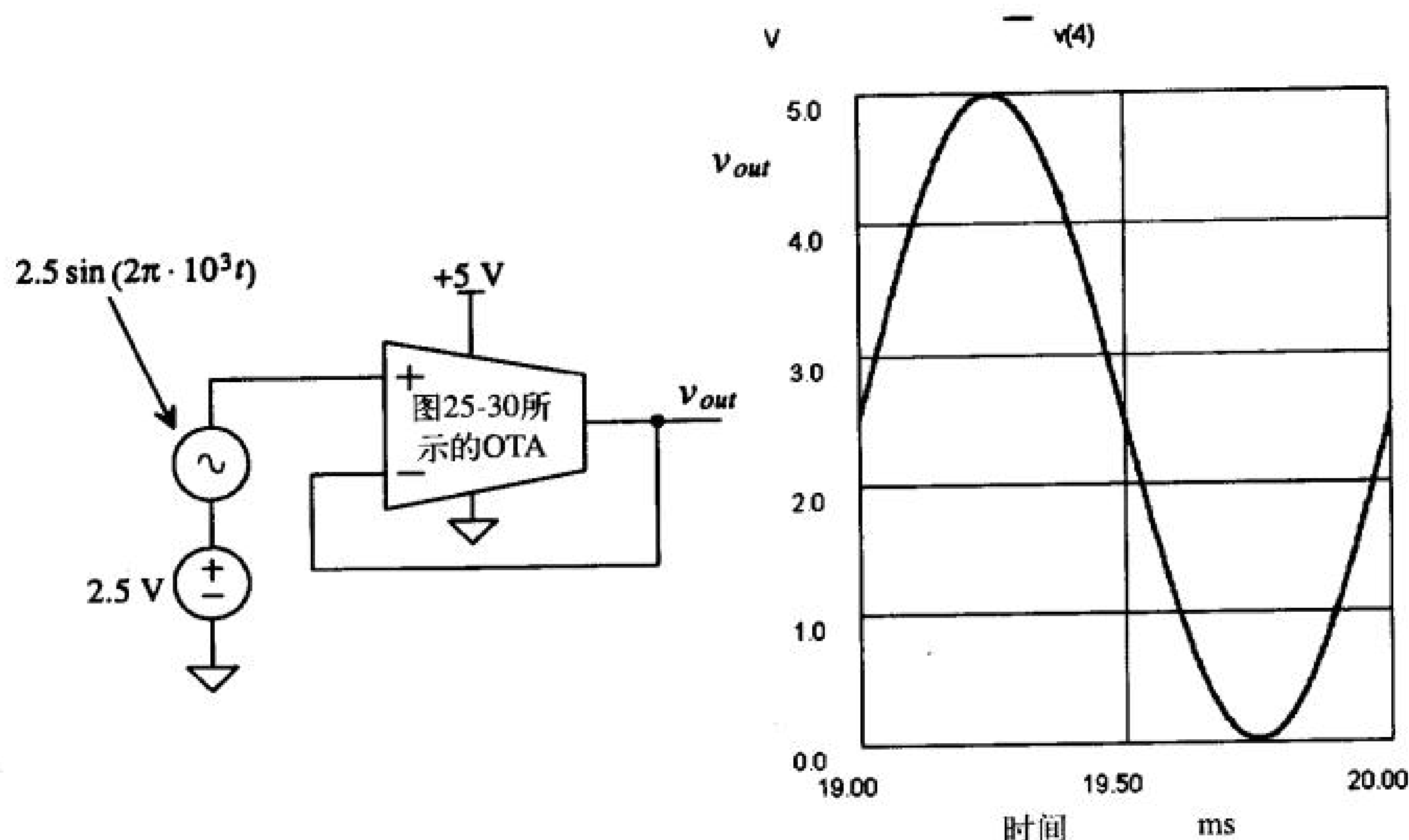


图25-31 图25-30所示OTA的仿真结果（用BSIM模型仿真，*VDD*=+5V，*VSS*=0）

为了考察图25-30所示OTA的稳定性，我们需要对它进行AC分析。在开始AC分析之前，我们先讨论一下OTA的补偿问题。该OTA的闭环增益为：

$$A_{CL}=\frac{A_{OL}}{1+A_{OL}\cdot\beta} \tag{25-50}$$

如果在反馈环路中不包含放大器，则反馈因子β的最大值为1（也就是说所有的输出电压都被反馈到输入端并从输入中减掉）。遵循第25.1节的同样步骤，见式（25-12）和（25-13）。我们把反馈因子设置为1来计算运算放大器的增益和相位裕度。图25-32a给出了一个反馈因子为1的OTA电路，而图25-32b给出了测试OTA开环增益的电路结构。电阻和电容使OTA的直流输出电压稳定，以确保OTA中的MOS管工作在饱和区。图中的反馈电阻应该远远大于OTA的输出电阻；而RC乘积应该远大于我们感兴趣的最低频率的倒数，也就是说，图25-32b的*R*和*C*应该对电路的交流特性没有影响。如果我们假定负载电容的阻抗和OTA的输出阻抗相比足够小，那么，有：

644

$$v_{out}=i_{out}\cdot\frac{1}{j\omega C_L}=g_m v_{in}\cdot\frac{1}{j\omega C_L} \tag{25-51}$$

$$\frac{v_{out}}{v_{in}}=\frac{g_m}{j\omega C_L}\Rightarrow\left|\frac{v_{out}}{v_{in}}\right|=\frac{g_m}{2\pi f C_L} \tag{25-52}$$

在计算相位裕度时，我们关心的频率是使得v_{out}/v_{in}幅值为1时的频率。我们把v_{out}/v_{in}幅值为1时所对应的频率记为f_u。由式(25-52)可得：

$$f_u = \frac{g_m}{2\pi C_L} \text{或} \frac{K \cdot g_m}{2\pi C_L} \text{（当}K \neq 1\text{时，见式(25-43)）} \tag{25-53}$$

从理论上讲，对于反馈因子等于或小于1的OTA而言，它应该总是稳定的。事实的确如此，只要C_L的阻抗和OTA的输出阻抗相比很小，并且寄生极点远大于f_u。

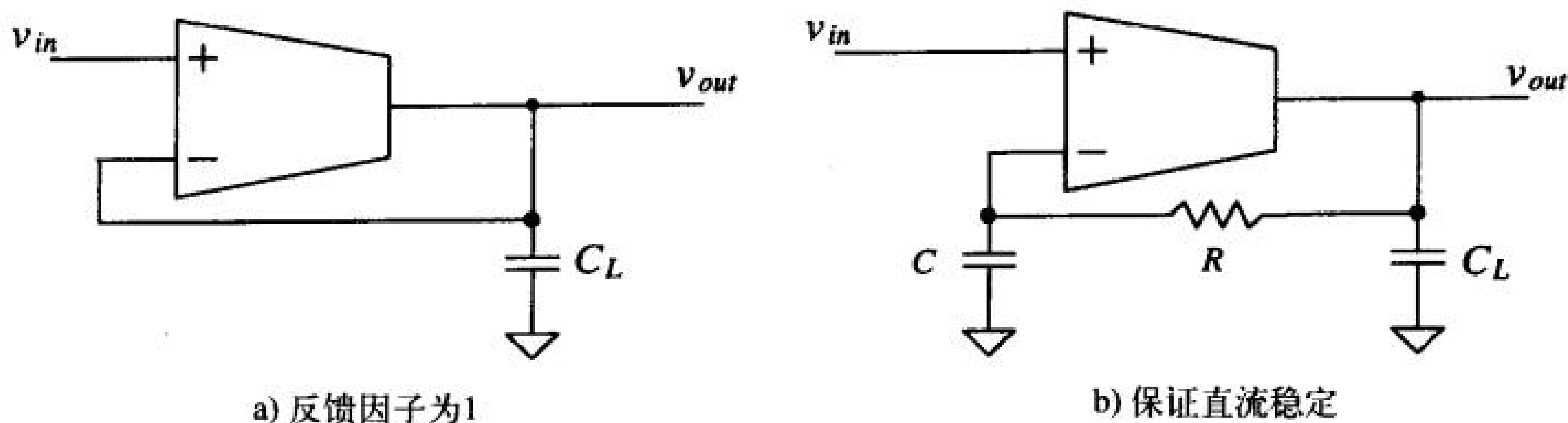


图25-32 OTA电路

图25-30所示OTA的开环增益和频率响应应该用图25-33所示测试电路进行仿真（$C_L=0$）。图25-34给出了$V_{CM}=2.5$V时的仿真结果。由该图知，单位增益f_u为60MHz，f_u处的相位为150°，因此，相位裕度为30°。如果把V_{CM}先设置为0.5V，再设置为4.5V，会观察到一些有趣的现象（因为这些V_{CM}的值会使得N型和P型差分放大器不同时导通）。在这些情形下，OTA的小信号跨导为两个差分放大器都导通时的一半。这会使得OTA的单位增益频率改变，而低频增益没有变化（正如第24章讨论的那样）。当V_{CM}设置为0.5V或者4.5V时，单位增益频率f_u近似为30MHz。图25-35给出了$V_{CM}=0.5$V时的情形。

645

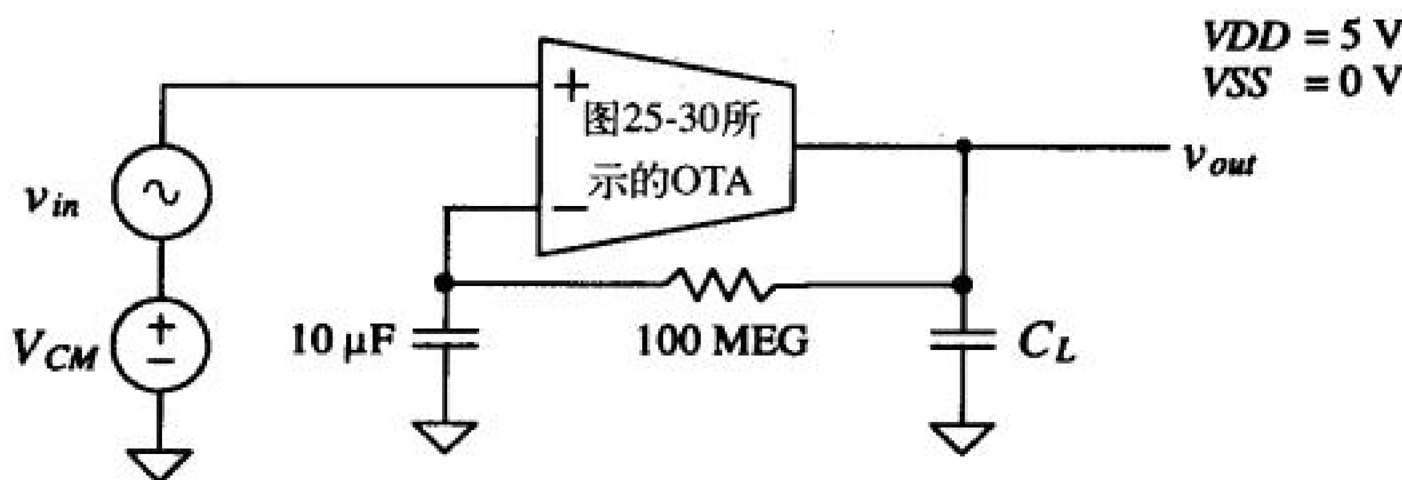


图25-33 用于分析图25-30所示OTA的开环特性的电路结构

OTA的补偿非常简单，就是如何选择最小的负载电容。增大负载电容实际上会增大OTA的相位裕度。观察图25-34中OTA的相位特性（无负载情形），可以看出：增加负载电容会把−45°相位所对应的频率点降到一个更低的位置（因为增大负载电容会使传输函数的第一个极点变得更低）；−100°相位所对应的位置基本上无变化（因为其他的寄生极点不受负载电容的影响）。相位为−100°时的频率近似为3MHz。如果我们设置$f_u=3$MHz，那么相位裕度就是80°（假定电路中其他寄生极点没有影响）。由本节前面的讨论知，OTA的跨导为40μA/V²。由式(25-53)可以得到最小负载电容为2.1pF。$C_L=2.1$pF时的仿真结果由图25-36给出。仿真结果表明：$f_u=2.4$MHz，相位裕度为70°。手算结果和仿真结果之间存在差异，是由OTA中的寄生极点引起的；任一CMOS模拟放大器的复杂度最终都是受限于放大器中存在的寄生极点。实际上，应该使用一个大于2.1pF的最小负载电容。在这个设计中，实际的最小负载电容应该取

为5pF。

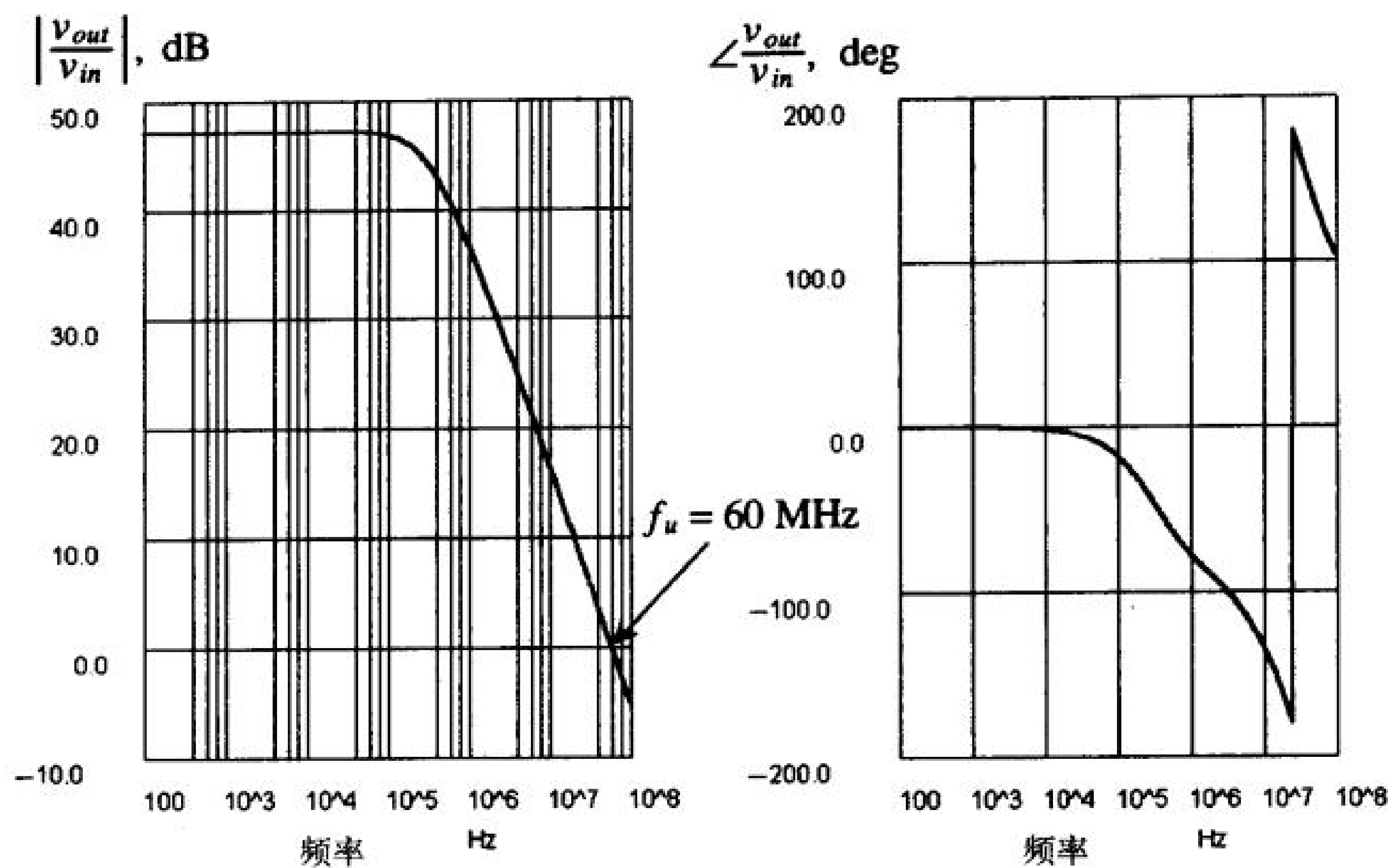


图25-34　图25-30所示OTA的开环仿真结果，用图25-33所示结构进行仿真，$C_L=0$，$V_{CM}=2.5V$（两个差分放大器都导通）

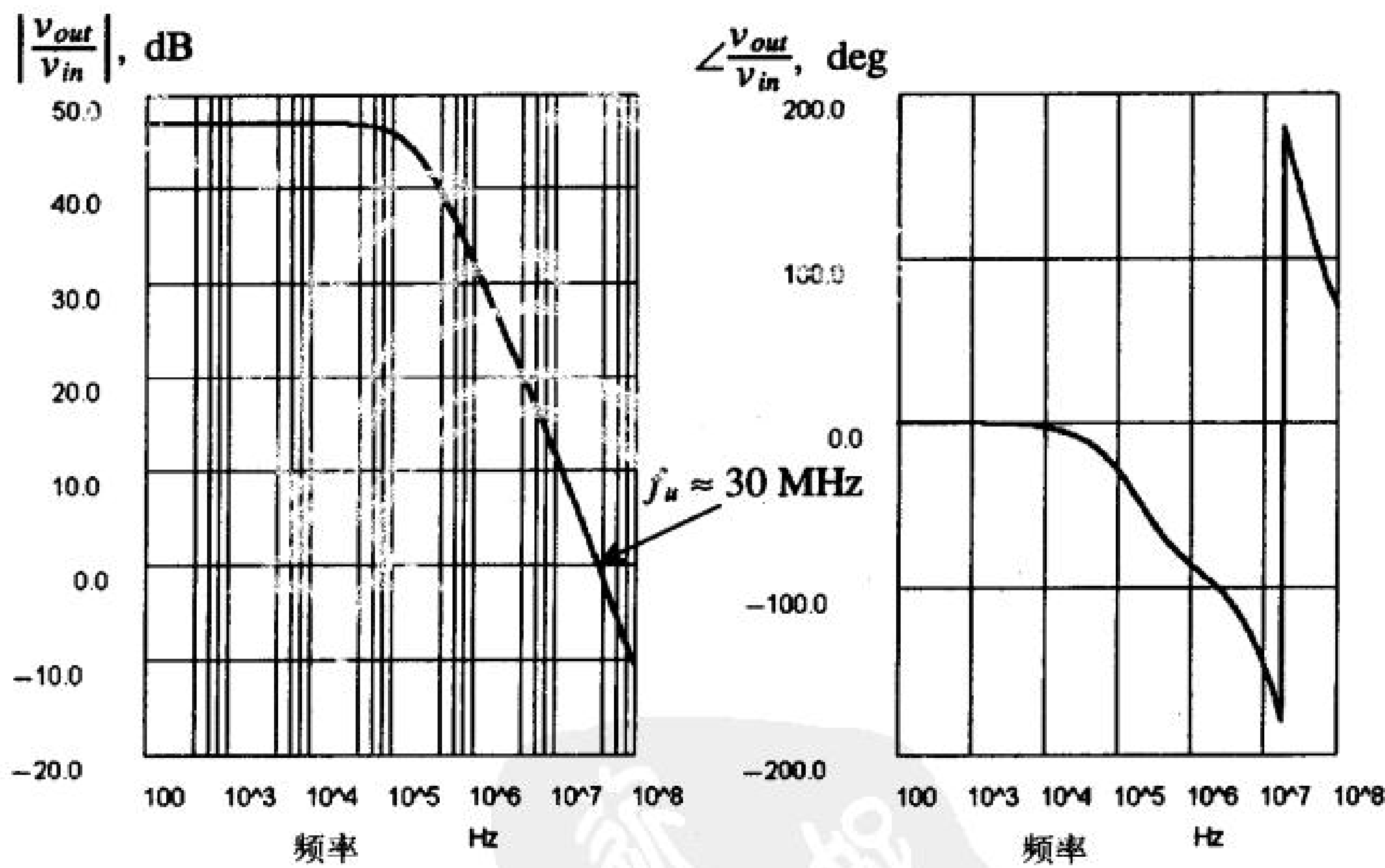


图25-35　图25-30所示OTA的开环仿真结果，使用图25-33的结构进行仿真，$C_L=0$，$V_{CM}=0.5V$（p型差分放大器导通）

带缓冲级的OTA

运算放大器可以用带缓冲级的OTA构成。缓冲级的作用是实现OTA和负载之间的隔离。负载可以是阻性、容性或者是两者的结合。带缓冲级OTA的补偿与单独OTA的补偿有所不同。下面观察图25-37所示的带缓冲级OTA电路。图中，缓冲级由一个源跟随器构成。首先，让我们尝试在源跟随器的输出端放置一个电容来进行补偿（类似于对单独OTA的补偿）。不过，带

缓冲级OTA的输出是个低阻抗节点（阻抗为源跟随器的输出阻抗），因此，负载电容对放大器的相位裕度几乎没有影响。在负载电容非常大的情况下或者源跟随器很小时，负载电容也许会影响到放大器的相位裕度。通常情况下，缓冲级会被设计为可以很容易的流入或者流出足够大的驱动电流（通过增大源跟随器中的电流源负载）。

646
~
647

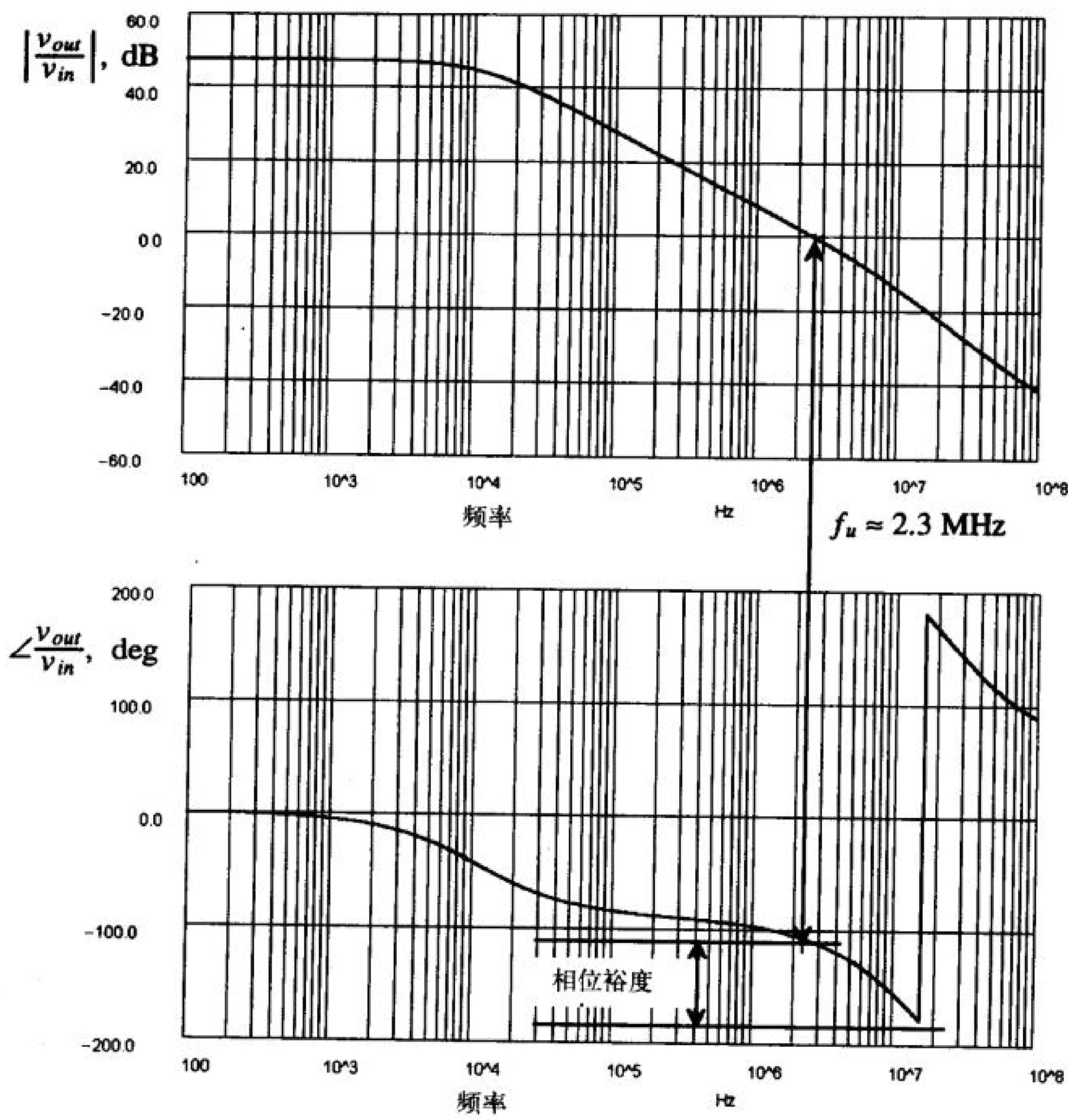


图25-36 用2.1pF的负载电容来补偿图25-30所示OTA

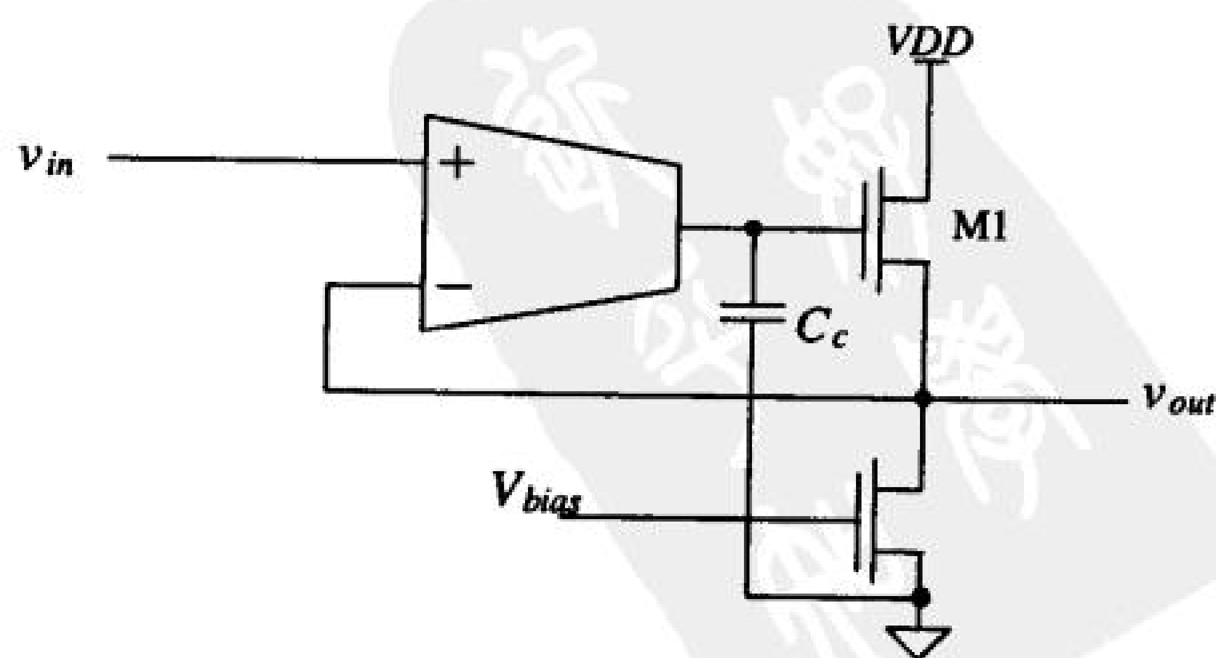
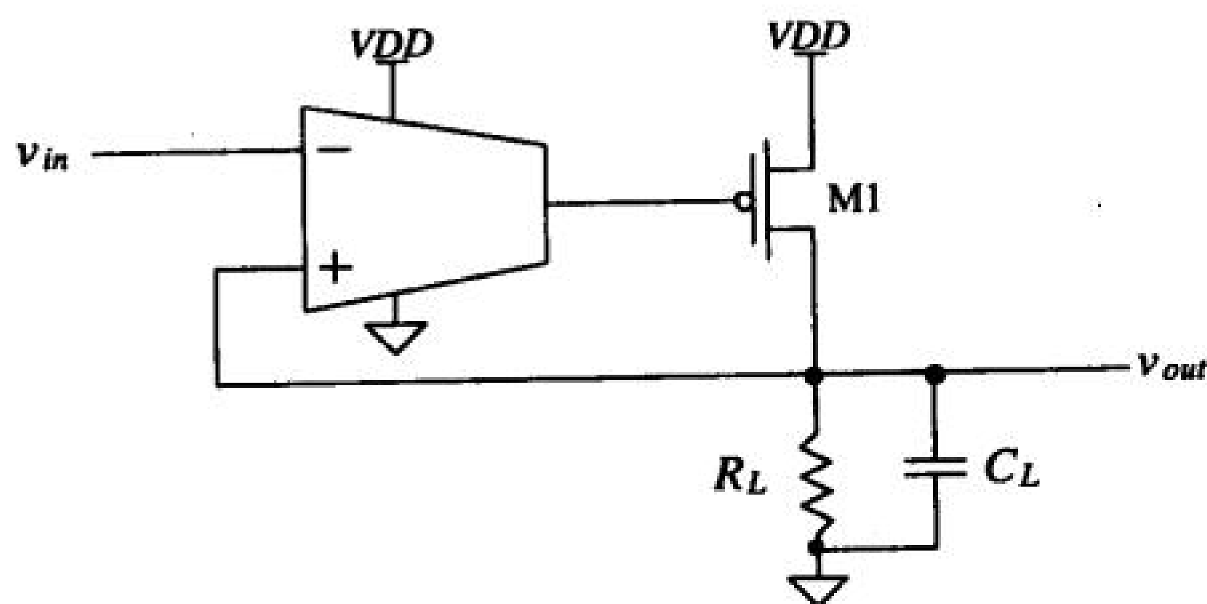


图25-37 带源跟随器缓冲级的OTA（一个运算放大器）

接下来，我们尝试用源跟随器的输入电容对放大器进行补偿。也许有人会尝试用M1管的栅源电容（它位于OTA的输出端）作为补偿电容。实际上，OTA的输出电压和源跟随器的输出电压相同，也就是说，源跟随器的电压增益为+1。这意味着M1管栅源电容两边的电压变化速率相同，栅端和源端之间的交流电压v_{gs1}为零（理想情况下），流过C_{gs1}的位移电流为零，因此，它无法用于补偿。M1管的栅漏电容可以用做补偿，因为它直接接到交流地（*VDD*）。用C_{gd1}进行补偿时，在大多数情况下，需要M1管的尺寸非常大，以使补偿电容的大小满足补偿要求。

上述讨论表明：图25-37的运算放大器可以用OTA输出端到地的电容进行补偿。补偿电容C_c的大小可以按照上一节的流程来计算。注意到，尽管在反馈回路中存在一个放大器，反馈因子β仍然为1（这是因为放大器的电压增益为1）。

下面我们考虑图25-38所示的带缓冲级的OTA。由于其输出可以达到*VDD*，这使得该电路在稳压器设计中得到了广泛应用。利用反馈电阻，可以将该电路的输出电压设置为输入电压的若干倍。另外，在该电路中，反馈回路上存在一个由M1管构成的放大器，使得β可以大于1。由M1管构成的放大器的输入和输出之间是反相关系，因此，反馈信号被接到OTA的“+”输入端。



648
~
649

图25-38　由OTA-共源放大器共同构成的运算放大器

该电路基本上就是一个两级运算放大器，因此，可以按照图25-11中运算放大器的补偿方法进行补偿。不过，如果负载电容很大就会存在一个问题。考虑下面这个例子。

例25.3

图25-39所示电路为一个稳压器电路。当*VDD*从4V变到6V时，该电路仍能产生稳定的2.5V的输出电压，最大输出电流为10mA（即流入R_L的电流）。确定该电路中R_z、R_{min}和C_c的大小，使得$C_L=0$时的相位裕度近似为90°。要使该电路的相位裕度大于45°，估算允许的C_L的最大值。

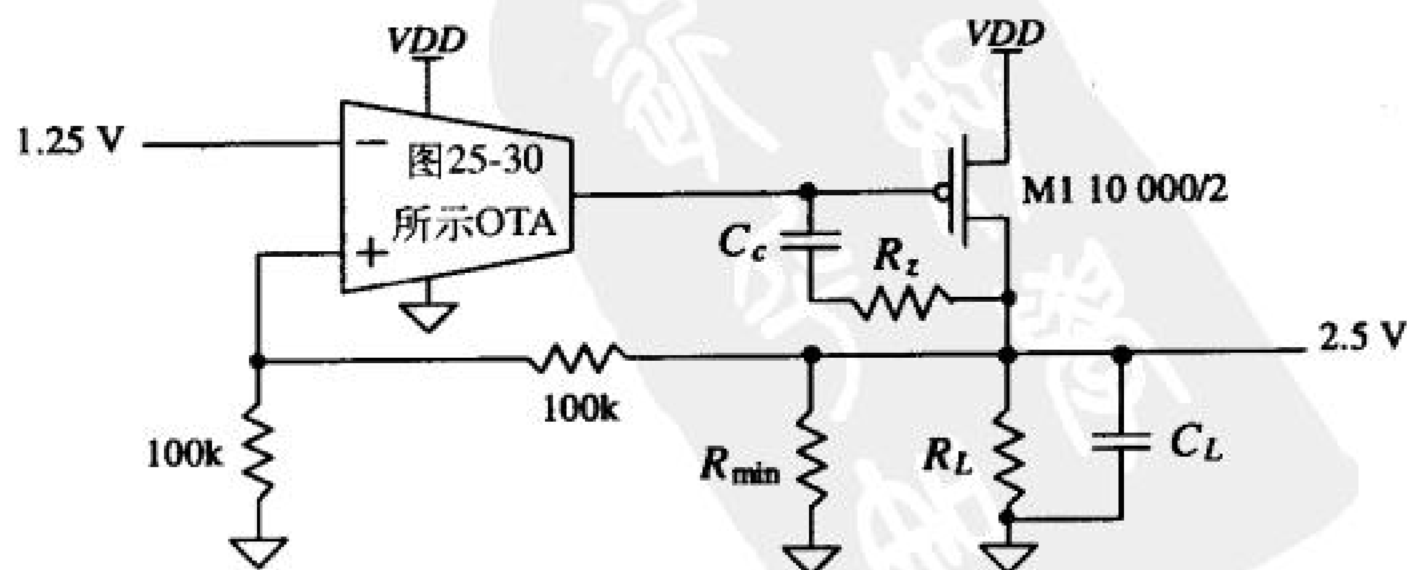


图25-39　例25.3中的稳压器（注意，如果电路中有大尺寸MOS管，仿真时应将NRD和NRS设置为零）

我们按照第25.1节中的补偿流程来解答这个例题。R_1的值（OTA的输出电阻）为：

$$R_1 = r_{o5}||r_{o7} = 4.2\text{MEG}\ (\text{当}\lambda = 0.06\text{V}^{-1}\text{、}I = 2\mu\text{A时})$$

与OTA的输出电容相比，M1管足够大，因此，C_1的值为：

$$\begin{aligned} C_1 &= C_{gs1} + C_{gd1}(1+|A_{v2}|) \\ &= \frac{2}{3}\cdot(10\ 000)(2)(800\ \text{aF}) + (10\ 000\ \mu\text{m})\left(5\times 10^{-10}\frac{\text{F}}{\text{m}}\right)(1+|A_{v2}|) \\ &= 10.67\ \text{pF} + 5\ \text{pF}\cdot(1+|A_{v2}|) \end{aligned}$$

在未增加补偿电容之前，OTA输出端所对应的极点为：

$$f_1 = \frac{1}{2\pi\cdot R_1 C_1} = \frac{1}{2\pi\cdot 4.2\ \text{MEG}\cdot[10.67+5(1+|A_{v2}|)]\text{pF}}$$

650

加上补偿网络之前，M1管漏端所对应的极点为：

$$f_2 = \frac{1}{2\pi\cdot R_2 C_2} = \frac{1}{2\pi\cdot(r_{o1}||R_L||R_{min})\left[C_L + 5\ \text{pF}(1+\frac{1}{|A_{v2}|})\right]}$$

现在解释一下在电路中添加R_{min}的原因。如果稳压器的输出电流向零方向减少（即R_L和r_{o1}向∞方向增大），M1管就会开始关断。这使得f_2向f_1方向移动（f_1也会减少到某一点，因为输出电流减小时A_{v2}会增大，见图22-15）。当该电路处于输出电流非常小的状态时，f_2可以小于f_1，结果使反馈环路不稳定。给稳压器增加电阻R_{min}，就可以确保至少有一个最小电流总流过M1管。对于当前这个电路，输出电压为2.5V，R_{min}可以被设置为10kΩ[⊖]，这使得M1管在任何时候最少都会有250μA的电流流过。对于恒定的C_L，如果稳压器的输出电流I_{D1}增加，f_2会增加，从而增大电路的相位裕度。因此，在下面的讨论中，我们假定$I_{D1} = 250\mu\text{A}$（即最坏情况）。如果M1管的沟长取为2μm，λ=0.8，则有：

$$r_{o1} = \frac{1}{0.8\cdot 250\ \mu\text{A}} = 5\ \text{k}\Omega \qquad R_L = \infty$$

第二级的增益为：

$$\begin{aligned} |A_{v2}| &= g_{m2}\cdot(r_{o1}||10\ \text{k}\Omega) = \sqrt{2\cdot 17\frac{\mu\text{A}}{\text{V}^2}\cdot\frac{10\ 000}{2}\cdot 250\mu\text{A}}\cdot(5\ \text{k}||10\text{k}) \\ &= 21.7\ \text{V/V} \end{aligned}$$

式中，g_{m2}是第二级的跨导（即M1管的跨导）。在该增益下，f_1为300Hz，f_2为：

$$f_2 = \frac{1}{2\pi\cdot(5\ \text{k}||10\ \text{k})\left[C_L + 5\ \text{pF}(1+\frac{1}{|21.7|})\right]} = \frac{1}{2\pi\cdot(3.3\ \text{k}\Omega)(C_L + 5\ \text{pF})}$$

增加补偿电容

我们不能用式(25-18)去计算环路的单位增益频率，因为C_c不是远大于C_1。不过我们可以把电路（带补偿电容时）的开环增益写为：

⊖ 对大多数实际应用而言，这个阻值或许太小。

651

$$\frac{v_{out}}{v_{in}}=\frac{\overbrace{g_{m1}\cdot R_1}^{\text{OTA的增益}}\cdot\overbrace{21.7}^{\text{M1管的增益}}}{\left(1+j\frac{f}{f_{1C}}\right)\left(1+j\frac{f}{f_{2C}}\right)}$$

式中，g_{m1}为OTA的跨导，f_{1C}和f_{2C}为增加补偿电容后的电路的两个极点。由于f_{1C}（主极点）远小于f_{2C}，因此，当频率小于f_{2C}时，上式可改写为：

$$\left|\frac{v_{out}}{v_{in}}\right|\approx\frac{g_{m1}R_1\cdot 21.7}{\sqrt{1+\left(\frac{f}{f_{1C}}\right)^2}}=\frac{3\ 650}{\sqrt{1+\left(\frac{f}{f_{1C}}\right)^2}}$$

根据定义，当$f=f_u$时，$|v_{out}/v_{in}|=1$。由于f_u远大于f_{1C}，因此，由上式可得：

$$f_u=f_{1C}\cdot 3\ 650=f_{1C}\cdot A_{v1}\cdot A_{v2}$$

于是得到有补偿电容时的极点为：

$$f_{1C}=\frac{1}{2\pi\cdot 4.2MEG\cdot[10.7+(5+C_c)(1+21.7)]}=\frac{1}{2\pi\cdot 4.2MEG\cdot[125\text{ pF}+C_c(1+21.7)]}$$

$$f_{2C}=\frac{1}{2\pi\cdot 3.3\text{ k}\Omega\cdot(C_L+C_c+5\text{ pF})}\tag{25-54}$$

由前面提出的设计要求知，当$C_L=0$时，相位裕度应该近似为90°。如果f_{2C}（当$C_L=0$时）大于十倍的f_u（即$f_{2C}>10\cdot f_u$），就可以满足设计要求。如果我们令$f_u=100\text{kHz}$，则$C_c=55\text{pF}$，$f_{2C}=800\text{kHz}$，f_{2C}的值仅为f_u的八倍。不过，当I_{D1}很小时，f_{2C}的值与λ值密切相关。由于我们前面针对M1管选定的λ值(0.8)不一定很精确，因此，我们将对该电路进行仿真，并验证设计是否已满足给定的设计要求。

R_z的值可以根据M1管的最大g_m（即g_{m2}）来确定。当$I_{D1}=10\text{mA}$时，M1管的g_m最大，为$g_{m2}=41.23\text{mA/V}$。如果我们令$R_z=1/g_{m2}$，那么$R_z=25\Omega$。为了增加稳压器的相位裕度，在这个设计中，我们取$R_z=100\Omega$。注意，当稳压器流出很小的电流时，R_z对相位裕度几乎没有影响。图25-40给出了$C_c=55\text{pF}$、$R_{min}=10\text{k}\Omega$、$R_L=\infty$和$C_L=0$时的开环仿真结果。开环仿真时，共模输入电压被设置为2.5V，并且使用了直流稳定电路(见图25-33)。

由仿真结果知，仿真得到的单位增益频率与手算结果相符，但第二个极点是手算的800kHz的五倍（这当然很好）。另外，右半平面上的零点很接近第二个极点。这使得相位曲线下降的速度变为原来的两倍。这种情况下的相位裕度满足了$C_L=0$时的设计要求（即相位裕度近似为90°）。当$f_{2C}=f_u$时，相位裕度为45°。当$f_{1C}=100\text{kHz}$时，由式(25-54)可得$C_L=420\text{pF}$。仿真结果表明，电容是该值的五倍（即2 100pF），才能使相位裕度为45°（当$I_{D1}=250\mu\text{A}$时）。增加I_{D1}能增大相位裕度。■

652

图25-41给出了带缓冲级的宽摆幅OTA的最后一个示例。该电路就是在图25-30所示OTA的基础上，增加了四个MOS管构成输出级。可以把M13和M14管看成“消零电阻”，用于把右半平面上的零点移到左半平面上。另外，M13和M14管还会帮助减小流过M15管和M16管的电流。我们知道，流过M13和M14管的电流已经被严格地设定，而流过M15和M16管的电流并没有严格设定。增大M13和M14管的沟道长度有助于减少流过M15和M16管的静态电流，并把零点进

一步推向左半平面。

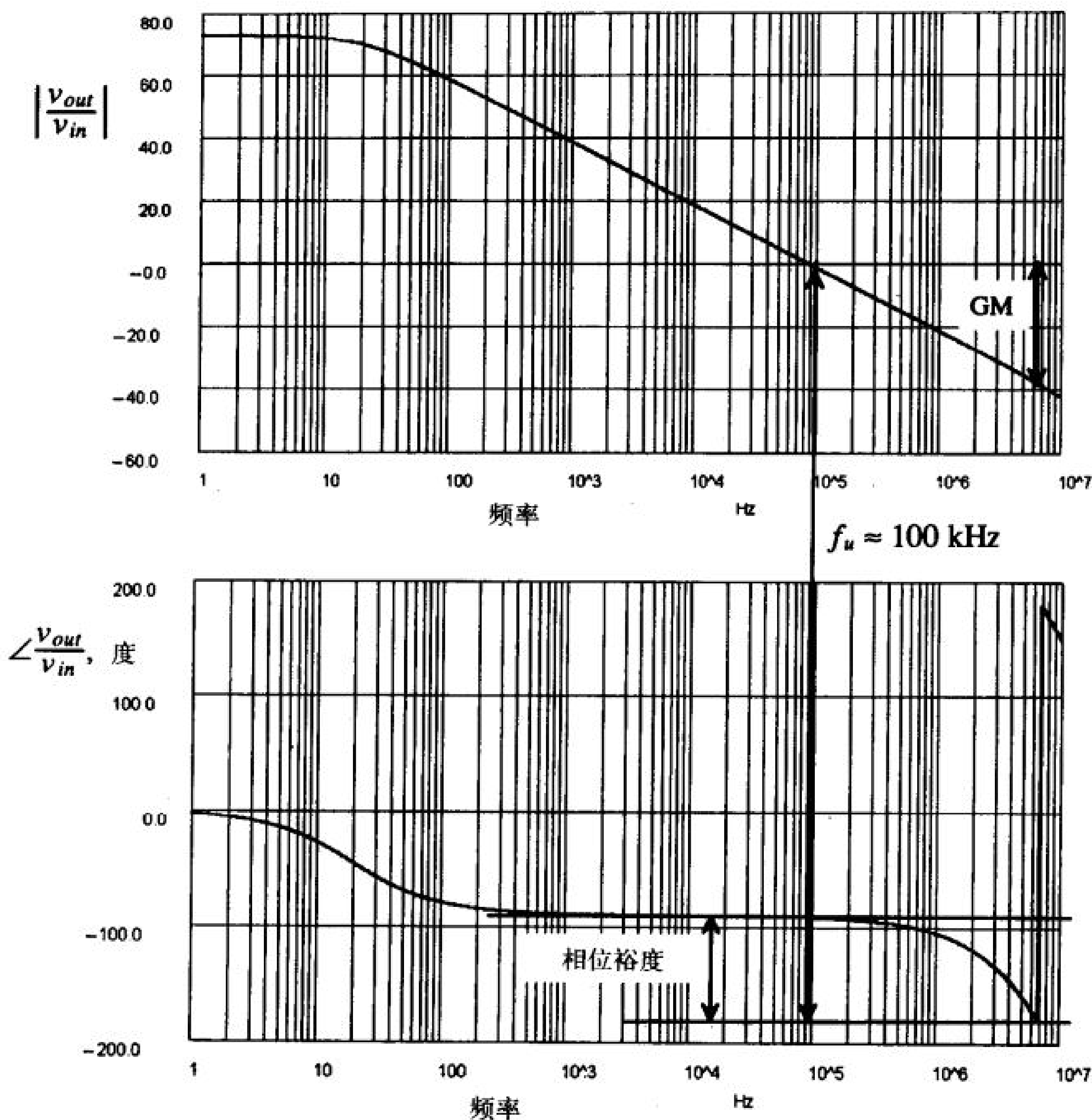


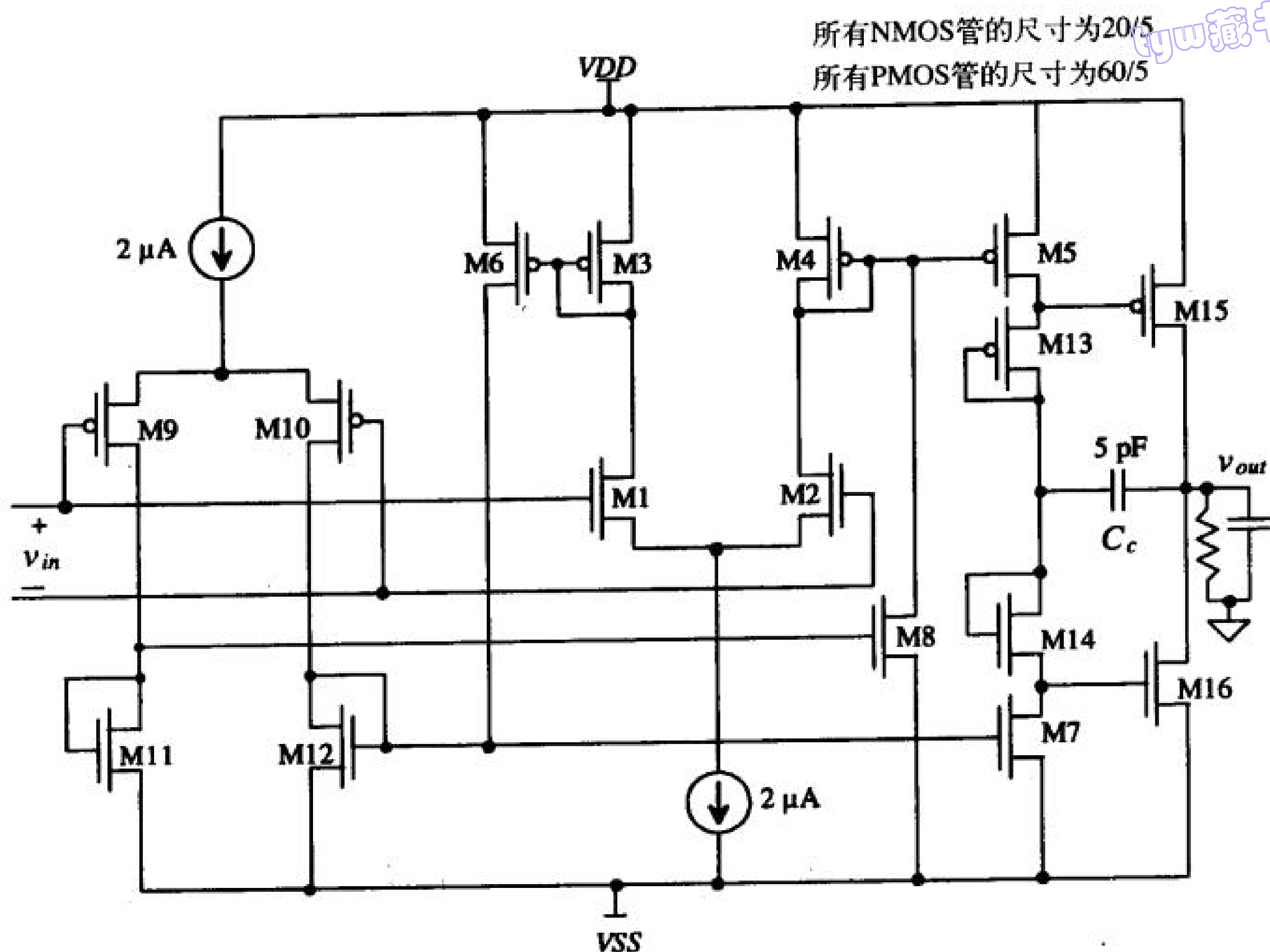
图25-40 例25.3中电路的开环频率响应曲线

653

OTA的单位增益频率f_u和负载电容密切相关。对于图25-41中的运算放大器，单位增益频率和直流增益都与负载电阻和负载电容密切相关。这是因为输出级的增益大于1，运算放大器输出端的电阻影响了第二级的增益。在假定第二级具有单位增益的情况下，补偿电容的设计方法和无输出缓冲级OTA的设计方法一样。如果第二级增益大于1，密勒效应使得C_c应乘以第二级的增益。这显著地增加了第一级看到的电容，使得运算放大器被补偿。如果负载电容变得很大，如同我们在例25.3中所看到的那样，运算放大器将再一次变得不稳定。注意，由于输出缓冲的输入和输出信号之间是反相关系，运算放大器的“+”和“−”输入端被交换了。

25.2.2 折叠共源共栅OTA

图25-42给出了一种折叠共源共栅OTA[6-8]。“折叠共源共栅”（folded-cascode）这个名字源于差分对的P型共源共栅有源负载被向下折叠，并把MOS管改为NMOS管。由于这种OTA也是用负载电容进行补偿，使得这种OTA和其他所有的OTA一样，具有比两级运算放大器更好的PSRR。



654

图25-41　带共源输出缓冲级的宽摆幅OTA

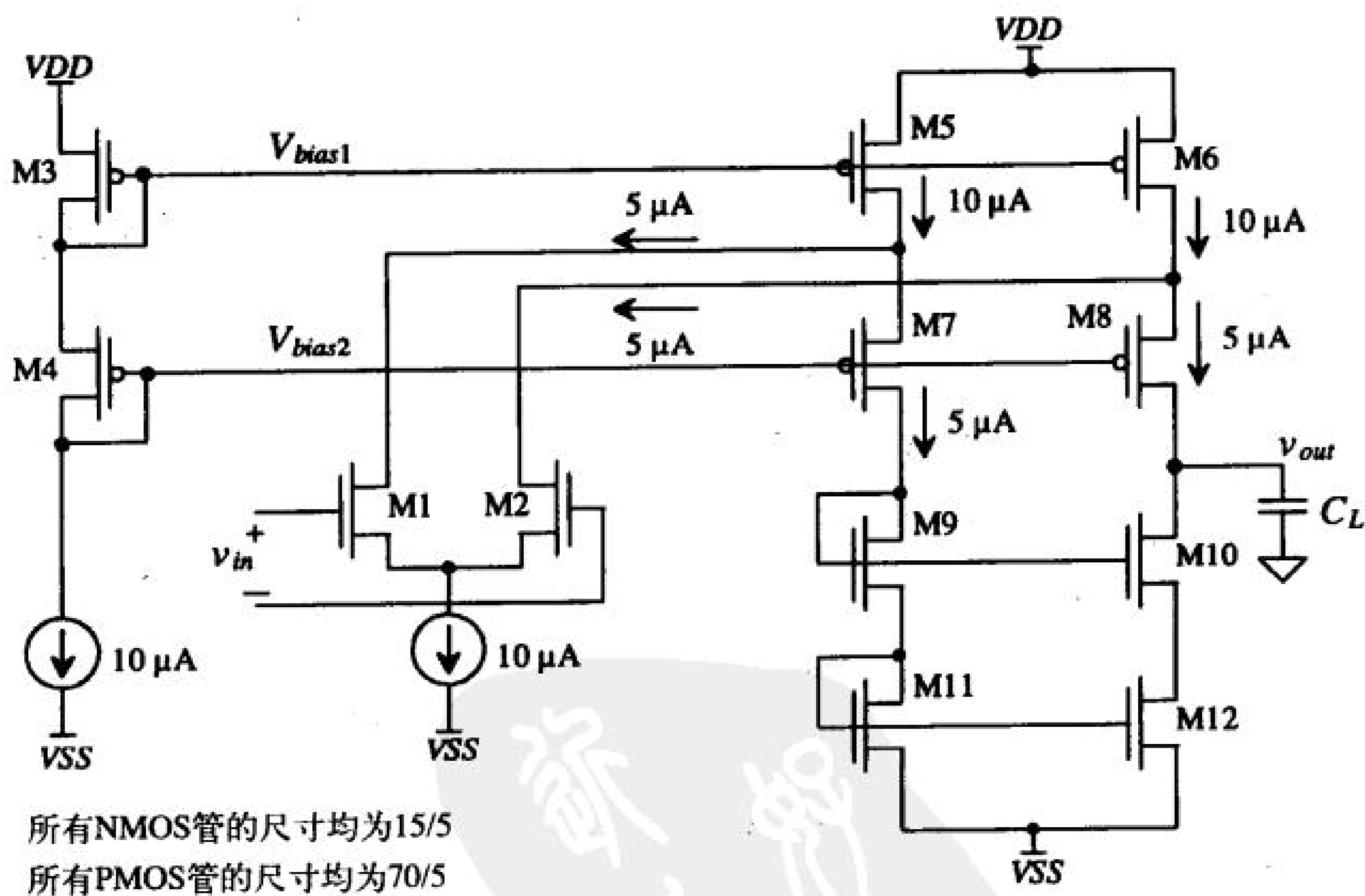


图25-42　折叠共源共栅OTA

为了理解折叠共源共栅OTA的工作原理，先考虑图25-42所示电路中无差分放大器（即M1/M2管）的部分。没有电路中的差分放大器，流经所有MOS管的电流均为10μA。M3和M4管用于给M5~M8管提供直流偏置电压。注意，共源共栅MOS管（M5~M12管）并没有被偏置在宽摆幅工作状态。当然，也可以用宽摆幅偏置电路替换M3、M4管，用宽摆幅电流镜替换

M9~M12管。宽摆幅的偏置会提高输出电压的摆幅。把差分放大器放回原电路后，它会从流经M7~M12管的10μA电流中“偷取”5μA，使流过M7~M12管的电流减为5μA。

当施加一个交流输入信号v_{in}时，会使得差分放大器的漏端电流差变为$g_m v_{in}$（g_m是差分放大器的跨导）。这个差模交流漏端电流被镜像到共源共栅连接的M7~M12管。OTA的输出电压变为:

$$v_{out} = g_m v_{in} \cdot R_o \tag{25-55}$$

式中:

$$\begin{aligned} R_o &= (\text{从M10管漏端看进去的电阻}) \,||\, (\text{从M8管漏端看进去的电阻}) \\ &= [r_{o10}(1 + g_{m10} r_{o12})] \,||\, [r_{o8}(1 + g_{m8} r_{o6})] \end{aligned} \tag{25-56}$$

655

折叠共源共栅OTA的增益为:

$$\frac{v_{out}}{v_{in}} = g_m R_o \tag{25-57}$$

用图25-42中的数值，$g_m = 38.7\mu A/V$，$r_{o6} = 1.67M\Omega$，$r_{o8} = r_{o10} = r_{o12} = 3.33M\Omega$，$g_{m8} = 50\mu A/V$，$g_{m10} = 38.7\mu A/V$，我们可以求得$R_o$的数值为170MΩ，而$|v_{out}/v_{in}|$为6 500V/V。

OTA的主极点位于$1/2\pi R_o C_L$处。在M7/M8管和M9/M10管源端存在着寄生极点。这些寄生极点应该远大于OTA的单位增益频率（$f_u = g_m/2\pi C_L$）。对于图25-42中的运算放大器而言，将单位增益频率设置为1MHz，可以求得$C_L = 6.1pF$。

运算放大器可以由折叠共源共栅OTA和源跟随器缓冲级构成，如图25-43所示。源跟随器中的电流源I_{SF}的大小取决于运算放大器所需要的吸收电流的能力。例如，如果运算放大器看到的最小负载电阻是10kΩ，$VSS = -2.5V$，那么，电流源至少应该是2.5V/10kΩ（即250μA）。换句话说，运算放大器可以吸收250μA的电流。当运算放大器在流出电流时，M15管必须提供流过电流源的电流I_{SF}和流入负载的电流。源跟随器不会降低OTA的频率特性。不过，最大输出电压会被限制为小于$VDD - V_{THN15}$。

图25-43 折叠共源共栅运算放大器

656

偏置电压可以用图25-44所示电路来产生。该电路基本上是两个宽摆幅的电流镜，电流镜是基于图20-6所示的电路结构。正如第20章所讨论的那样，MB1和MB2管的尺寸取为其他MOS管尺寸的四分之一。如果图25-43和图25-44中的$I=10\mu A$，未标注的NMOS管尺寸为15/5，未标注的PMOS管尺寸为70/5，那么，MB1管的尺寸可以取为30/40，MB2管的尺寸可以取为35/10。这种偏置电路使得10μA的电流流过M13、M14、M5、M6以及偏置电路中的所有MOS管。M1、M2管和M7-M12管有5μA的电流流过。另外，这种偏置方法也确定了OTA输出（M8和M10管的漏端）的最大电压摆幅。

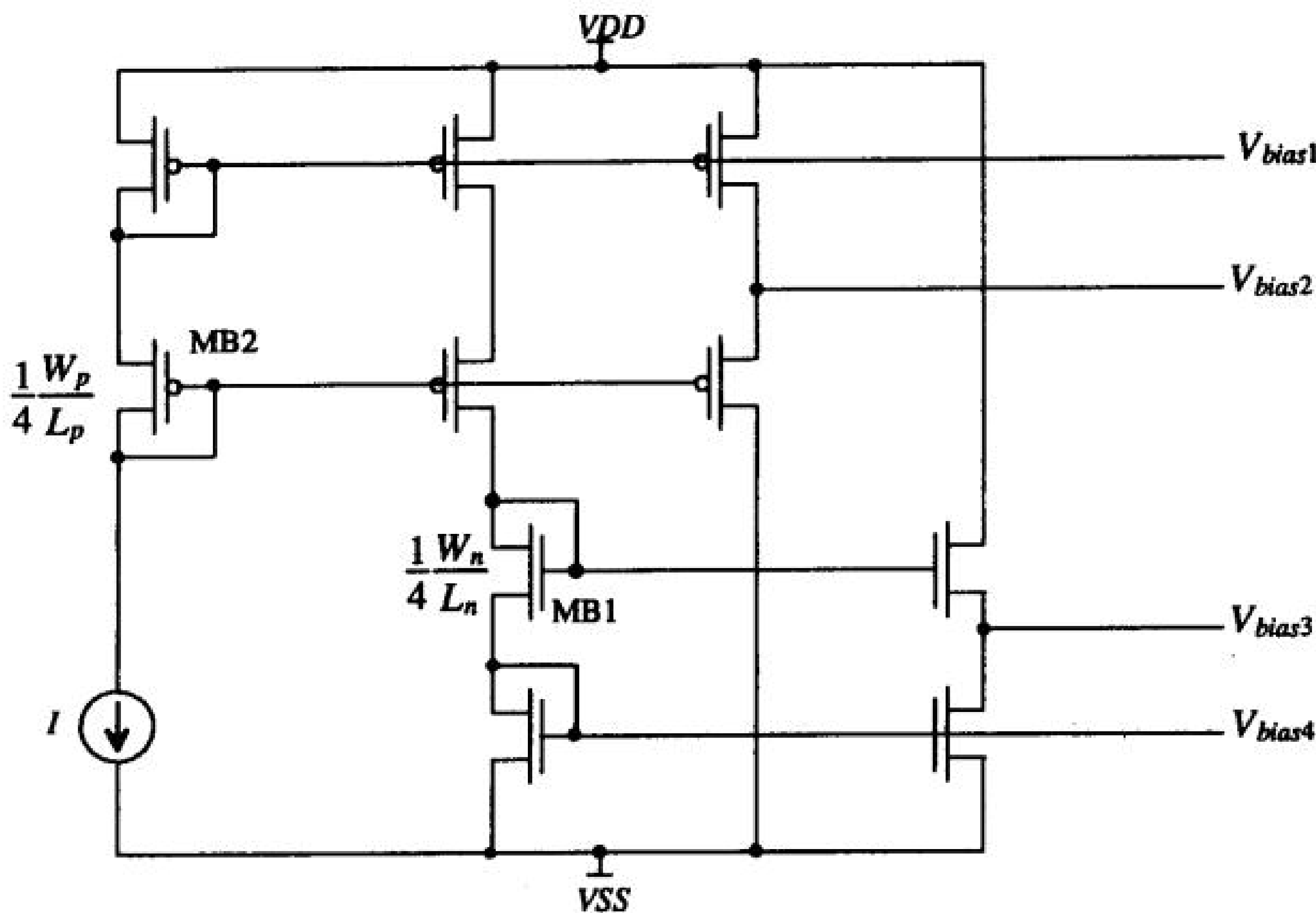


图25-44 图25-43所示运算放大器的偏置电路

宽摆幅的折叠共源共栅OTA

图25-42中的折叠共源共栅OTA的一个主要优点是CMR上限可以超过*VDD*，而下限则由能加在输入差分放大器上的最小电压决定。图25-45给出了一种宽摆幅的折叠共源共栅OTA，它的输入CMR可以超过*VDD*或低于*VSS*（不过输出做不到这一点）。输入差分放大器是第24章中讨论的宽摆幅差分放大器(见图24-27)。如果使用我们已经比较熟悉的尺寸，即：NMOS管为15/5，PMOS管为70/5，并使用图25-44所示偏置电路（偏置电流为10μA），那么，会有10μA的电流流过M5、M6、M11～M14、M17和M18管（在直流情况下，并假定两个差分放大器都导通），流过电路中其余MOS管的电流为5μA。把这种OTA配置成单位增益结构（如图25-46所示），在$VDD=5V$、$VSS=0V$的情形下进行SPICE仿真，得到的仿真结果如图25-46所示。图中，输入电压从-1V扫描到6V。注意观察一下OTA的输出级是如何限制输出电压的最大值和最小值的。

657

可以遵循宽摆幅OTA(图25-30)的补偿步骤对这种宽摆幅折叠共源共栅OTA进行补偿。是一个还是两个差分放大器都导通，这一问题在这种OTA电路中仍然存在。这种OTA还存在另一问题，即：低频增益不恒定。尽管如此，这种结构的OTA在模拟电路设计中仍有着广泛用途。在两个差分放大器都导通以及负载电容为1pF的情况下，单位增益频率为10MHz，相位裕度为70°，开环增益为6 500（76dB）。当一个差分放大器关断时，应该对偏置电压或者M5～M12管的尺

寸进行适当调整以补偿过大的直流电流。换句话说，为了得到较大的摆幅，M5/M6管或者M11/M12管的源漏电压很小（等于剩余栅压）；如果这些电压太小，M5/M6管或者M11/M12管就会接近线性区，增益会降低。

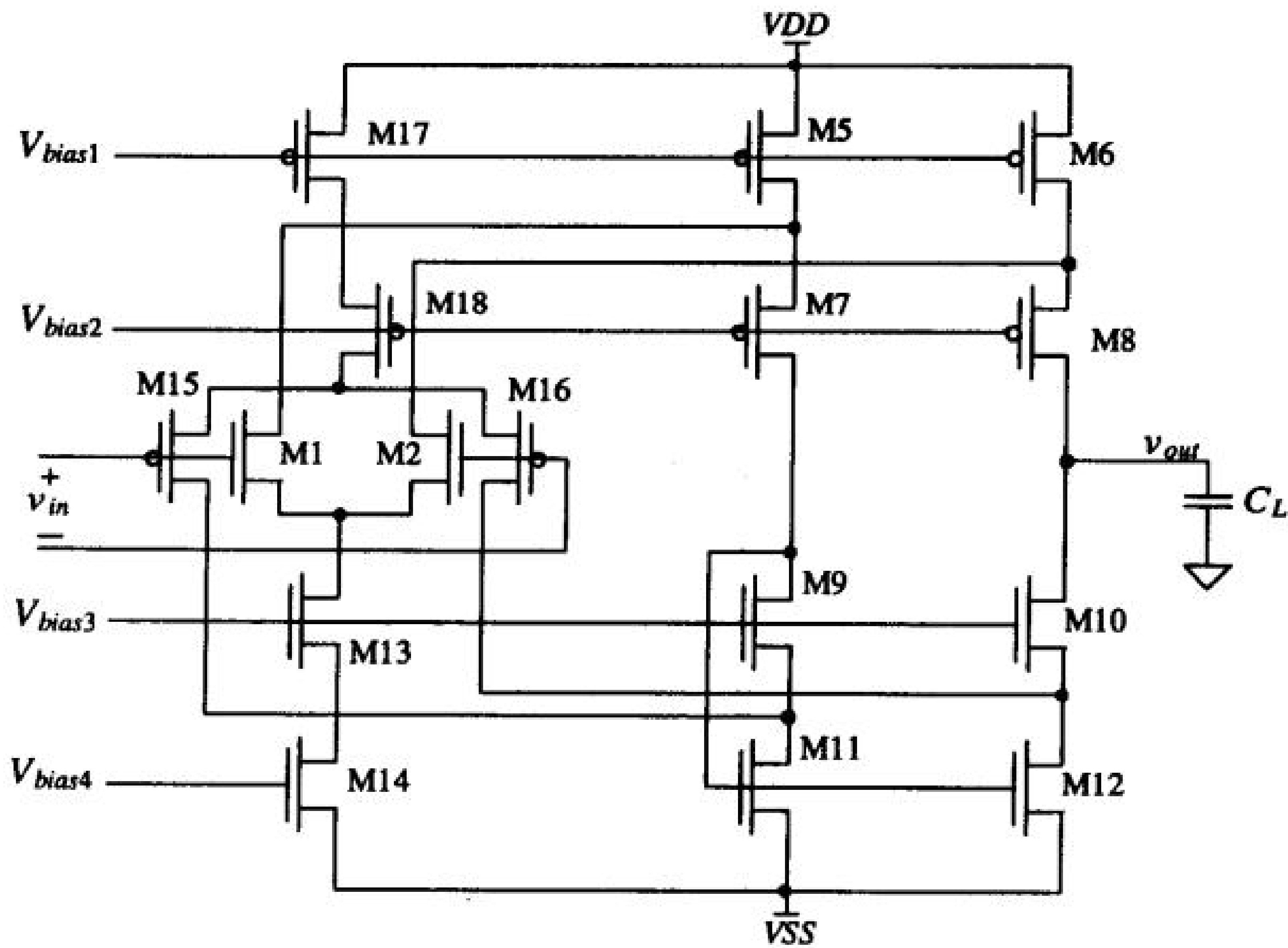


图25-45 宽摆幅的折叠共源共栅OTA

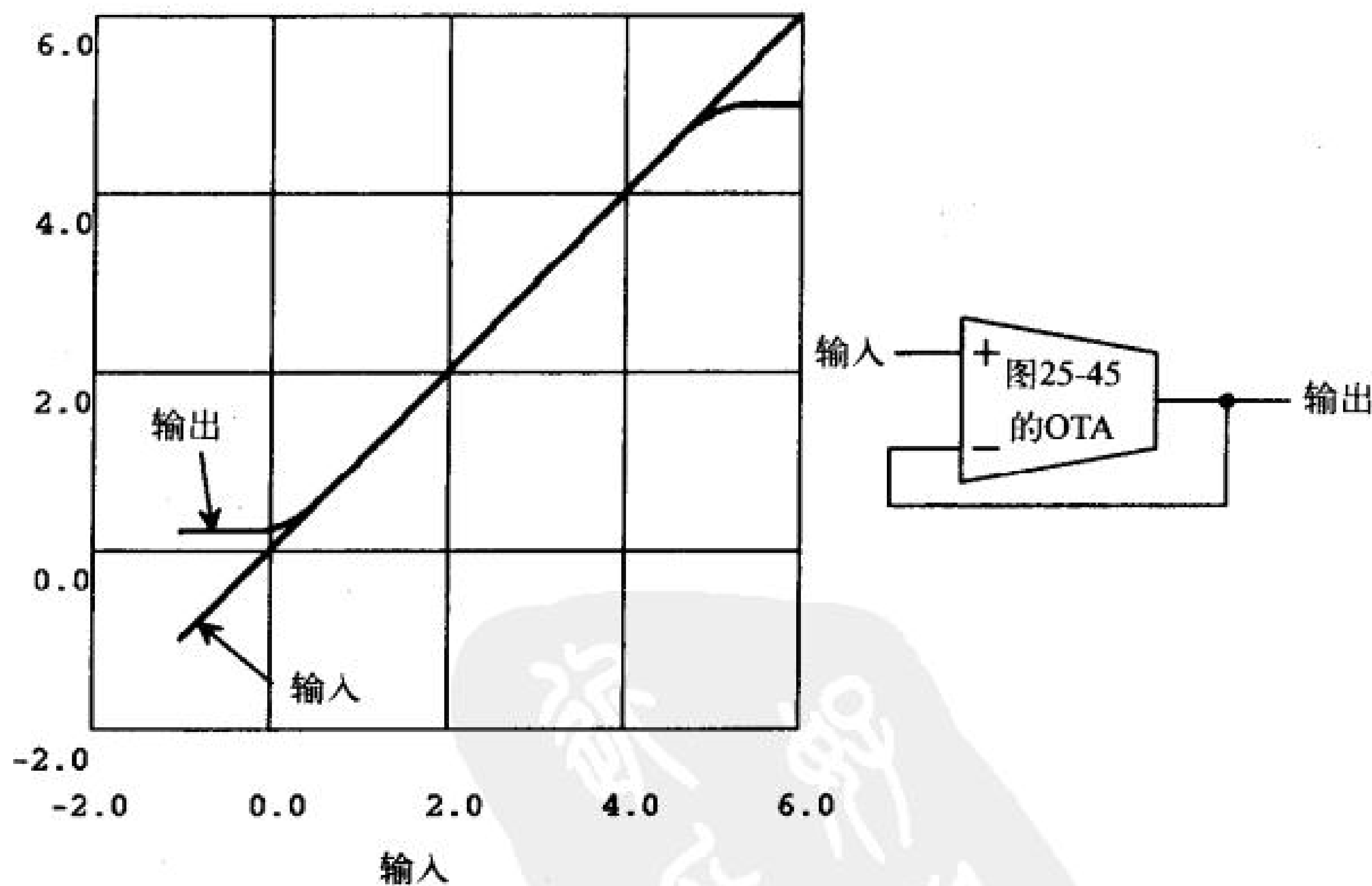


图25-46 宽摆幅折叠共源共栅OTA被配置成单位增益时的直流特性

第24章中讨论的恒定g_m的放大级可以用于宽摆幅折叠共源共栅OTA的输入差分放大级。这能解决补偿OTA所引起的跨导变化问题，但低频增益不恒定的问题仍然存在。

带输出缓冲的折叠共源共栅OTA

在许多应用中，OTA必须驱动电阻-电容型负载，或者很大的电容负载。在这种情况下，

在负载和OTA之间需要加入一个缓冲级，使得OTA的增益不会下降。图25-47给出了一个用源跟随器做输出缓冲级的实例。输出缓冲级中的M03和M04管都是用于驱动负载的源跟随器。M01管是一个简单的电流源，M02管构成一个PMOS源跟随器。选择合适的M02管的栅源电压，使得M03和M04管都导通，即$V_{SG2}>V_{THN}+V_{THP}$。缓冲级的增益近似为1，因此，当在OTA中加入缓冲级时，不需要改变补偿电容C_c。这种电路结构的主要缺点是输出摆幅受限制。最大输出电压是$VDD-V_{THN}$（存在体效应），而最小输出电压是$VSS+V_{THP}$。

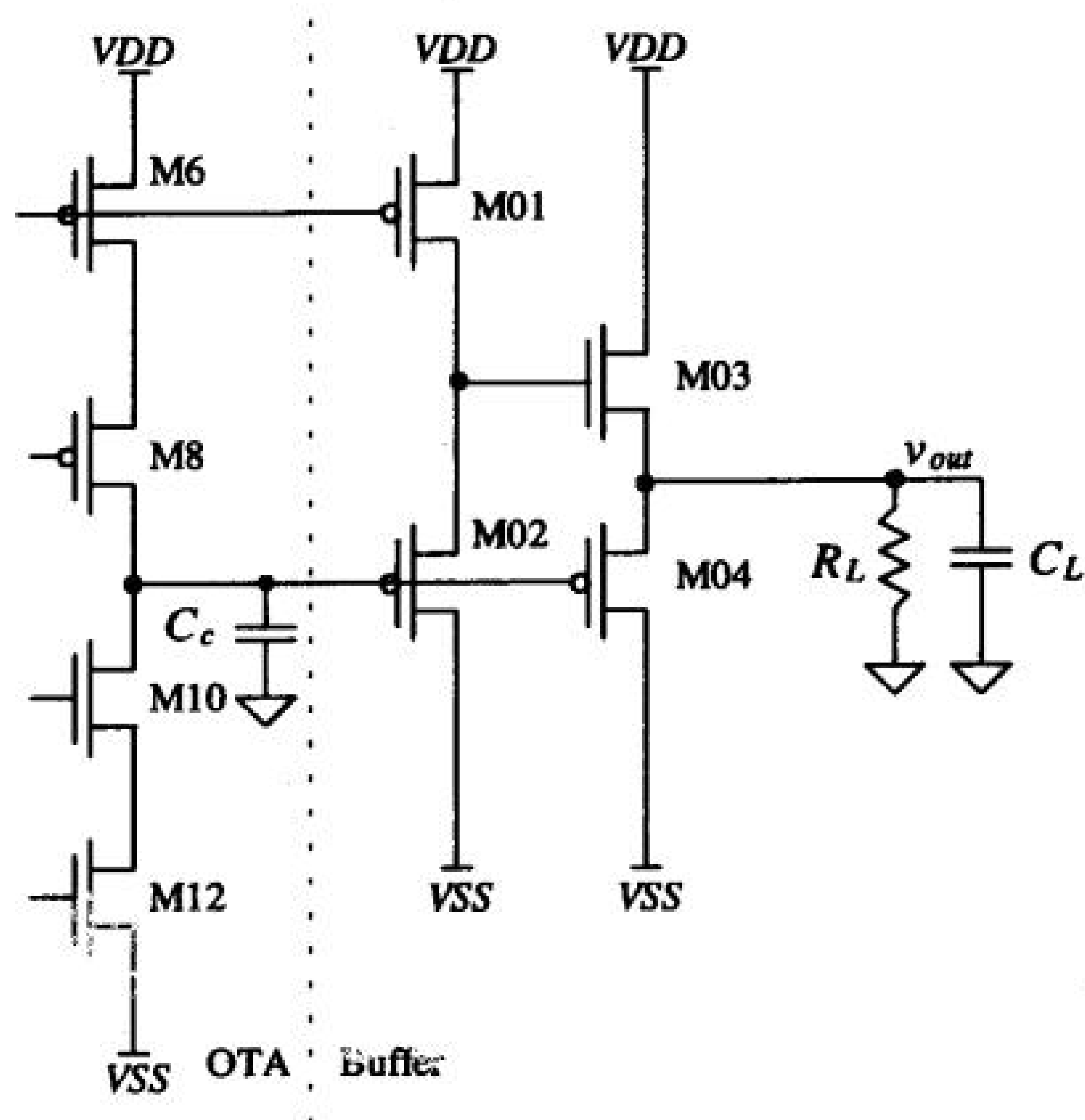


图25-47　用于折叠共源共栅OTA的输出缓冲（单位增益）

658~659

图25-48给出了另一个折叠共源共栅输出缓冲级的例子。这种输出缓冲结构和图25-41给出的结构基本相同。栅漏连接的M07和M08管可以被认为是零点消除电阻（即$R_z=1/g_{m07}||1/g_{m08}$）。

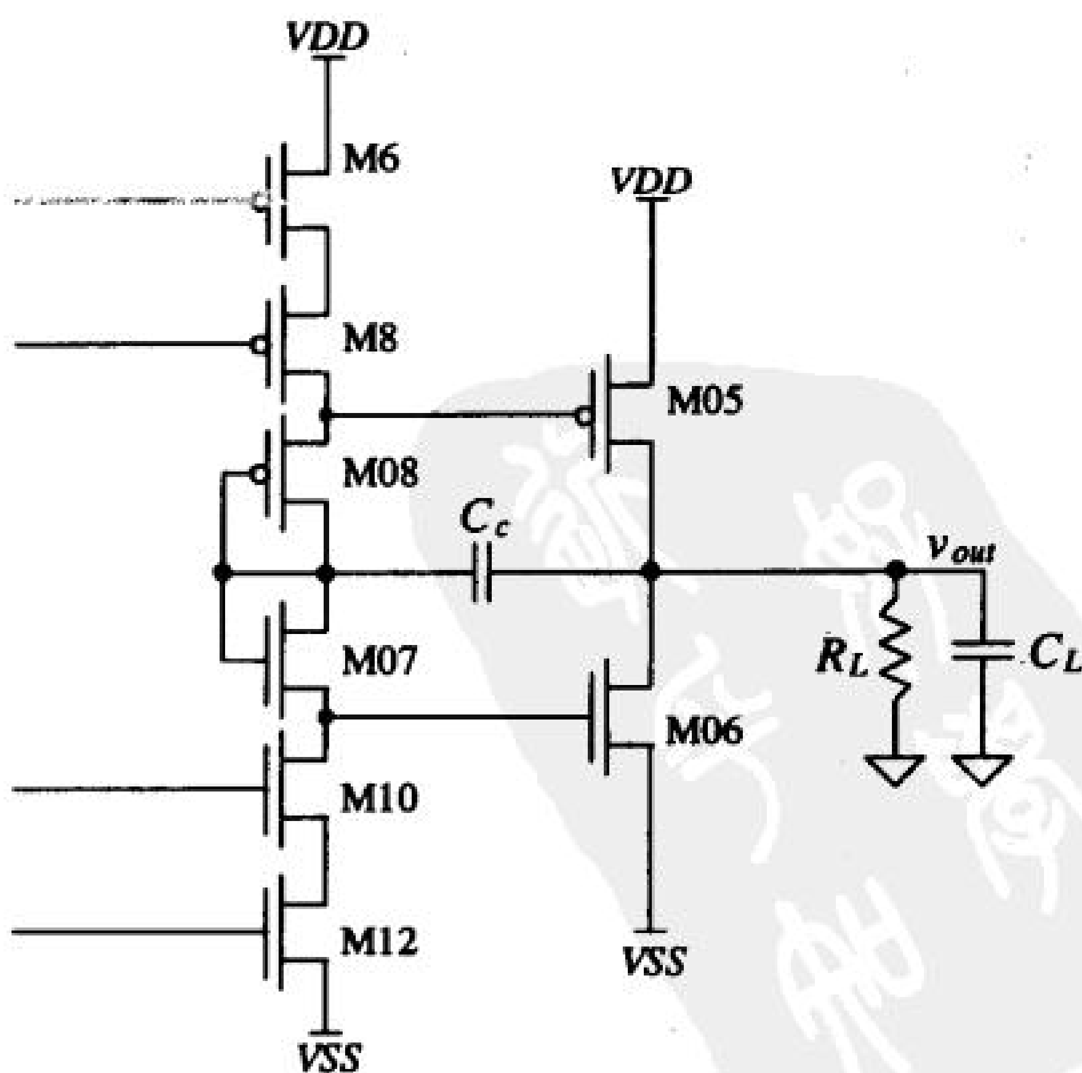


图25-48　用于折叠共源共栅OTA的输出缓冲（具有增益）

这种电路的补偿可以按照本章开始时讨论的两级运算放大器的补偿方法进行补偿。通常情况下，因为输出缓冲级的增益可以很低，输出MOS管M05和M06可以用最小或者接近最小的沟道长度。这样可以增加输出驱动能力。这种缓冲级的优点是输出可以接近电源电压。

图25-49给出了一种宽摆幅折叠共源共栅OTA电路，输出缓冲级基于浮动电流源[7]。这种结构在低压运算放大器设计中很有用。下面分析这种运算放大器的工作原理和偏置方法。我们假定用图25-44所示偏置电路，取$I=10\mu A$，NMOS管尺寸为15/5，PMOS管尺寸为70/5，MB1管尺寸为15/20，MB2管尺寸为35/10。偏置电压V_{biasp}和V_{biasn}的产生方法将马上进行讨论。在该尺寸下，假定两个差分放大器都流过电流，会有10μA的电流流过M17/M18、M13/M14、M5/M6以及M11/M12管，有5μA的电流流过M1/M2、M15/M16、M7/M8和M9/M10管。流过MO1/MO2管的电流为100μA，流过MC1-MC4管的电流为2.5μA。M5/M6管以及M11/M12管的电流被镜像到MO1和MO2管。

所有未标注尺寸的NMOS管尺寸为15/5

所有未标注尺寸的PMOS管尺寸为70/5

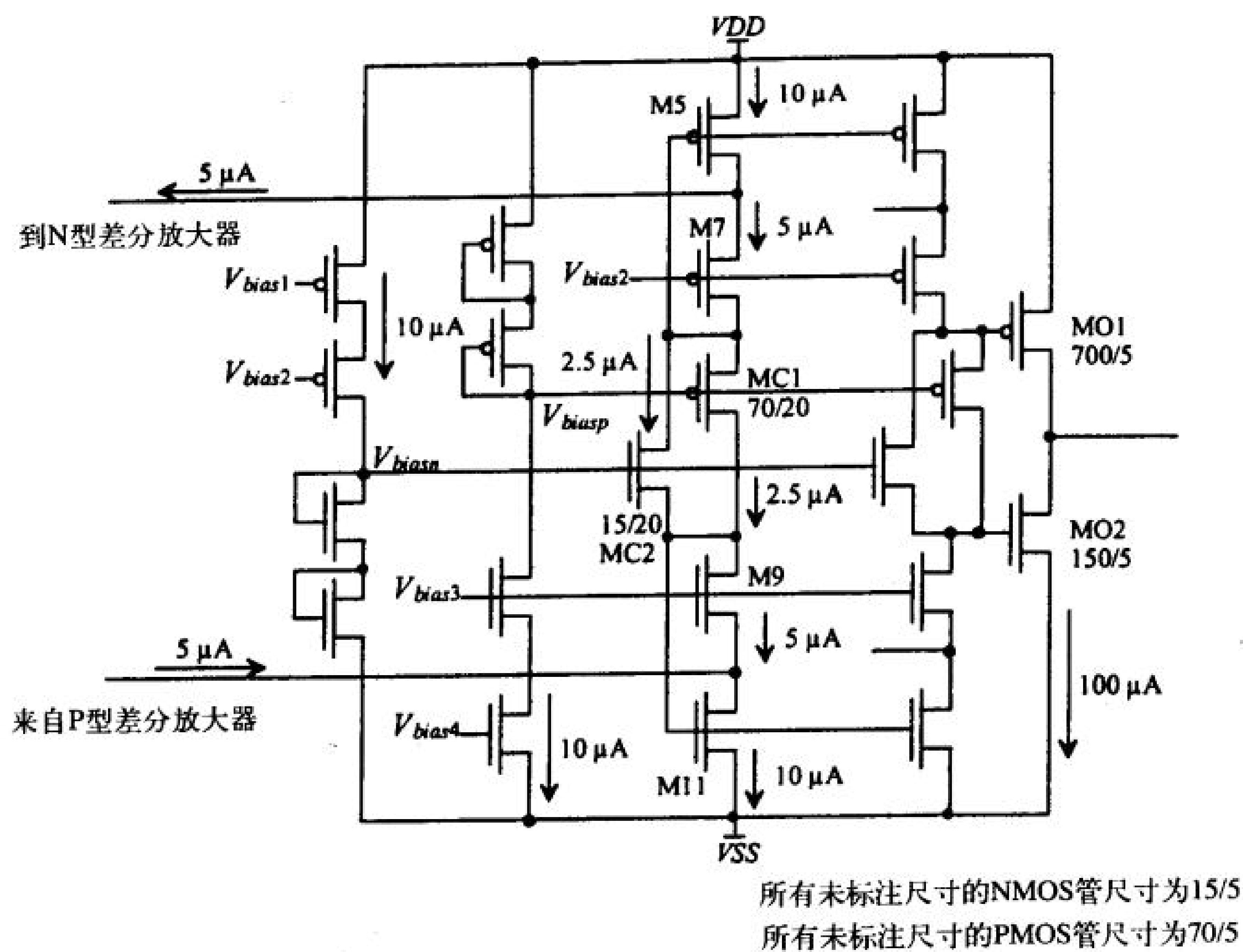
图25-49 带输出缓冲级的宽摆幅折叠共源共栅OTA（一个运算放大器）

660~661

浮动电流源MC1/MC2管和MC3/MC4管构成了一个增益为1的正反馈环路。从这些并联的MOS管的源端看进去的电阻是这些MOS管的输出电阻和该折叠共源共栅OTA中共源共栅MOS管的输出电阻的串联。

图25-50给出了该运算放大器的偏置电路的简化图。现在MC1～MC4管的尺寸被设计为其他MOS管的四分之一的原因已经非常明显：流过它们的电流为2.5μA。若运算放大器输入级中的一个差分放大器关断，则会发生一种非常有趣的情况。如果输入信号超出了P沟差分对的CMR，会导致P型差分放大器关断，那么，从P型差分放大器流入M11管漏端的5μA电流就会

变为零。这使得流过MO1管和MO2管的电流不平衡（MO1管流过的电流为100μA，而流过MO2管的为50μA）。然而，由于没有直流负载电流，这些电流必须保持相等。这使得在运算放大器的输入端会产生一个失调电压，使得流过MO1和MO2管的电流变得平衡。由于这种电路结构的增益很大，和器件失配导致的失调电压相比，这个失调电压通常可以忽略。在低失真放大器设计中，器件的匹配十分关键。在很多情况下，器件之间的匹配考虑使得许多非常优秀的电路结构不能被采用（例如恒定跨导的差分放大器）。



662

图25-50　图25-49所示运算放大器的偏置电路的简化图

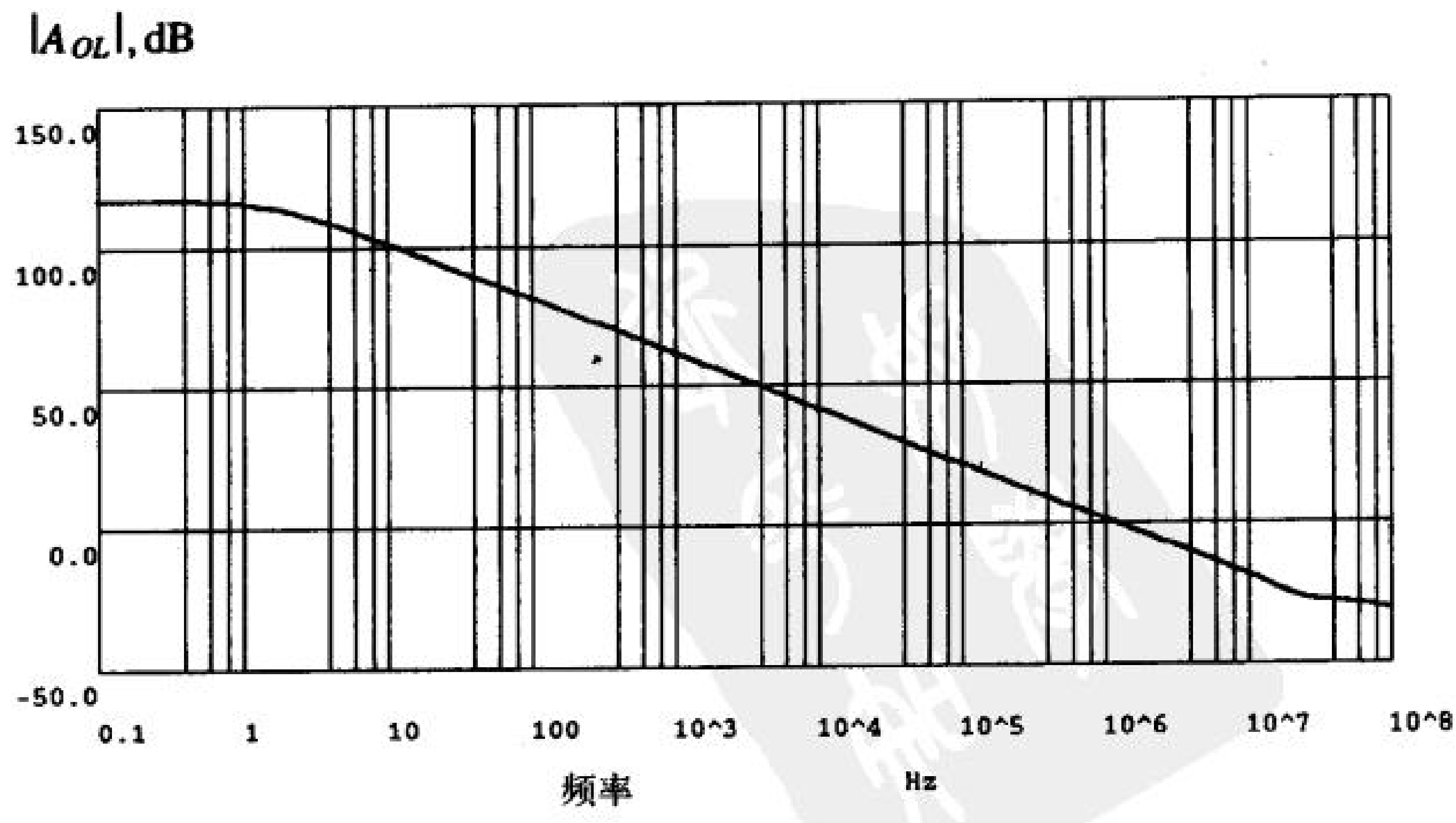


图25-51　图25-49中的运算放大器被补偿后的开环增益

图25-51给出了图25-49中的运算放大器被补偿后的开环增益。这个运算放大器使用了两个5pF的电容进行补偿。这种电路结构的开环直流增益为700 000V/V。对增益这么大的运算放大器进行仿真时，需要把RELTOL、VNTOL和ABSTOL设置为它们的默认值或者更小。另外，对于高增益的运算放大器，图25-7中的直流稳定机制也许不能正常发挥作用（这是由于电路中存在反馈）。图25-52给出的结构可以用于仿真运算放大器的开环增益。应该调节V_{bias}的值，使得运算放大器中所有的MOS管都被偏置在饱和区。对图25-49所示运算放大器进行仿真时，在运算放大器的正相输入端接了一个1V（AC）/2.5V（DC）的电压源。经过几次仿真，发现：把运算放大器的反相输入端偏置在2.49995V可以使得所有的MOS管都工作在饱和区。

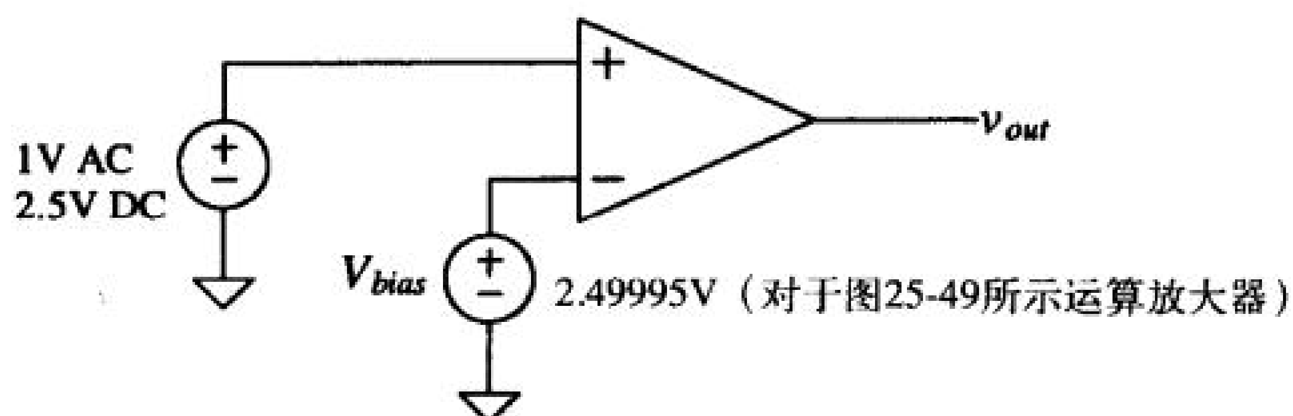


图25-52 仿真高增益运算放大器的开环响应

663

25.3 差分输出的运算放大器

到目前为止，我们讨论的都是单端输出的运算放大器。下面我们讨论一下差分输出的运算放大器。图25-53给出了差分输出的运算放大器的符号。用输入和输出表示的运算放大器的开环增益为：

$$A_{OL}=\frac{v_{o+}-v_{o-}}{v_+-v_-} \tag{25-58}$$

可以把它和单端输出的运算放大器进行比较，单端输出的运算放大器的增益为：

$$A_{OL}=\frac{v_{o+}}{v_+-v_-} \tag{25-59}$$

如果我们忽略v_{o-}，那么差分输出运算放大器的行为就像是一个单端输出的运算放大器。对于线性应用，运算放大器和反馈网络同时使用，输入关系为：

$$v_+\approx v_- \tag{25-60}$$

而输出的关系为：

$$v_{o+}\approx -v_{o-} \tag{25-61}$$

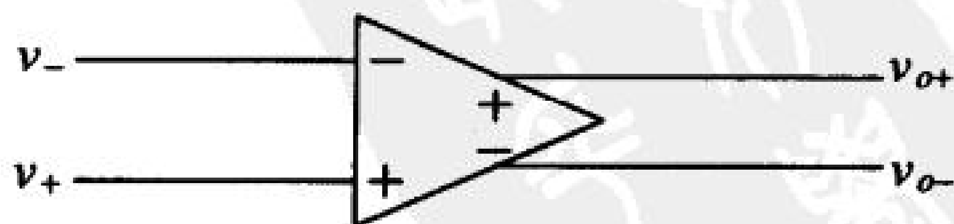


图25-53 差分输出运算放大器

我们可以使用两个单端输出运算放大器构成一个差分输出运算放大器(图25-54)。这种实现方法在低频时工作得很好。然而，由于运算放大器使用的是差分结构，每个运算放大器的

相位响应存在差异。这意味着式(25-61)在更高频率（>1kHz）下不再成立，其原因是通过每个单元的时间延迟之间的差异变得很显著。

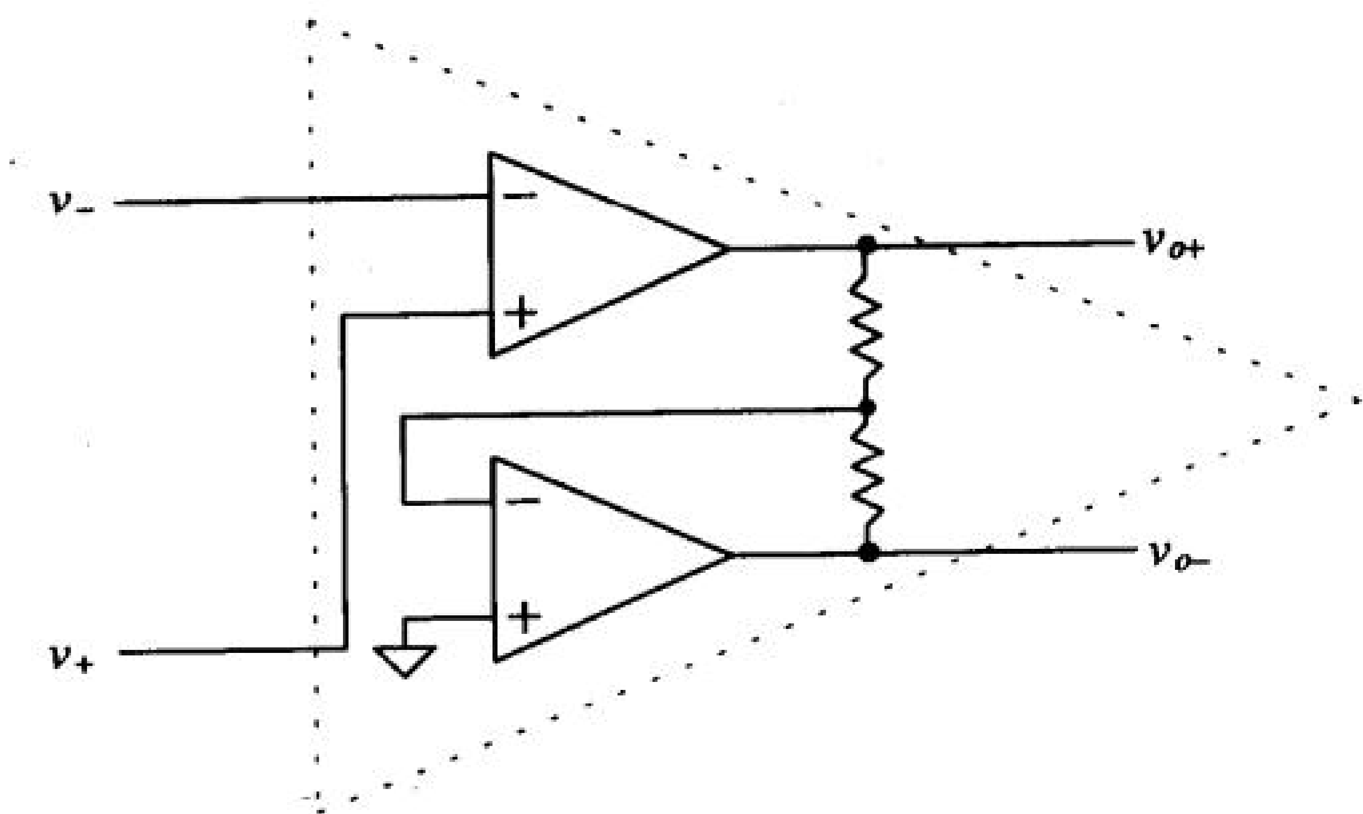


图25-54　用两个单端运算放大器构成的差分输出运算放大器

可以借助图25-55所示电路来说明使用差分输出运算放大器的重要性。该图给出了一个无反馈网络差分输出放大器的级联结构。图中画了互连金属线（在运算放大器之间携带、传递信号的金属线）和衬底之间的杂散电容以及其他噪声源。如果金属线之间的距离很近，噪声电压就会向每条信号线耦合相同的噪声（理想情况下）。由于差分放大器在其输入端可以抑制共模信号（即两个输入端都有的信号），在线上耦合进来的噪声就不会进入下一级运算放大器。同样，电源电压的变化也同样会被抑制。如果差分运算放大器是对称的，电源电压上的变化会等量地耦合到两个输出端，对运算放大器两个输出信号的差值几乎没有影响。由于这些原因（即良好的耦合噪声抑制能力和PSRR），差分运算放大器在任何混合信号集成电路中都是非常必要的。这里，混合信号电路指芯片上既有模拟电路也有数字电路，噪声的大部分是由数字逻辑模块产生。

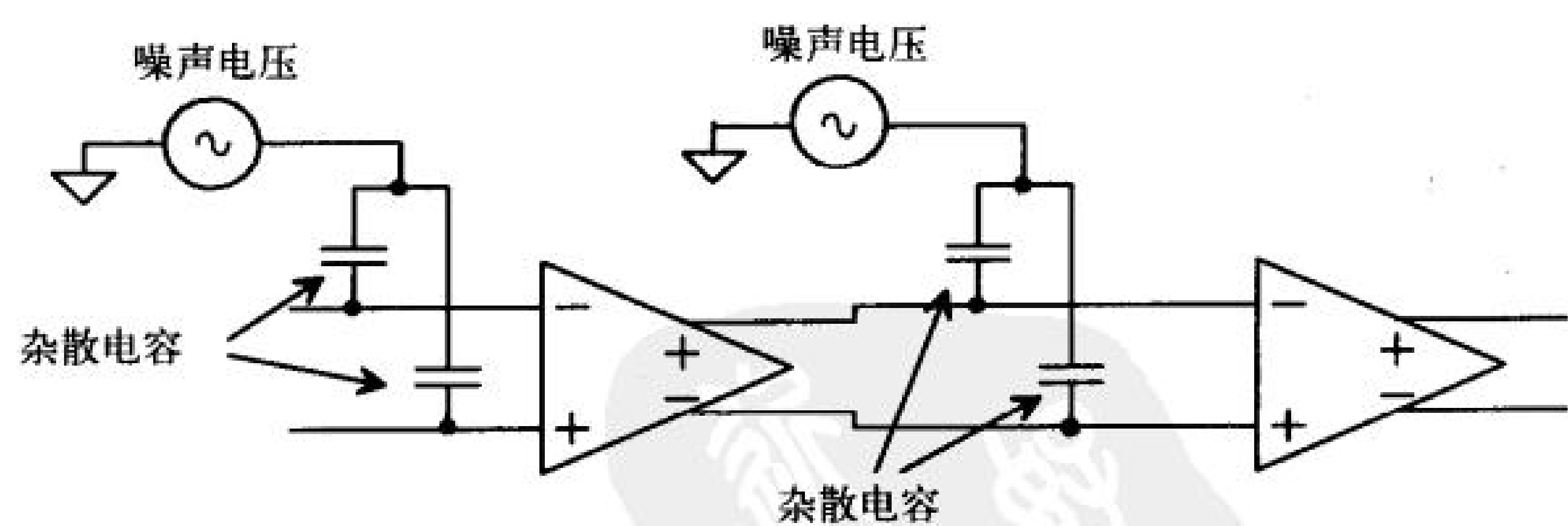


图25-55　差分输出运算放大器（给出了寄生电容和噪声）

通常情况下，运算放大器的输出电压的平均值被称为共模输出电压，用电源电压表示为：

$$V_{CM}=\frac{VDD+VSS}{2} \tag{25-62}$$

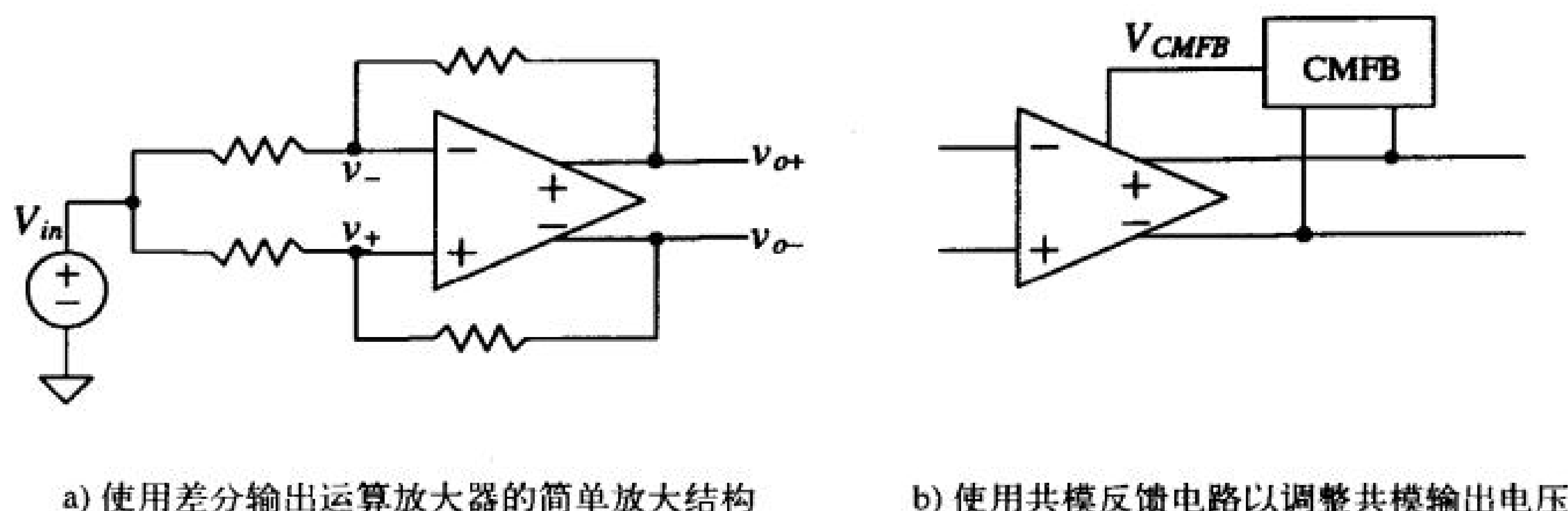
例如，如果$VDD=2.5\text{V}$，$VSS=-2.5\text{V}$，那么两个输出都要用共模电压0V（地）作为参考。如果$VDD=5\text{V}$，$VSS=0$，那么$V_{CM}=2.5\text{V}$。图25-56a给出了一个简单的由差分输出运算放大器构成的增益电路（反相还是同相取决于哪一个输出被当作正输出）。由于电路的输入电压相

等，运算放大器的输出电压应该保持在V_{CM}。但是，如果$v_{o+}=v_{o-}=VDD$，或者$v_{o+}=v_{o-}=VSS$，或者$v_{o+}=v_{o-}=$任何其他值，那么，依然有$v_+=v_-$（这就是一个问题）。式(25-61)可以写成包含共模输出电压的形式，即：

664~665

$$v_{o+}+V_{CM}\approx -v_{o-}+V_{CM} \tag{25-63}$$

要把运算放大器的共模输出电压保持在一个已知的电压上（即V_{CM}），可以用图25-56b所示电路结构。一个被称为"共模反馈"（Common-Mode Feedback，CMFB）的电路用于感知运算放大器的输出平均值（即V_{CM}）。CMFB电路的输出被反馈到运算放大器，将V_{CM}调整到正确的值，也即式(25-62)给出的值。在图25-54中，运算放大器是通过位于下边的那个运算放大器，的"+"输入连接来设置V_{CM}。在这种结构中，$V_{CM}=0V$，因此，可以推断出这种电路结构可以工作在$VDD=-VSS$情形下。



a) 使用差分输出运算放大器的简单放大结构　　b) 使用共模反馈电路以调整共模输出电压

图 25-56

25.3.1 全差分折叠共源共栅OTA

图25-57给出了一种全差分（输入和输出均如此）折叠共源共栅OTA。这种OTA和图25-43中的单端OTA的主要差异在于：M11管的栅现在被连接到V_{bias4}，而以前它是被连接到M9管的漏端。M9和M7管的漏端现在是OTA的"－"输出端。尽管这种变化很小，但它完全改变了OTA的直流偏置。

流过M7～M12管的电流现在为10μA。流过M5和M6管的电流为15μA。共模反馈电路应该有能力调整M5和M6管的栅压，使得它们为M1/M2管和M7～M12管提供15μA的电流。M5和M6管的尺寸被增大到其他PMOS管的1.5倍，这个原因在我们讨论CMFB电路时会解释清楚。如果V_{bias2}被连接到MB2管的栅上，并且MB2管的尺寸被重新设计为其他PMOS管的W/L，那么，我们仍可以使用图25-44所示偏置电路。另外，全差分折叠共源共栅OTA中的V_{bias2}的值以及OTA的最大输出摆幅都降低了。减小V_{bias2}，M5和M6管的漏端电压就会发生变化且不会进入线性区。这对于CMFB电路的正常工作十分重要。

666

补偿全差分折叠共源共栅OTA的方法和补偿单端OTA的方法相同，只是现在需要两个负载电容，每个输出各需要一个。

CMFB电路

图25-58给出了一个共模反馈电路。电路的输入是OTA的v_{o+}和v_{o-}，输出是V_{CMFB}。该电路的独特之处在于：在输入端它抑制差模信号、放大共模信号。这和差分放大器的功能完全相反。更确切地说，CMFB电路放大输出平均值$(v_{o+}+v_{o-})/2$和V_{CM}之间的差值。通过使用反馈，

在OTA的作用下，输出的平均值和V_{CM}变得相等。这很类似于用反馈方法设置一个运算放大器，使其v_+和v_-相等。我们在讨论CMFB电路的补偿时，会进一步揭示其反馈机理。MF1/MF2管和MF3/MF4管是简单的电流源；对图25-57中的尺寸和电流，该电流源的电流为10μA。在下面的讨论中，我们假定$VSS=0$，$VDD=+5V$，$V_{CM}=2.5V$。

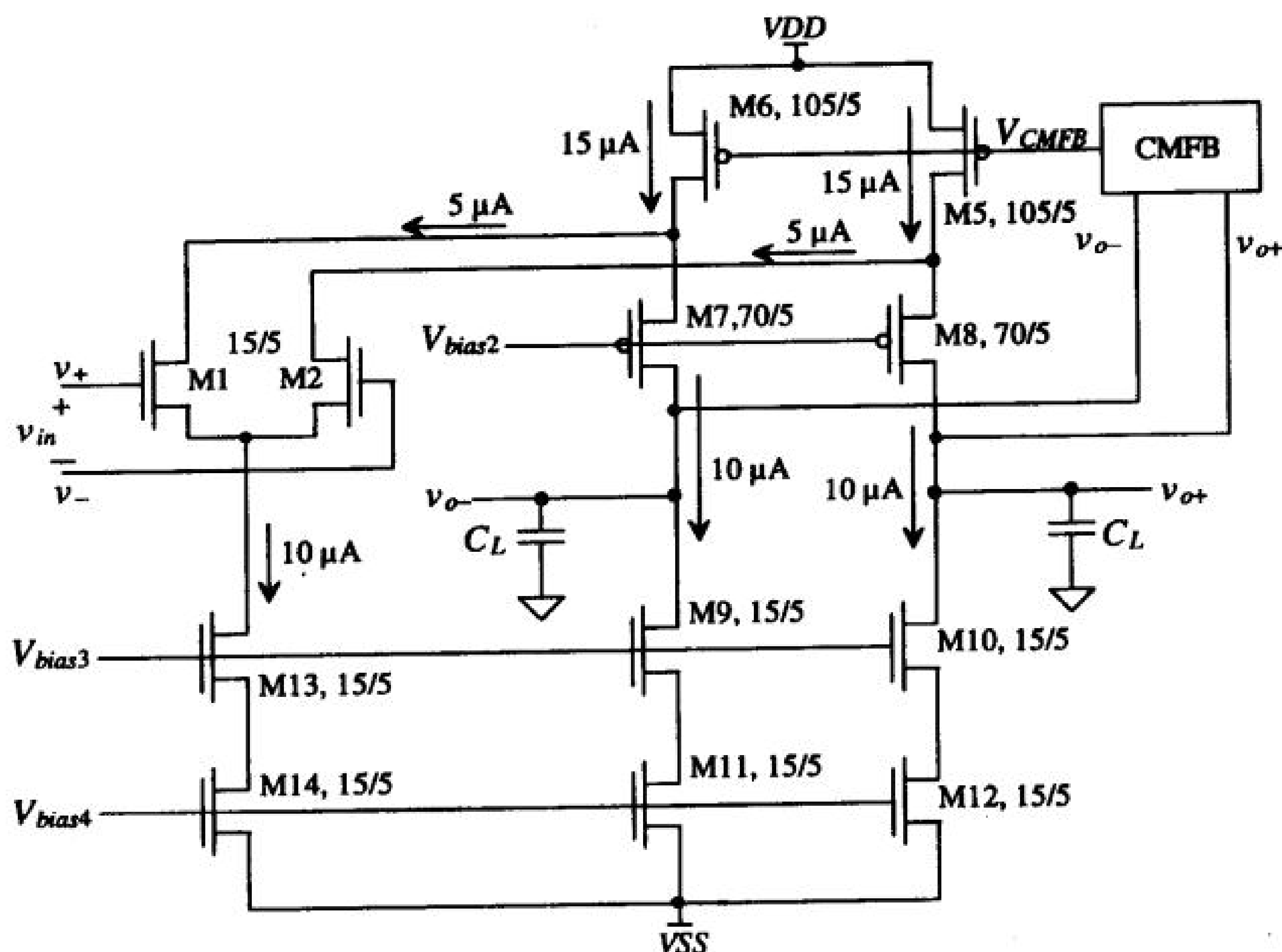


图25-57　全差分折叠共源共栅OTA

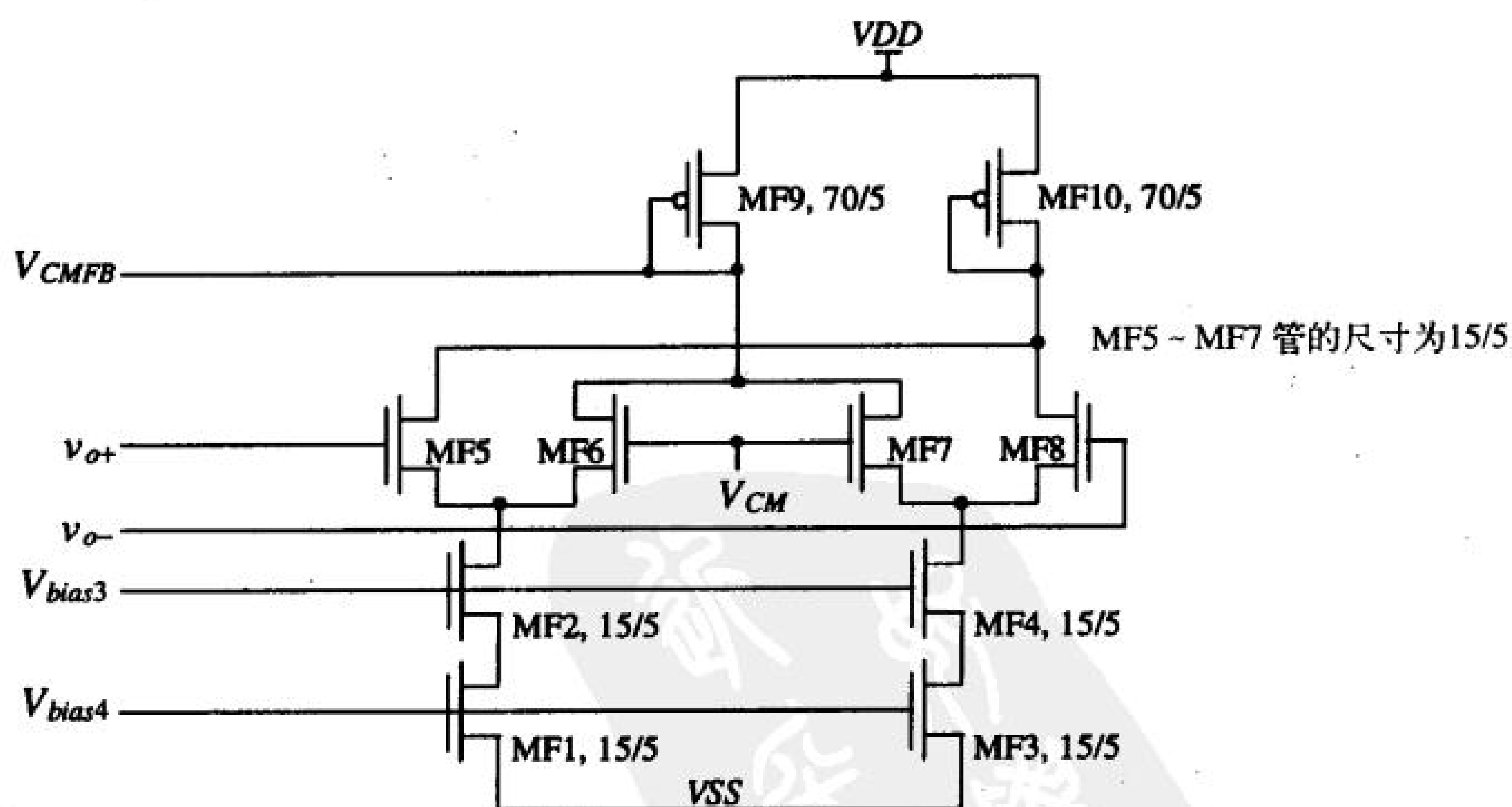


图25-58　共模反馈电路

为了理解这个电路的工作原理，我们首先考虑v_{o+}和v_{o-}均为2.5V时的直流情形（这是我们梦寐以求的，因为两个输出的直流成分都等于共模电压）。MF5～MF8管的栅极电压为2.5V，漏端电流为5μA。流过MF9管的电流是10μA，这个电流确定了MF9管的V_{SG}。由于OTA的M5和M6管

是MF9管尺寸的1.5倍，因此，有15μA的电流流过这些MOS管。这是M1/M2管和M7～M12管所需要的电流，因此，CMFB电路的输出不会改变。CMFB或OTA电路中的MOS管之间的失配将会导致一个失调电压。

如果v_{o+}和v_{o-}超过了V_{CM}，MF6和MF7管的漏端电流开始下降。这使得V_{CMFB}向VDD方向增加。V_{CMFB}的增加使得M5和M6管的漏端电流开始下降。由于通过M9-M12管的电流是一个定值，因此，这将导致输出电压平均值的下降。当v_{o+}和v_{o-}低于V_{CM}时，可以做类似的分析：由于流过MF9管的电流增加，输出电压的平均值会增加。接下来我们考虑一种可能的正确的输出：$v_{o+}=3.5\text{V}$，$v_{o-}=1.5\text{V}$。这些电压超出了CMFB差分放大器的CMR范围。OTA输入信号一旦有所增加，就会导致输出信号变得不对称。例如，也许会变为$v_{o+}=3.0\text{V}$，$v_{o-}=1.5\text{V}$，可是这时的V_{CMFB}不会变（假定差分对的CMR只有几百mV）。然而，由于OTA的负反馈，不论是电阻反馈（对于带缓冲级的OTA）还是电容反馈，输出都会产生变化，直到使得OTA的输入达到相等（即$v_+=v_-$）；即使输出不对称（即$v_{o+}-v_{o-}$是正确的，但v_{o+}并不等于$-v_{o-}$），也会这样。

一种增加CMFB电路CMR的方法是增加MF5～MF8管的沟道长度。这会降低差分放大器的跨导，也就降低了CMFB电路的增益。降低CMFB电路的增益，将输出调到平衡值的难度会增大。另外，电路的3dB频率也会下降，这会影响到CMFB-OTA组合的补偿。

667～668

图25-59给出了另一种CMFB电路[8]，它的输出电压摆幅很大。在某些情况下，缓冲级可以用源跟随器来实现。电阻-电容的并联结构用于帮助产生v_{o+}和v_{o-}的平均值，并把它施加到M1管的栅极上。这种电路结构确保在一个很大的电压范围内都会有全平衡的输出。这个电压范围最终受限于缓冲级的CMR。

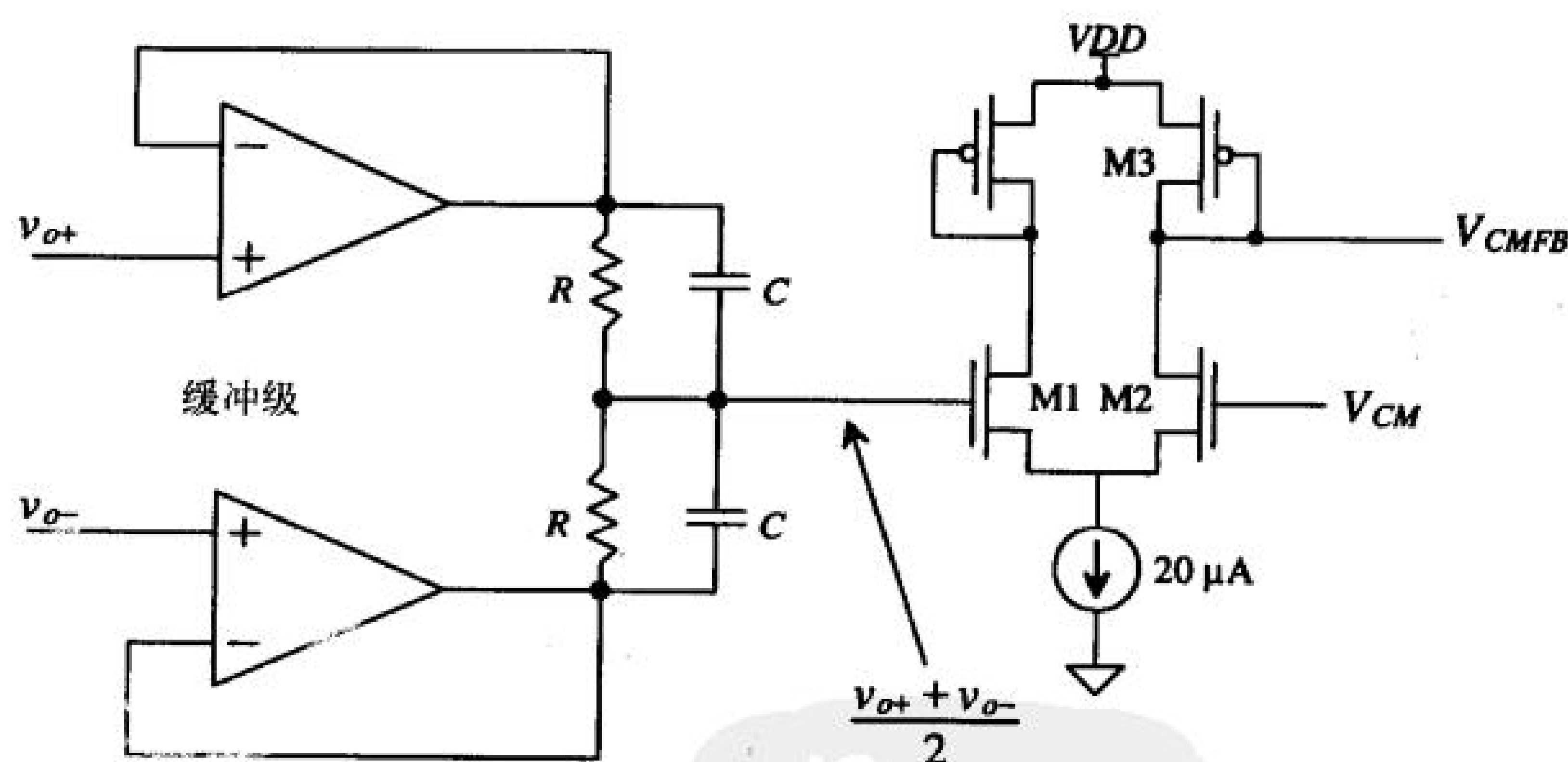


图25-59 增大了电压范围的CMFB电路

图25-60给出了一种比较简单的电路，它可以把相对于地的单端输入信号转换成差分系统中使用的差分信号。图中，PMOS管起到了两个作用：(1) 直流电压平移（在输入信号上叠加了PMOS管的V_{SG}）；(2) 对输入信号进行缓冲。注意，对V_{SG}值的要求并不苛刻，它仅仅用于把输入信号平移到运算放大器的CMR之内。运算放大器输出的直流电平由CMFB电路决定。如果使用电阻反馈，为了减少放大器输出的直流电流，应该设计V_{SG}，使其接近于V_{CM}。

CMFB电路的补偿

CMFB电路和折叠共源共栅OTA共同构成一个反馈环路。和其他任何反馈环路一样，必须

保证电路的稳定性。如果我们在图25-58所示CMFB放大器的两个输入端加上一个共模交流信号（记为v_{oc}），则最终增益为：

$$\frac{v_{CMFB}}{v_{oc}}=\frac{g_{m5}}{g_{m9}}\approx 1 \tag{25-64}$$

式中，g_{m5}是MF5、MF6、MF7以及MF8管的小信号跨导，g_{m9}是MF9管的小信号跨导。这种电路的带宽非常大。这一点非常重要，因为我们不希望CMFB电路引入任何相移（否则会减小反馈环路的相位裕度）。为了理解目前采用的反馈机制，考虑图25-61中简化的OTA-CMFB电路。图中画出了折叠共源共栅放大器的一侧支路，CMFB电路被画成增益模块。从M5管的栅端到输出（即M8管的漏端）的增益为$g_{m5}\cdot R_o$；其中R_o是共源共栅结构的输出电阻，由式(25-56)给出。如果CMFB放大器的带宽与OTA的带宽相比很大，增益近似为1，则用于补偿OTA的负载电容同样也可以用于补偿CMFB放大器。

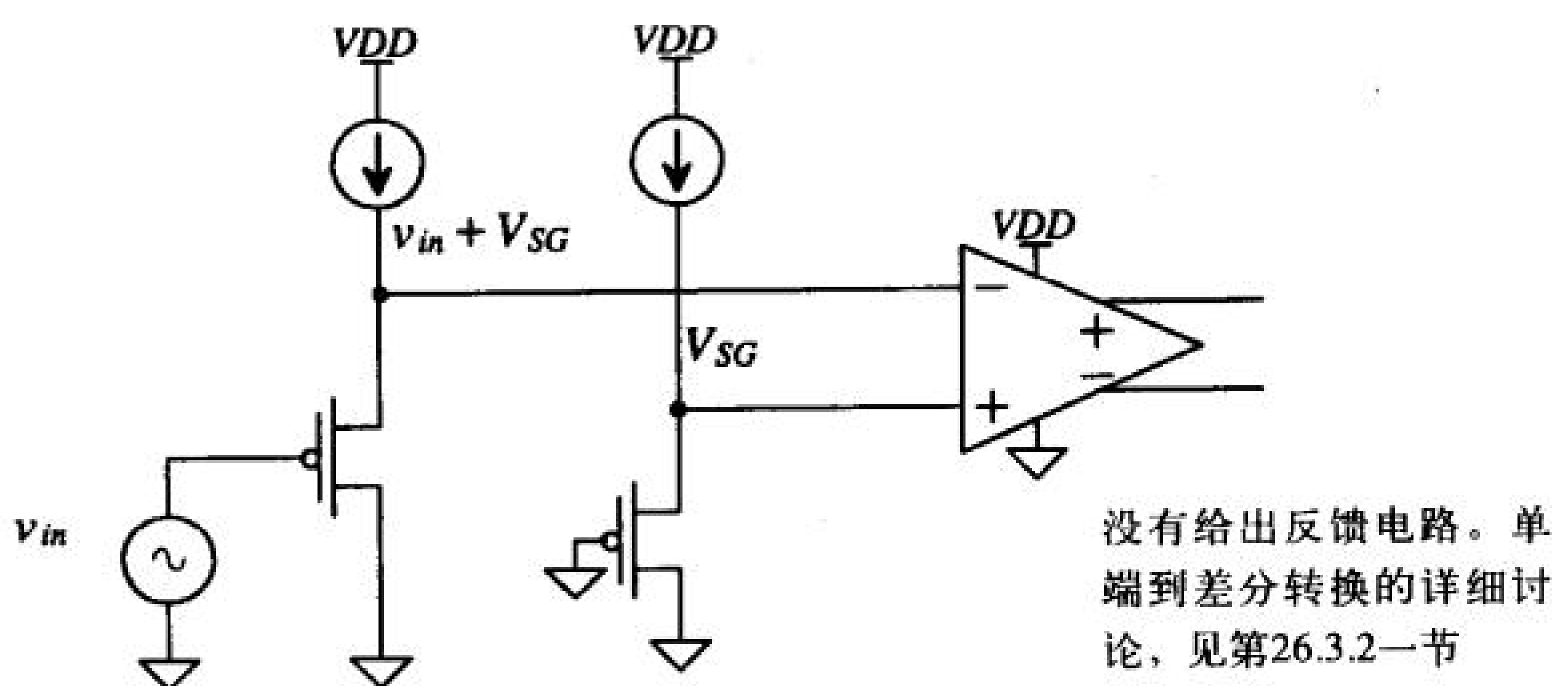


图25-60　用于把单端输入信号转换为差分信号的电路

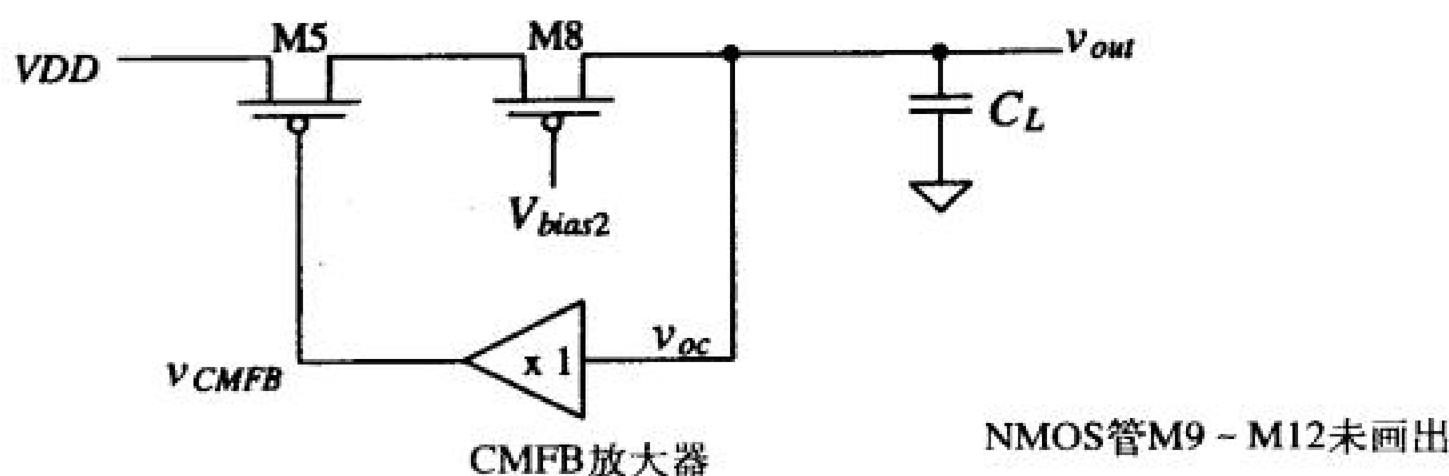


图25-61　加上CMFB电路后的反馈环路

图25-62给出了图25-57中全差分折叠共源共栅OTA的仿真结果。仿真时，每个输出端的C_L为6.1pF(对应的f_u = 1MHz)，VDD = 5V，VSS = 0，v_+ = 2.5V(DC)+AC，v_- = 2.5V+AC@180°相移。折叠共源共栅部分的版图采用了叉指型版图技术以提高匹配度。图25-63给出了带共源输出缓冲的折叠共源共栅OTA电路图，该图与图25-57略有不同。CMFB电路的输入现在可以连接到源跟随器的输出端。图25-64给出了全差分折叠共源共栅OTA的版图。偏置电压通过poly1提供。

669
~
670

图25-65给出了一种缓冲差分运算放大器电路，图中没有画出差分输入放大器。该电路使用了第25.2.2节讨论过的浮动电流源。图中间的一串MOS管用于电路偏置。值得说明的是，如果差分放大器的这一部分向自己外部的MOS管提供电流或者从外部的MOS管吸收电流，那

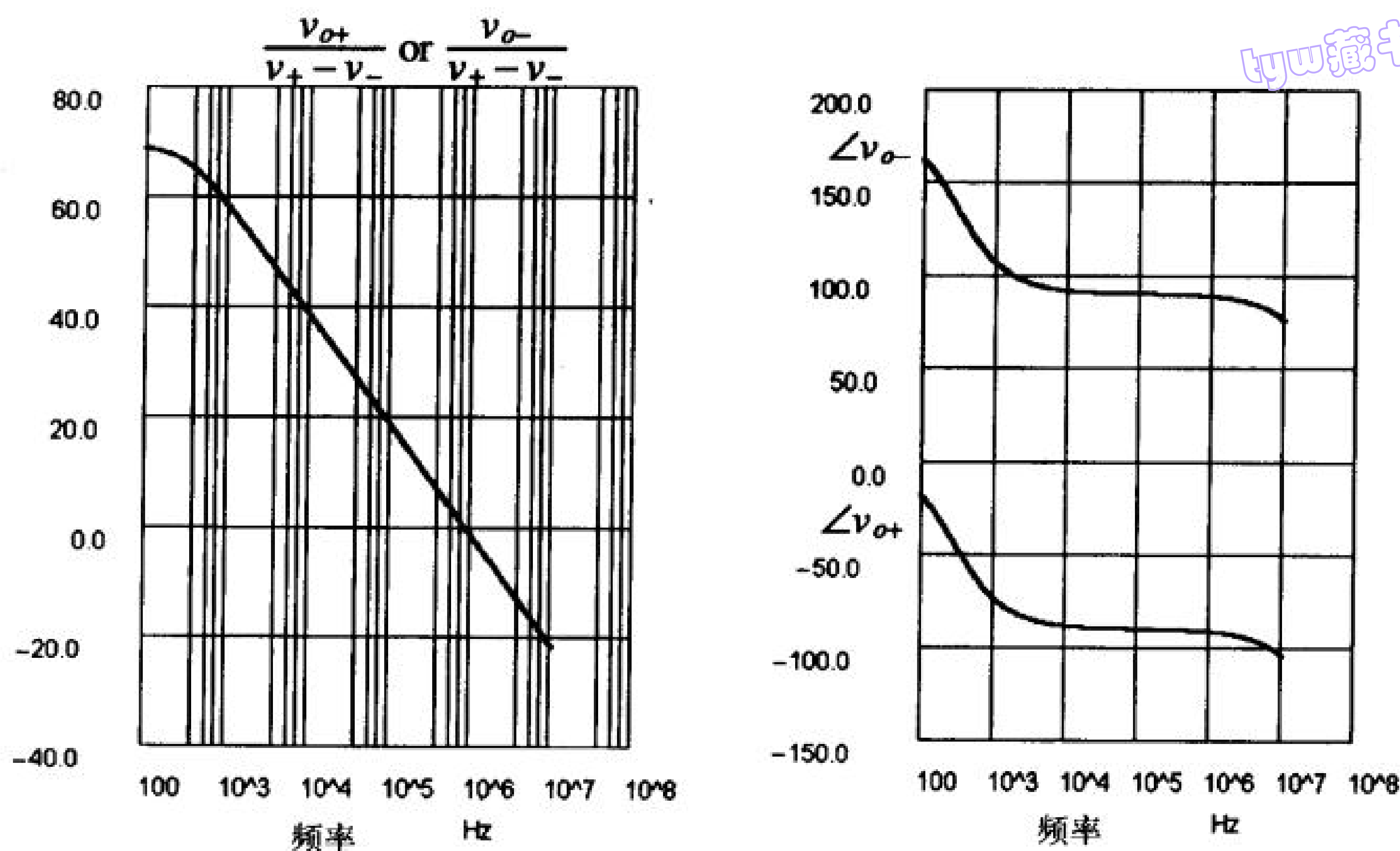


图25-62 图25-57所示折叠共源共栅OTA的幅值和相位响应曲线

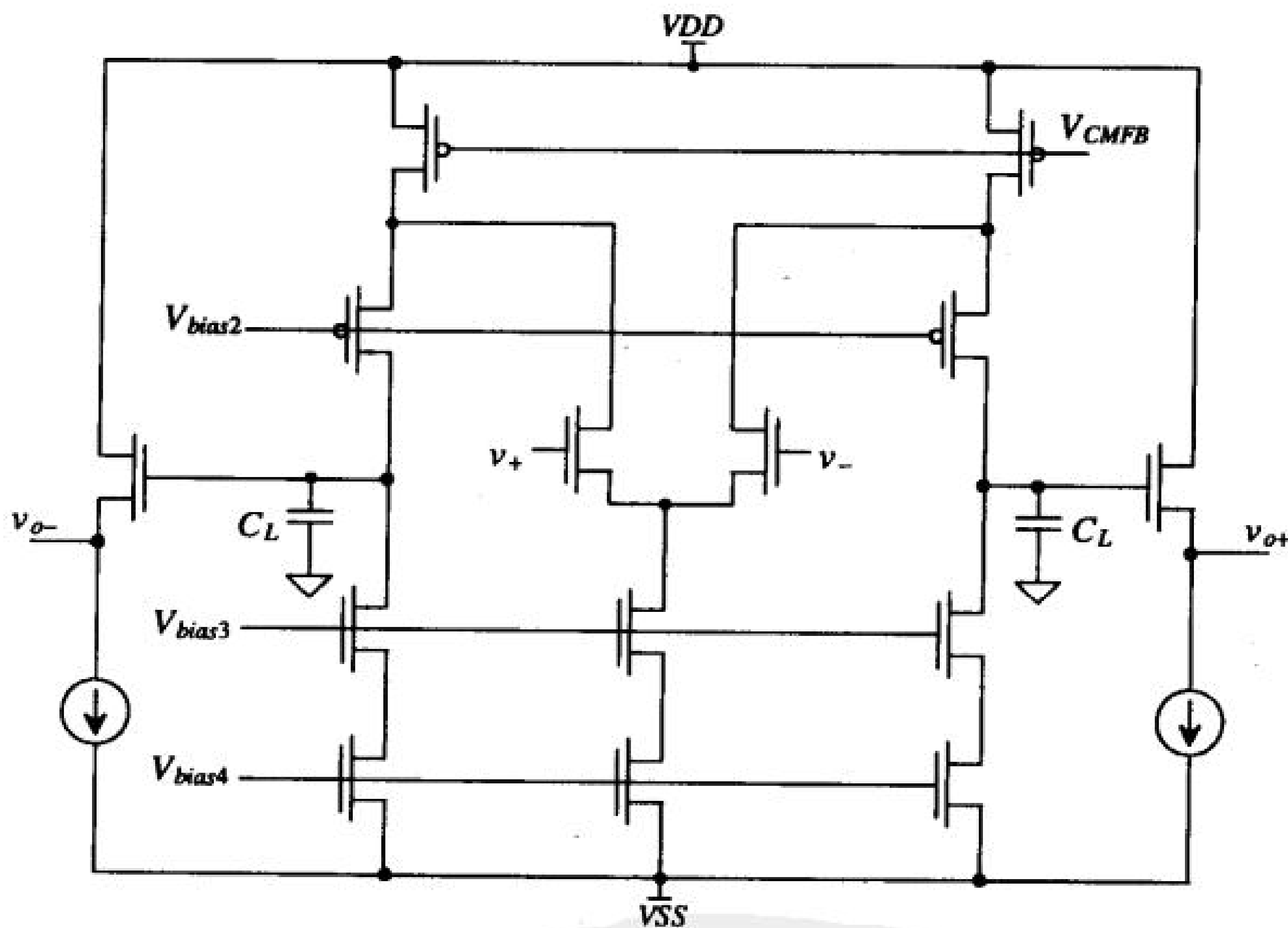


图25-63 全差分折叠共源共栅运算放大器

么，电路的偏置点就会受到影响，影响很大时会使运算放大器不能正常工作。因此，还需使用图25-66所给出的差分放大器（图中的节点号对应于图25-65中的节点号）。这种差分放大器并没有电流流入或者流出，所以，对于直流偏置而言，该差分放大器可以直接与图25-65的折叠共源共栅部分相连，中间不需要任何变换电路。

要完成该运算放大器的设计还需要设计好CMFB电路，如图25-67所示。由于运算放大器的输出已经被缓冲，因此，我们可以把输出直接连到求均值的电阻上。当输出平衡时，CMFB电路没有流入或者流出的电流，因此，不影响折叠共源共栅部分的工作。如果输出的平均值高于V_{CM}，输出就会流出电流，使得平均输出电压下降，直到输出平衡（即$v_{o+}=-v_{o-}$）。

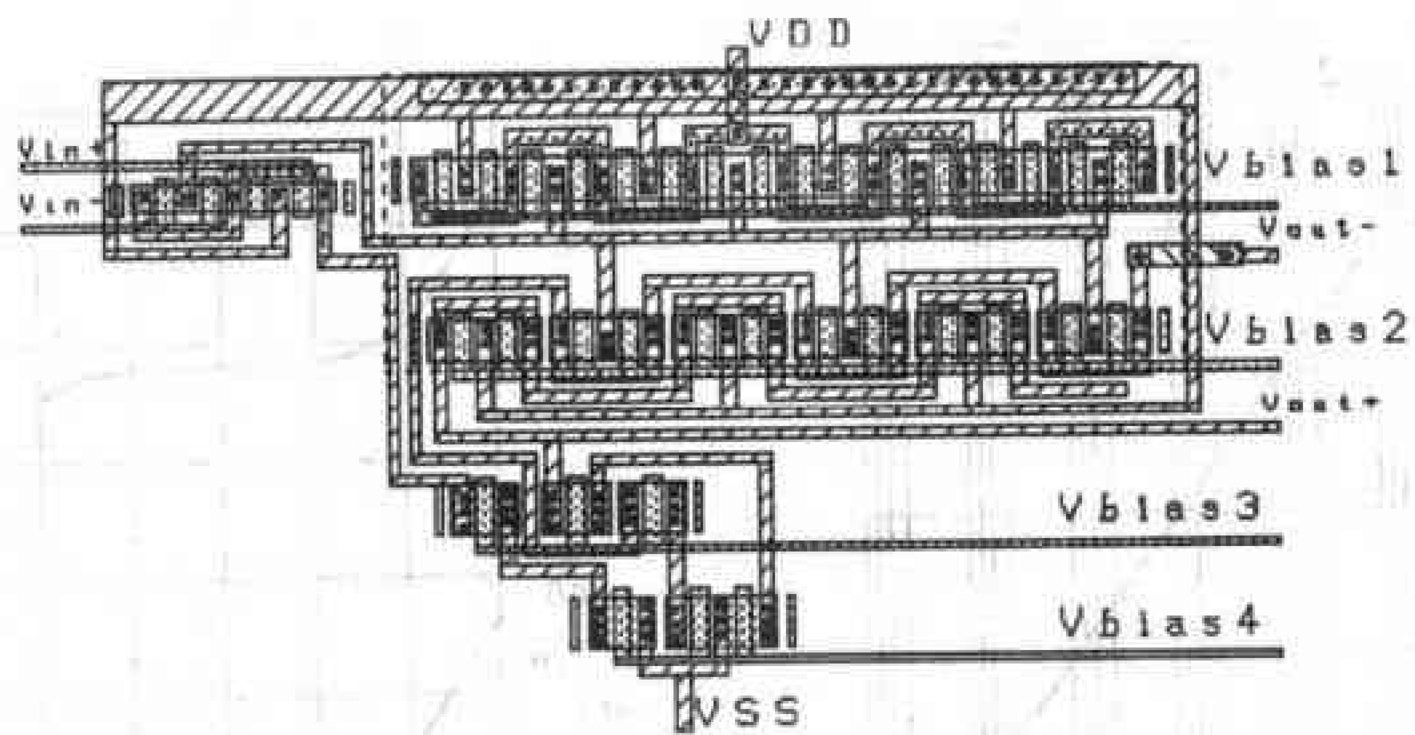


图25-64　折叠共源共栅OTA的版图

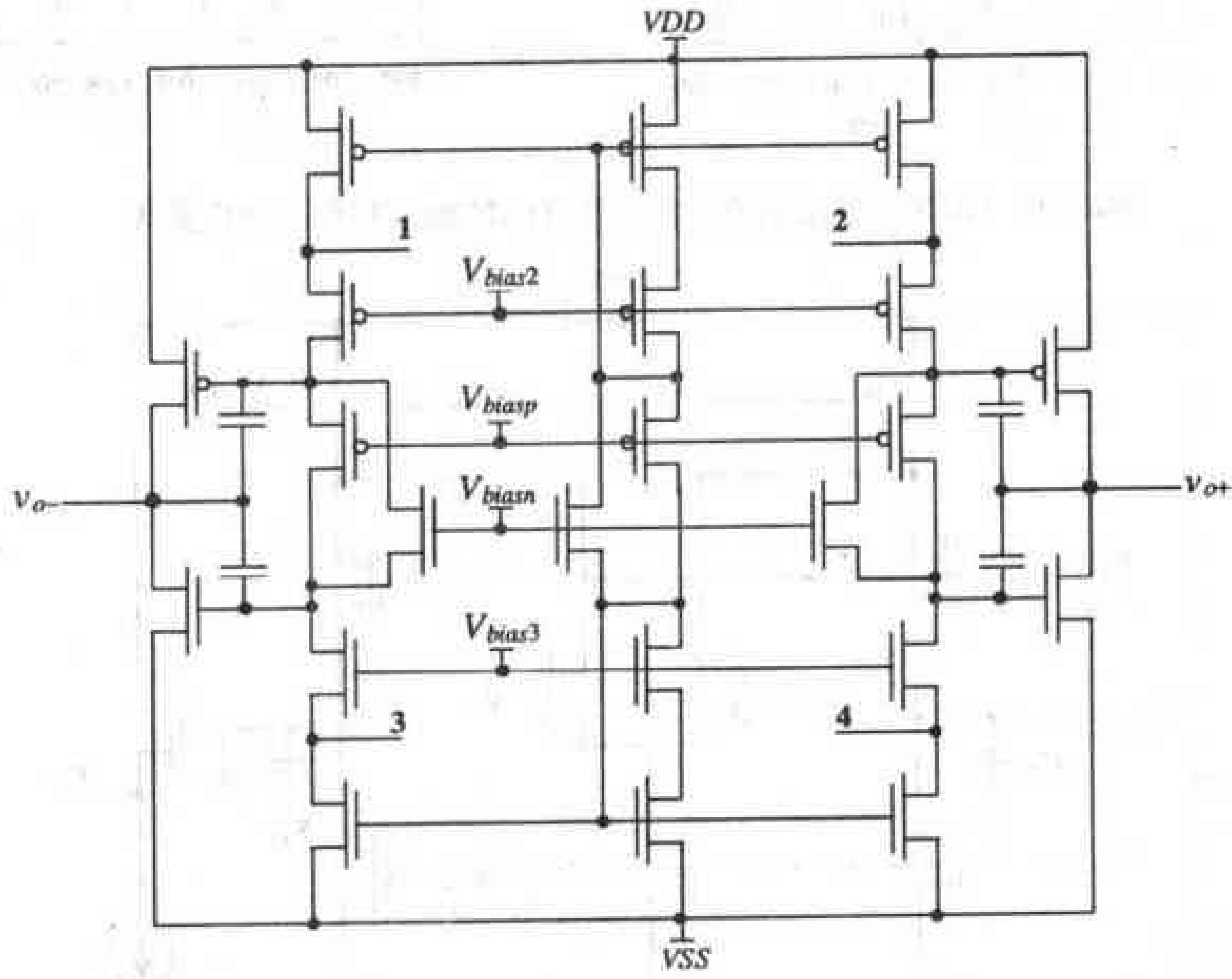


图25-65　带缓冲的差分输出运算放大器（使用了浮动电流源。注意，当一个差分放大器关断时，输出缓冲级将无法工作在甲乙类状态）

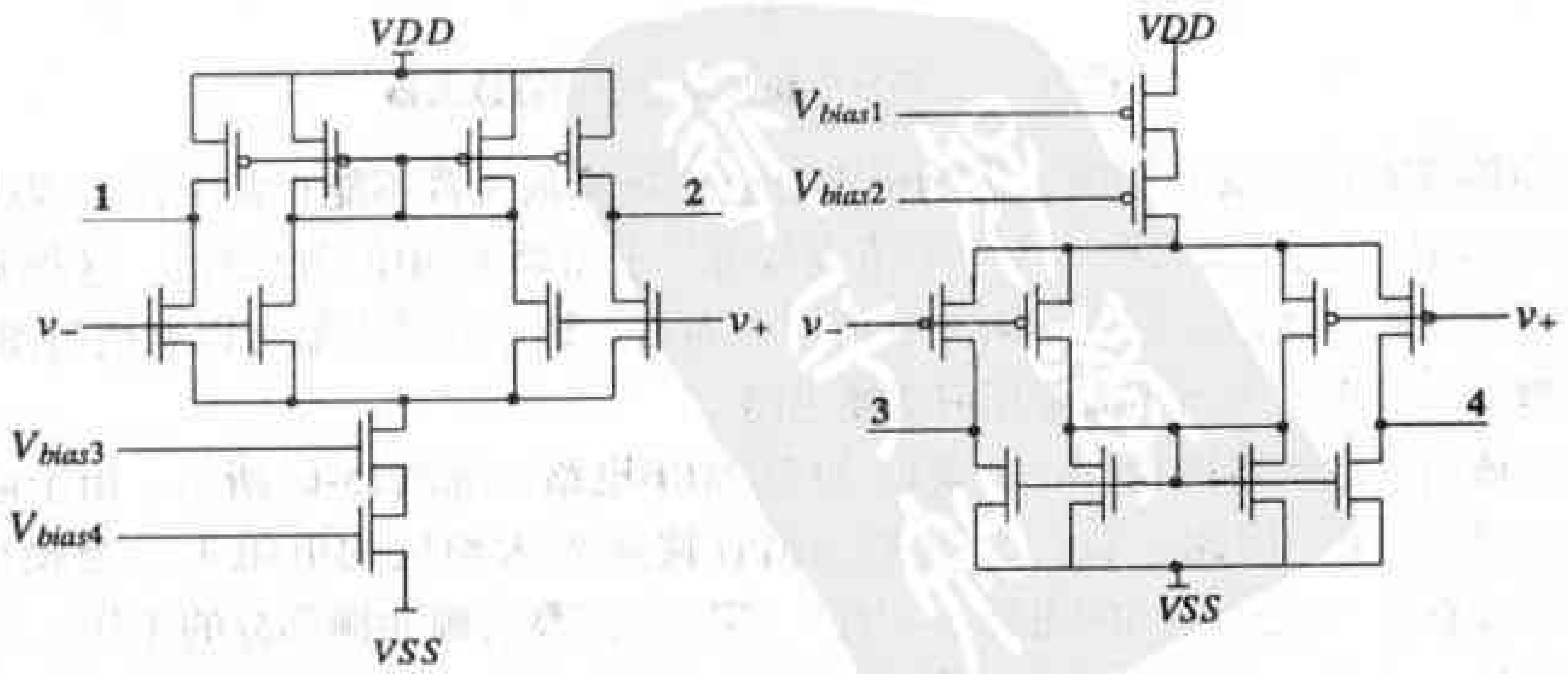


图25-66　与图25-65中的运算放大器配套的差分输入放大器

图25-67 与图25-65所示运算放大器配套的共模反馈电路

25.3.2 增益提升

到目前为止，我们用于提高运算放大器增益的唯一方法都是降低偏置电流。降低偏置电流会导致单位增益频率的下降（在本节的最后将对此做进一步讨论)。另外，运算放大器的增益最终会受限于亚阈值区MOS管的增益(见图22-15)。增益提升技术可以帮助克服这些限制。

可以借助图25-68来说明增益提升技术[9]。当没有OTA时，共源共栅放大器的增益是$g_{m1}\cdot R_o$；R_o是从M2管的漏端看进去的电阻，由式(20-12)知，R_o是$r_{o2}(1+g_{m2}\cdot r_{o1})$。加入OTA后，输出电阻变为:

671~674

$$R_{oGE}=r_{o2}[1+(1+A_{OTA})g_{m2}r_{o1}] \tag{25-65}$$

式中，A_{OTA}是OTA的电压增益。带增益提升的共源共栅结构的增益为:

$$A_{vGE}\approx A_{OTA}\cdot(g_{m1}\cdot R_o) \tag{25-66}$$

图25-68 用增益提升技术增加共源共栅电路的开环增益

在电路中加入OTA使得这种结构的增益增加了A_{OTA}倍。OTA试图把M1管的漏端电压维持在V_{bias}。我们可以对上一节中的全差分折叠共源共栅OTA采用这种技术以提升增益，但是对单端输出的运算放大器就无法应用这种策略。由于在单端输出的运算放大器中缺少CMFB，在大多数情况下，直流偏置会比较困难。

对图25-57中的运算放大器（或者图25-63中不带输出缓冲的运算放大器）应用增益提升技术，得到图25-69所示电路。为了简化分析，我们使用了同样的直流偏置电压，它们由图25-44所示电路产生。实际上，由于现在M7/M8管的源端被维持在V_{bias2}，偏置电压也应加以改变。我们将图25-30所示的宽摆幅OTA用于这种放大器，仅仅是因为它的特性在本章中已经被研究过。这个OTA的增益是240V/V（47dB）。由图25-62知，这种共源共栅放大器如果不采用增益提升技术，开环增益仅为68dB（单端输出）或74dB（双端输出）。经估算，图25-62中OTA的开环增益为68dB+47dB（即115dB）。另外，由于我们并没有改变输入差分放大器的跨导，对单位增益频率为1MHz的情形，我们仍然可以用6.1pF的电容对OTA进行补偿。这种增益提升仅仅降低了OTA的开环3dB频率。图25-70给出了仿真结果。

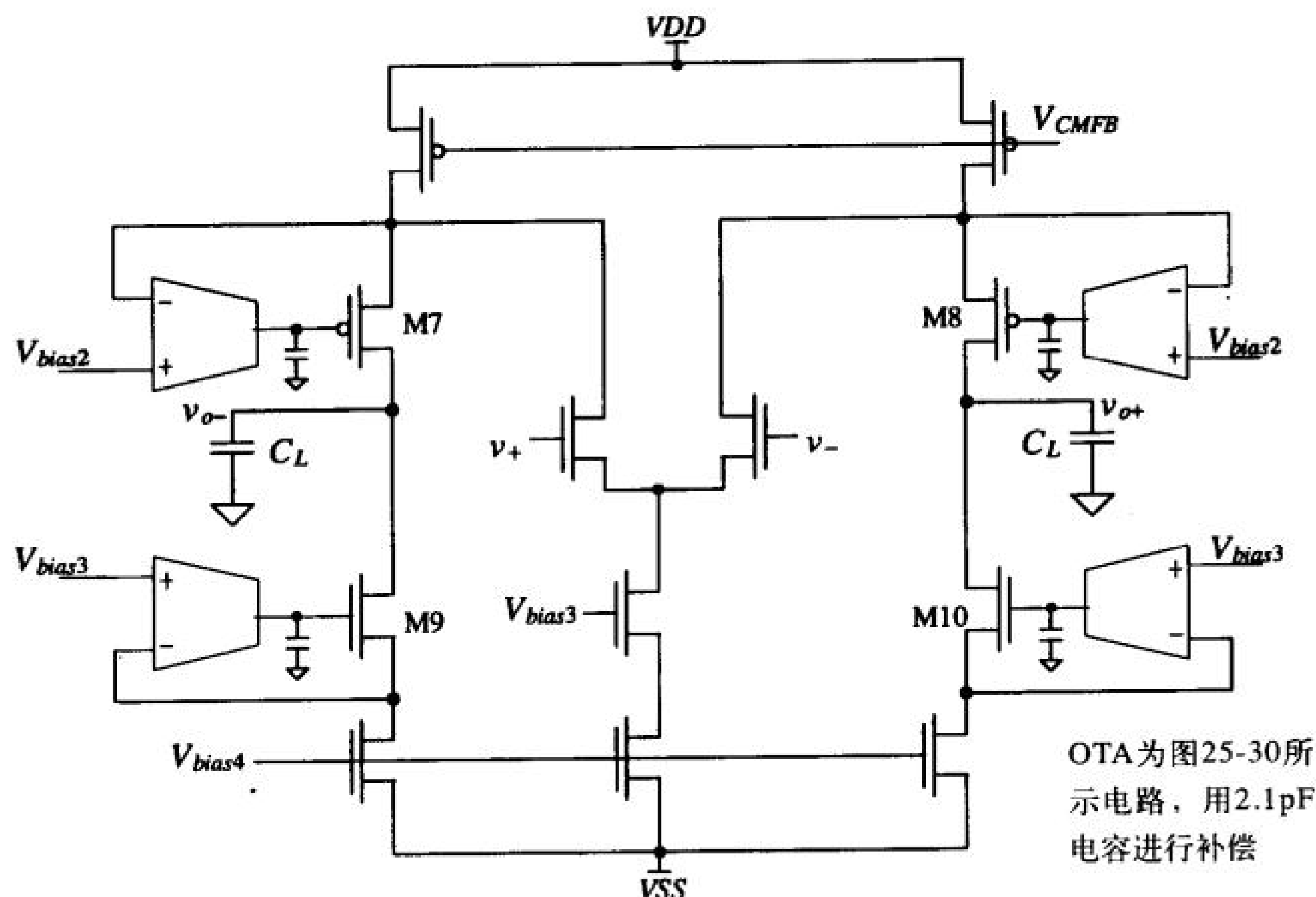


图25-69　采用增益提升技术的全差分折叠共源共栅OTA

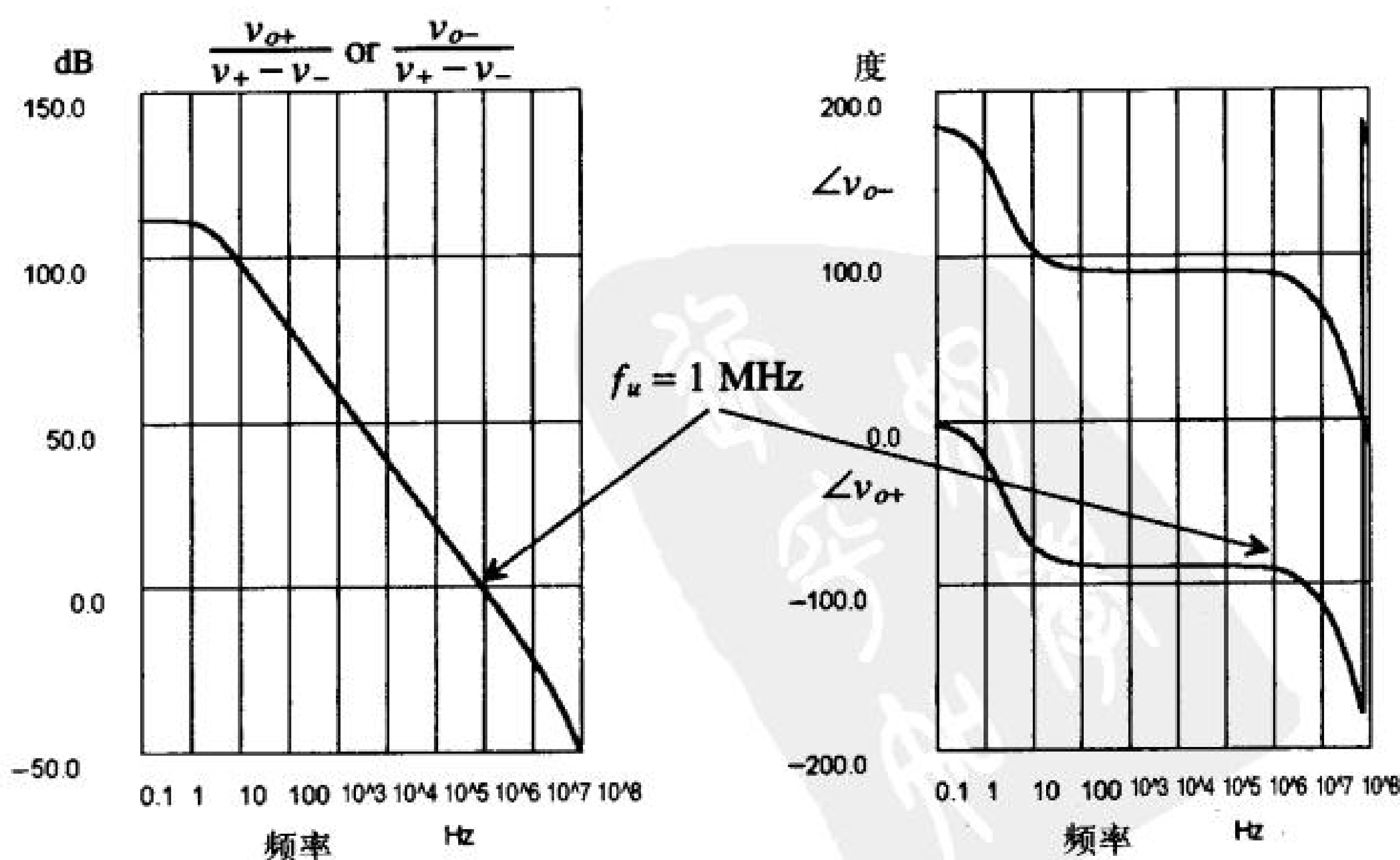


图25-70　图25-69所示运算放大器的仿真结果

高速CMOS运算放大器的设计

到目前为止，我们并没有考虑过高速运算放大器的设计。已经讨论过的OTA的单位增益频率为$g_m/2\pi C_L$，其中g_m是输入差分放大器的跨导，C_L是用于OTA补偿的负载电容。也许我们会认为，只需简单地增大输入差分对的宽度（也许是几千μm），就可以增加单位增益频率了。这种想法在一定限度内是正确的。限制单位增益频率进一步增大的最终因素是MOS管的本征速度（每个MOS管都会给运算放大器的传输函数引入一个极点）。在第9章中，我们讨论了MOS管的单位增益频率f_T。MOS管的栅端电流和漏端电流相等时的频率为f_T，由下式给出：

675～676

$$f_T = \frac{3 \cdot KP}{4\pi \cdot C'_{ox} L^2} \cdot (V_{GS} - V_{THN}) \tag{25-67}$$

沟道长度L和V_{GS}可以用于提高f_T。对于高速情形，应该使用最小沟道长度。在CN20工艺中，这意味着所有用于放大器的MOS管的沟道长度都是2μm。MOS管的栅源电压也应该增大。但是我们知道，增加MOS管的栅源电压会降低输入CMR和输出电压摆幅。对于高速情形，比较合理的$V_{GS} - V_{THN}$是0.5V。

图25-57中的折叠共源共栅OTA可以采用1 000/2尺寸的MOS管来实现，并且将偏置电流增加到1mA。M5和M6管的尺寸为1 500/2，因为它们提供1.5mA的电流。CMFB电路可以按比例减小以降低功耗，用于这个电路的MOS管的尺寸可以为100/2。图25-71给出了使用5pF补偿电容时的仿真结果。由该图知，开环增益为48dB(250)，单位增益频率为70MHz。低频增益的数值是在使用2μm器件、λ近似为0.8V^{-1}以及大偏置电流（1mA）情况下得到的。

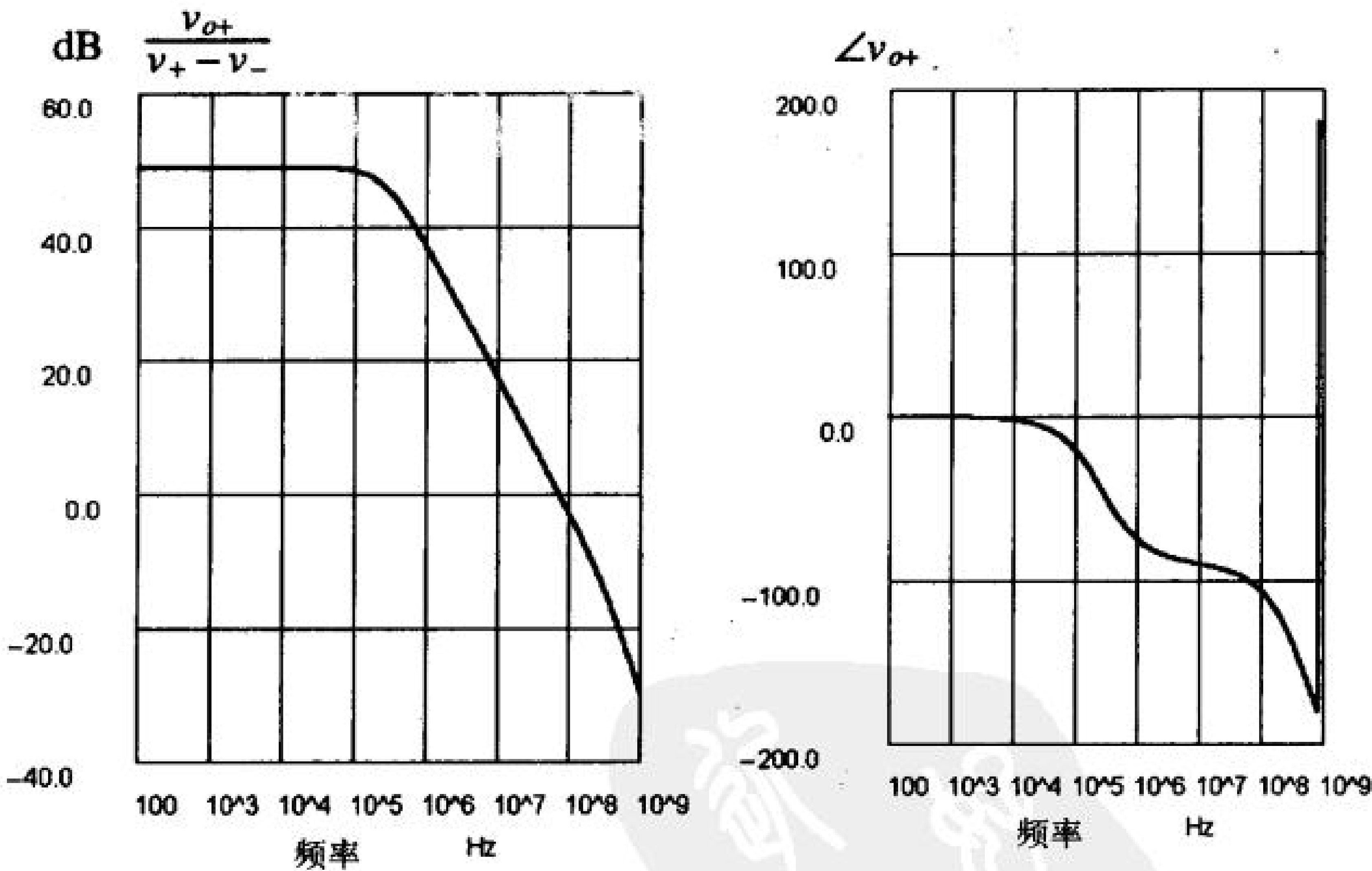


图25-71　图25-57所示OTA的仿真结果（使用了1000/2的MOS管）

可以采用图25-69所示的增益提升技术增加这种OTA的增益。使用增益提升技术，低频增益可以变为48dB+47dB（图25-30中OTA的增益），即95dB。在图25-72中给出了采用增益提升技术的OTA的开环、未补偿时的增益。

这里，值得特别说明一下该曲线的几个特点。首先，图25-30中用于提升增益的这个OTA并不需要很大的带宽。事实上，只要它的单位增益频率大于增益未提升时主OTA的3dB频率即

可（见图25-71中的仿真结果），附加的OTA不会影响增益。例如，图25-30中带2.1pF补偿电容的OTA的f_u为2.3MHz；只要增益未提升时的折叠共源共栅OTA的3dB频率小于2.3MHz，那么，附加的OTA就不会影响低频增益。从图25-71可以看出，增益未提升的OTA的3dB频率近似为200kHz，它远小于附加的OTA的2.3MHz（f_u）。

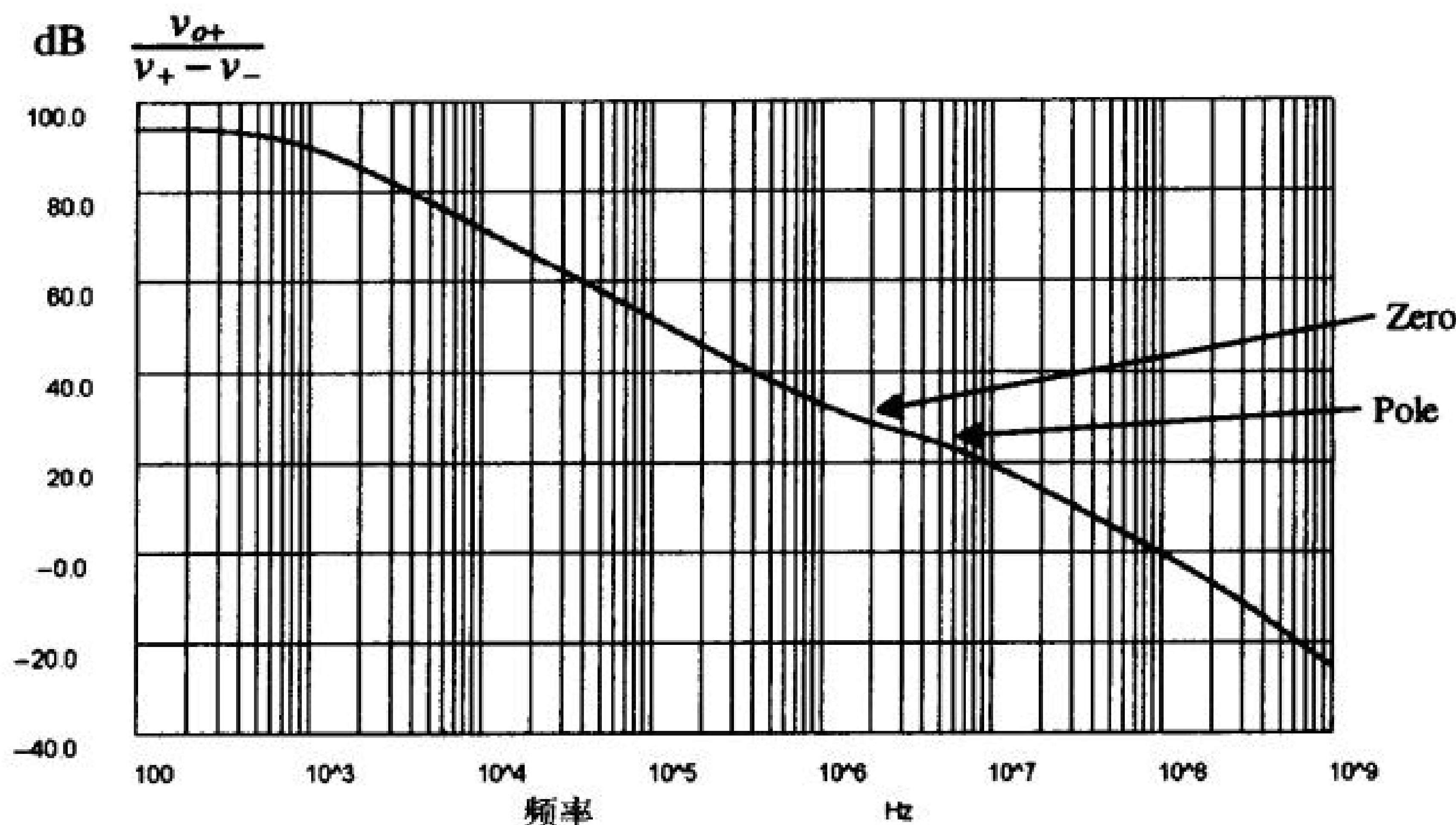


图25-72 图25-69所示未补偿的OTA的仿真结果（使用了1000/2的MOS管。这种OTA在不使用补偿电容的情况下也可以保持稳定）

接下来，我们要注意到：在几乎同一个频率处，存在一个极点和一个零点，这被称为偶对[10]。虽然相位裕度不会由于偶对的存在而降低，但是建立时间会受到影响。使用增益提升技术，可以使建立时间得到改善（缩短了）。由附加的OTA构成的反馈环路有助于缩短误差信号通过整个放大器并反馈回来的时间。由于附加的OTA在放大器的输出端构成了局部反馈环路，误差信号可以以更短的延迟被反馈回去。在增益提升后的OTA中加入5pF的补偿电容，仿真得到图25-73所示结果。该图给出的仿真结果是非常令人吃惊的：低频增益是94dB，单位增益带宽30MHz；要知道，这个运算放大器是用2μm的工艺设计的。

677~678

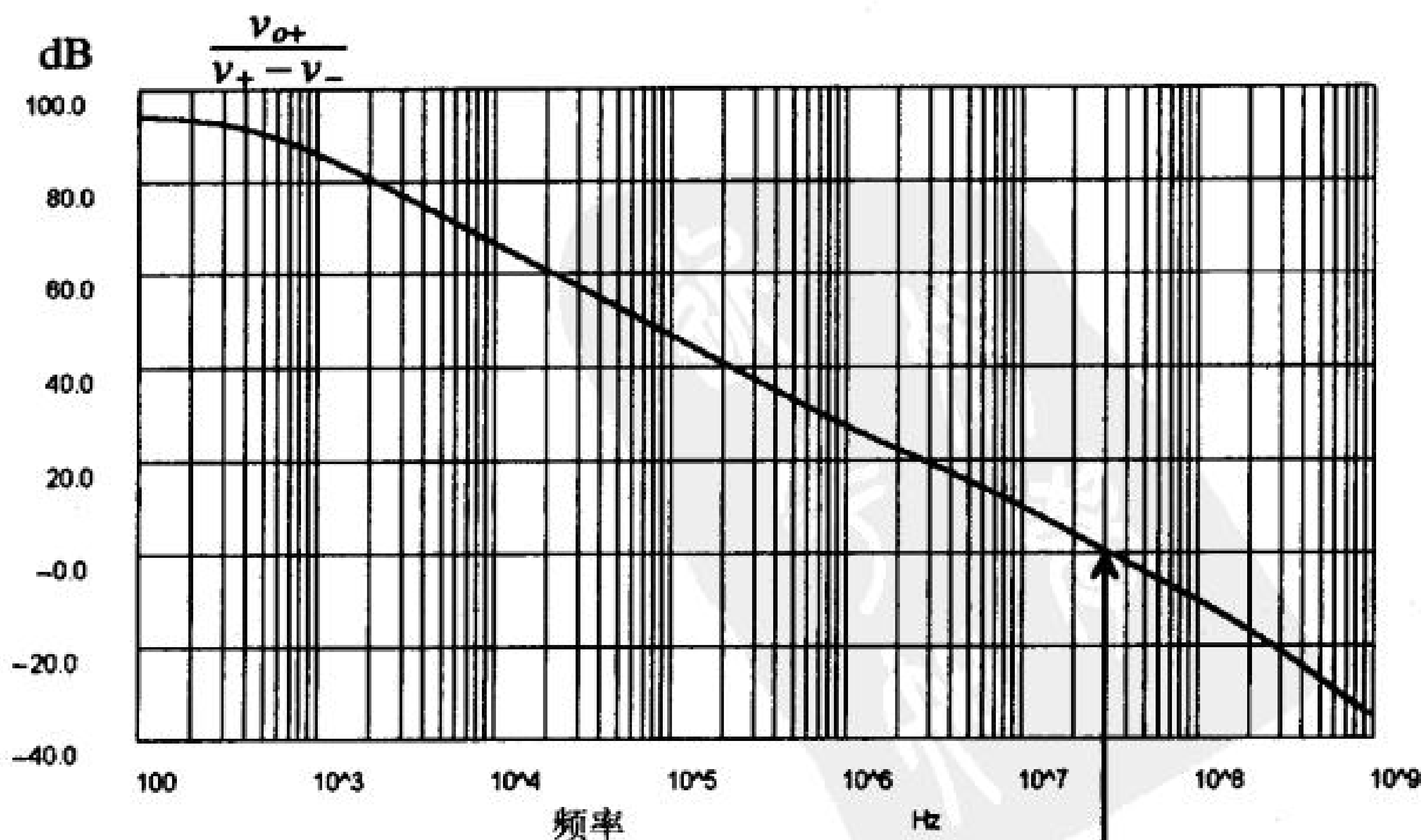


图25-73 图25-69所示全差分OTA的仿真结果

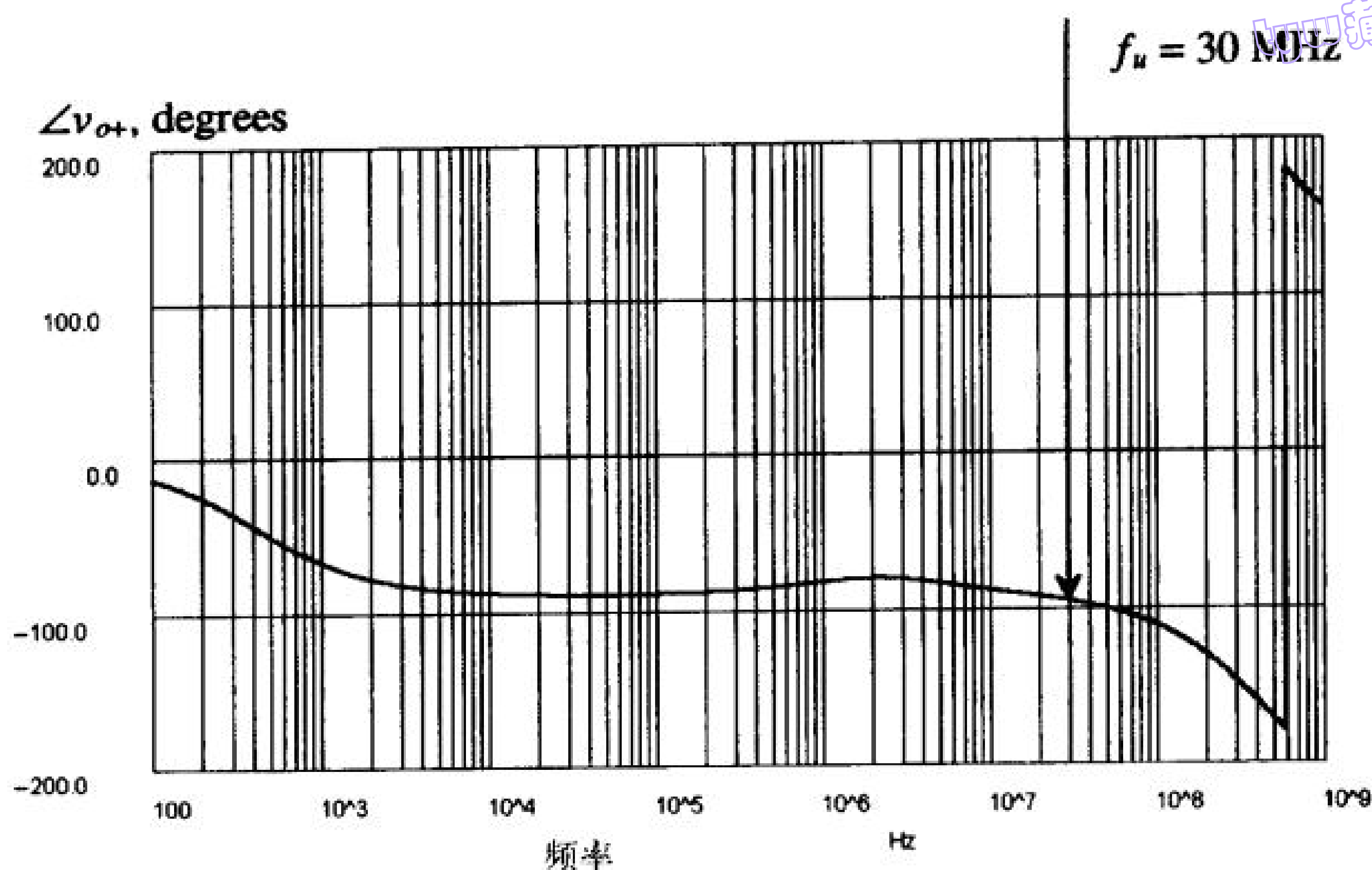


图25-73 （续）

参考文献

[1] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[2] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 3rd ed., John Wiley and Sons, 1993. ISBN 0-471-57495-3.

[3] P. R. Gray and R. G. Meyer, "MOS Operational Amplifier Design - A Tutorial Overview," *IEEE Journal of Solid State Circuits*, Vol. SC-17, pp. 969-982, December 1982.

679

[4] R. L. Geiger and E. Sánchez-Sinencio, "Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial," *IEEE Circuits and Devices Magazine*, pp. 20-32, March 1985.

[5] M. Steyaert and W. Sansen, "A High-Dynamic-Range CMOS Op-Amp with Low-Distortion Output Structure," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1204-1207, December 1987.

[6] T. C. Choi, R. T. Kaneshiro, R. Broderson, and P. R. Gray, "High-Frequency CMOS Switched Capacitor Filters for Communication Applications," *IEEE Journal of Solid State Circuits*, Vol. SC-18, pp. 652-664, December 1983.

[7] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, "A Compact Power-Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," *IEEE Journal of Solid State Circuits*, Vol. 29, pp. 1505-1513, December 1994.

[8] M. Banu, J. M. Khoury, and Y. Tsividis, "Fully Differential Operational Amplifiers with Accurate Output Balancing," *IEEE Journal of Solid State Circuits*, Vol. 23, No. 6, pp. 1410-1414, December 1988.

[9] K. Bult and G. J. G. M. Geelen, "A Fast-Settling CMOS Op-Amp for SC Circuits with 90-dB DC Gain," *IEEE Journal of Solid State Circuits*, Vol. 25,

pp. 1379-1384, December 1990.

[10] B. Y. Kamath, R. G. Meyer, and P. R. Gray, "Relationship Between Frequency Response and Settling Time of Operational Amplifiers," *IEEE Journal of Solid State Circuits*, Vol. SC-9, pp. 347-352, December 1974.

习题

25.1 对于图25-3中的运算放大器，如果把电阻用1μA的电流源代替，计算其增益。

25.2 对于图25-11中的运算放大器，最大V_{GS}（对于M9管）或者V_{SG}（对于M10管）如果为1.5V，求最大的流入或者流出电流。

25.3 对于图25-11中的运算放大器，计算从以下端点看进去的小信号电阻:

(a) M1和M2管的源端（忽略体效应）；

(b) M6管的漏端;

(c) M7管的源端;

(d) M1和M2管的漏端;

(e) M9和M10管的源端（忽略体效应）。

680

25.4 在图25-11中，M1/M3、M4/M2以及M7/M91管的漏端到地的小信号电阻是多少?

25.5 如果图25-11中M6管的漏端电流被减小为5μA，那么M3、M4、M7和M9管的漏端电流是多少?

25.6 如果图25-11中M7管的宽度被增大到140μm，M8管的尺寸应如何变化? 在这样的尺寸下，流过M9和M10管的静态电流是多少?

25.7 推导式(25-24)。

25.8 假定一个运算放大器始终带反馈，以得到10倍的增益，为了对该运算放大器进行补偿，说明式(25-13)应该做何修改。基于图25-7，设计一个电路，以仿真运算放大器的稳定性。

25.9 用SPICE仿真图25-11所示运算放大器，验证图25-12所示仿真结果。

25.10 仿真图25-11所示运算放大器的工作原理，并给出输入失调电压、输出电压摆幅、CMRR、功耗、PSRR和压摆率。

25.11 若图25-22中OTA的NMOS管尺寸为15/5，PMOS管尺寸为70/5，用10μA的电流源进行偏置，计算小信号低频增益$i_{out}/(v_{I2}-v_{I1})$和$v_{out}/(v_{I2}-v_{I1})$。

25.12 若图25-24中100k电阻的底端被接到−2.5V，重做例25.1。

25.13 用图25-27中的高通跨导-C滤波器，重做例25.2。电容大小仍取为8.75pF。

25.14 若图25-29中OTA的NMOS管尺寸为15/5，PMOS管尺寸为70/5，用10μA的电流源进行偏置，计算小信号低频增益$i_{out}/(v_{I2}-v_{I1})$和$v_{out}/(v_{I2}-v_{I1})$。

25.15 如果图25-30中电流源上的最小电压为0.3V，在$VDD=5V$、$VSS=0V$情况下，估算输入CMR。

25.16 用你自己的语言来讨论图25-30所示OTA的补偿问题。

25.17 分别针对$V_{CM}=0.8V$、2.5V和4.2V的情形，手算图25-30所示OTA的小信号低频电压增益。

25.18 重新设计例25.3中的稳压器，使得输出电压为2.0V。给出所有的手算过程、设计出的电路图，并估计该电路的相位裕度。

25.19 如果图25-42中的10μA偏置电流被改为1μA，那么，这个折叠共源共栅OTA中的各支路电流会有什么变化? 在1μA偏置电流情况下，小信号电压增益是多少?

681

25.20 如何简化图25-44所示偏置电路?（提示: 有两个MOS管是不必要的。）

25.21 对于图25-45所示宽摆幅折叠共源共栅OTA，如果采用图25-44所示偏置电路，且$I=1\mu A$，MB1管尺寸为15/20，MB2管尺寸为35/10，其他MOS管尺寸分别为70/5（PMOS管）和15/5（NMOS管），计算并在图25-45中标出各支路直流偏置电流的大小。

25.22 估算习题25.21中OTA的小信号增益i_{out}/v_{in}和v_{out}/v_{in}。为了使该运算放大器的f_u为1MHz，需要多大的负载电容来补偿该运算放大器？

25.23 为习题25.21的OTA设计一个输出缓冲级，使得它可以流入或者流出100μA的电流。假定在你的设计中，$VDD=-VSS=2.5$V，输出摆幅为+/−1V。

25.24 用SPICE验证习题25.21中设计的运算放大器。在驱动10pF负载时，绘出一条和图25-46类似的曲线。用SPICE仿真你的设计，并分别得到有和没有10pF负载情况下的相位裕度。

25.25 图P25-25给出了用MC1和MC2管构成的浮动电流源。确定MC1/MC2管的尺寸，使流过M5和M9管的电流为30μA。

25.26 如果图25-49中任意一个MOS管的源端和漏端之间的最小电压为0.4V，在假定$VSS=0$的情况下，估算保证该运算放大器正常工作所允许的最小VDD，并讨论运算放大器在此电压下工作时会遇到的问题。

25.27 讨论在差分输入/输出运算放大器中使用CMFB电路的目的。

25.28 给出图25-58所示CMFB电路的CMR。对于图25-59所示CMFB电路，差分放大器的CMR是否会影响电路的正常工作？为什么？

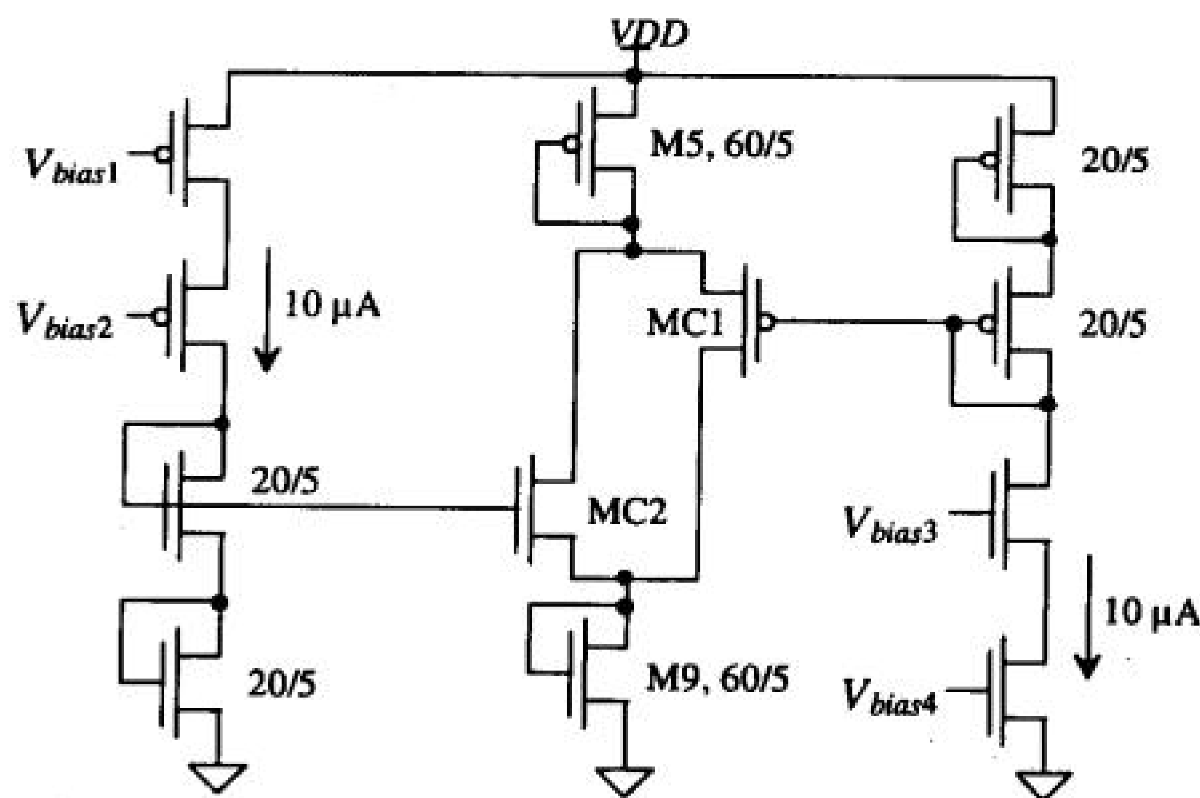


图 P25-25

第四部分 混合信号电路

第26章 非线性模拟电路

前面六章讨论了线性模拟电路的设计技术。线性模拟电路的特点就是输入信号和输出信号之间呈线性关系。本章要讨论的几个电路既不是纯模拟电路，也不是纯数字电路。它们的输入信号和输出信号之间不是线性关系，因此，我们称这些电路为非线性模拟电路。这里，我们将特别讨论电压比较器、自适应偏置电路以及模拟乘法器的分析与设计。

26.1 基本的CMOS比较器的设计

图26-1给出了电压比较器的电路符号和工作原理。我们可以把比较器看成是一个判断电路。如果比较器的正端输入电压v_+比负端输入电压v_-高，则输出为逻辑“1”，反之，则输出逻辑“0”。尽管上一章讨论的运算放大器可以作为电压比较器来使用，但在一些要求较低的低频或低速电路中，我们一般不把运算放大器当成比较器来看。下面我们讨论比较器的分析与设计，传输延迟和敏感度将是讨论的重点。

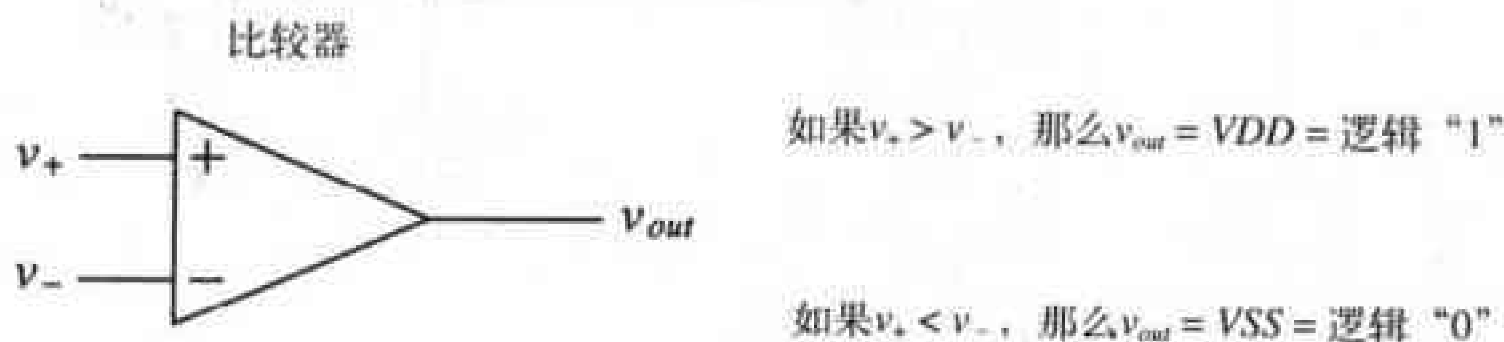


图26-1 比较器的工作原理

683
~
685

图26-2给出了一个高性能比较器的结构框图。由该图知，比较器由三级构成，即：输入预放大级、正反馈级（或判断级）、输出缓冲级。预放大级进行输入信号的放大以提高比较器的敏感度（即比较器能够做出正确判断所需要的输入信号的最小值），并把比较器的输入信号与来自正反馈级的开关噪声（通常被称为回扫噪声，kickback noise）隔离开，这一点对保证电路性能非常重要。正反馈级用于判断哪个输入信号大一些。输出缓冲级则把判断得到的信号放大并输出一个数字信号。要设计比较器，可以先考虑输入共模范围、功耗、传输延迟和增益。基本比较器的设计流程与上一章的基本运算放大器的设计流程类似。

预放大

图26-3所示电路可以用作比较器中的预放大级。该电路是一个采用有源负载的差分放大器。M1和M2管的尺寸是根据差分放大器跨导和输入电容的要求来确定的。差分放大器的跨导决定了该级的增益。比较器的输入电容由M1和M2管的尺寸决定。在本设计中，我们将重点关注电路的速度，因此，将所有MOS管的沟道长度都设为2μm。沟长调制效应会引起我们

不希望的失调电压。观察该电路知，除了输入和输出节点外，没有高阻节点。根据图中给出的MOS管的尺寸，我们可以得到输入电压和输出电流之间的关系为：

$$i_{o+} = \frac{g_m}{2}(v_+ - v_-) + \frac{I_{SS}}{2} = I_{SS} - i_{o-} = 20\ \mu\text{A} - i_{o-} \tag{26-1}$$

式中：

$$g_m = g_{m1} = g_{m2} = \sqrt{2\frac{10}{2} \cdot 50\frac{\mu\text{A}}{\text{V}^2} \cdot 10\mu\text{A}} = 71\ \frac{\mu\text{A}}{\text{V}} \tag{26-2}$$

由上式知，如果v_+比v_-大10mV，则输出电流i_{o+}和i_{o-}分别为10.35μA和9.65μA。若想进一步增大第一级的增益，可以增大M3和M4管相对于M31和M41管的沟道宽度。

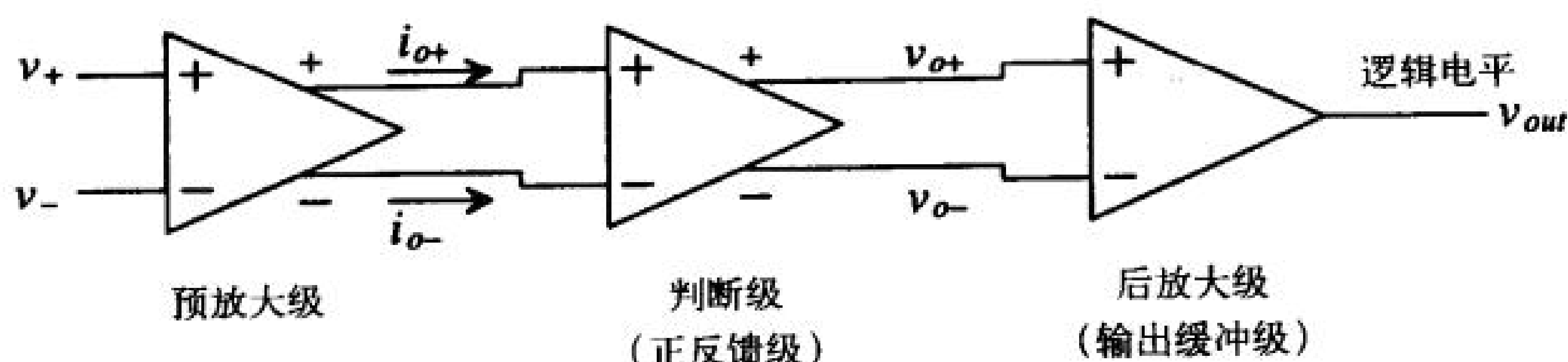


图26-2 电压比较器的框图

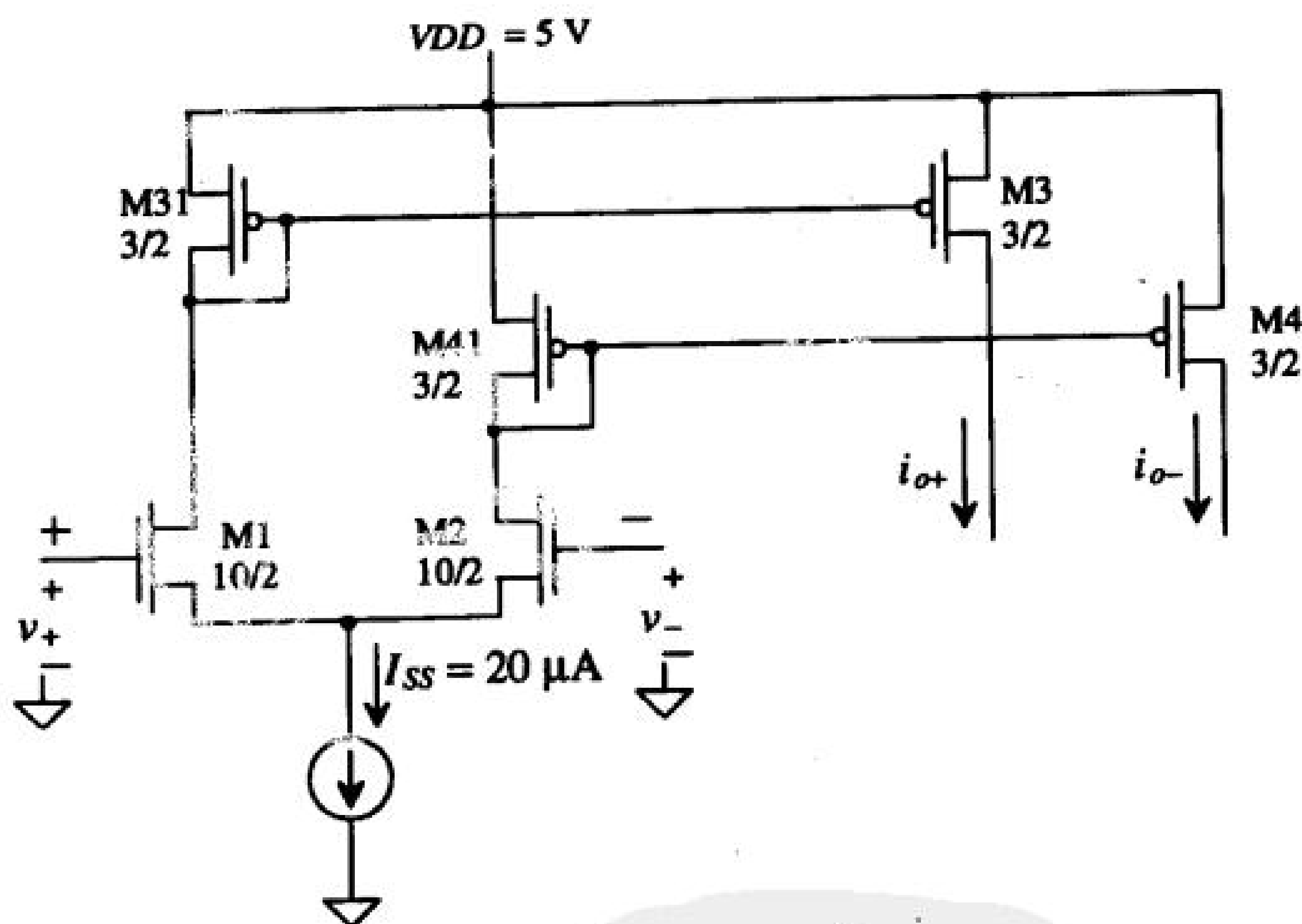


图26-3 比较器的预放大级

判断级

判断级是比较器的核心，它应该能分辨出毫伏量级的输入信号差。具有磁滞效应（见第18章）的判断电路能有效抑制信号上的噪声，因此，一般应选用具有磁滞效应的判断电路，如图26-4所示[1]。该电路通过把M6和M7管的栅极交叉互连，实现正反馈，以提高判断电路的增益。

我们假定i_{o+}远大于i_{o-}，因此，M5和M7管导通，M6和M8管截止。如果$\beta_5 = \beta_8 = \beta_A$，$\beta_6 = \beta_7 = \beta_B$，则$v_{o-}$约等于0V，$v_{o+}$为：

$$v_{o+}=\sqrt{\frac{2i_{o+}}{\beta_A}}+V_{THN} \tag{26-3}$$

如果i_{o-}增大，i_{o+}减小，当M7的漏源电压等于M6管的V_{THN}时，电路的输出状态将发生转换。此时，M6管开始抽取原来流过M5管的电流，这会使M5管的漏源电压下降并导致M7截止。如果我们假定v_{o+}（或v_{o-}）的最大值为$2V_{THN}$，那么，在稳态情况下，M6和M7管只会工作在截止区或线性区。在i_{o-}增大、i_{o+}减小的过程中，当流过M7管的电流增大到某一数值时，M7管的漏端电压会上升到V_{THN}，会导致M7管开始进入饱和区，这个临界电流值为：

686~687

$$i_{o-}=\frac{\beta_B}{2}(v_{o+}-V_{THN})^2=\frac{\beta_B}{\beta_A}\cdot i_{o+} \tag{26-4}$$

这个电流临界点也是输出电压发生转换的临界点；发生转换后，M7管截止，M6管导通。如果$\beta_A=\beta_B$，那么，输出电压的转换将发生在电流i_{o+}与i_{o-}相等的时候。如果β_A与β_B不等，那就会使比较器表现出磁滞现象。对于i_{o-}减小、i_{o+}增大的情形，进行同样的分析，可以求得转换点为：

$$i_{o+}=\frac{\beta_B}{\beta_A}\cdot i_{o-} \tag{26-5}$$

由上式及式（26-1），可以求出发生转换时的输入电压差（参见第18章）为：

$$V_{SPH}=v_+-v_-=\frac{I_{SS}}{g_m}\cdot\frac{\frac{\beta_B}{\beta_A}-1}{\frac{\beta_B}{\beta_A}+1}\quad（当\beta_B\geqslant\beta_A时） \tag{26-6}$$

$$V_{SPL}=-V_{SPH} \tag{26-7}$$

在该电路中，我们采用3μm的沟道宽度和2μm的沟道长度（这样没有磁滞现象，失调电压也不重要）。

$$\beta_A=\beta_5=\beta_8$$

$$\beta_B=\beta_6=\beta_7$$

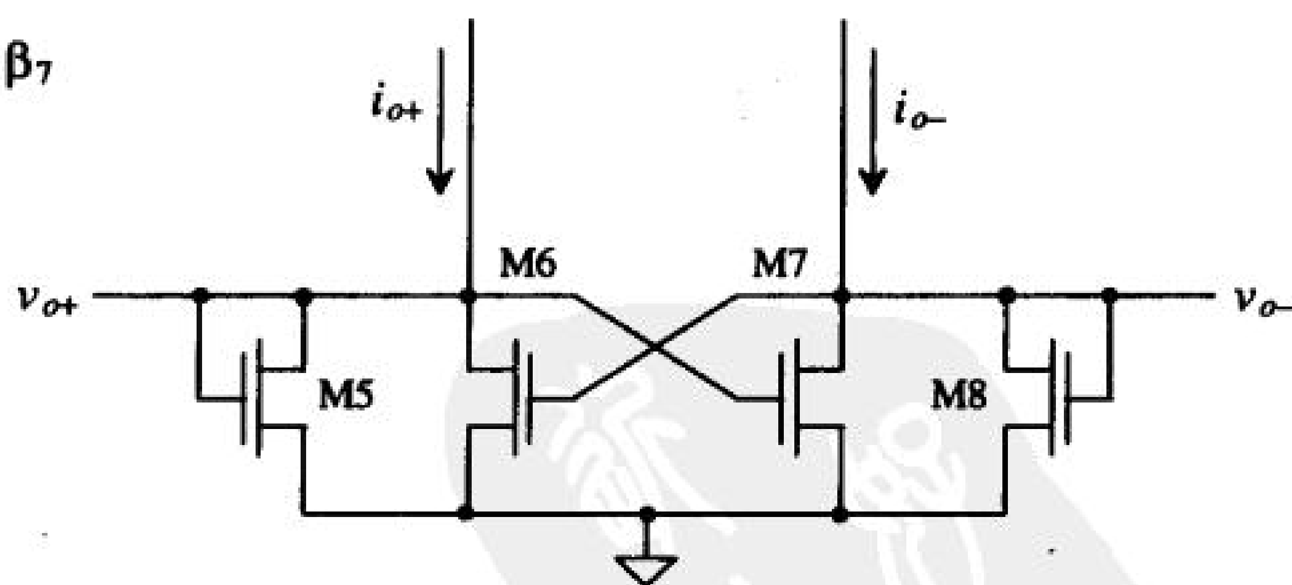


图26-4 正反馈判断电路

例26.1

针对图26-5所示电路，在下面两种不同的情形下，估算并仿真转换点的电压：(1) $W_5=W_6=W_7=W_8=3\mu m$，$L=2\mu m$；(2) $W_5=W_8=3\mu m$，$W_6=W_7=4\mu m$，$L=2\mu m$。

688

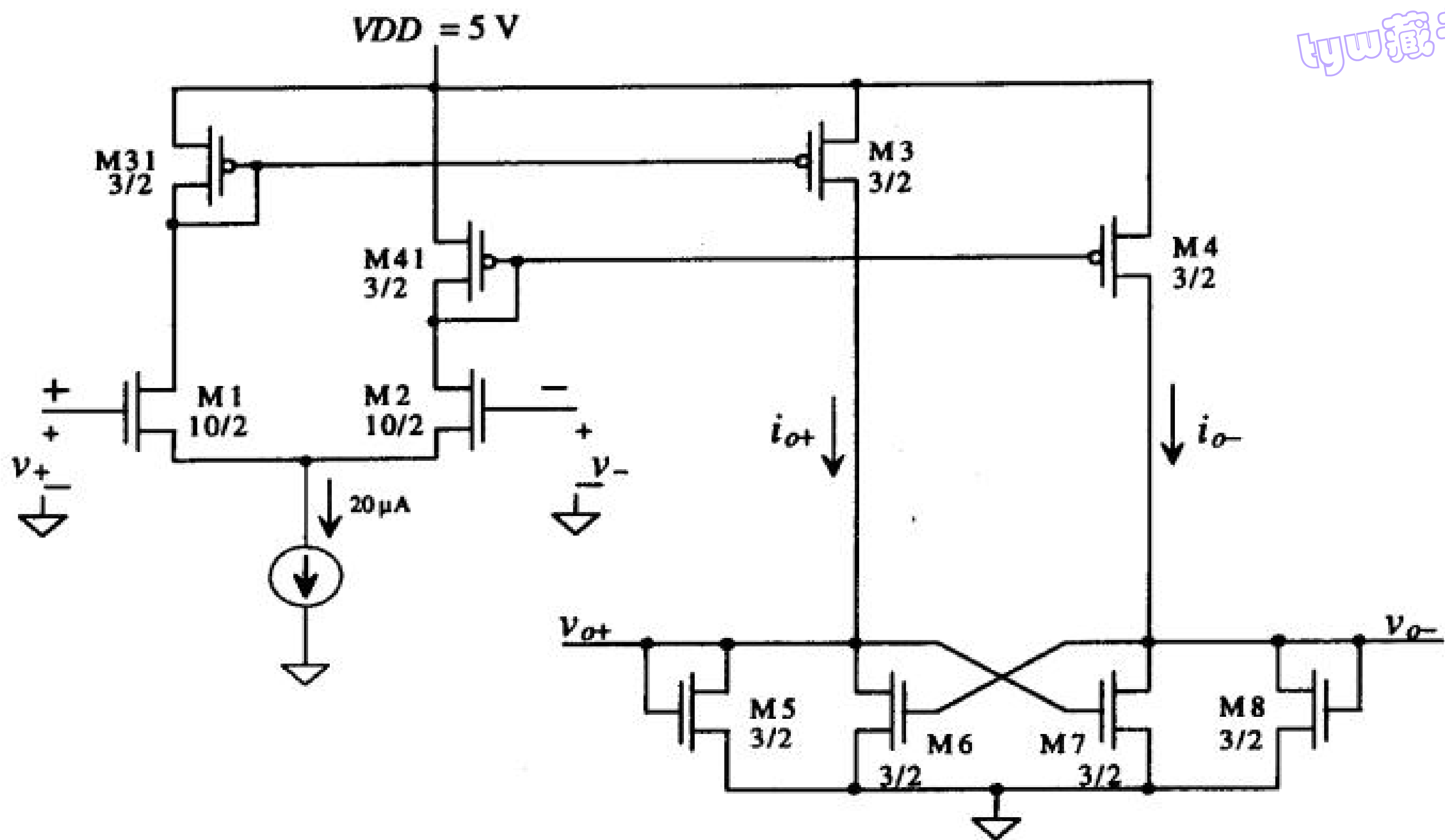


图26-5 预放大和判断电路

在第一种情形下，有：

$$\beta_A = \beta_B = 50\,\frac{\mu A}{V^2}\cdot\frac{3\,\mu m}{2\,\mu m}$$

因此，$V_{SPH} = V_{SPL} = 0$。换句话说，比较器没有磁滞现象。

图26-6给出了这种情形下的仿真结果。在v_+从2.0V扫描到3.0V的过程中，v_-为2.5V并保持不变。观察该图知，v_{o+}和v_{o-}的幅值被限定在2 V_{THN}左右。

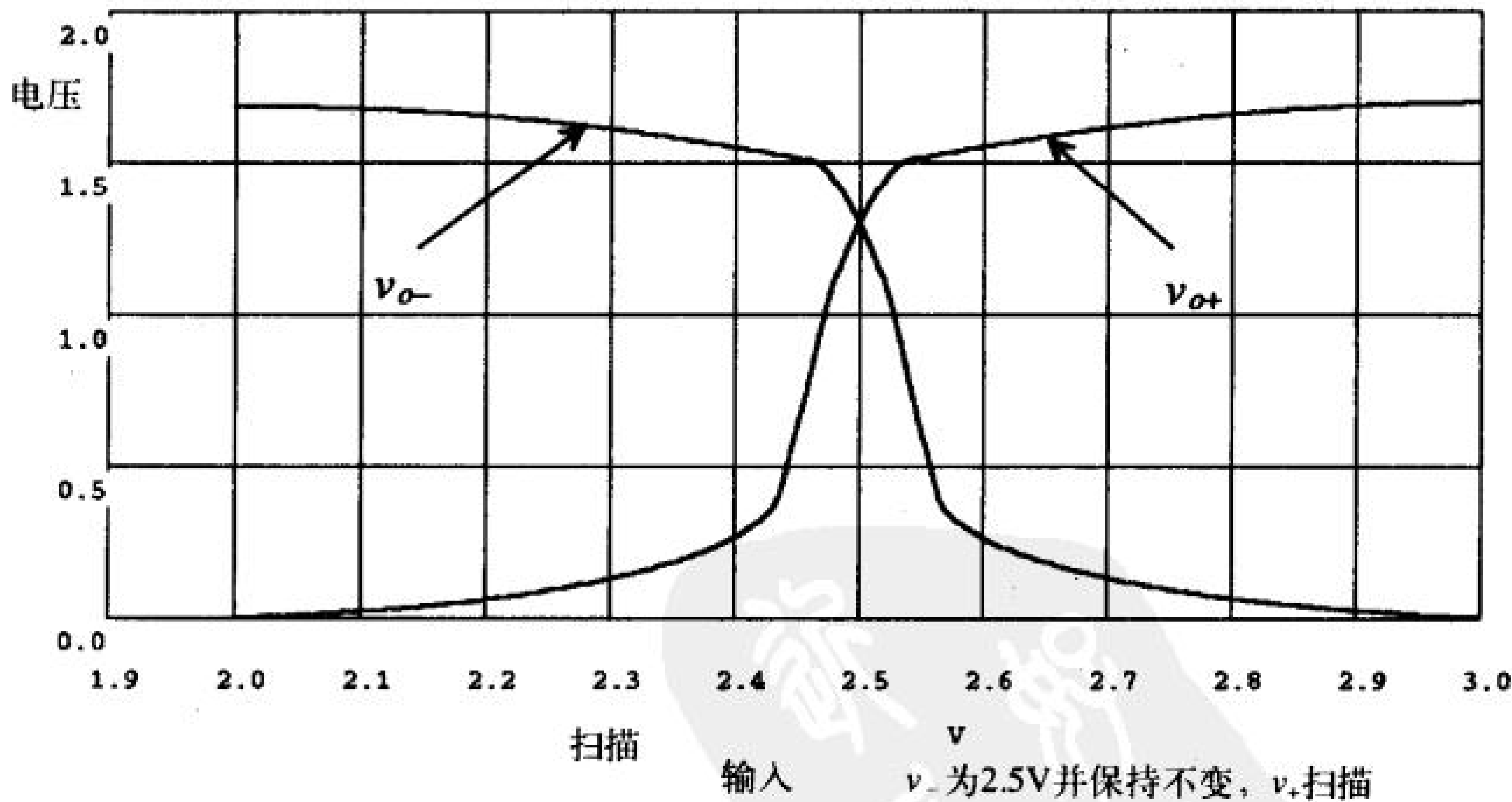


图26-6 例26.1中第一种情形的仿真结果

在第二种情形下，有：

$$\beta_A = 50\,\frac{\mu A}{V^2}\cdot\frac{3\,\mu m}{2\,\mu m} \qquad \beta_B = 50\,\frac{\mu A}{V^2}\cdot\frac{4\,\mu m}{2\,\mu m}$$

因此，有$\beta_B = 1.33\beta_A$。若$I_{SS} = 20\mu A$，$g_m = 71\mu A/V$，则由式（26-6）和式（26-7）知：

$$V_{SPH} = -V_{SPL} = 40\text{ mV}$$

图26-7给出了这种情形下的仿真结果。仿真时，使v_+从2.4V扫描到2.6V，v_-为2.5V并保持不变，得到图26-7a。由于V_{SPH}为40mV，当v_+比v_-大40mV时（即v_+ = 2.54V时），判断电路的输出状态开始改变。使v_+从2.6V扫描到2.4V，v_-为2.5V并保持不变，得到图26-7b；当v_+ = 2.46V时（即比2.5V低40mV时），输出发生转换。■

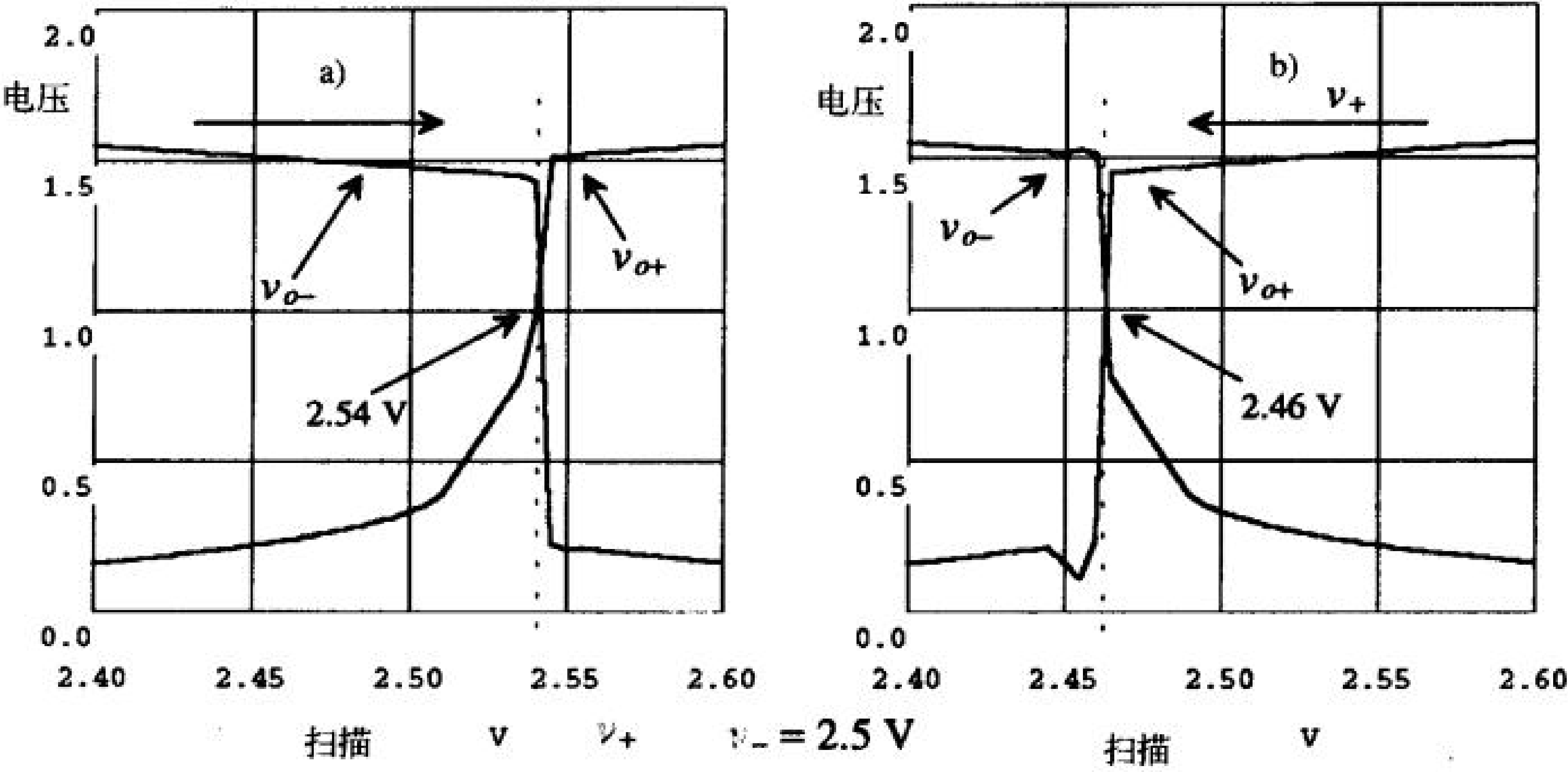


图26-7　例26.1中第二种情形的仿真结果

输出缓冲器

比较器的最后一级是输出缓冲器（又被称为后放大器），其主要作用是把判断电路的输出信号转化成逻辑电平（0V或5V）。输出缓冲器的输入应该是一对差分信号，它本身不应该有压摆率限制。

689~690

图26-8给出了本节要讨论的比较器的输出缓冲器电路。该电路是一个自偏置的差分放大器[2]。在放大器的输出端加了一级反相器，用作附加的增益级，并实现负载电容和自偏置差

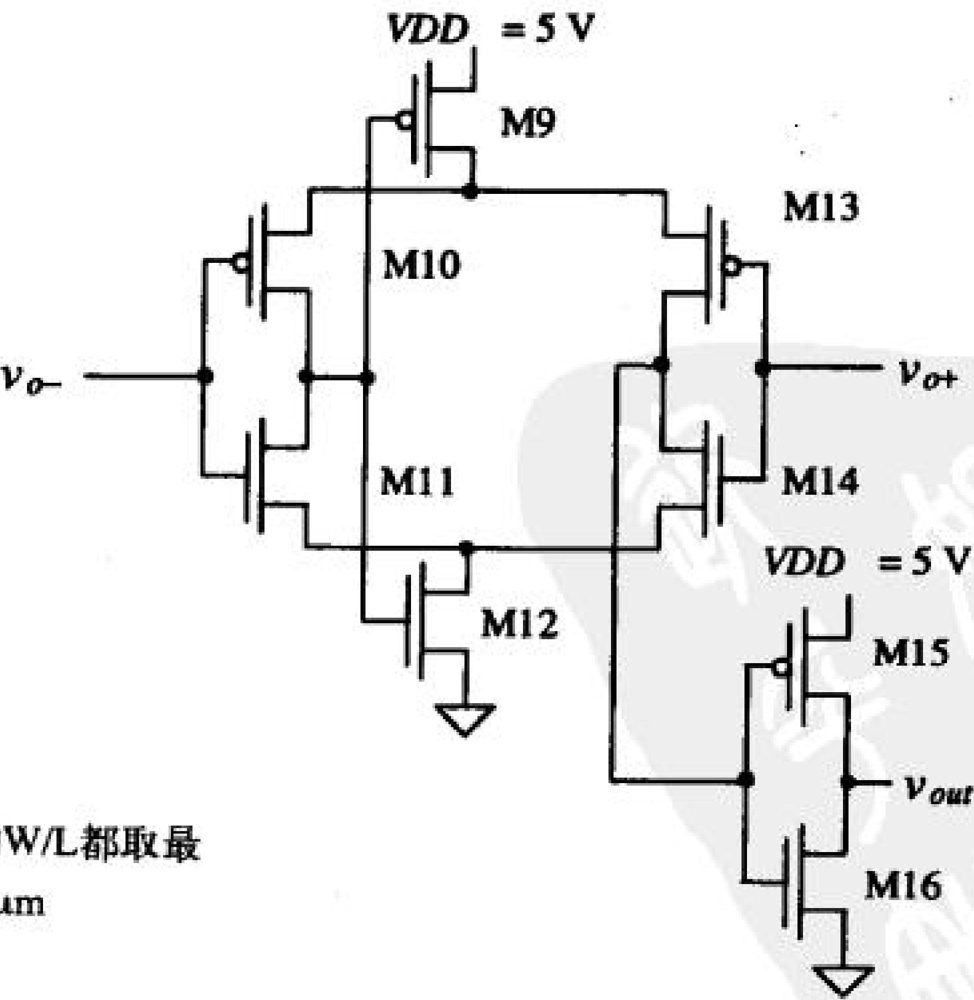


图26-8　自偏置差分放大器（用作比较器的输出缓冲器）

分放大器之间的隔离。图26-9给出了该放大器的直流扫描仿真结果。v_{o+}分别取为1V、1.5V、2V、2.5V、3V、3.5V，在每个取值点，都使输入v_{o-}从1V扫描到4V。显然，为了使输出缓冲器线性工作，输入v_{o+}和v_{o-}的幅值应在1V ~ 3.5V之间。由前面的分析知，正反馈电路的输出信号的幅值在0 ~ 1.5V之间。因此，直接把判断电路的输出端与输出缓冲器的输入端相连，不能满足输出缓冲器对输入信号幅值的要求。为了把判断电路输出信号的最低幅值升到1V左右，可以采用图26-10所示电路。图中，M17管串接在判断电路上，用于提升输出电压的幅值。它的尺寸可任意取；这里，我们取W_{17}/L_{17} = 100μm/2μm，使判断电路的输出电压幅值约增大一个V_{THN}。图26-11给出了比较器的完整电路图，图中未标明尺寸的MOS管的W/L为3μm/2μm。

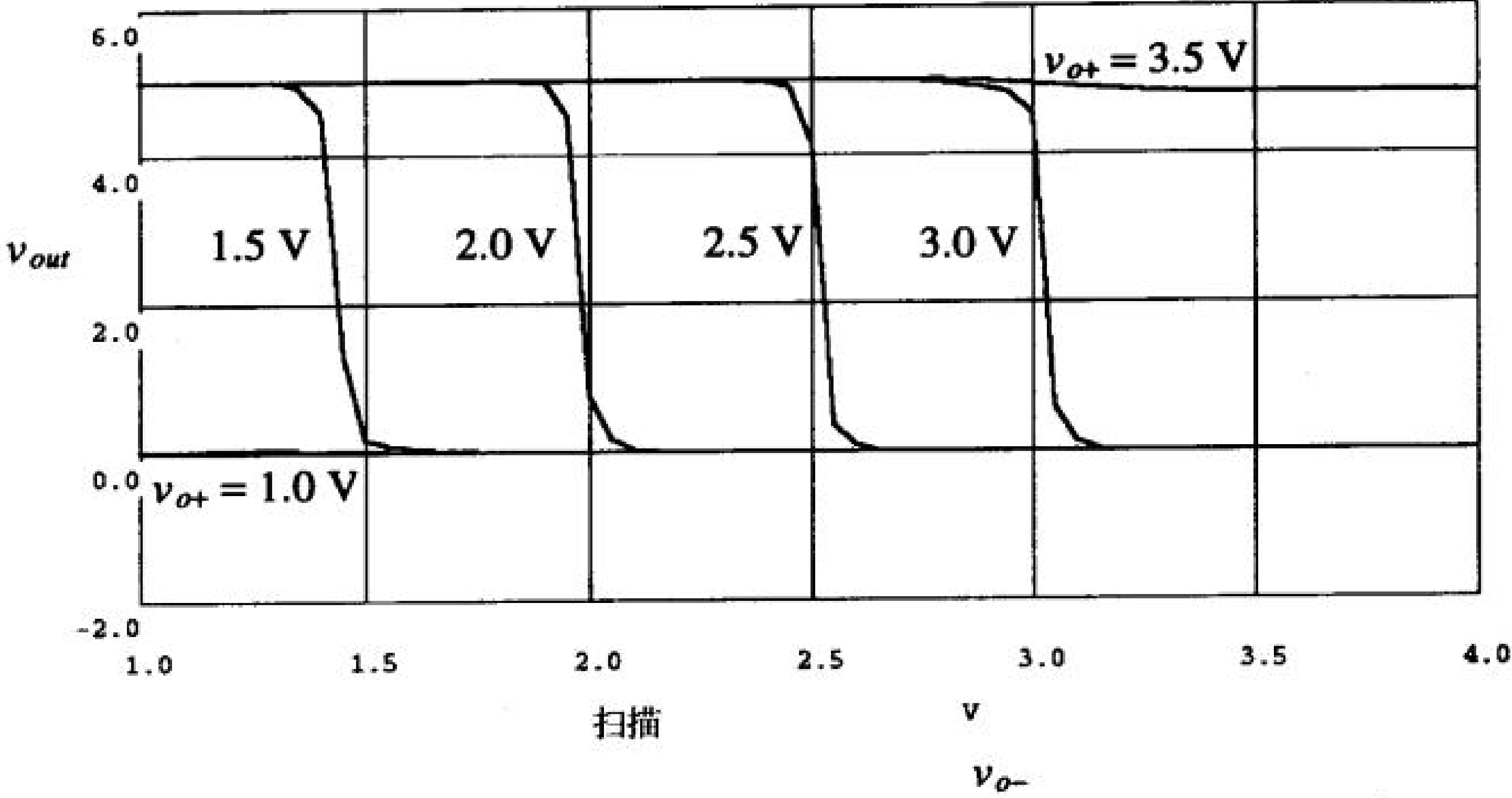


图26-9 图26-8所示自偏置放大器的直流扫描仿真结果

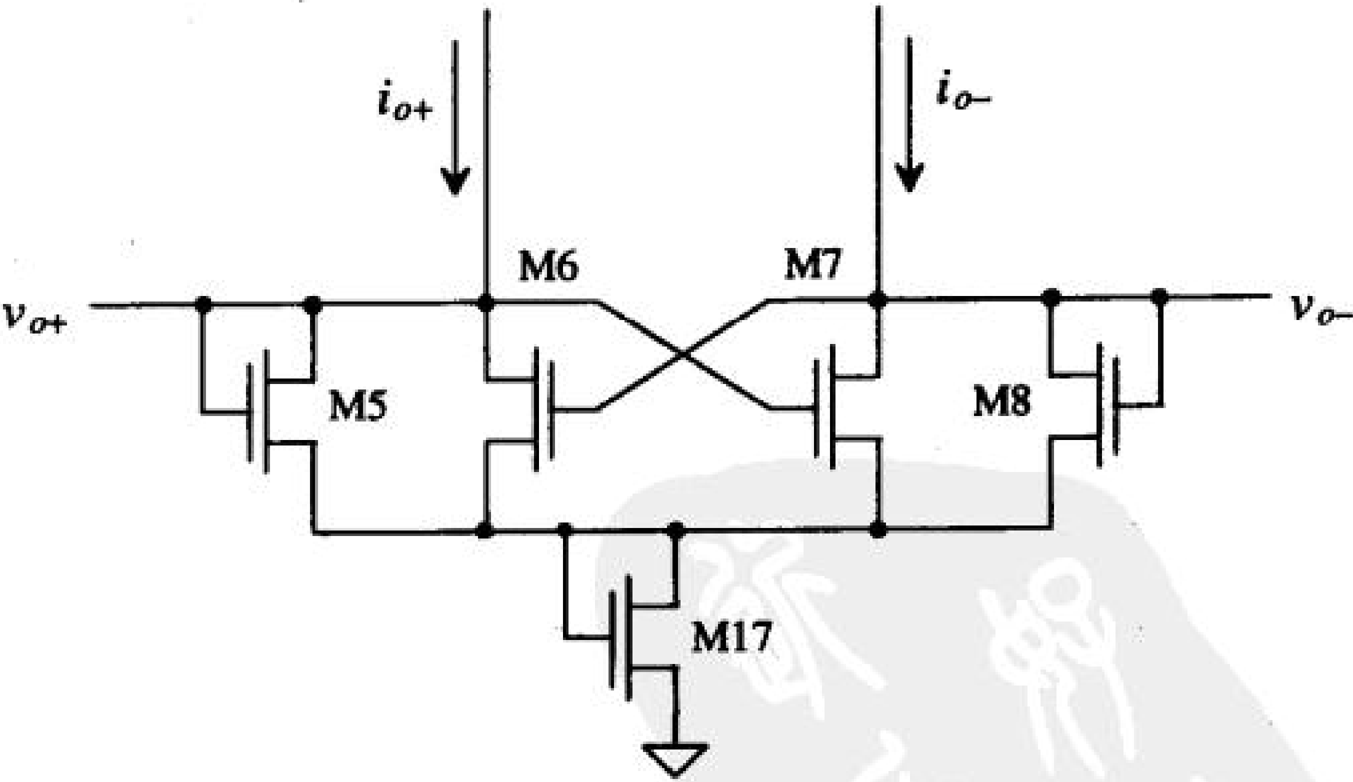


图26-10 用大尺寸的M17管实现判断电路输出电平的平移

比较器的性能指标

比较器的增益和失调

比较器的一个非常重要的指标参数是失调电压。使图26-11所示比较器的v_-输入端保持为

2.5V，v_+输入从2.49V扫描到2.51V，仿真结果示于图26-12。从图中可以看出，系统的失调电压约为1mV。在下一章中，我们将讨论如何用动态电路技术来消除失调电压。对图中的传输曲线进行求导，可以得到比较器的增益，进而可以求出比较器能分辨的v_+与v_-之间的最小差值。由图26-13知，比较器的增益约为2000，因此，约2.5mV的输入信号差值就能使比较器的输出逻辑电平发生转换。若要增加比较器的增益，可通过增大预放大器的跨导来实现，即增大M1和M2管的沟道宽度或者另加反相器。在预放大级再加增益级也可以提高比较器的总增益。

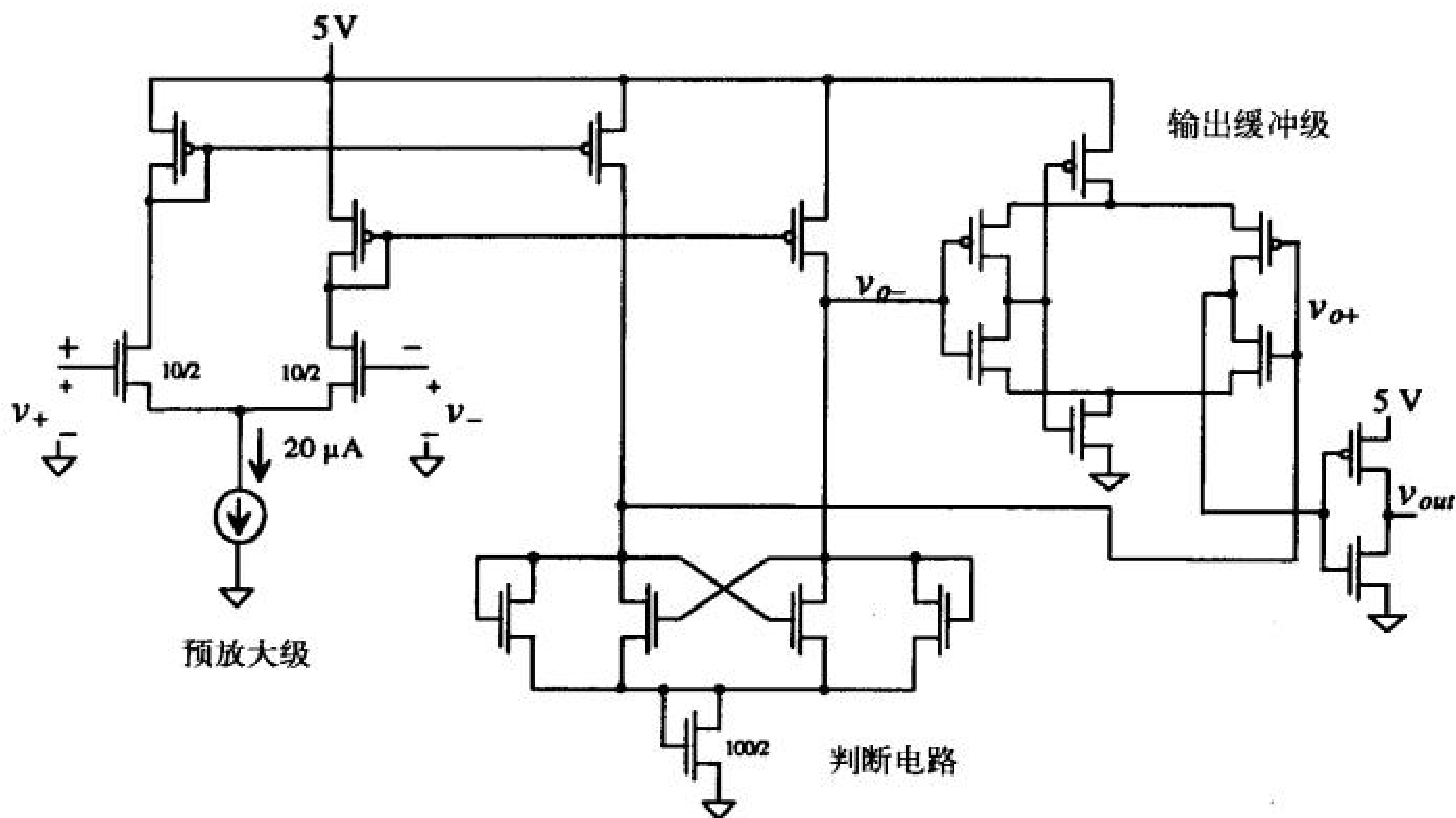


图26-11 比较器的完整电路

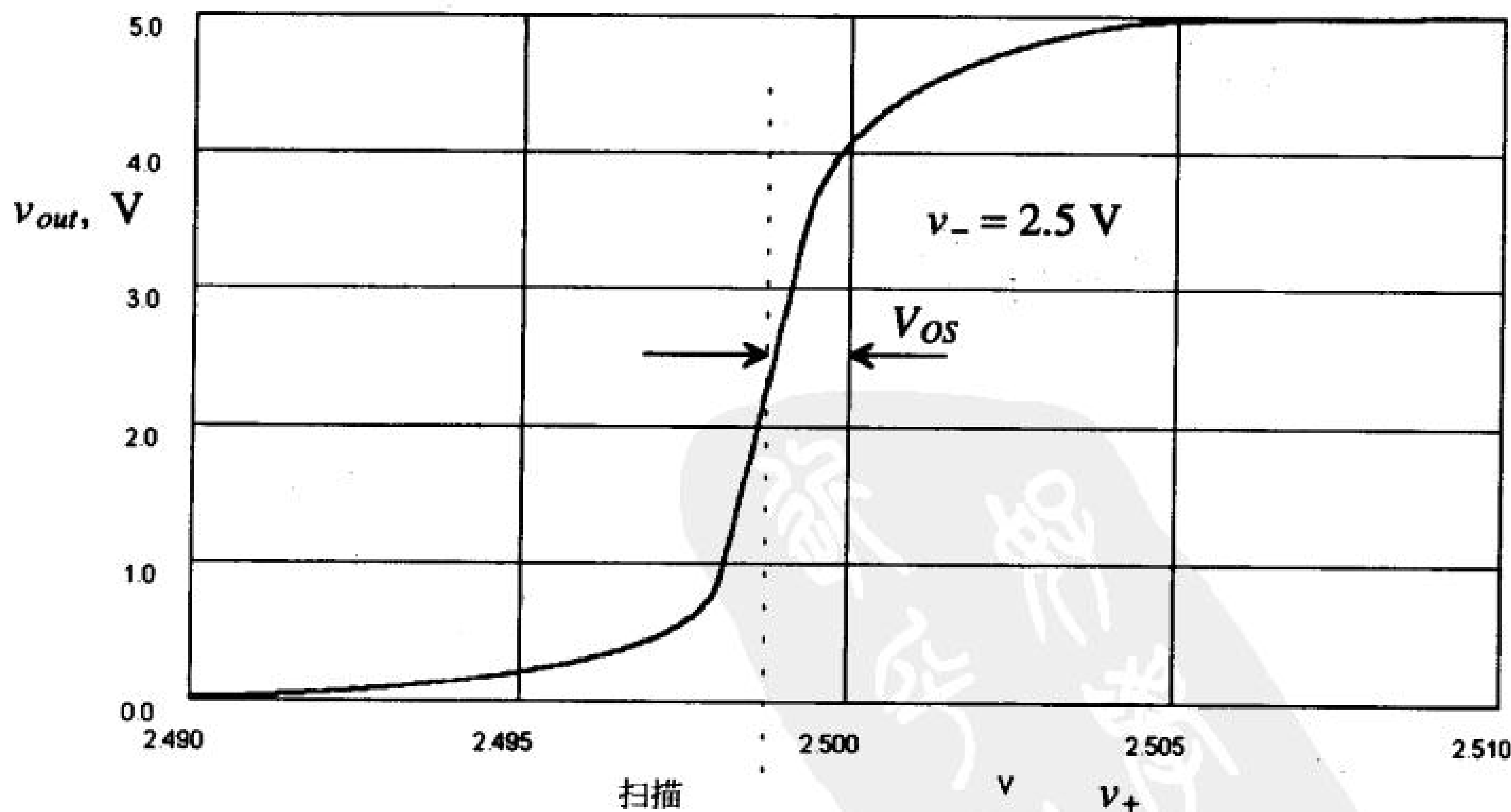


图26-12 图26-11所示比较器的直流特性（负输入端接2.5V）

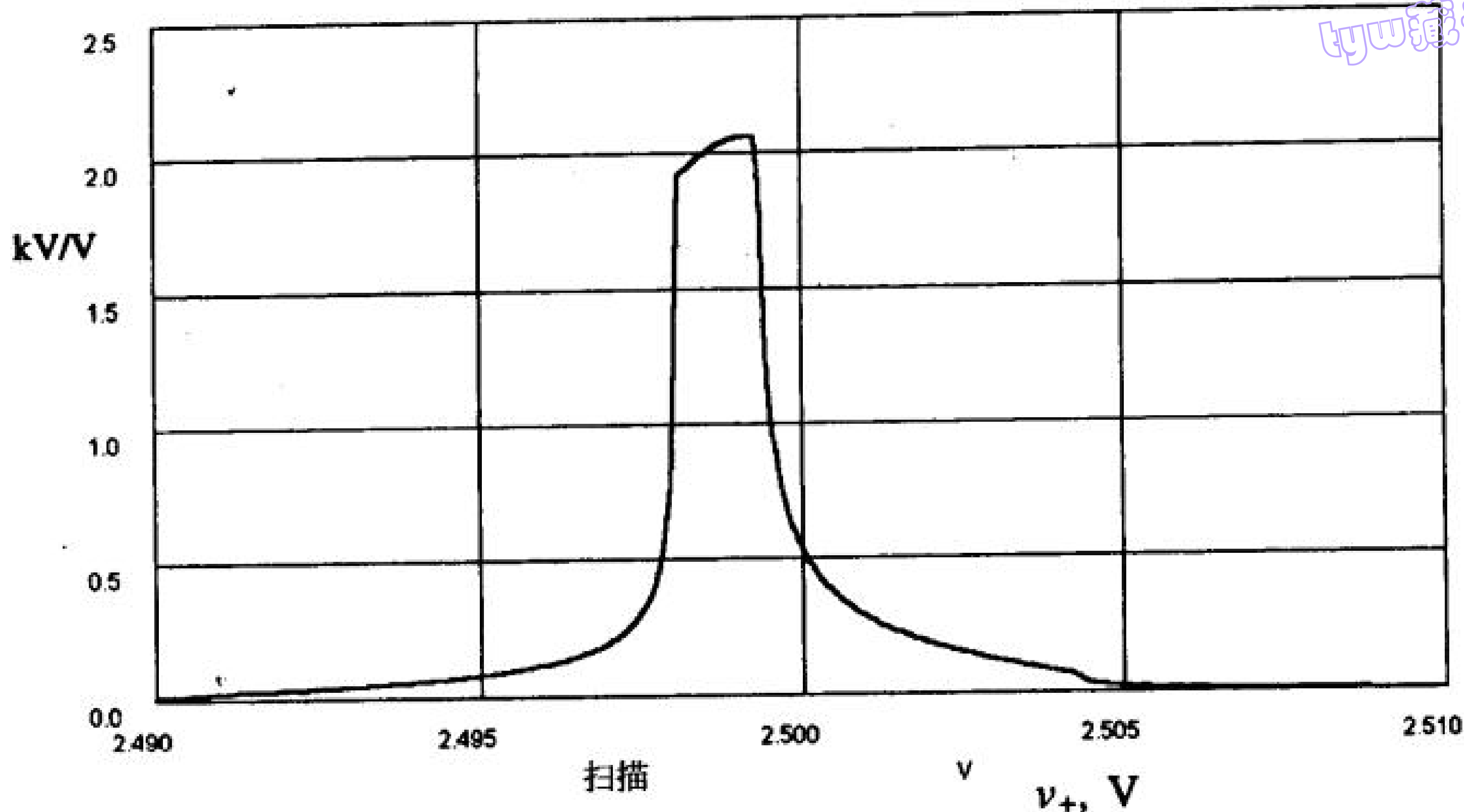
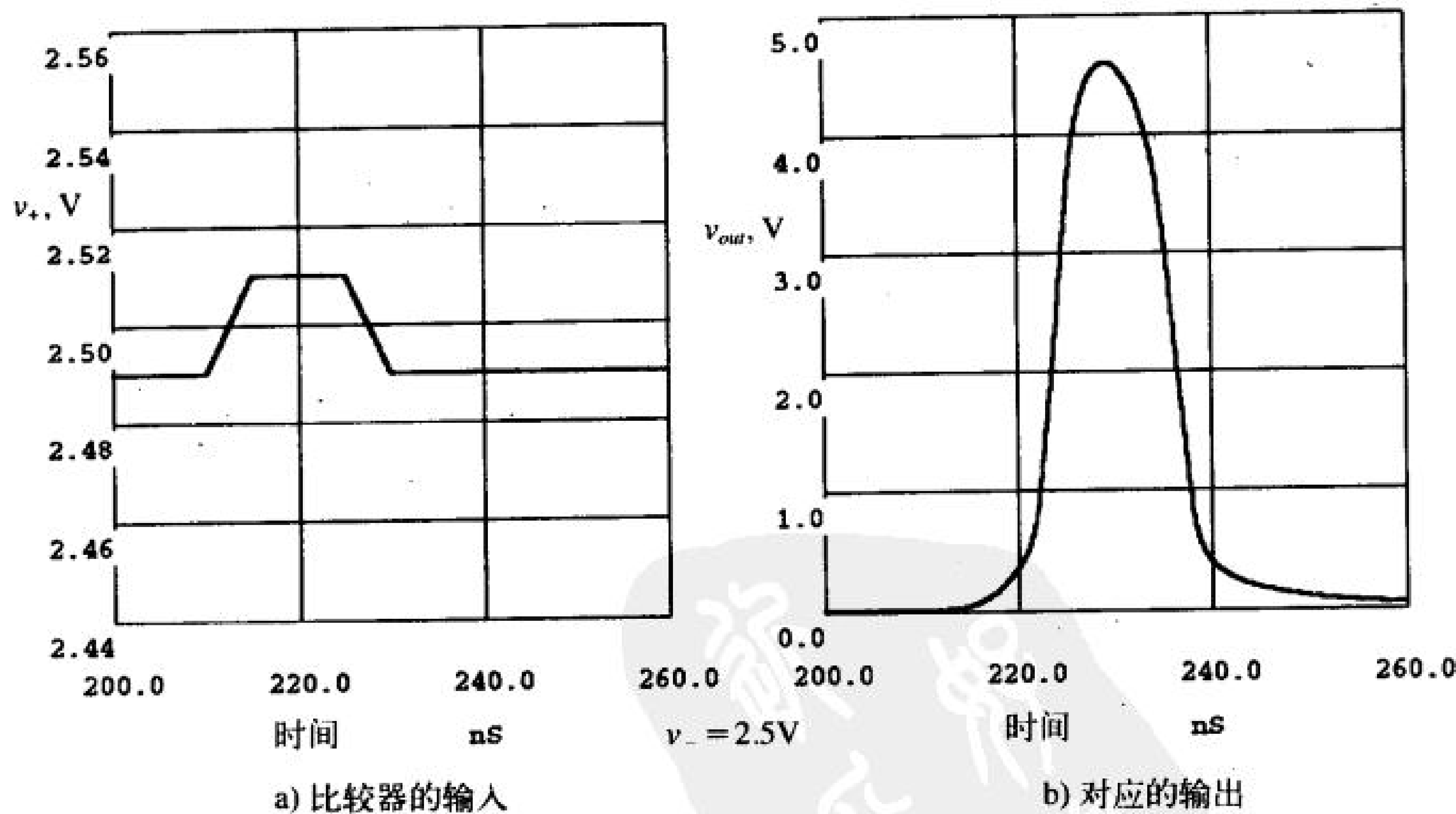


图26-13 比较器增益与输入电压之间的关系

瞬态响应

与直流特性相比，很难用一定的指标参数来描述比较器的瞬态响应。首先，我们取$v_- = 2.5\text{V}$，在v_+输入端施加幅值从2.49V到2.51V之间变换的方波，脉冲宽度为10ns。这相当于在v_+输入端加上一个窄脉冲，使v_+输入端的信号幅值比v_-输入端高10mV。图26-14给出了仿真结果（仿真始于200ns时）。如果脉冲宽度低于10ns，那么比较器的输出信号就不发生全摆幅的转换。



a) 比较器的输入　　b) 对应的输出

图26-14 比较器的负输入端接固定电压2.5V时

虽然这些结果很有趣，但在很多情况下，它们并没有实用价值，因为比较器只在极少数情况下才分辨图26-14a所示的输入信号。考察比较器瞬态特性的一种更好的方法是：在输入端加一信号，其电压初值要使差分放大器的一个支路截止，其电压终值要略高于参考电压（在上面的例子中为2.5V）。也就是，在v_+输入端加一个0V到2.51V的脉冲，它会使M1、M3和

691~693

M31管在初始时处于关断状态，然后转变为导通状态。在此过程中，比较器中的各节点被充放电时的电压范围为0V到2.51V，远大于图26-13中的2.49V ~ 2.51V这个范围。为防止预放大器的一个支路截止，可采用图26-15所示电路。图中，二极管接法的MOS管能使M31管漏端和M41管漏端之间的电压差总是小于V_{THN}。这种电路结构有时被称为钳位输入级。

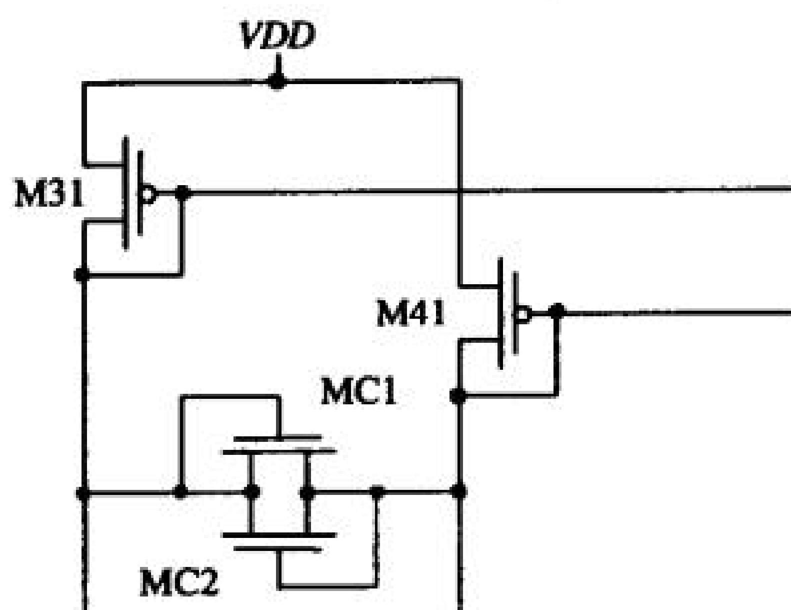


图26-15 用MC1和MC2管防止预放大器的有源负载截止

传输延迟

理想情况下，比较器的传输延迟（在v_-输入电压固定时，改变v_+输入电压，v_+与v_-相等的这一时刻与输出改变逻辑状态之间的这段时间）为零。对图26-11中的比较器而言（仿真结果示于图26-14），其延迟约为10ns（驱动能力较大时延迟会更小）。而用运算放大器作比较器时，会有几百纳秒的传输延迟。另一个与比较器有关的有趣现象是，把增益级级联起来能减少比较器的延迟。换句话说，单个高增益级的延迟通常比多个低增益级级联起来的总延迟大。

最小输入压摆率（minimum input slew rate）

我们要讨论的最后一个性能参数是比较器的最小输入压摆率。如果比较器的输入信号以低速变化（例如，交流线路产生的正弦波），比较器的输出信号就可能会出现振荡现象，导致输出处于亚稳态（即未知态）。如果比较器用于低速变化的信号或者用于噪声较大的电路系统中，判断电路应该有磁滞效应。用SPICE很难仿真得到比较器的最小输入压摆率，原因在于：电路中，低速和高速变化的信号同时存在。另外，当输入过冲很小时，也会出现类似现象（亚稳态）；在这种情形下，比较器的延迟时间一般会增大。

敏感度和速度指标的提高

比较器的敏感度和速度与预放大级的性能直接相关。在第11章中，我们推导了反相器链驱动负载电容C_L时的最小延迟。采用同样的方法，针对一定的负载电容和输入电容，我们可以推导出要得到最小延迟，所需要的预放大器级数，结果为：

$$N = \ln \frac{C_L}{C_{in}} \qquad (26\text{-}8)$$

在推导上式时，我们假定每一级驱动的电阻为$1/g_{mn}$（g_{mn}为第n级差分放大级的跨导）。实际上，由于差分放大器的一个支路会截止，式（26-8）的用处很小。正是由于这个原因（或其他原因如尺寸、功耗等），预放大级超过两级或三级的比较器并不多见。图26-16给出一个带判断电路的两级预放大器电路。

694
~
696

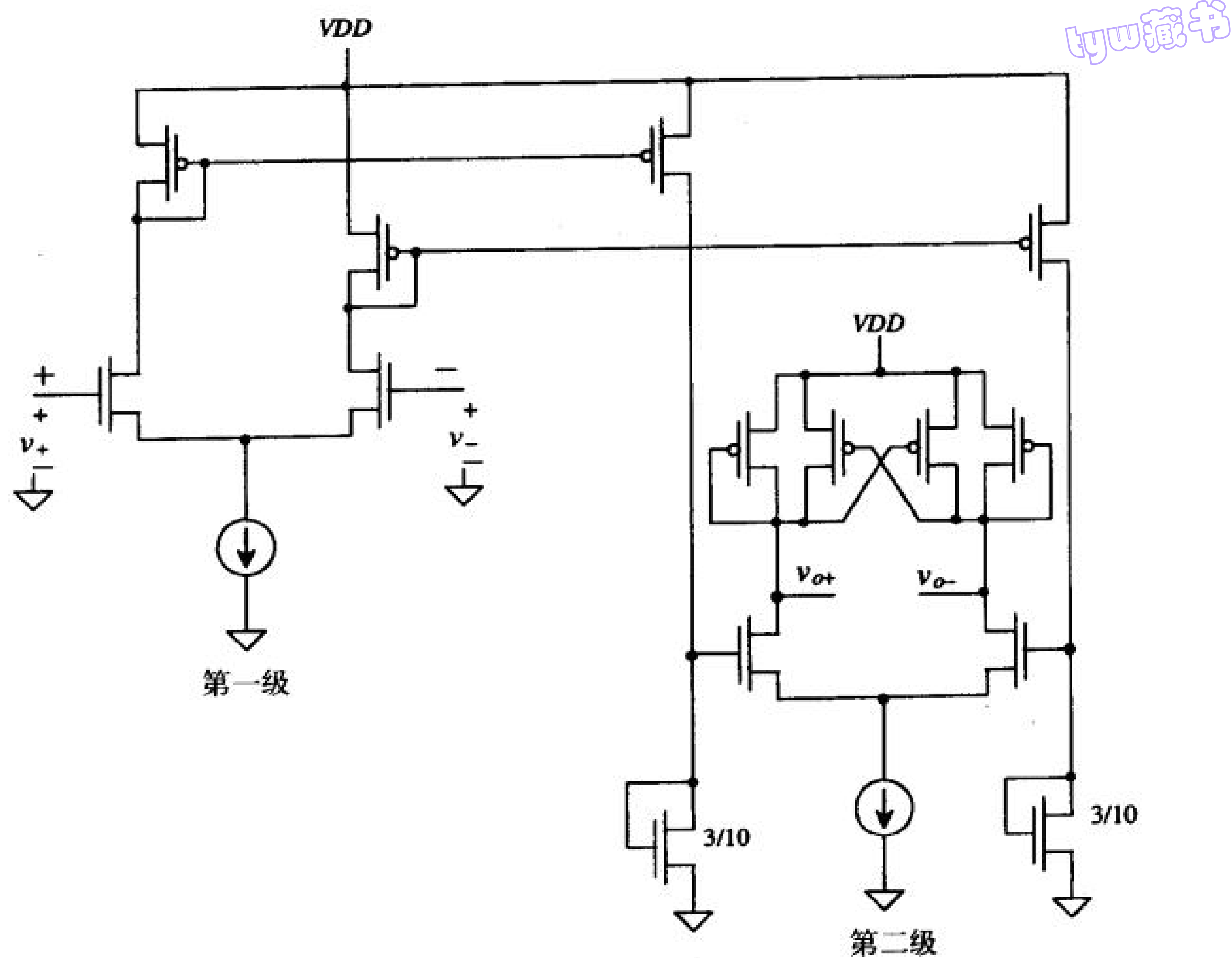


图26-16 带判断电路的两级预放大器

钟控比较器（clocked comparators）

图26-17和图26-18给出了两个钟控比较器[3, 4]，用于模数转换器设计。把时钟脉冲用于比较器的设计能极大地提高比较器的性能和速度。

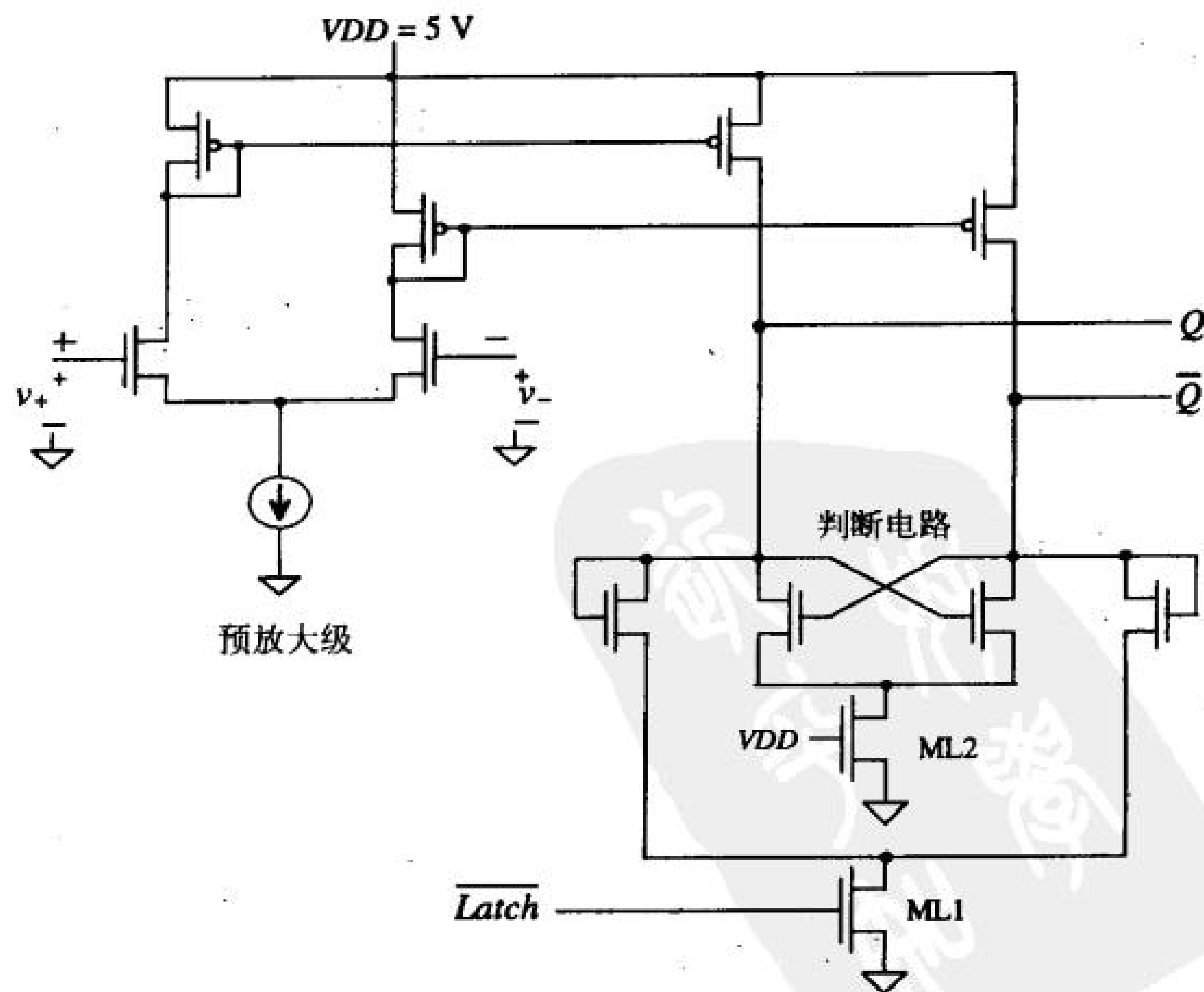


图26-17 钟控比较器

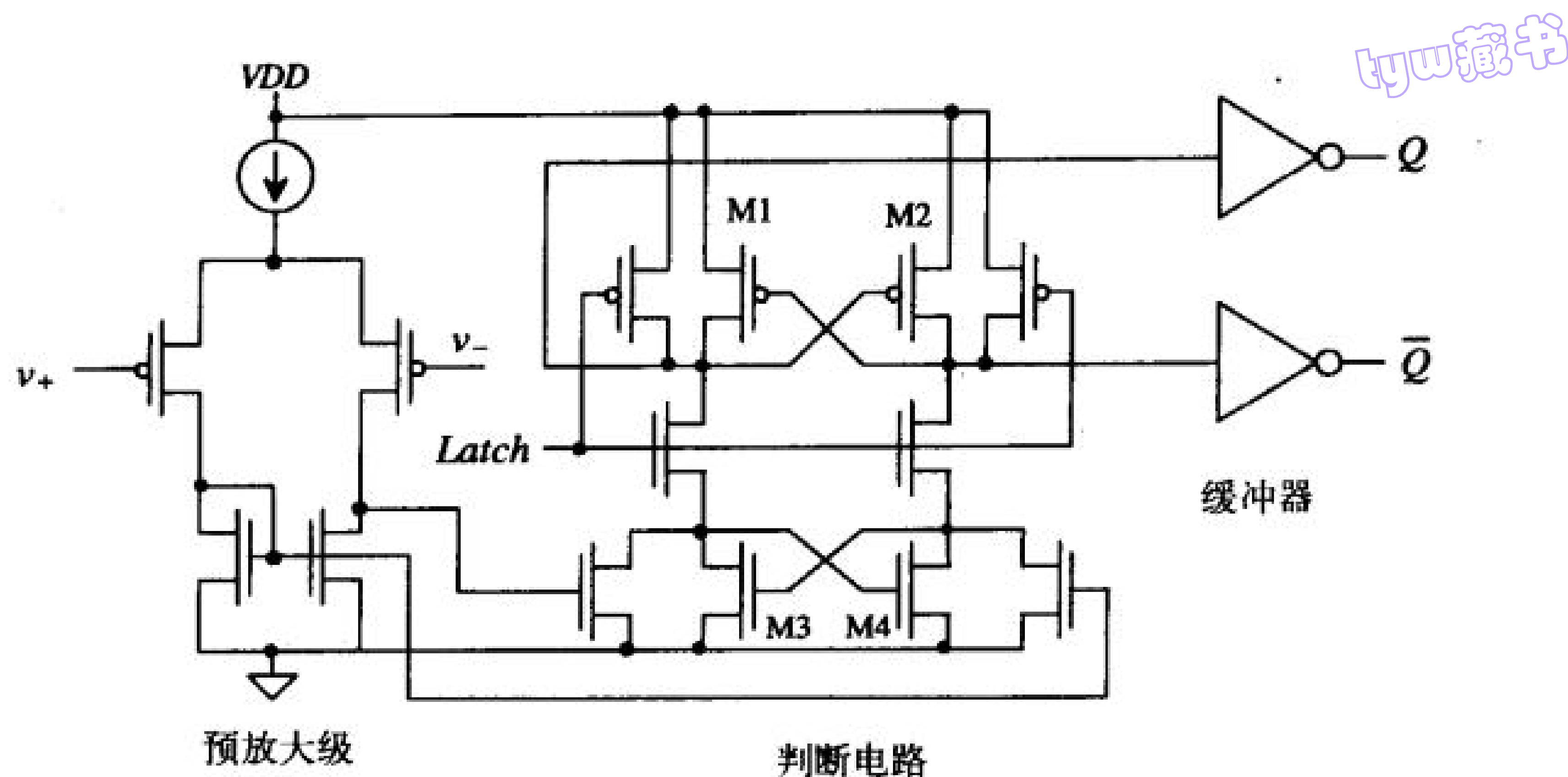


图26-18 基于基本锁存器的钟控比较器

697
~
698

图26-17所示的钟控比较器是图26-11所示比较器的时钟型版本。加入时钟后，就不再需要输出缓冲器（用于对判断电路的输出信号进行电压平移）。当 $\overline{LATCH}$ 为“高”时，比较器的功能类似于图26-11中预放大器和判断电路的功能，判断电路的输出依赖于输入信号。当 $\overline{LATCH}$ 为“低”时，ML1管截止，能有效地把输出信号锁存为逻辑“1”或“0”；此时，比较器停止比较，并记下 $\overline{LATCH}$ 变为“低”时的比较器输入状态。

该比较器存在一些不足，即存在持续的功耗。和在判断电路串接一个ML1管一样，在预放大器的电流源上串接一个MOS开关，就能显著降低功耗。串接上该MOS开关后，在直流情形下，当 $\overline{LATCH}$ 为“低”时，比较器没有功耗。

图26-18给出了第二个钟控比较器，它是基于再生锁存器（regenerative latch）设计的。同样，该比较器由三级构成，即预放大器、正反馈判断电路、输出缓冲器。再生锁存器（图中交叉耦合的反相器）由M1～M4管构成。当Latch为“低”时，PMOS管M1和M2与NMOS管M3和M4截止，并且判断电路的输出被提升为高电平，比较器的输出为“低”，$Q=\overline{Q}=0$。当Latch信号变为“高”时，锁存器的再生特性加上预放大器的作用，会使得判断电路失衡，强制输出状态变为由v_+和v_-决定的状态。

自偏置的比较器

自偏置比较器是我们要讨论的最后一个比较器实例，如图26-19所示[2]。该电路的工作原理类似于图26-8中的自偏置差分放大器，只是它有更大的增益和更宽的输入共模范围。图26-20给出了该比较器的直流特性。值得注意的是，由于这种结构的比较器增益较大，因此，延迟比前面讨

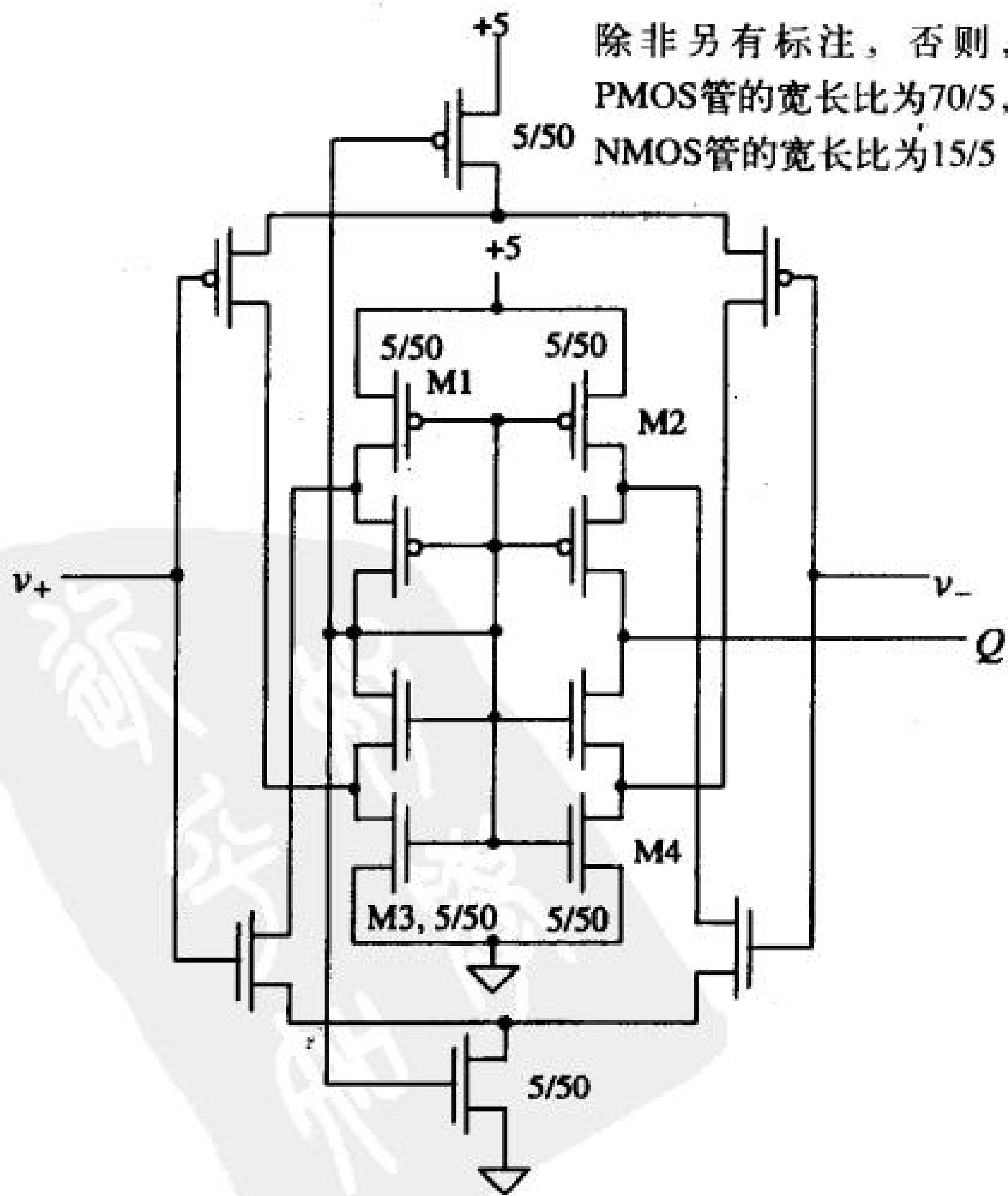


图26-19 自偏置的比较器

论过的其他结构的比较器要大（约为几百纳秒）。通过减小M1 ~ M4管的沟道宽度（使M1 ~ M4管工作于线性区）和采用最小沟道长度，可以减小比较器的延迟，但这是以牺牲增益和更大功耗为代价。

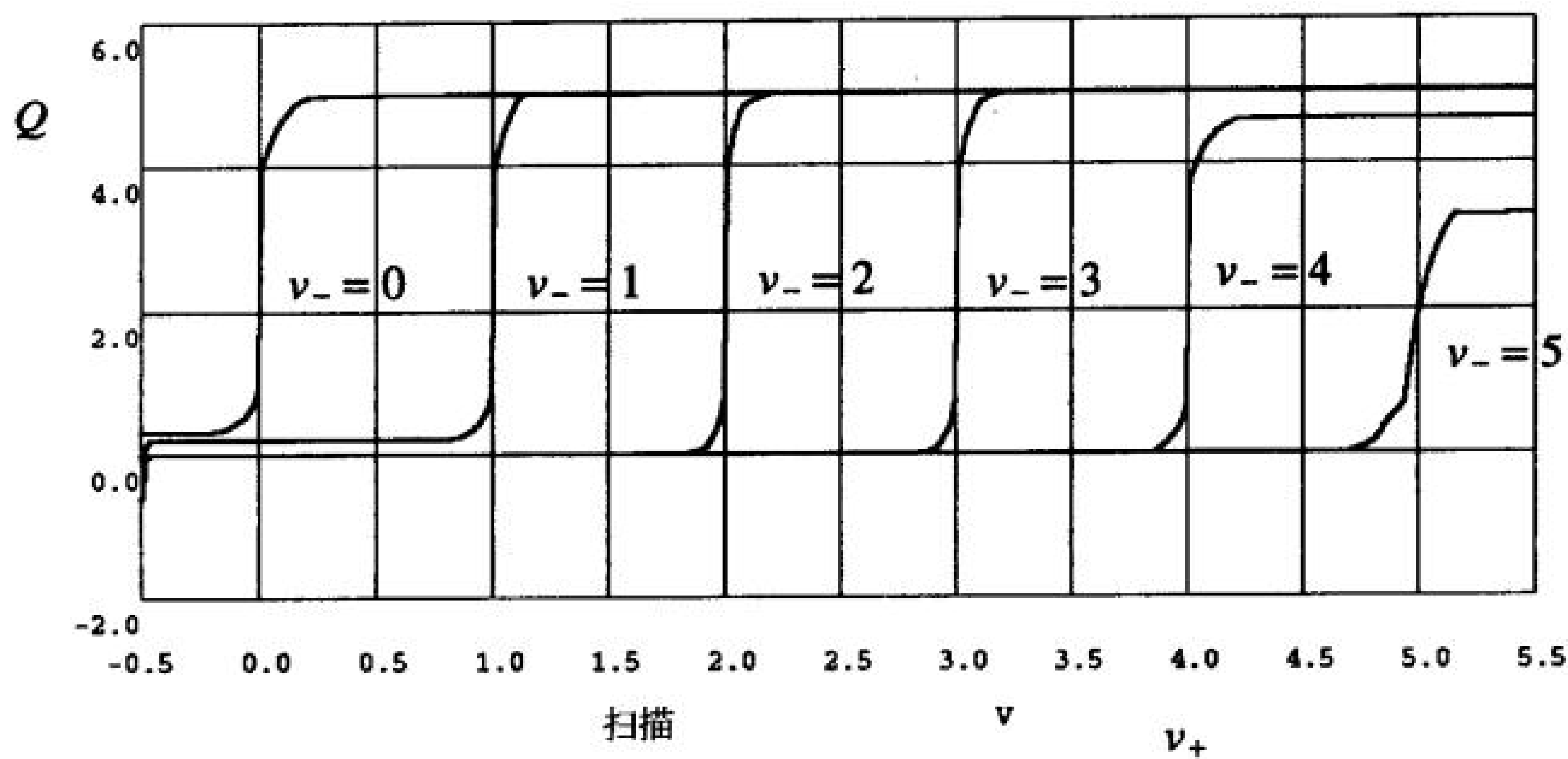


图26-20　对图26-19中的自偏置比较器进行直流扫描

26.2　偏置自适应

偏置自适应的放大器能降低电路功耗，同时又能提高输出电流的驱动能力[5,6]。借助图26-21所示电路，可以比较方便地阐述偏置自适应的原理。当v_{I1}和v_{I2}相等时，电流源I_{SS1}和I_{SS2}为零（开路状态），差分放大器的总电流为I_{SS}；这种情形与常用的差分放大器相同。若v_{I1}大于v_{I2}，电流源I_{SS1}的电流不再为零，能有效地增大差分放大器的直流偏置电流。类似地，当v_{I2}大于v_{I1}时，电流源I_{SS2}的电流不再为零。当常用差分放大器的一个支路截止时，其输出电流受限于I_{SS}。而偏置自适应的差分放大器的最大输出电流受限于$I_{SS}+I_{SS1}$或$I_{SS}+I_{SS2}$。这样，采用自适应的偏置，既能降低功耗，又能有效解决压摆率限制问题。

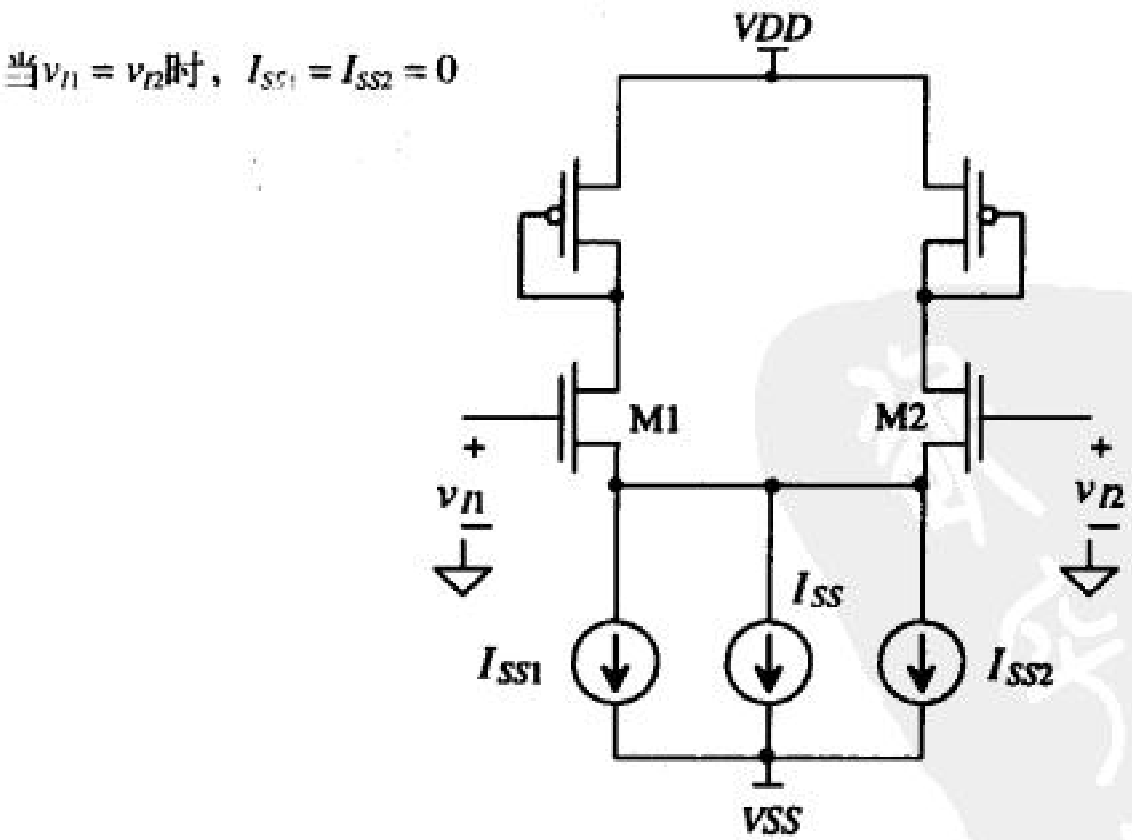


图26-21　偏置自适应的差分放大器

电流源I_{SS1}或I_{SS2}可由图26-22所示电流差分放大器实现。当电流I_1和I_2相等时，流过M3和

M4管的电流为零。同样，如果I_2大于I_1，流过M3和M4管的电流仍为零。如果I_1大于I_2，I_1与I_2之间的电流差（I_1-I_2）会流过M3管。由于M4管的沟道宽度为M3管的K倍（通常$K<1$），因此，流过M4管的电流为K（I_1-I_2）。要构成图26-21所示偏置自适应的差分放大器，需要两个上述这种电流差分放大器。

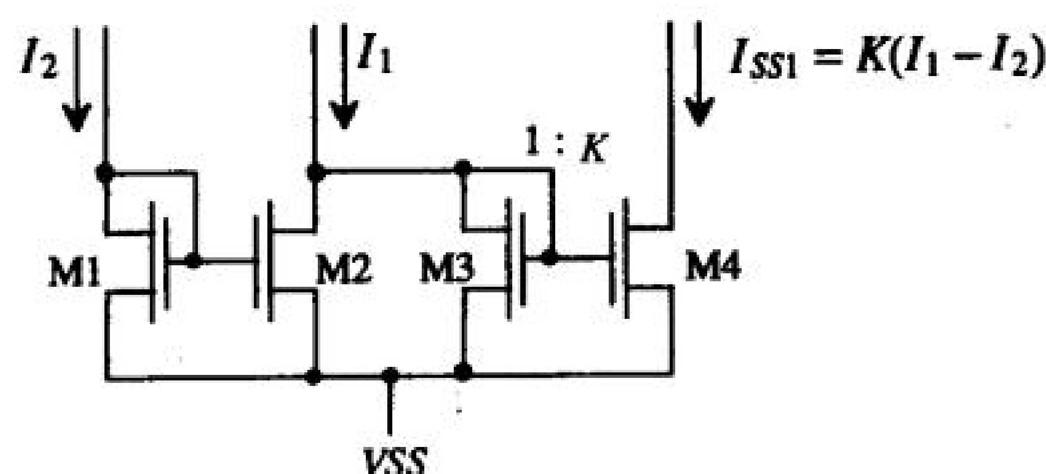


图26-22 用于偏置自适应电路的电流差分放大器

把电流源I_{SS1}和I_{SS2}的实现电路（图26-22所示）嵌入到图26-21中，可得到偏置自适应差分放大器的完整电路图，如图26-23所示。在M3和M4管的旁边各加了2个PMOS管，用以实现电流I_1和I_2的镜像。在M2管截止时，流过M1管的电流达到最大值。由M1、M3、M5～M7管构成的环路，形成正反馈。当M2管截止时，流过M1和M3管的初始电流为I_{SS}；该电流通过M5和M6管的镜像作用，使得I_{SS1}变为$K\cdot I_{SS}$；此时，流过M1管的电流为（$I_{SS}+K\cdot I_{SS}$）。假定M1、M3～M7管总工作在饱和区，流过M1管的电流又会通过上述正反馈环路，继续增大，直到最终达到稳定值，稳定值为：

$$I_{tot}=I_{SS}\cdot(1+K+K^2+K^3+\ldots) \tag{26-9}$$

如果$K<1$，对级数求和，上式变为：

$$I_{tot}=\frac{I_{ss}}{1-K} \tag{26-10}$$

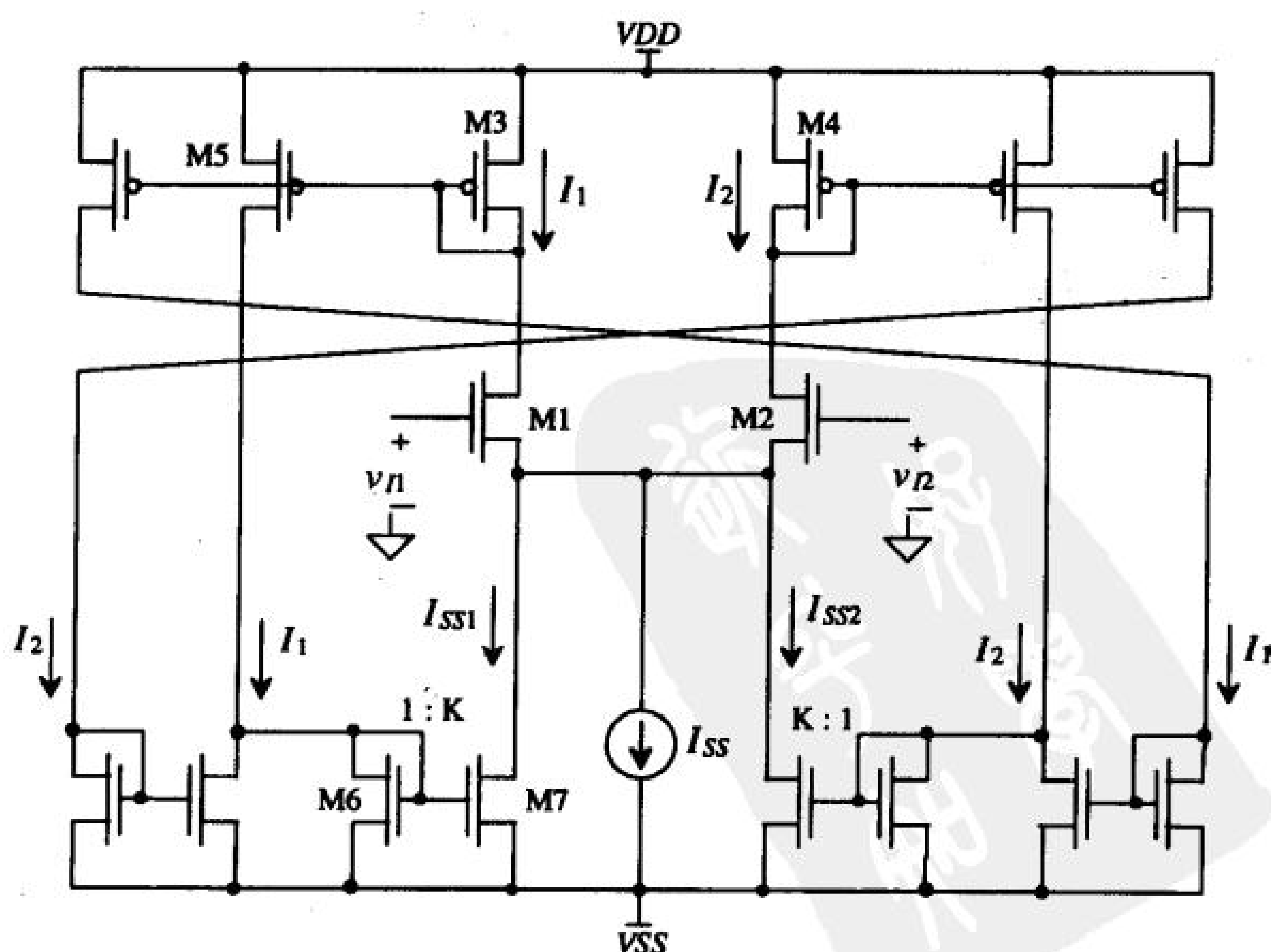


图26-23 偏置自适应的差分放大器

当$K = 0$时（即M7管不存在时），就是没有偏置自适应的情形，尾电流为I_{SS}。当$K = 1/2$时（即M7管的宽长比为M6管的1/2时），尾电流为$2 \cdot I_{SS}$。由于尾电流的大小决定了压摆率，当差分放大器驱动电容负载时，使K等于1能消除压摆率限制，且不会增大静态功耗。实际上，差分对的一个支路完全关断的情形很难出现，其原因在于：偏置自适应会导致差分对的公共源端的电压下降，使得M1和M2管都处于导通状态。偏置自适应技术可用在比较器的设计中（因为比较器的M1或M2管可以完全截止），但这会使得比较器的静态功耗较大，因此，对比较器的设计而言，偏置自适应的优点也就不存在了。当把偏置自适应技术用于OTA的设计时，K的值应取为1或小于1。即使把K的值取为1或2，I_{tot}仍是有限值，原因在于：MOS管的输出电阻并不是无限大，差分对中的MOS管不能截止。而式（26-10）是在假定MOS管的输出电阻无限大、差分对中的MOS管可以截止的条件下推导出来的。图26-24给出一个采用偏置自适应技术的OTA[5]。

699~702


图26-24　偏置自适应的OTA[5]

自适应电压跟随放大器是我们要讨论的最后一个电路实例，如图26-25所示[6]。该放大器只能向负载输出电流，不能从负载抽取电流。如果v_{in}和v_{out}相等，流过M1和M2管的电流之和


图26-25　自适应的电压跟随器[6]

为$I_{SS}+I_{D6}$。如果v_{in}增大，流过M1和M3管的电流增大，使得流过M4 ~ M6管的电流增大，因此，能有效地增加差分对的尾电流，并使得驱动负载的电流比较大。注意到，若M7管的尺寸取得比其他MOS管大，可增加输出电流的最大值。

26.3 模拟乘法器

模拟乘法器在通信电路系统中有着非常广泛的应用。图26-26给出了四象限乘法器的电压特性[7]。该乘法器之所以被称为四象限乘法器，是因为它的两个输入既可以是正数，也可以是负数。理想情况下，乘法器的输入与输出之间的关系是：

$$v_{out}=K_m\cdot v_x v_y \tag{26-11}$$

式中，K_m是乘法器的增益，单位为V^{-1}。在实际电路中，一些非理想因素会影响乘法器的增益，并导致乘法器电路中存在失调和非线性。考虑这些因素后，乘法器的输出可以表示为[7]：

$$v_{out}=K_m(v_x+V_{OSx})(v_y+V_{OSy})+V_{OSout}+v_x^n+v_y^m \tag{26-12}$$

式中，V_{OSx}、V_{OSy}和V_{OSout}分别为输入x、输入y和输出的失调电压；v_x^n项和v_y^m项反映了乘法器的非线性。通常，非线性用总的谐波失真来表示，或者用一定输入范围内实际输出特性曲线与理想输出特性直线（图26-26）之间的最大百分比偏差来表示。

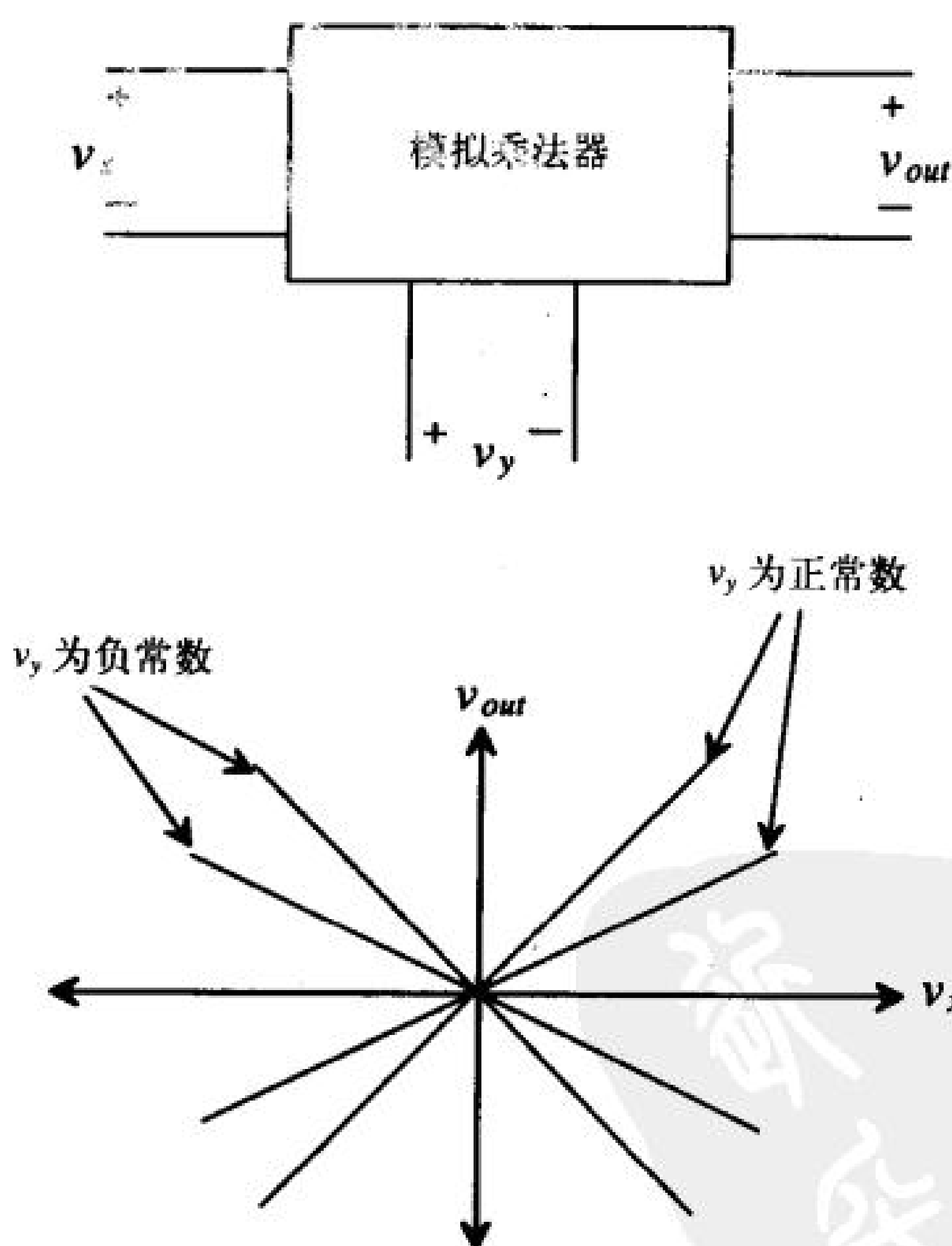


图26-26 四象限模拟乘法器的工作原理

能实现CMOS模拟乘法器的电路结构有很多种[8]，这里将集中讨论一种电路结构，它既能用于高频乘法器的设计，也能用于低频乘法器的设计[9,10]。

26.3.1 四管乘子

图26-27给出了由四管乘子（M1～M4管）构成的一个CMOS模拟乘法器。四管乘子（multiplying quad）中的各MOS管都工作在线性区，因此，可把M1～M4管看成是电阻。我们先不考虑四管乘子的偏置。乘法器的负端输出电压为：

$$v_{o-}=-R\cdot(i_{D1}+i_{D2}) \tag{26-13}$$

正端输出电压为：

$$v_{o+}=-R\cdot(i_{D3}+i_{D4}) \tag{26-14}$$

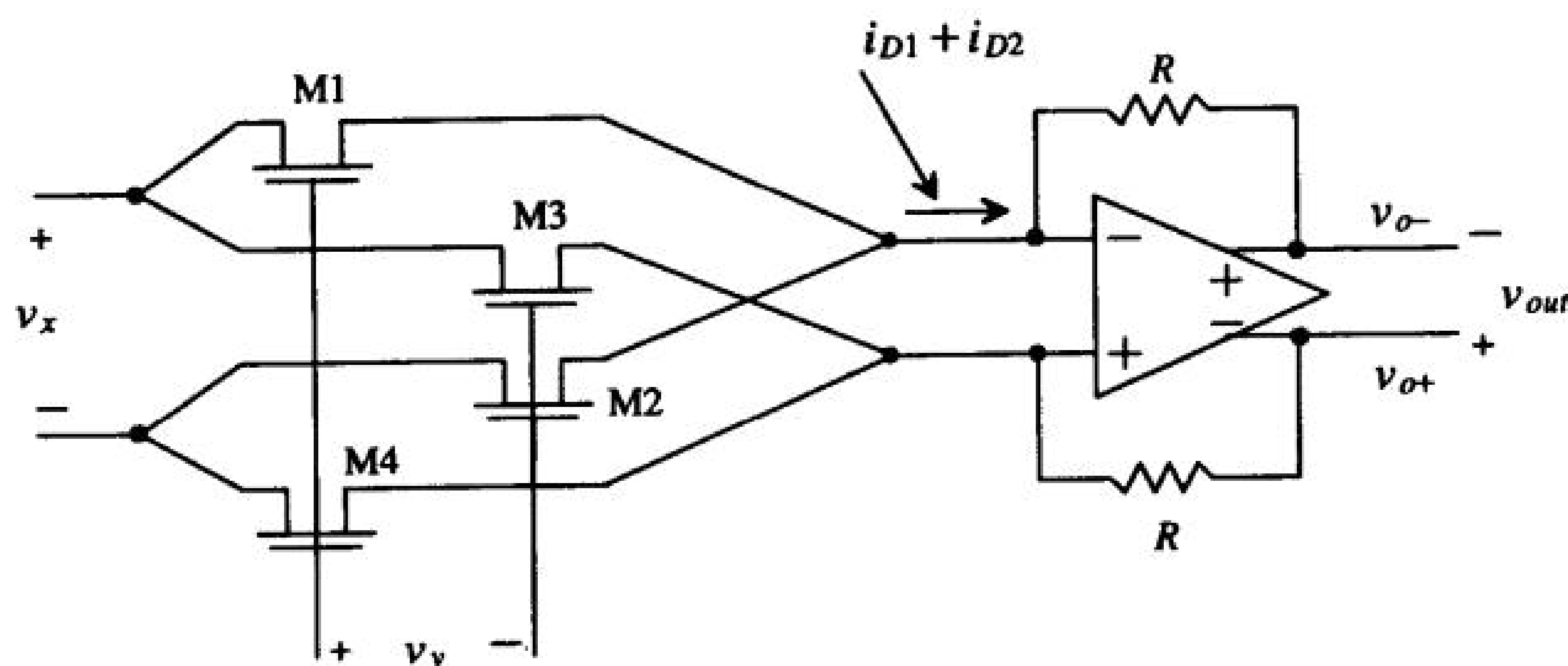


图26-27　CMOS模拟乘法器

乘法器的输出电压为：

$$v_{out}=v_{o+}-v_{o-}=R\cdot(i_{D1}+i_{D2}-i_{D3}-i_{D4}) \tag{26-15}$$

图26-28给出了带偏置的四管乘子的简单电路图。运算放大器的输入端为交流虚地，其直流电压为V_{CM}（即运算放大器的输出共模电压）。为了使v_x输入端的直流输入电流最小，v_x输入端的直流偏置电压设为V_{CM}。将y输入端的直流偏置电压设置得足够大，使M1～M4管工作在线性区。通常把输入信号分成两部分，即$v_x/2$和$-v_x/2$，以便得到的结果有一定的普遍性。尽管在实际应用中，负输入端可直接接偏置电压（此时输入信号并不是真正的差分输入信号），但这会牺牲乘法器的大信号线性度。采用全差分电路系统会更有利于抑制耦合噪声。

703～705

由于M1～M4管的直流栅源电压相等，由方程（A-5）可求得流过各MOS管的电流分别为：

$$i_{D1}=\beta_1\left[\left(V_{GS}+\frac{v_y}{2}-V_{THN1}\right)\left(\frac{v_x}{2}\right)-\frac{1}{2}\left(\frac{v_x}{2}\right)^2\right] \tag{26-16}$$

$$i_{D2}=\beta_2\left[\left(V_{GS}-\frac{v_y}{2}-V_{THN2}\right)\left(-\frac{v_x}{2}\right)-\frac{1}{2}\left(-\frac{v_x}{2}\right)^2\right] \tag{26-17}$$

$$i_{D3}=\beta_3\left[\left(V_{GS}-\frac{v_y}{2}-V_{THN3}\right)\left(\frac{v_x}{2}\right)-\frac{1}{2}\left(\frac{v_x}{2}\right)^2\right] \tag{26-18}$$

$$i_{D4}=\beta_4\left[\left(V_{GS}+\frac{v_y}{2}-V_{THN4}\right)\left(-\frac{v_x}{2}\right)-\frac{1}{2}\left(-\frac{v_x}{2}\right)^2\right] \tag{26-19}$$

通过合理设计，可使$\beta = \beta_1 = \beta_2 = \beta_3 = \beta_4$。把式（26-16）~（26-19）代入式（26-15），可得到乘法器的输出电压为：

$$v_{out} = R\beta \cdot \left(\frac{v_x}{2}\right)\left[\frac{v_y}{2} - V_{THN1} + \frac{v_y}{2} + V_{THN2} + \frac{v_y}{2} + V_{THN3} + \frac{v_y}{2} - V_{THN4}\right] \quad (26\text{-}20)$$

若$V_{THN1} = V_{THN2}$（或V_{THN3}），$V_{THN4} = V_{THN3}$（或V_{THN2}），则上式可简化为：

$$v_{out} = R\beta \cdot v_x v_y \quad (26\text{-}21)$$

图26-28中，MOS管的源端（从MOS管流出电流的那一端）或者接运算放大器，或者接x输入端。当M1和M3管的源端接运算放大器时，其源端电压相等（体效应也相同），使得M1和M3管的阈值电压相等；当M1和M3的源端接x输入端时，同样有$V_{THN1} = V_{THN3}$。因此，在任何情形下，都有$V_{THN1} = V_{THN3}$。对M2和M4管，有同样结论。所以，在任何情形下，式（26-20）中的阈值电压项都可以互相抵消，式（26-21）总成立。比较式（26-21）和式（26-11）知，乘法器的增益为：

$$K_m = R \cdot \beta \quad (26\text{-}22)$$

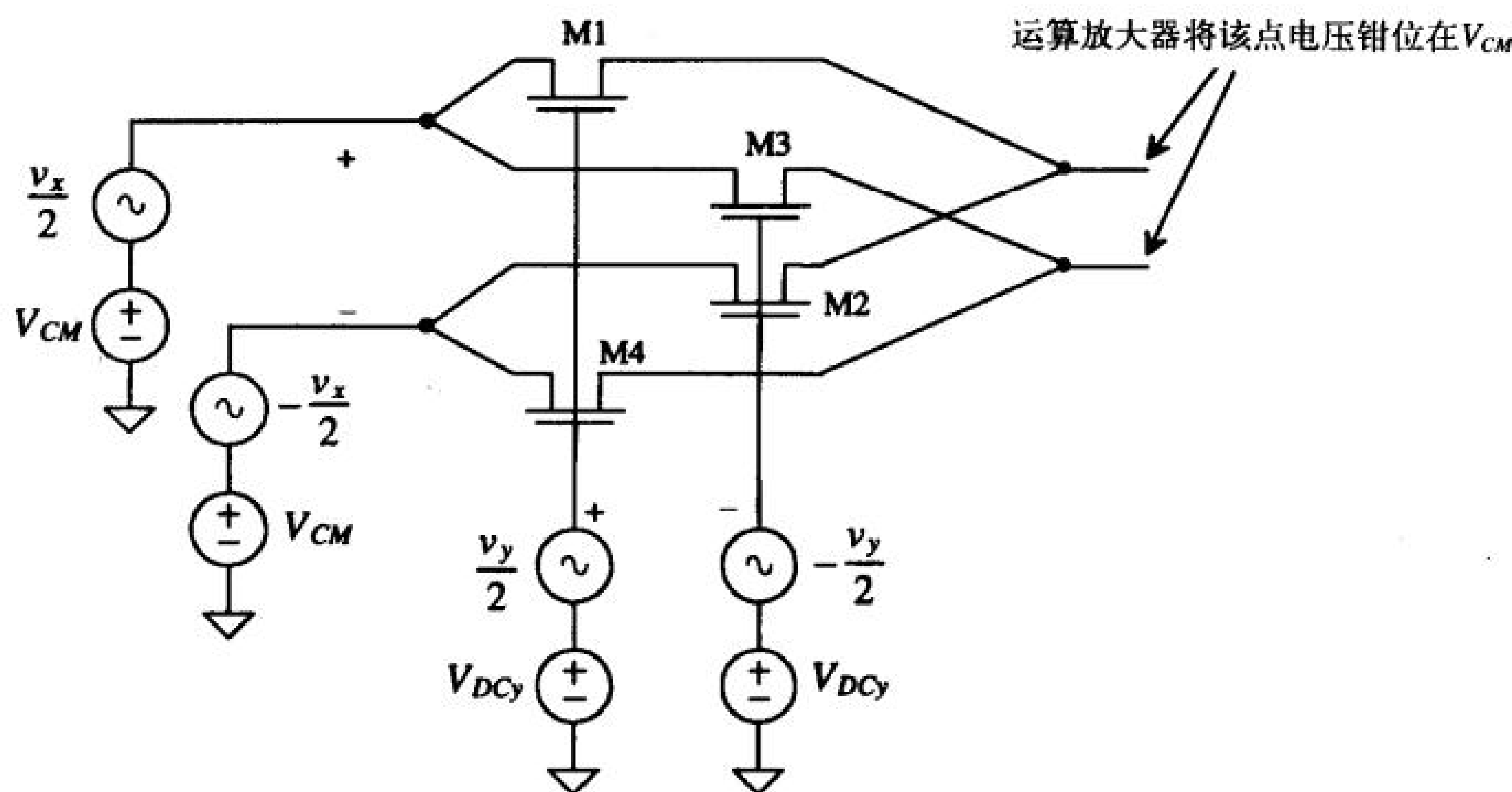


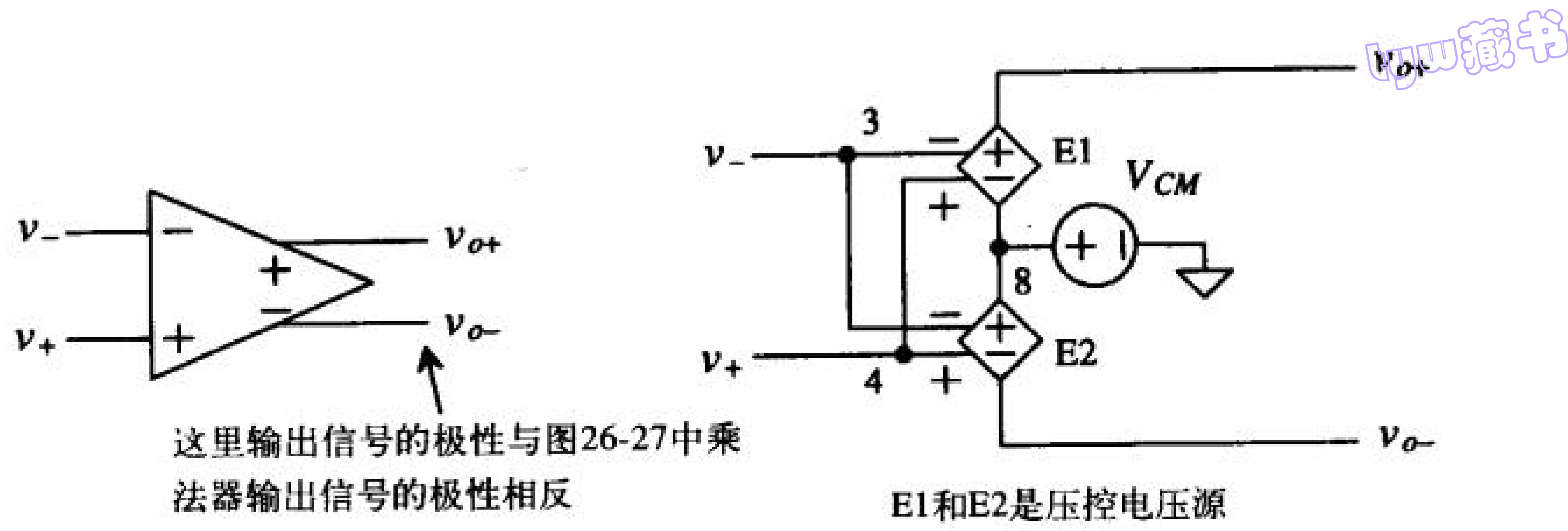
图26-28　四管乘子的偏置

乘法器工作原理的仿真

设计模拟乘法器时，仿真验证其工作原理和性能是非常重要的一步。设计乘法器包括下面这几部分工作：设计运算放大器，确定四管乘子中各MOS管的尺寸，设计偏置电路。差分输入/输出运算放大器的设计已在上一章中讨论过，这里不再讨论。在用SPICE仿真乘法器的性能时，为了使运算放大器对乘法器的性能不产生影响，可以用图26-29给出的简单模型来替代运算放大器。在影响乘法器性能的诸多因素中，与压控电压源E1和E2有关的是运算放大器的开环增益。当运算放大器的开环增益为20 000时，描述压控电压源的SPICE语句如下：

```
E1    Voplus 8 4 3   1E4
E2    8 Vominus 4 3  1E4
```

语句中的节点号与图26-29中标示的节点号一一对应。



706～707

图26-29　带共模电压的差分输入/输出运算放大器的SPICE模型

设计乘法器接下来要解决的问题是差分电压（即$\pm v_x/2$）和直流偏置电压的实现。图26-30给出了一种偏置电压和差分电压的实现电路。运算放大器的共模输出电压V_{CM}和x输入端的直流偏置电压设置为1.5V；这个电压越低，越容易把四管乘子偏置在线性区。另一方面，减小V_{CM}会影响运算放大器的输出电压摆幅，从而影响乘法器的输出范围。M1～M4管的宽长比取为10/2；W/L越大，四管乘子中的MOS管越容易工作在线性区。另一方面，W/L较大会使所需要的输入电流有所增加。可以适当增大MOS管的沟道长度，以抑制短沟道效应，使漏端电流与各端点电压之间的关系遵循方程（A-5）。由于四管乘子是运算放大器周边的反馈电路的一部分，因此，长沟道器件并不会影响电路的速度。将y输入端的直流电压设置为3.5V，既使得M1～M4管工作在线性区，又使得y输入端有一定的输入电压范围。由式（26-22），可求出图26-30中的乘法器增益为：

$$K_m = 20\text{k}\cdot 50\frac{\mu\text{A}}{\text{V}^2}\cdot\frac{10}{2} = 5\ \text{V}^{-1}$$

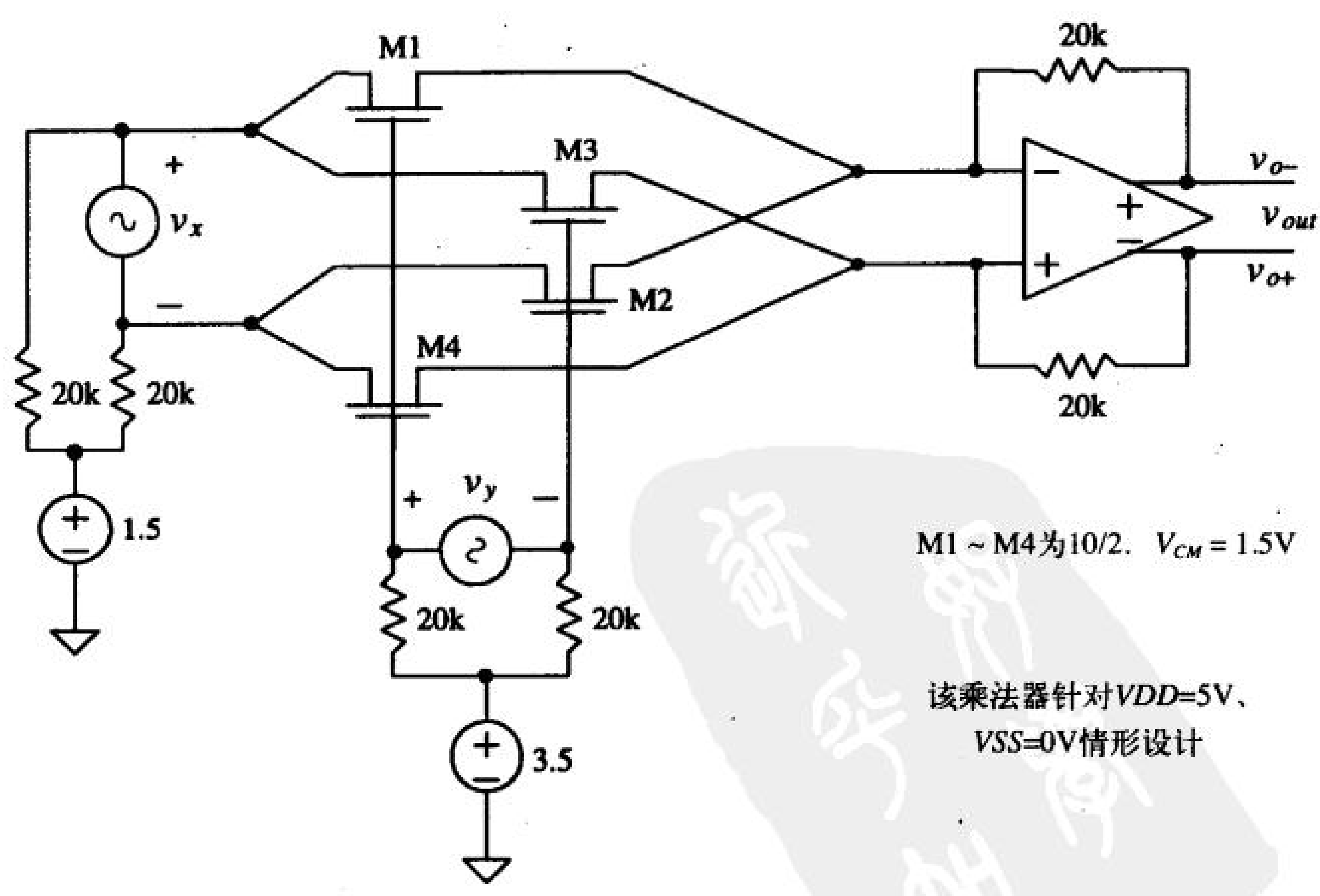


图26-30　用于SPICE仿真的乘法器电路图

针对不同的v_y，对输入信号v_x进行直流扫描，得到图26-31所示仿真结果。仿真时，v_x从

$-1V$扫描到$1V$；v_y从$-1V$扫描到$1V$，以$0.5V$为步长分别取点。乘法器的输出v_{out}等于$v_{o+}-v_{o-}$。下面考察一下图26-31中的A点和B点。A点对应的输入信号为：$v_y=1V$，$v_x=0.2V$，乘法器的输出为输入信号与乘法器增益的乘积，即$5\times1\times0.2=1V$。同样，B点对应的输出电压为$5\times(-0.5)\times(-0.6)=1.5V$。图26-31给出的仿真结果是在假定运算放大器为理想运算放大器的前提下得到的，没反映出运算放大器对乘法器性能的影响，特别是对输出摆幅的影响。下面给出了仿真采用的SPICE网表文件，运行该文件，可以得到图26-31所示结果。

```
*** Top Level Netlist ***
E1      Voplus 8 4 3   1E4
E2      8 Vominus 4 3  1E4
M1      7 5 4 0 CMOSNB  L=2u W=10u
M2      11 6 4 0 CMOSNB  L=2u W=10u
M3      7 6 3 0 CMOSNB  L=2u W=10u
M4      11 5 3 0 CMOSNB  L=2u W=10u
R10     10 7 20k
R7      10 11 20k
R8      9 5 20k
R9      9 6 20k
Rfn     Vominus 4 20k
Rfp     Voplus 3 20k
VCM     8 0     DC 1.5 AC 0 0
VCMx    10 0    DC 1.5 AC 0 0
VDCy    9 0     DC 3.5 AC 0 0
Vx      7 11    DC 0 AC 1 0
Vy      5 6     DC 1 AC 0 0

.MODEL CMOSNB NMOS LEVEL=4
+VFB=-9.73820E-01, LVFB=3.67458E-01,WVFB=-4.72340E-02
see Appendix A for a complete BSIM listing

***** End of spice models and macro models *****
.OPTION ABSTOL=1u RELTOL=0.01 VNTOL=1mv

.probe
.DC Vx -1 1 .01 Vy -1 1 .5
.plot dc all
.print dc all
.end
```

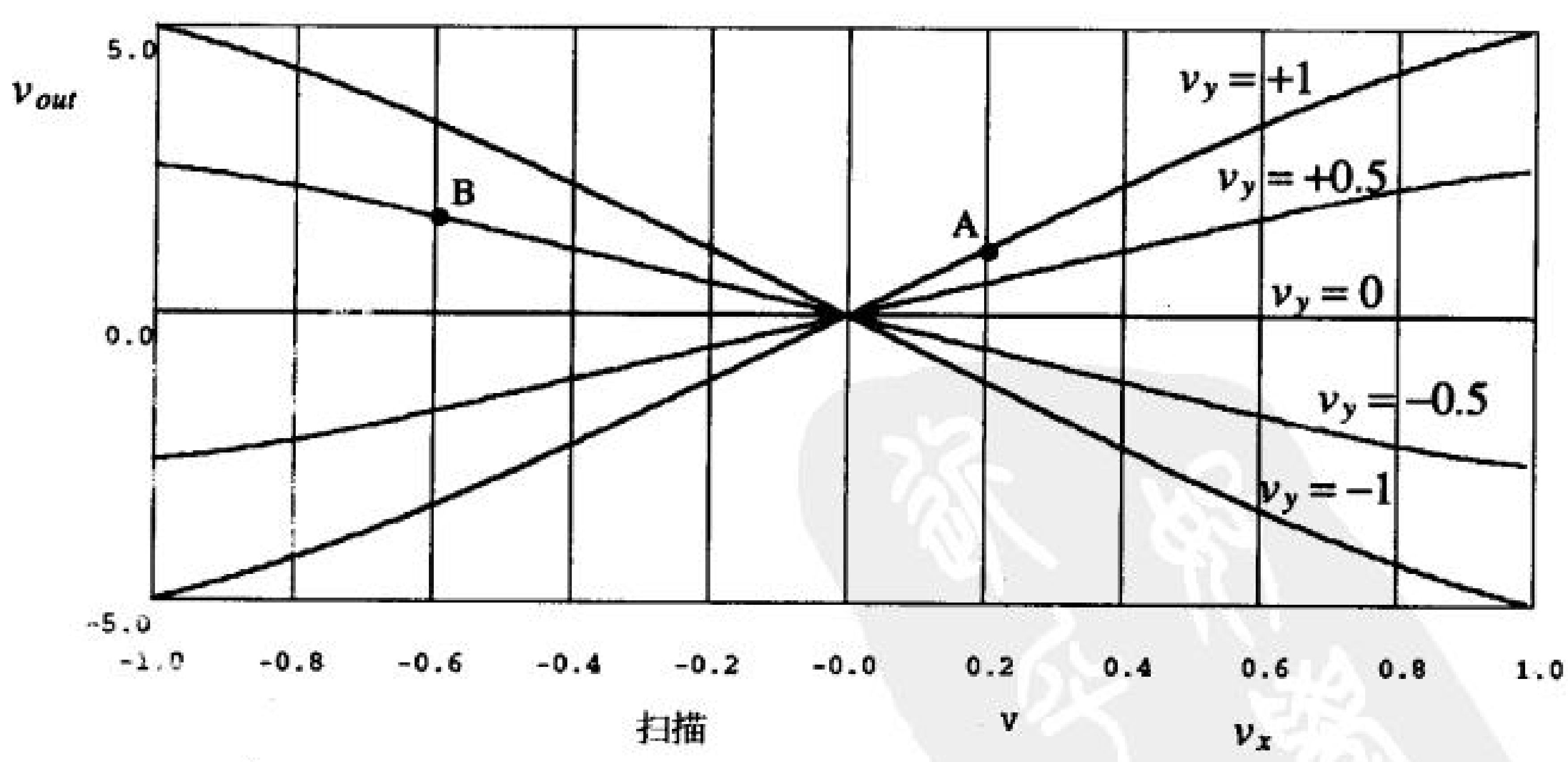


图26-31 图26-30所示乘法器的直流特性

26.3.2 电压平移

前面已经讨论了乘法器的基本原理，接下来我们讨论电压平移级的设计。电压平移级用

于图26-28中偏置电路的设计。在完成基本乘法器的全部设计之前，先讨论一下常用的电压平移技术和单端到差分的转换技术，这些技术在单电源供电的芯片设计中经常用到。

考虑图26-32给出的P沟道源跟随器电路，分析该电路知，体效应对该电路没有影响。PMOS管的栅源电压实现输入信号的向上平移。在已经讨论的乘法器的设计中，x输入信号的电压平移就可以用该电路实现。采用该电路，x输入信号可以为负值（最低为$-V_{THP}$，再低会使M1或M2管进入线性区）。该电路的主要缺点是输入信号没有共模抑制。另外，如果该电路被一个单端输出的电路驱动，驱动信号接电压平移电路的正输入端（负输入端接地），则该电路的输出不再是真正的差分输出。该问题在所有的单端变双端的转换电路中都存在（包括用运算放大器实现的转换电路）。通常，设计单端到双端转换电路的最佳选择是采用带反馈的高增益差分输入/输出运算放大器；在这种电路实现中，运算放大器输入端的信号平移会很小。图26-33给出了两种基于运算放大器的转换电路，可用于单端到双端的转换和双端到单端的转换。图26-33a中，双端到单端转换电路的输入和输出之间的关系为：

$$v_{out}=\frac{R_F}{R_I}(v_+-v_-) \tag{26-23}$$

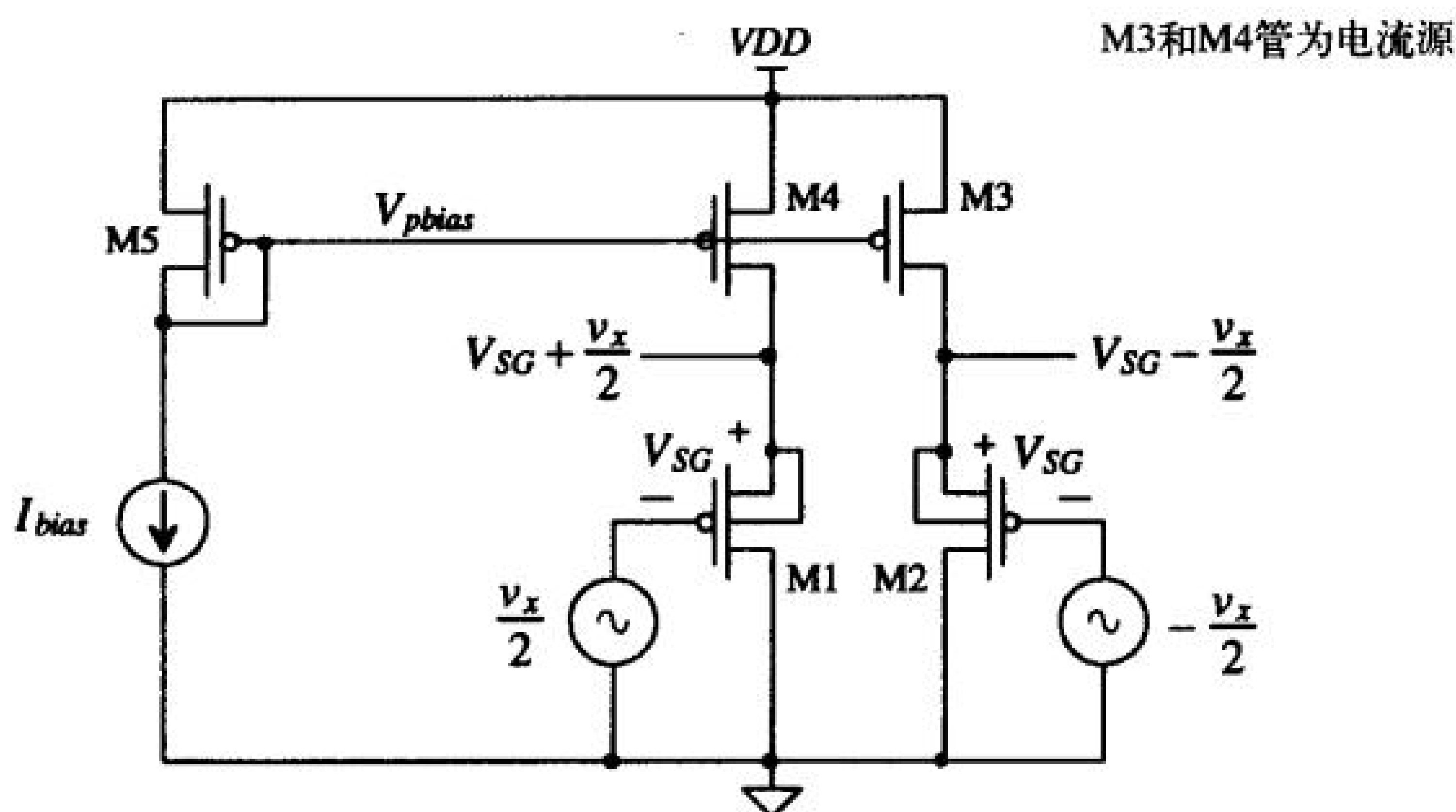
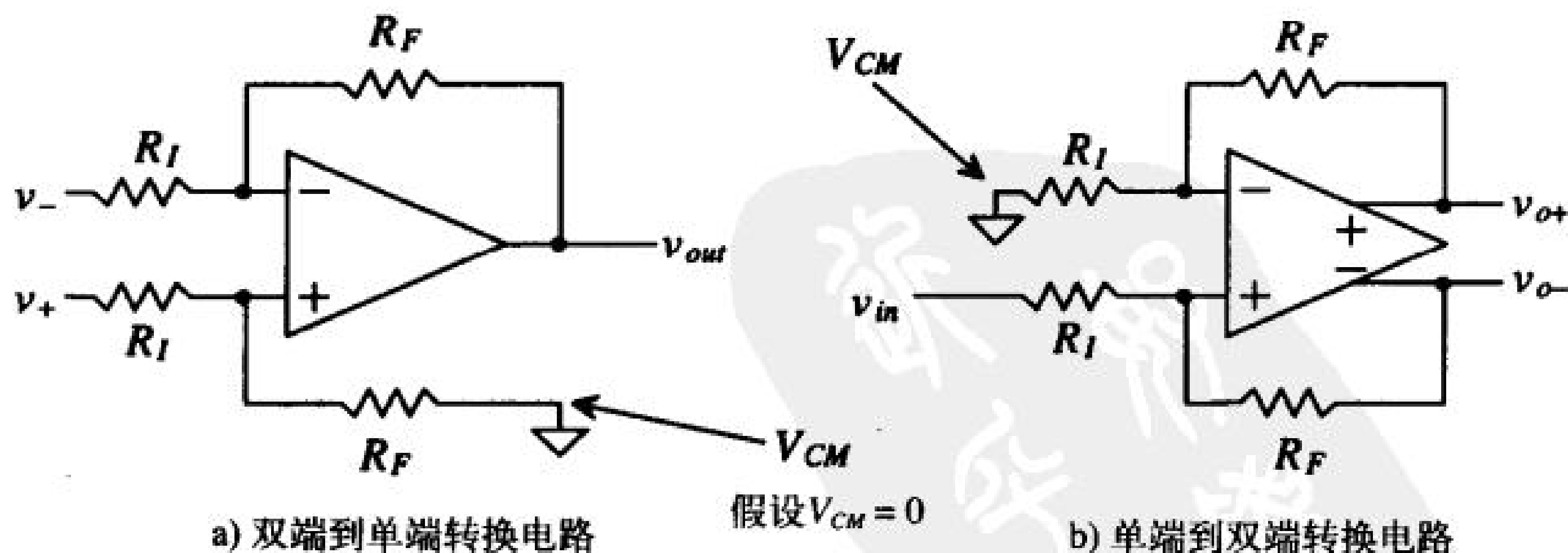


图26-32　用P沟道源跟随器实现的电压平移电路



a) 双端到单端转换电路　　b) 单端到双端转换电路

图　26-33

图26-33b所示单端到双端转换电路的输入和输出之间的关系为：

$$v_{o+}-v_{o-}=\frac{R_F}{R_I}\cdot v_{in} \tag{26-24}$$

上图中，我们假定共模电压为零（地）。图26-34给出了在单电源供电的电路系统中，单端到双端转换电路的实际电路图。比较重要的是，该电路中的所有共模电压都应该有相同的温度系数，从而使直流输入电流为零，并能防止运算放大器的输出向*VDD*或地漂移。例如，如果用P沟道源跟随器在放大器的输入端产生V_{CM}，那么，运算放大器的共模电压V_{CM}也应该用一个源跟随器来产生。下面会讨论乘法器x输入端的电压平移电路的设计，会更详细地阐述这一思想。

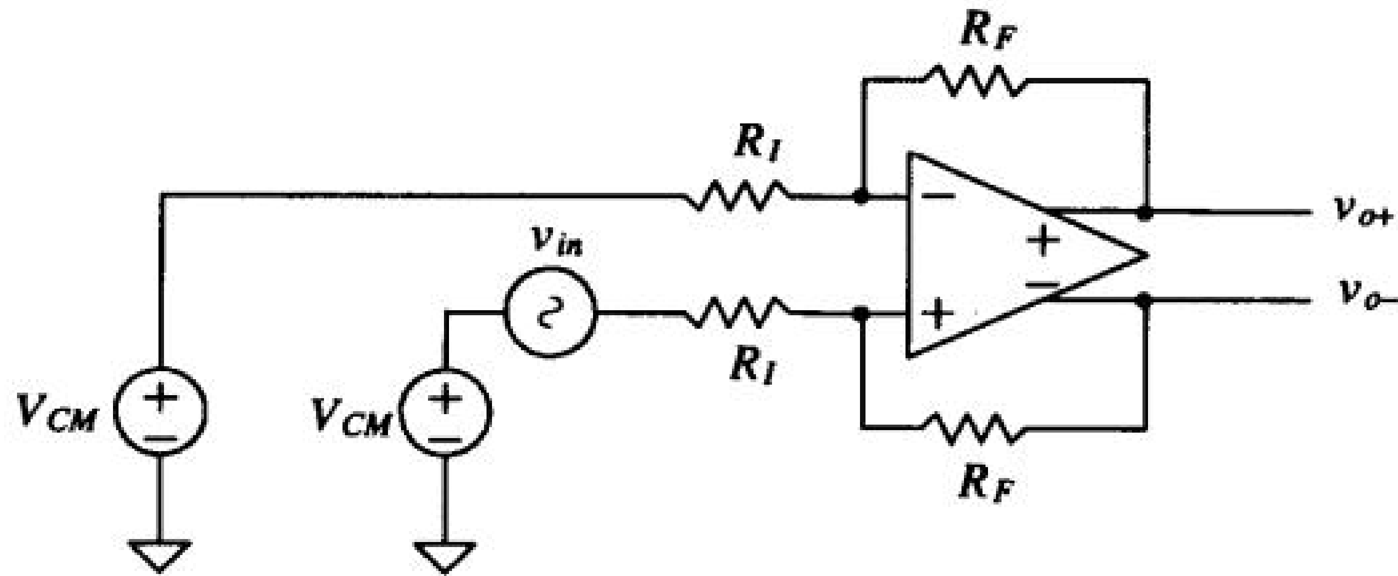


图26-34 单电源供电的单端到双端转换电路

图26-35给出了另外一种电压平移电路[11]，被称为浮置电压源（floating battery），该电路产生的电压平移为：

$$V_B = V_{SG1} + V_{SG2} \tag{26-25}$$

该电路的小信号电阻（即M2管源漏端之间的电阻）为$1/g_{m2}$。通常，为了使$1/g_{m2}$较小，要把β_2取得较大，这使得V_{SG2}约等于V_{THP}。因此，要通过调节M1管的宽长比来得到期望的电压平移值。该电路存在一个潜在的问题，即：电流只能是从M2管的源端流向漏端，这意味着接在M2漏端的输入信号源不能流出电流。采用图26-36中的左图，有助于解决这一问题。该图中，添加了一个电流源I_2，这样做的代价是存在流过v_{in}的静态电流I_2。加入一个源跟随器（如图26-36b中的M3管）有助于解决输入电流的问题，源跟随器会使直流输出电压向上平移V_{SG3}。该电路的一个主要优点是，输出电压即使下降为$-V_{THP}$，M1和M3管仍工作在饱和区。假定β_2和β_3很大，则有$V_{SG3} = V_{SG2} = V_{THP}$，图26-36b的电压平移电路能把输入信号向上平移V_{DC}:

$$V_{DC} = V_{SG1} + 2V_{THP} \tag{26-26}$$

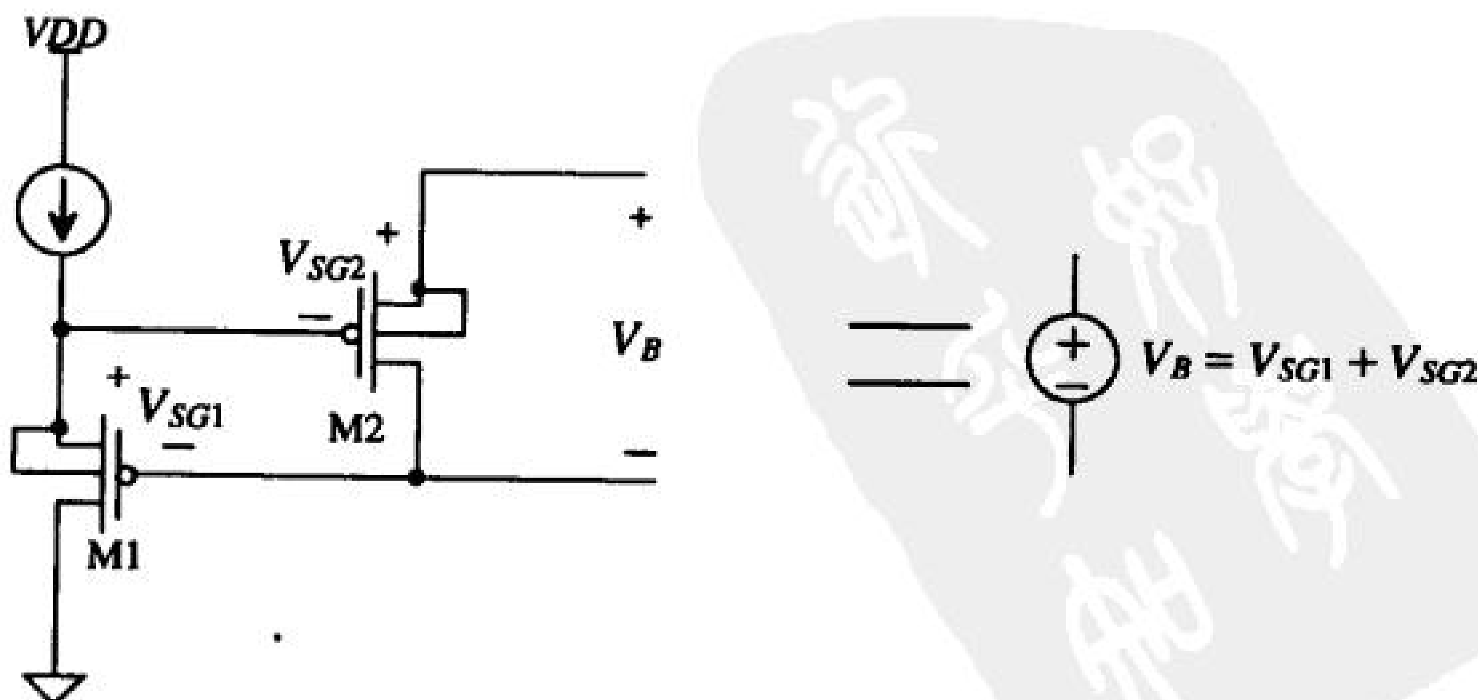
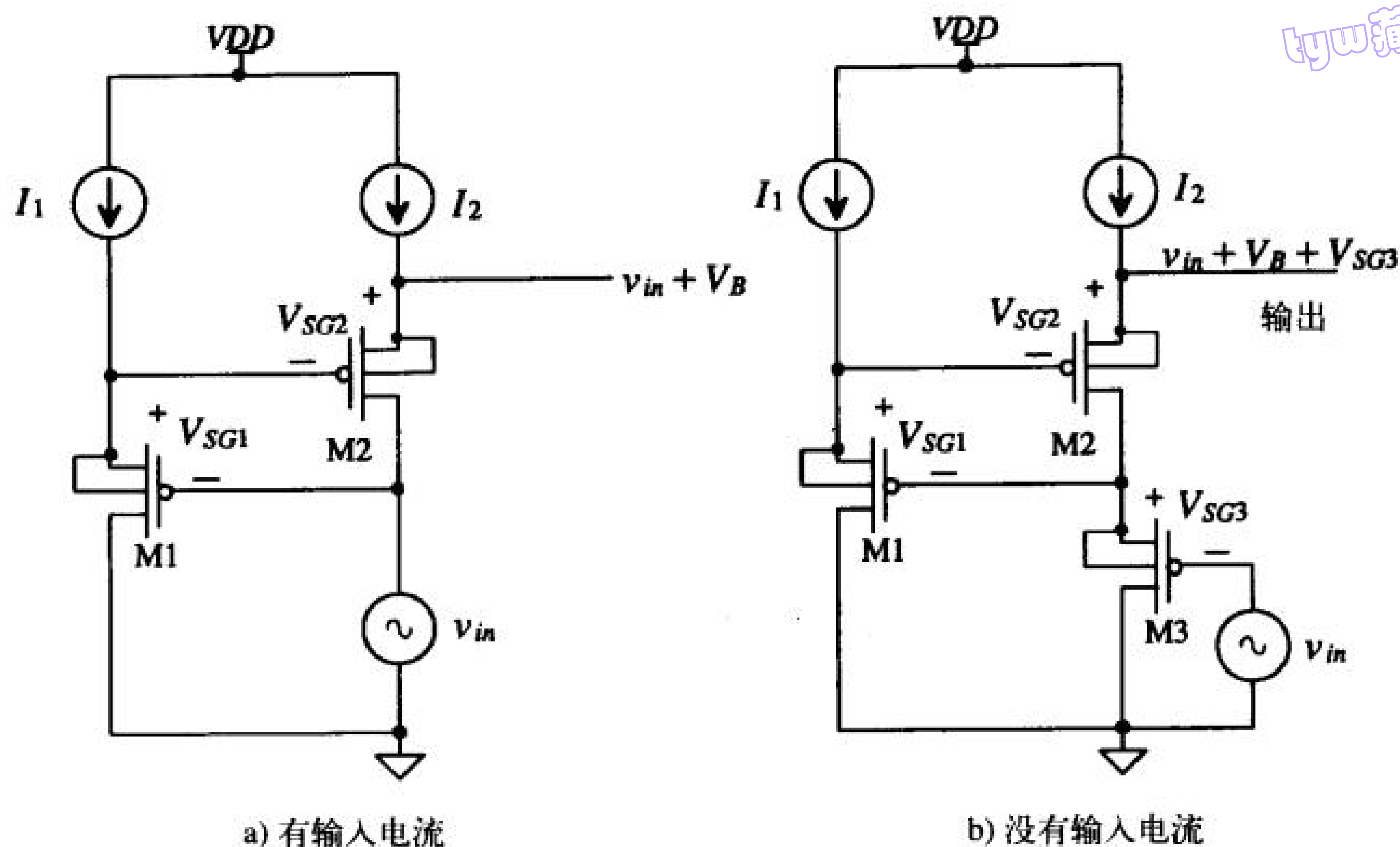


图26-35 浮置电压源



a) 有输入电流　　　　　　　　b) 没有输入电流

图26-36　带输入信号的浮置电压源电路

图26-27和图26-28所示乘法器中的输入电压平移

在下面的讨论中，我们假定乘法器是直流耦合，输入电压相对于地，且电源电压只有一个。如果没有这些假设，偏置电路的设计就简单多了。例如，如果允许交流耦合，那么，采用简单的电阻或MOS管分压器就可以产生直流工作点，交流输入信号可以通过一个电容接入。如果输入电压不是相对于地，而是相对于一个电压V_{CM}（当输入信号由差分输入/输出运算放大器提供时就是这种情形），那么，可以用差分运算放大器产生所需要的偏置电压（因为输入信号现在处于运算放大器的CMR中）。

图26-37给出了带电压平移级的模拟乘法器的完整电路。流过M7和M8管的电流为500μA，M5和M6管的V_{SG}设计为1.5V。电压平移电路中，所有MOS管的沟道长度均为2μm，以满足电路高速工作的要求。M9和M10管用于产生运算放大器的V_{CM}（即图25-58中MF6和MF7管的栅压），这样做能保证运算放大器的x输入端和输出端的直流参考电压相等，并且随温度的变化关系相同。这也会使流过四管乘子的直流输入电流为零，并避免运算放大器的输出电压处于VDD或地电压附近。输入和输出的直流参考电压要用同一个电路（目前用的是源跟随器）产生，这一点非常重要。在双电源电路系统中，“地”是共模电压，对温度漂移和运算放大器输出电压的波动不需要过分关注。

y输入端的电压平移电路设计为把y输入信号向上平移3.6V。M11～M20管被偏置为50μA，对应的源栅电压为1.2V。由于所有的MOS管都是源跟随结构，因此，这种电压平移电路的带宽很大。另外，在版图设计时，电压平移电路中的每一个MOS管都单独使用一个阱，从而消除了体效应。

708～713

图26-38给出了仿真得到的乘法器的输出结果。值得注意的是，在前面分析由简单电压平移电路实现的乘法器（图26-30）时，曾计算得到整个乘法器的增益为5，但从图26-38的仿真结果可以看出，由源跟随器电压平移电路实现的乘法器的增益小于5，其原因在于源跟随器的增益小于1。

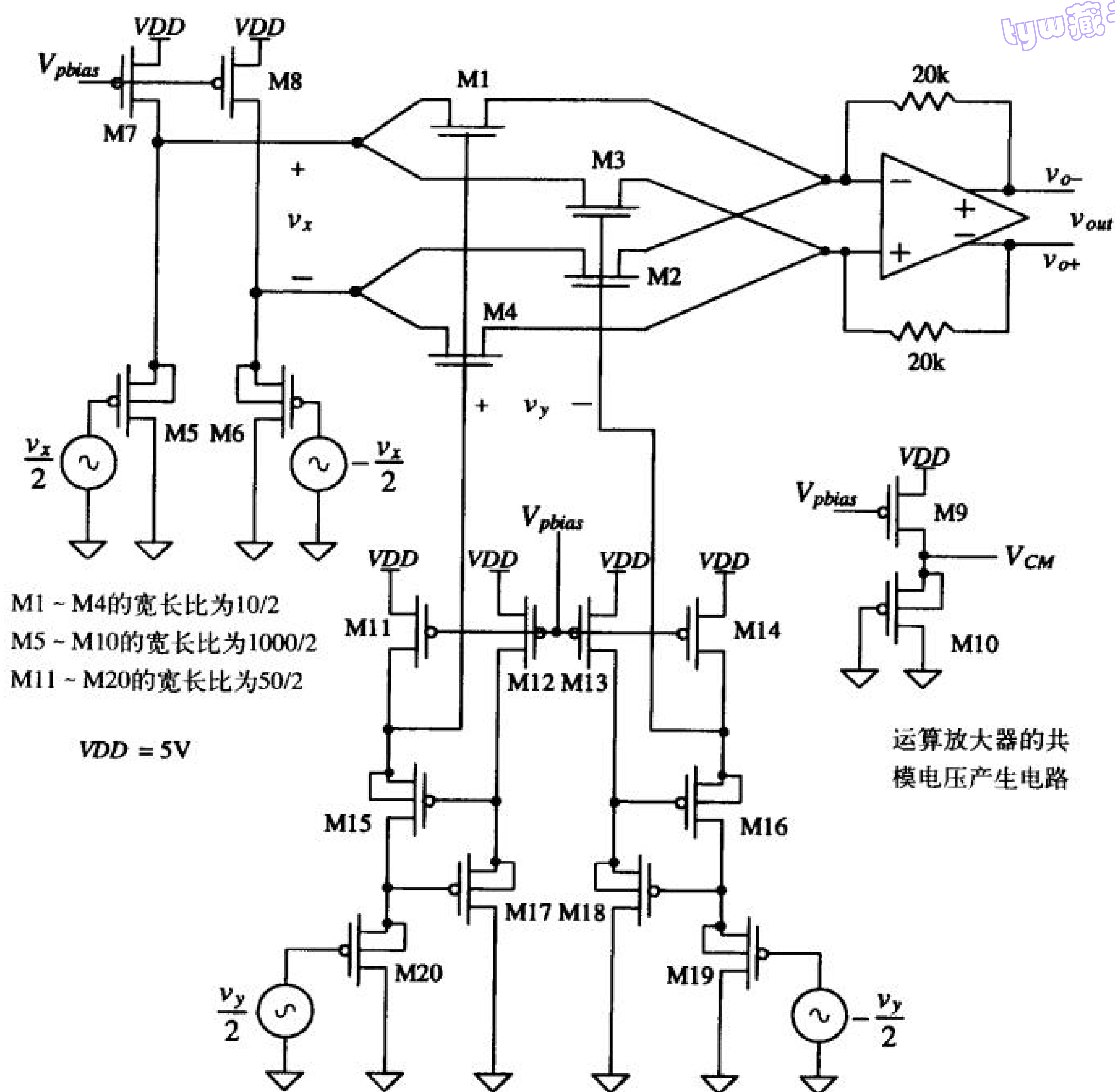


图26-37 模拟乘法器的完整电路图

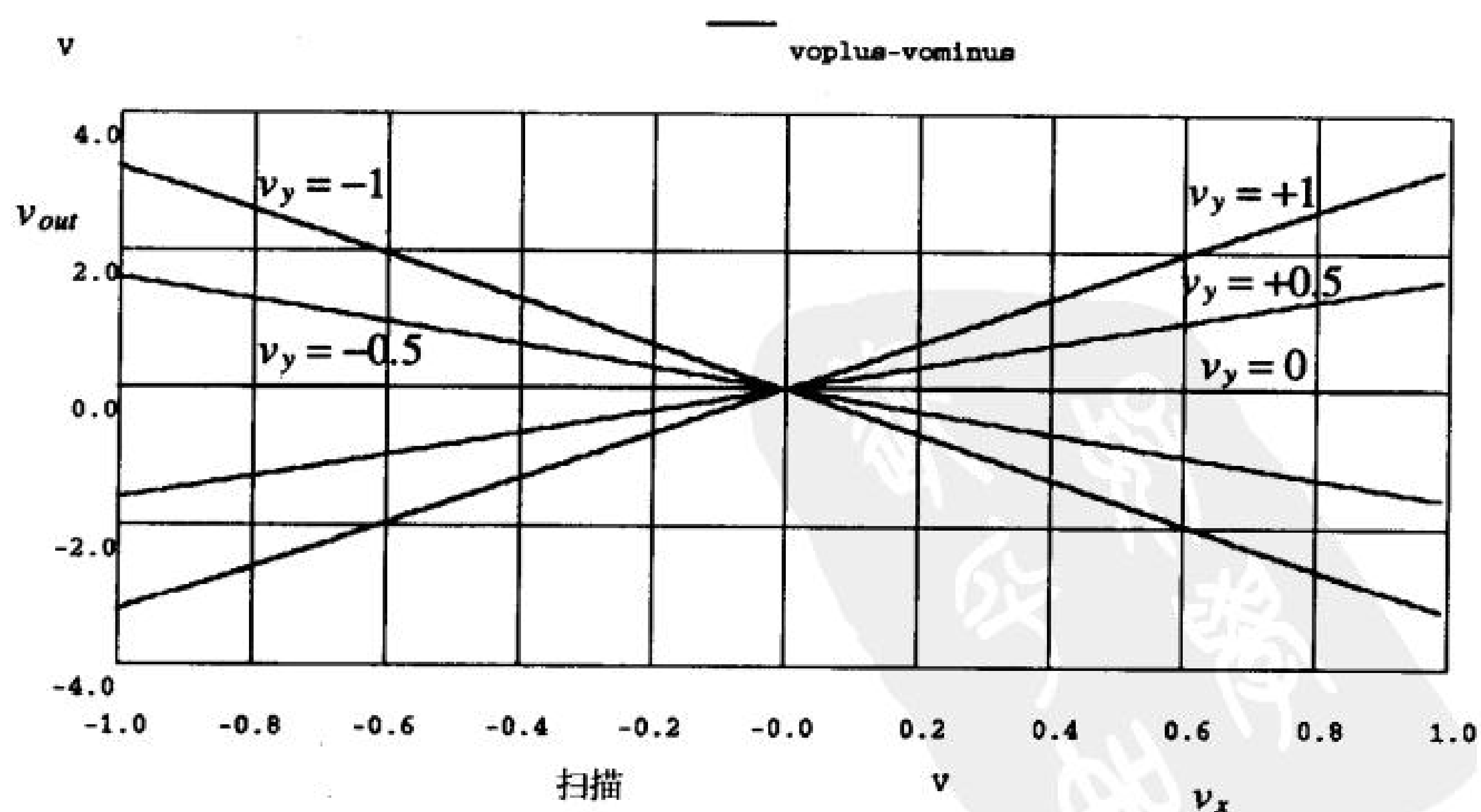


图26-38 图26-37所示乘法器的仿真结果

26.3.3 采用平方电路实现乘法器

模拟乘法器的设计还可以基于两个电压变量和的平方减去这两个电压变量差的平方这一思想来实现[12]，即：

$$V_o=(V_1+V_2)^2-(V_1-V_2)^2=4V_1V_2 \tag{26-27}$$

图26-39给出了和-平方电路和差-平方电路，M1和M4管为源跟随器，M2和M3管被称为平方MOS管。电路被设计成$\beta_1=\beta_4=\beta_{14}$，$\beta_2=\beta_3=\beta_{23}$，且$\beta_{14}>>\beta_{23}$。这使得几乎所有的直流偏置电流$I_{S12}$和$I_{S34}$都分别流入M1和M4。假定：当所有输入都为零伏时（或使用单电源时，所有输入都为共模电压），流过电阻R的电流为零，那么，平方电流I_{SQ}为：

$$I_{SQ(a)}=\frac{\beta_{23}}{4}(V_1+V_2)^2 \tag{26-28}$$

同样的，差-平方电路（图26-39b）的平方电流为：

$$I_{SQ(b)}=\frac{\beta_{23}}{4}(V_1-V_2)^2 \tag{26-29}$$

714～715

和-平方电路的输出电压为：

$$V_{o-}=VDD-I_{SQ(a)}R \tag{26-30}$$

差-平方电路的输出电压为：

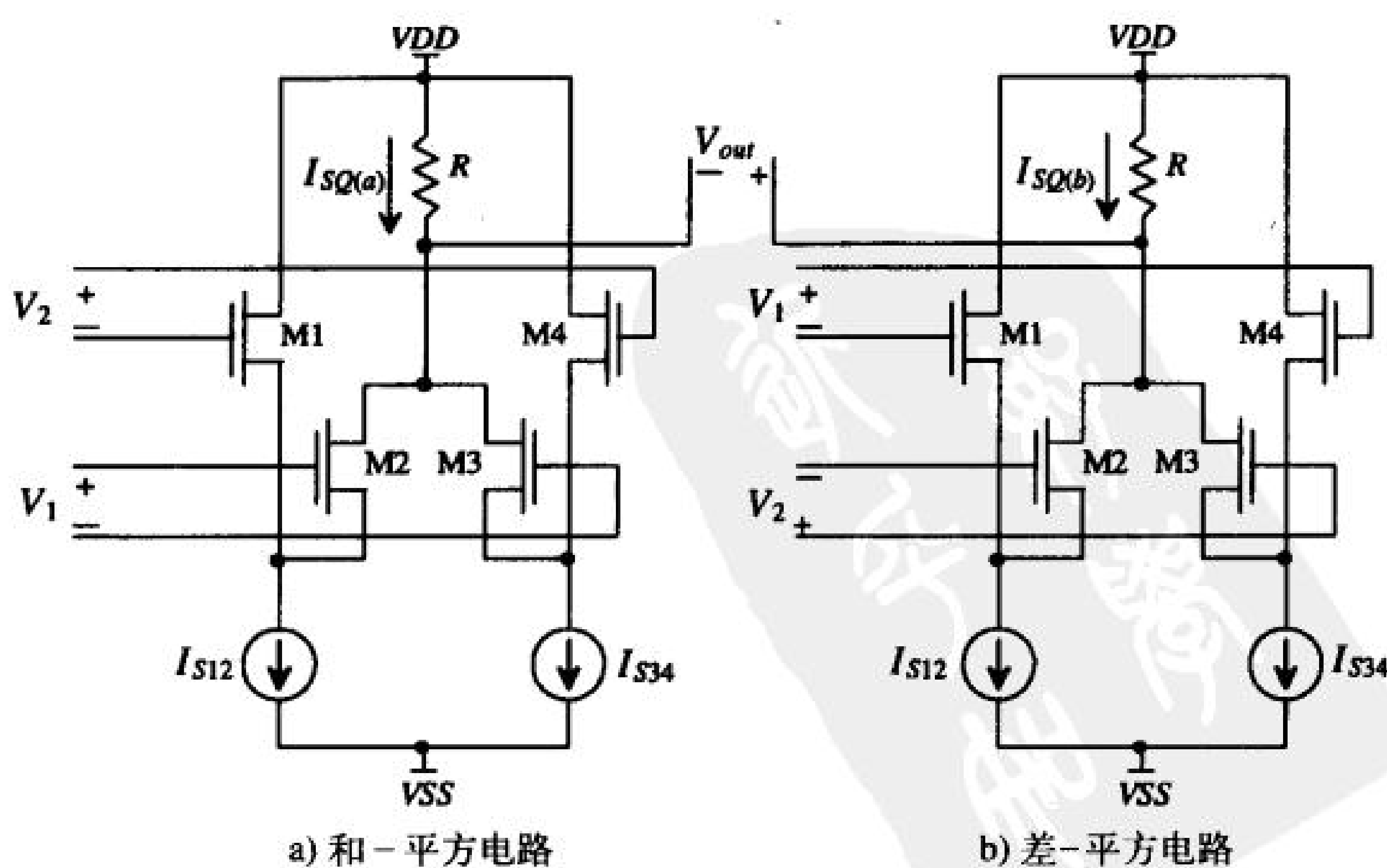
$$V_{o+}=VDD-I_{SQ(b)}R \tag{26-31}$$

这两个电压相减，得到乘法器的输出电压为：

$$V_{out}=V_{o+}-V_{o-}=R\frac{\beta_{23}}{4}\left[(V_1+V_2)^2-(V_1-V_2)^2\right] \tag{26-32}$$

由式（26-27）知，上式可简化为：

$$V_{out}=R\beta_{23}\cdot V_1V_2 \tag{26-33}$$



a) 和-平方电路　　b) 差-平方电路

图 26-39

参考文献

[1] D. J. Allstot, "A Precision Variable-Supply CMOS Comparator," *IEEE Journal of Solid-State Circuits*, Vol. SC-17, No. 6, pp. 1080-1087, December 1982.

[2] M. Bazes, "Two Novel Full Complementary Self-Biased CMOS Differential Amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 2, pp. 165-168, February 1991.

[3] B-S. Song, S. Lee, and M. F. Tompsett, "A 10-b 15 MHz CMOS Recycling Two-Step A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 6, pp. 1328-1338, December 1990.

716

[4] A. Yukawa, "A CMOS 8-bit High-Speed A/D Converter IC," *IEEE Journal of Solid-State Circuits*, Vol. SC-20, No. 3, pp. 775-779, June 1985.

[5] M. G. Degrauwe, J. Rijmenants, E. A. Vittoz, and H. J. DeMan, "Adaptive Biasing CMOS Amplifiers," *IEEE Journal of Solid-State Circuits*, Vol. SC-17, No. 3, pp. 522-528, June 1982.

[6] E. A. Vittoz, "Micropower Techniques," Chapter 3 in J. E. Franca and Y. Tsividis (eds.) *Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing*, 2nd ed., Prentice Hall, 1994. ISBN 0-13-203639-8.

[7] S. Soclof, *Applications of Analog Integrated Circuits*, Prentice Hall, 1985. ISBN 0-13-039173-5.

[8] M. Ismail, S-C. Huang, and S. Sakurai, "Continuous-Time Signal Processing," Chapter 3 in M. Ismail and T. Fiez (eds.), *Analog VLSI: Signal and Information Processing*, McGraw Hill, 1994. ISBN 0-07-032386-0.

[9] B-S. Song, "CMOS RF Circuits for Data Communications Applications," *IEEE Journal of Solid-State Circuits*, Vol. SC-21, No. 2, pp. 310-317, April 1986.

[10] J. Crols and M. S. J. Steyaert, "A 1.5 GHz Highly Linear CMOS Downconversion Mixer," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 7, pp. 736-742, July 1995.

[11] R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley and Sons, 1986. ISBN 0-471-09797-7.

[12] H-J. Song and C-K. Kim, "An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits with Source Followers," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 3, pp. 841-848, June 1990.

习题

26.1 比较器的一个比较重要的指标是失调电压。比较器的失调电压可以用一个直流电压源来表示，它与输入差分对中的一个MOS管的栅极串联，如图P26-1所示。针对10mV的失调电压，重新仿真得到图26-6所示结果，并说明失调电压对仿真结果的影响。

26.2 图26-11所示比较器的输入电容是多少？带磁滞效应的判断电路对比较器的增益有什么影响？

26.3 针对100mV的磁滞效应，设计一个比较器并仿真验证。

26.4 要得到比较器的敏感度，可以针对一个脉宽较大的输入方波，逐渐减小方波的幅值，直到比较器的输出不能完成一个完整的逻辑转换为止。按此方法，用SPICE仿真得到图26-11所示比较器的最

小敏感度。注意：实际上，敏感度的测量非常困难，因为比较器会振荡，而且耦合噪声也会影响测量结果。

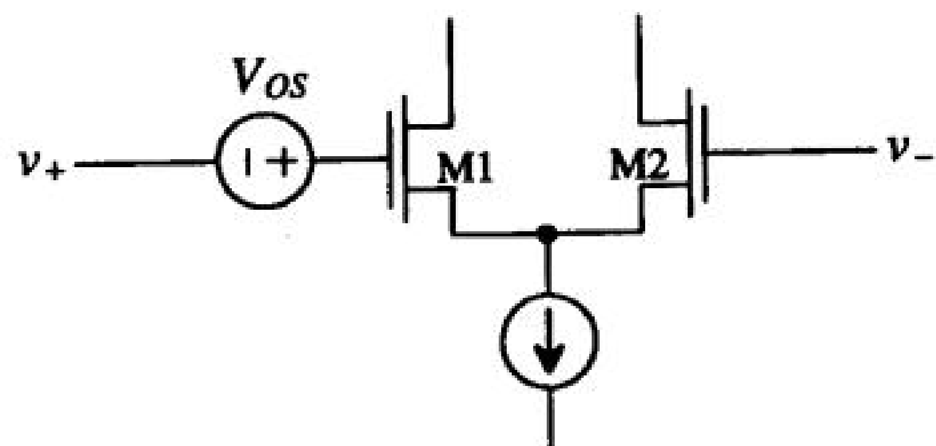


图 P26-1

26.5 仿真验证图26-18所示比较器的工作原理。

26.6 把图26-5的预放大器和判断电路与图P26-6所示输出缓冲器连在一起，分析采用这种输出缓冲器的优缺点。

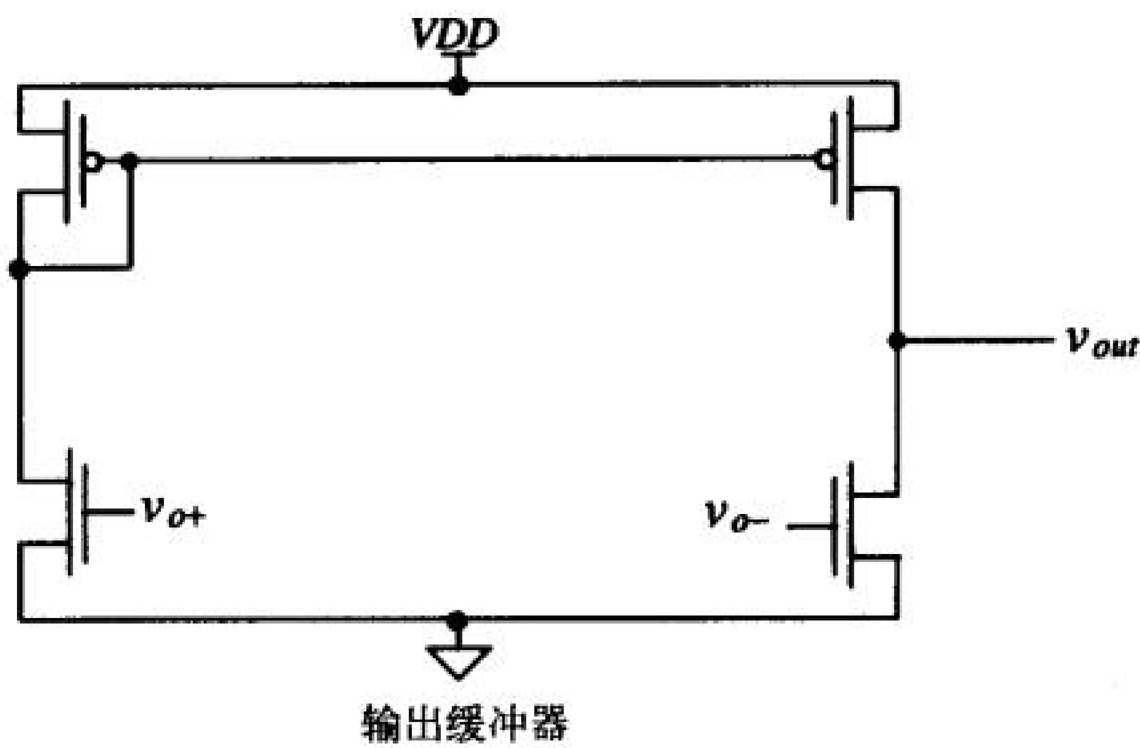


图 P26-6

26.7 能否把自偏置比较器用作宽摆幅运算放大器？如果可以，如何实现运算放大器的补偿？

26.8 画出能吸收和提供电流的自适应电压跟随器的电路图。

26.9 分析采用长沟道MOS管设计四管乘子（图26-30）的优缺点。

26.10 用SPICE和图26-29给出的差分输入/输出运算放大器的模型，验证图26-33所示转换器的工作原理。在输入端加正弦波，用SPICE做瞬态分析。

717~718

26.11 设计并仿真一个电压平移电路，该电路把输入信号对“地”向上平移1.5V。分析说明所设计电路的频率响应。

第27章 动态模拟电路

第14章讨论了动态数字电路，采用这种电路，有利于降低完成某一功能所需要的功耗和MOS管的数目。而动态模拟电路的工作原理是基于信息可以在电容（如MOS管的栅电容）上存储一定时间这一特性的。在这一章里，我们将讨论一些采用动态技术的模拟电路，如采样和保持电路、电流镜、放大器以及滤波器等。

27.1 MOS开关

动态电路（动态数字电路或动态模拟电路）的一个比较重要的电路单元是开关，如图27-1所示。CMOS开关的重要特点是直流情况下栅电流为零。因此，忽略由栅和源（或漏）构成的电容时，控制栅极的信号对通过开关的信号没有干扰。图27-2给出了图27-1所示开关的小信号电阻和源漏电压之间的关系曲线。由该图可看出，采用CMOS传输门的好处是小信号电阻较小，另一个好处是传输高电平或低电平时无阈值损失。能通过N沟道MOS开关的最高电压是$VDD - V_{THN}$，能通过P沟道MOS开关的最低电压是V_{THP}。

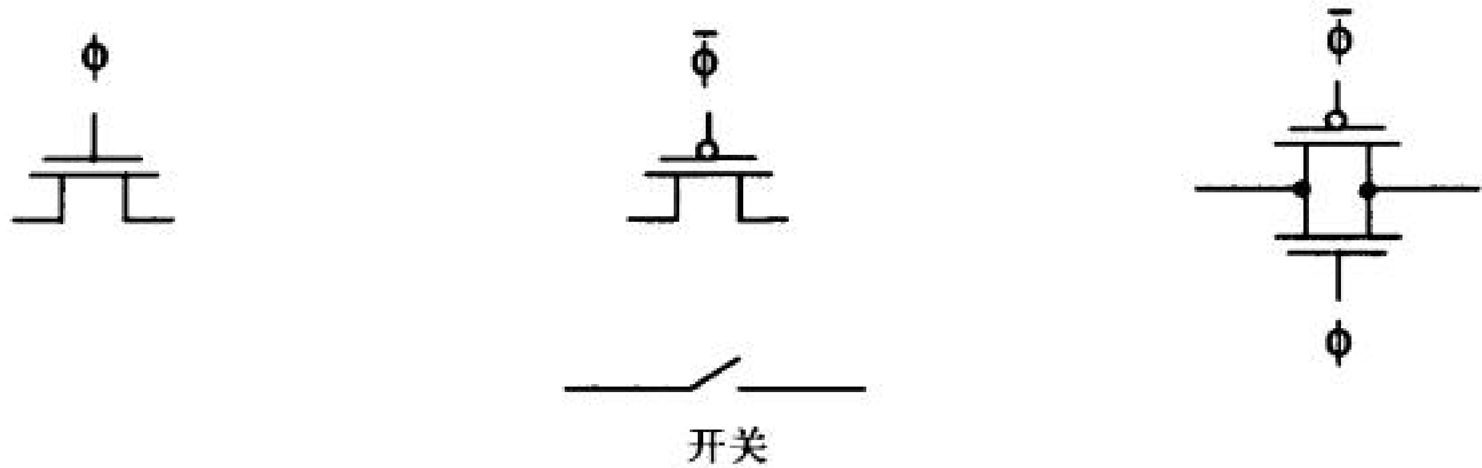


图27-1 把MOS管用作开关

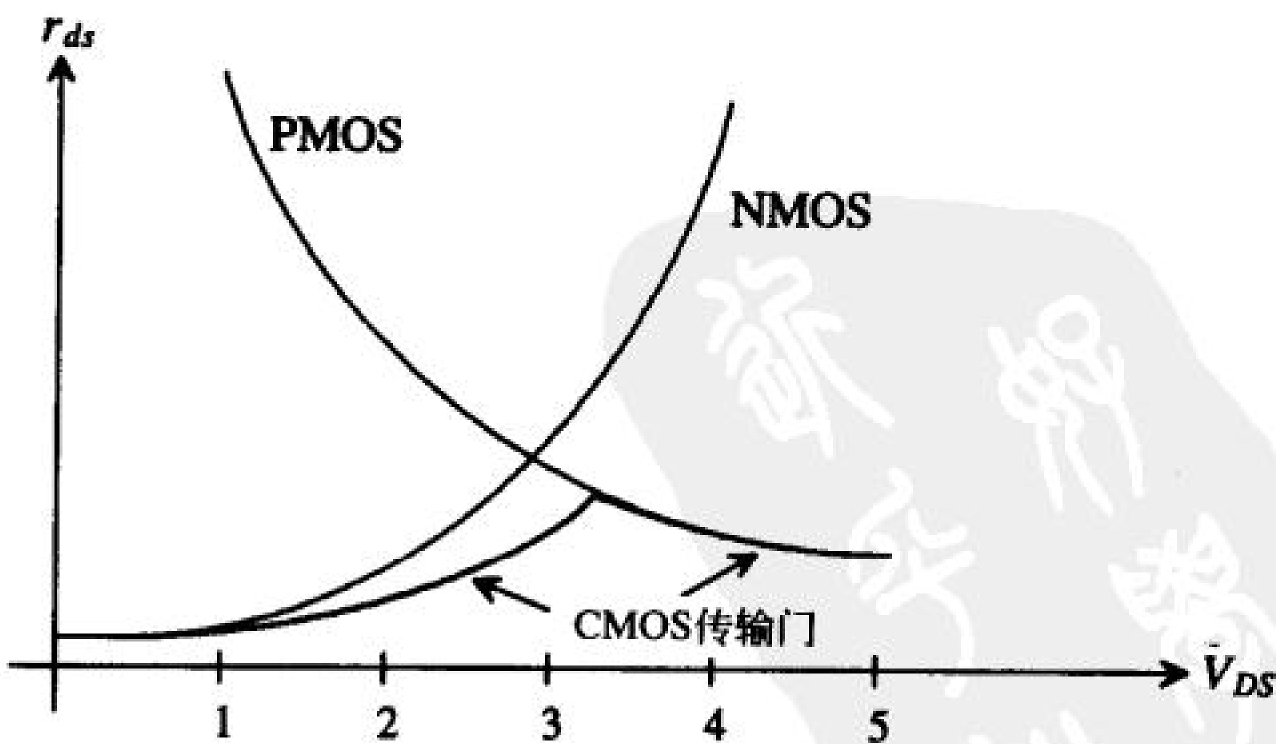


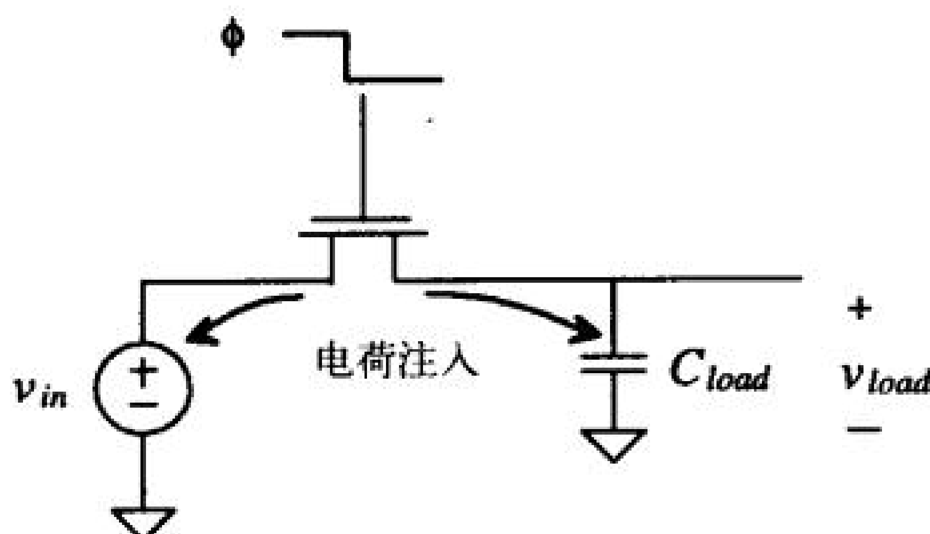
图27-2 MOS开关的小信号导通电阻[1]

尽管MOS开关有很多重要优点，它也有一些缺点。通常情况下，有两个非理想效应会最终限制MOS开关在一些电路中的应用（特别是数据采样电路，如数据转换器），这两个效应就

是电荷注入和时钟馈通。

电荷注入

可以借助图27-3来理解电荷注入。当MOS开关导通且V_{DS}很小时，栅氧化层下面反型沟道的电荷为Q'_{ch}（见第5章）；当MOS开关关断时，该电荷会向电容和v_{in}注入。若v_{in}是一个低阻的信号源驱动的节点，则注入电荷对该节点没有影响。而注入到电容C_{load}上的电荷会导致电容上的电压发生改变。



719~720

图27-3 用一个由NMOS开关等构成的简单电路来说明电荷注入

电荷注入机制本身是一个比较复杂的问题，已有许多研究成果对该问题进行了分析，并提出了将电荷注入影响降到最小的相关技术[2-4]。研究发现，如果时钟信号关断得比较迅速，那么沟道电荷几乎平均地分配到开关两端的两个节点上。据此，开关关断时，会有一半沟道电荷注入到C_{load}。由第5章中的推导结果知，单位面积反型沟道的电荷近似为:

$$Q'_I(y) = C'_{ox} \cdot (V_{GS} - V_{THN}) \tag{27-1}$$

上式乘以反型沟道的面积，即可得到反型沟道的总电荷，为:

$$Q_I(y) = C'_{ox} \cdot W \cdot L \cdot (V_{GS} - V_{THN}) \tag{27-2}$$

因此，对NMOS开关而言，因电荷注入引起的C_{load}上的电压变化为:

$$\Delta v_{load} = -\frac{C'_{ox} \cdot W \cdot L \cdot (V_{GS} - V_{THN})}{2C_{load}} \tag{27-3}$$

若时钟摆幅为V_{DD}到V_{SS}，则上式可进一步改写为:

$$\Delta v_{load} = -\frac{C'_{ox} \cdot W \cdot L \cdot (VDD - v_{in} - V_{THN})}{2C_{load}} \tag{27-4}$$

将阈值电压公式代入式（27-4），得到:

$$\Delta v_{load} = -\frac{C'_{ox} \cdot W \cdot L \cdot (V_{DD} - v_{in} - [V_{THN0} + \gamma(\sqrt{|2\phi_F| + v_{in} - V_{SS}} - \sqrt{|2\phi_F|})])}{2C_{load}} \tag{27-5}$$

值得注意的是，式（27-5）揭示了电荷注入所引起的问题的复杂性：由于受阈值电压的影响，C_{load}上的电压改变与v_{in}并不成线性关系。因此，电荷注入影响的大小与输入信号有关，这会引起谐波失真。在数据采样系统中，电荷注入会导致非线性误差。若电荷注入与信号不相关，将只会出现比较简单的偏移，它比谐波失真容易处理得多。这些会在第28章和第29章中进行深入讨论。很显然，应该尽可能把电荷注入的影响降到最小。

容性馈通

考虑图27-4给出的NMOS开关的电路图。图中给出了栅漏和栅源之间的电容，这时是假定MOS管工作在线性区。当栅上的时钟信号φ变高时，时钟信号会通过栅漏电容和栅源电容馈通，但由于开关是导通的，输入信号v_{in}通过NMOS开关接到电容上，使得C_{load}被充电至v_{in}，容性馈通对v_{out}的终值没有影响。但对于时钟信号变“低”这种情形就不同了。此时NMOS管关断，栅漏电容（或栅源电容）与负载电容构成容性分压器，时钟信号φ会使得C_{load}上的电压值发生改变，改变量为：

721

$$\Delta v_{load} = \frac{C_{overlap} \cdot (V_{DD} - V_{SS})}{C_{overlap} + C_{load}} \tag{27-6}$$

式中，$C_{overlap}$为覆盖电容，其数值为：

$$C_{overlap} = C'_{ox} \cdot W \cdot LD \tag{27-7}$$

式中，LD为覆盖在源/漏区上的栅的长度。

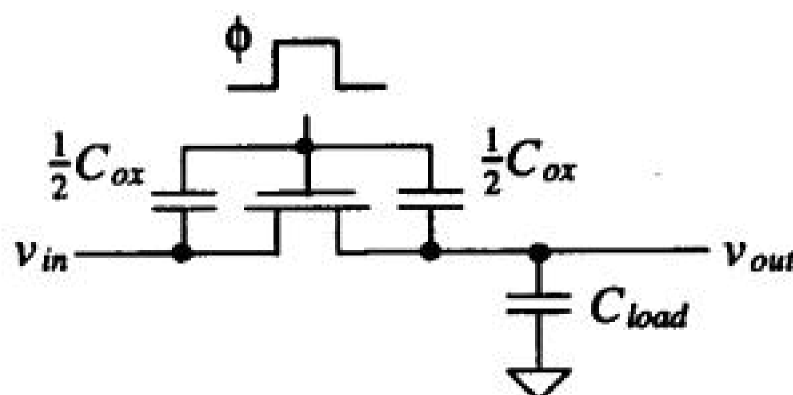


图27-4 容性馈通示意图

降低电荷注入和时钟馈通的影响

已提出很多技术用来减小电荷注入和容性馈通的影响，其中应用最多的是伪开关[4,5]，如图27-5所示。图中，开关M1串联了一个源漏短接的开关M2，控制伪开关M2的时钟信号与控制M1管的时钟信号互补，因此，会有一点延迟。

当M1管截止时，会有一半的沟道电荷注入到伪开关，这就是伪开关M2的尺寸取为M1尺寸一半的原因。此时，虽然M2管的源漏是短接的，但栅压为“高”，M2栅氧化层下仍会出现反型沟道。因此，M1向M2注入的电荷与M2反型沟道形成所需要的电荷能良好匹配，电荷抵消使得注入到电容C_{load}的电荷为零。当M2关断时，它会向两侧的节点各注入其沟道电荷的一半，但由于M2源漏短接且M1导通，来自M2的电荷会注入到低阻的电压驱动源，该电压驱动源也会对C_{load}充电。因此，M2的电荷注入不会影响C_{load}上的电压值。

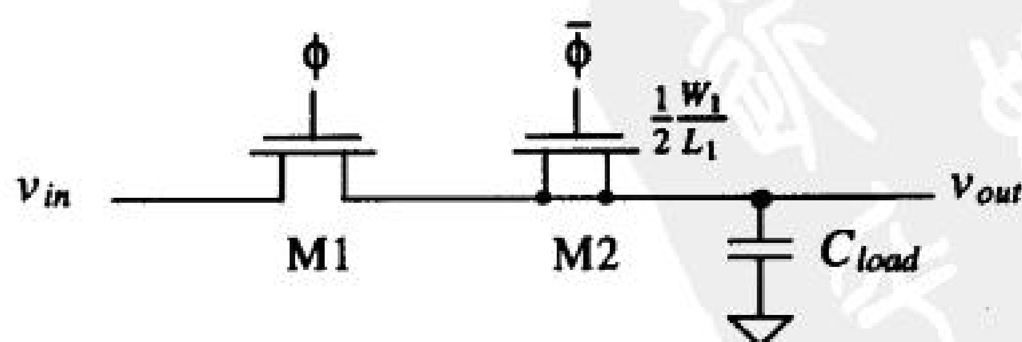


图27-5 采用伪开关电路使电荷注入的影响最小

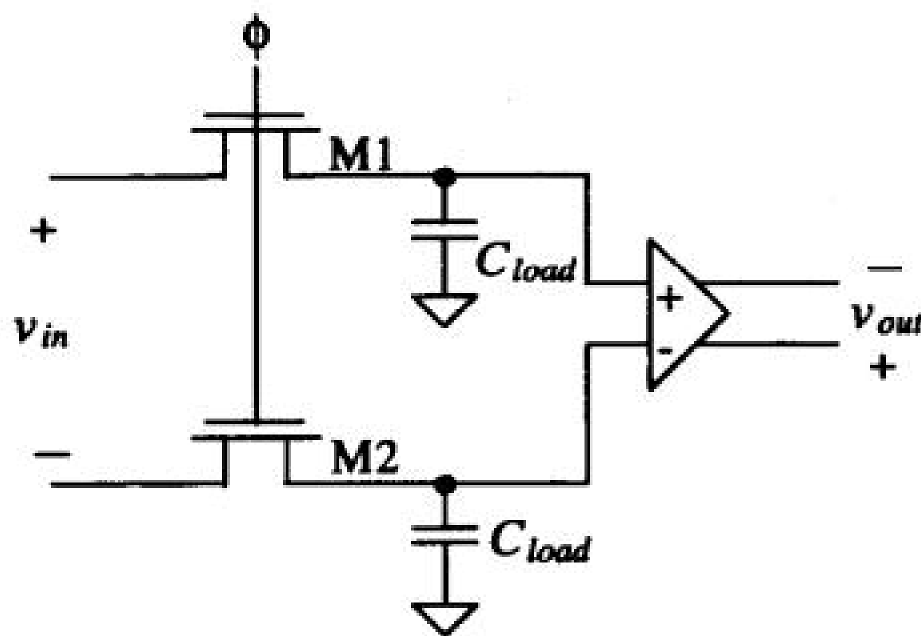
另一种抑制电荷注入和时钟馈通影响的技术是用CMOS传输门代替单管MOS开关。由于CMOS传输门中NMOS管和PMOS管的时钟信号互补，能抵消彼此的影响，因此，v_{out}上的电压

改变量会更小。但该技术需要对互补时钟有比较精确的控制（这两个时钟必须比较精确地同时切换），且输入信号v_{in}很小（因为导通时钟和关断时钟波形之间的对称性与输入信号有关）。

还可采用全差分电路来消除电荷注入和时钟馈通的一阶影响，如图27-6所示。由于非理想的电荷注入和时钟馈通影响作为共模信号输入到放大器，放大器的共模抑制特性会抑制这些影响。但是，与输入信号幅值有关的二阶效应会最终限制电路的动态范围（忽略掉耦合噪声和动态电路本身固有的噪声），这一点会在下一节进行详细讨论。

kT/C噪声

第7章中曾得出结论：一个简单的RC电路产生的最大均方根输出噪声为$\sqrt{kT/C}$（见例7.7）。当图27-7中的MOS管导通时，可以把它看成一个电阻，该电阻会引入噪声，因此，在图27-7中的电容输出端串联了一个均方根噪声源。每次开关导通时，电容上采样得到的电压信号中都包含该噪声。1pF电容上的均方根噪声电压为64μV；100fF电容上的均方根噪声电压为200μV。换句话说，电容越大，电容上采样得到的噪声电压越小。对高速电路系统而言，希望采用小电容以减少充放电时间。因此，在设计高速低噪声电路时，选择电容时要折衷考虑速度和噪声这两个指标。



722～723

图27-6 采用全差分电路以使电荷注入和时钟馈通的影响最小

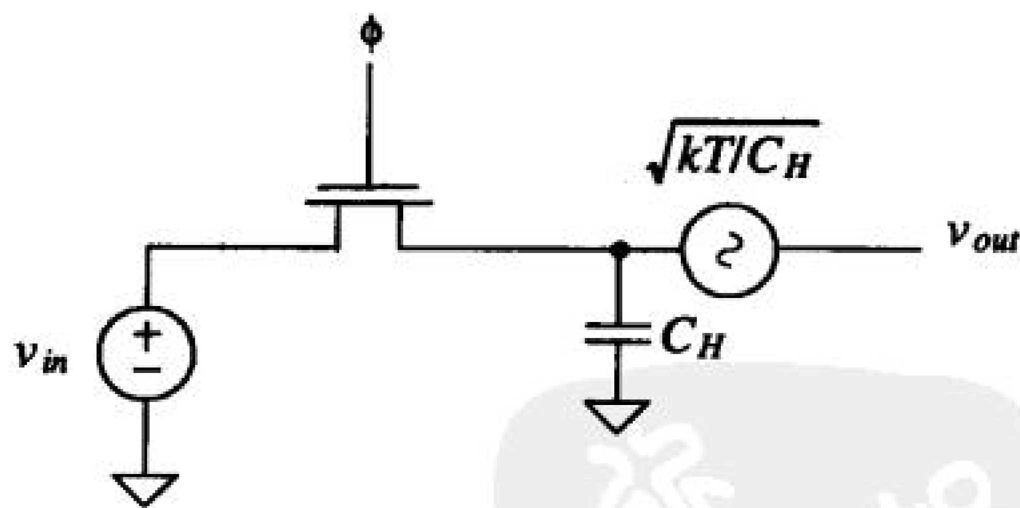


图27-7 把kT/C噪声加在采样信号上

采样-保持电路

开关的一个重要应用领域是采样-保持电路。采样-保持电路在数据转换器中有着广泛的应用。采样-保持电路的结构有很多种，每种都有自己的优点。图27-8给出了一种最简单的采样-保持电路。给MOS管的栅极加一个窄脉冲信号，使得v_{in}对保持电容C_H充电。选通脉冲的宽度必须保证电容得到充分充电。运算放大器只是简单地用作一个单位增益的缓冲器，把保持电容与外部负载隔离开。如前所述，该电路会受到时钟馈通和电荷注入的影响。

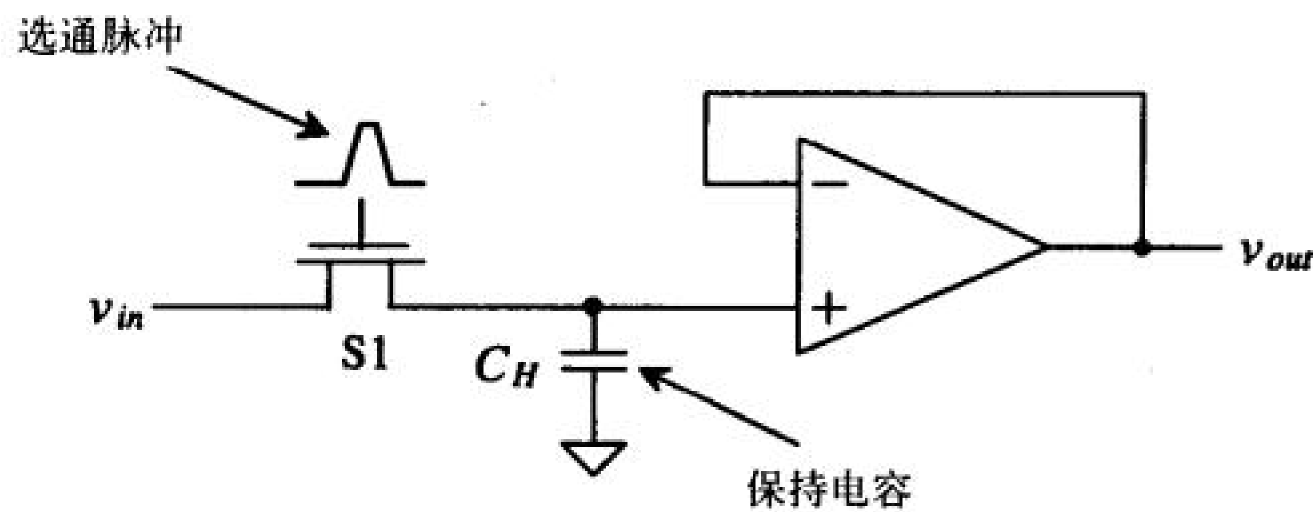


图27-8 一个基本的采样-保持电路

图27-9给出了一种全差分的采样-保持电路以及相应的控制时钟的波形。该电路能消除时钟馈通和电荷注入的一阶影响[6]。当图中开关的控制信号为"高"时，开关导通。下面来分析该电路的工作原理。在t_0时刻，输入信号对采样电容充电，电容的下极板（poly1）直接接输入信号。为什么选择电容的下极板接输入信号而不选择电容的上极板？其原因将在后面给予说明。图中的运算放大器是单位增益的跟随器接法，其所有的输入都嵌位在V_{CM}。在t_0到t_1这一时间段内，放大器工作在采样阶段。

724

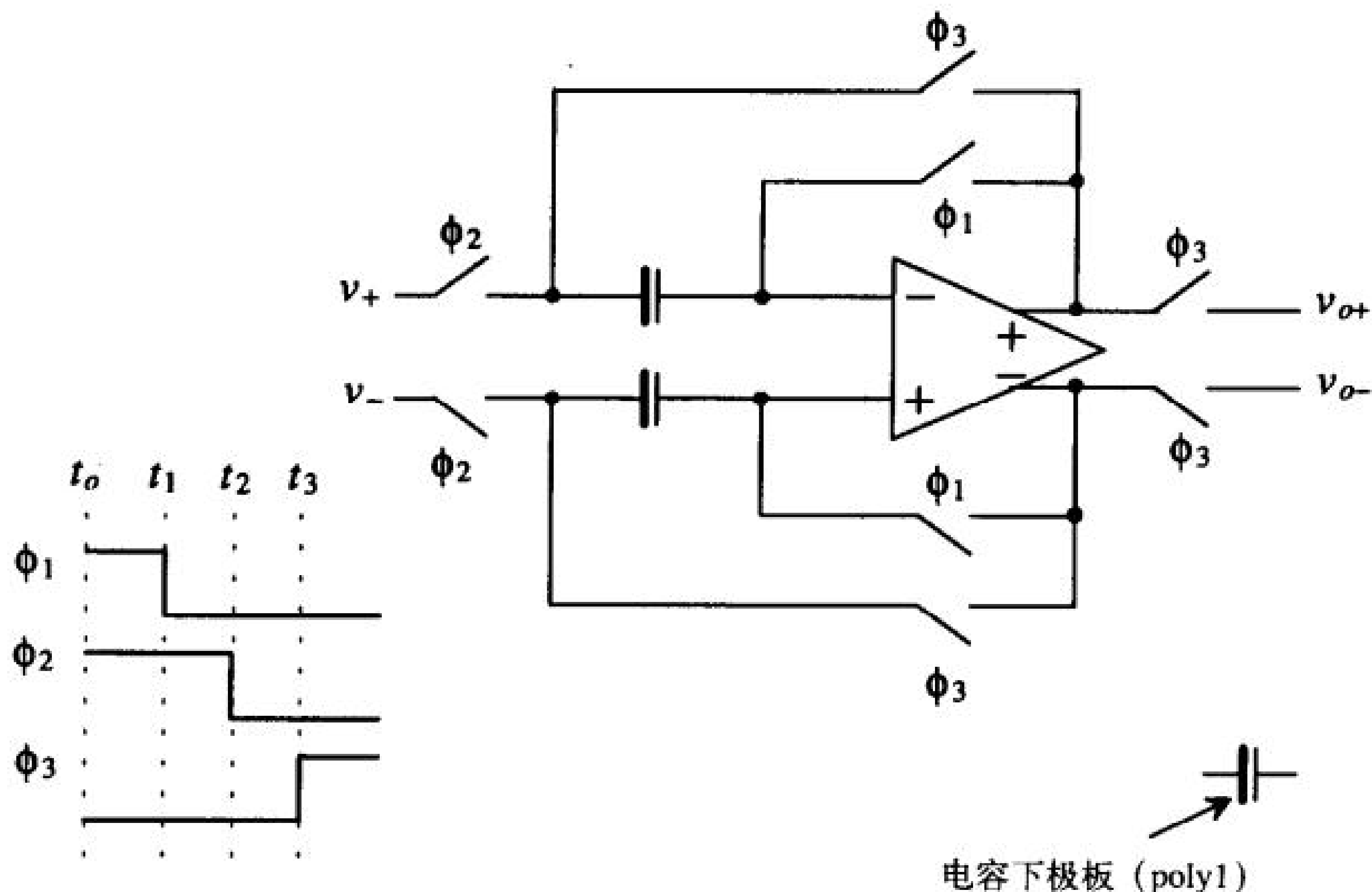


图27-9 采用差分结构的采样-保持电路[6]

在t_1时刻，ϕ_1控制的开关关断，电荷注入和时钟馈通引起的电压改变作为共模信号，出现在运算放大器的输入端，并被有效抑制。由于保持电容的上极板（运算放大器的输入）电压总是V_{CM}，因此，此时的电荷注入和时钟馈通不会影响输入信号，这会增大采样-保持电路的动态范围（即，能测量的输入信号的最小值会很小）。在t_1到t_2这一时间段内，运算放大器输入端（即电容上极板）的电压为$V_{OFF1}+V_{CM}$，为一常值。此时，运算放大器工作在开环状态，因此，应缩短t_1到t_3这一时间段的长度。

在t_2时刻，ϕ_2控制的开关关断，此时，采样电容下极板的电压分别为v_+和v_-。假定存储电容远大于运算放大器的输入电容，则存储电容上极板的电压为$V_{OFF1}+V_{OFF2}+V_{CM}$。V_{OFF2}在理想情况下为常数，它来自于ϕ_2控制的开关关断所引起的电荷注入和时钟馈通的影响。与输入

信号的变化速度相比，t_1到t_2之间的时间应该缩短。

在t_3时刻，ϕ_3控制的开关导通，运算放大器就是一个电压跟随器，电路工作在保持阶段。ϕ_3控制的开关导通所引起的电荷注入和时钟馈通使得电容上极板电压变为$V_{OFF1}+V_{OFF2}+V_{OFF3}+V_{CM}$（同样假定存储电容远大于运算放大器的输入电容）。值得注意的是，V_{OFF2}项和V_{OFF3}项与输入信号有关。由于所有的偏移都是作为共模电压出现在运算放大器的输入端，如果运算放大器的增益为无限大，那么采样－保持电路的输出就是v_+和v_-。

725

借助图27-10，可以解释为什么输入信号接电容的下极板。图27-10是图27-9所示电路的简化的单端版本，其中电容C_p是电容下极板和衬底之间的寄生电容。对图27-10a，衬底耦合噪声既可以看作是来自运算放大器的采样－保持电路的输入电压（在采样阶段时），又可以看做是运算放大器的输出电压（在保持阶段时）。由于在任一阶段，运算放大器都直接控制着该电压，因此，理想情况下，衬底耦合噪声对电路性能几乎没有影响。对图27-10b所示电路，衬底耦合噪声直接接到运算放大器的输入端，因此，会严重影响采样－保持电路的输出。图27-10b所示电路还存在另一个更微妙问题。在t_3时刻，电路会进入保持阶段，运算放大器的输出电压应该迅速地变为输入电容上的采样电压，运算放大器的输出电压改变并稳定为最终值所需的时间被称为建立时间。运算放大器输入端的寄生电容会使反馈因子从1降为$C_H/(C_p+C_H)$，这会增大建立时间并导致电路的传输函数出现增益误差。由于这些原因，电容上极板的寄生电容应该尽可能小，为此，不应在poly2的上面和附近放置其他图形。

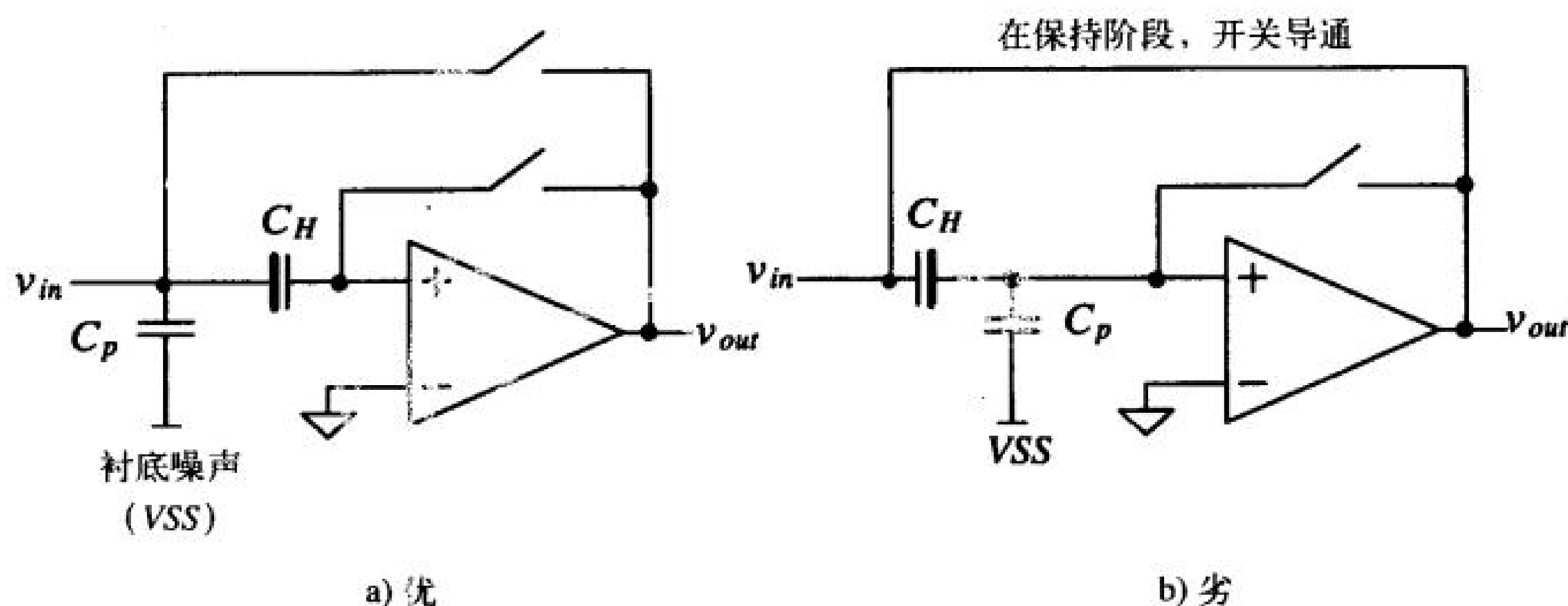


图27-10 解释为什么用电容的下极板接放大器的输入

图27-11给出了基本采样－保持电路的另一个改进[7,8]。图中，两个放大器在输入和输出之间做缓冲。注意到，开关S_2能保证放大器A1在保持阶段稳定。若该开关不存在，保持阶段时，A1处于开环状态，输出会摆向VDD或“地”。当下一个采样阶段来临时，输出需要从VDD（或地）变为v_{in}，这会对电路的压摆率提出较高要求。加上开关S_2后，即使在保持阶段，A1的输出也会跟随v_{in}。另外，开关S_3使得A1在保持阶段与输出断开。

726

该采样－保持电路的缺点是，电容仍受电荷注入和时钟馈通的影响。另外，在采样阶段，由于两个放大器是单环反馈结构，电路会变得不稳定。尽管可以通过加入补偿电容来使电路稳定，但补偿电容的大小和在电路中的位置却与所采用的运算放大器的类型和性能密切相关。

另一种采样－保持电路如图27-12所示[7,9]。图中，一个跨导放大器用来对保持电容充电。一个数字控制信号控制放大器A1的开启和关断，因此，不再需要开关S_2和S_3（见图27-11）。由于CMOS运算放大器本身就适用于输出电阻较高的应用情形，因此，这种电路结构是一种

常用结构。其工作速度取决于跨导放大器的最大输出电流和保持电容的大小。

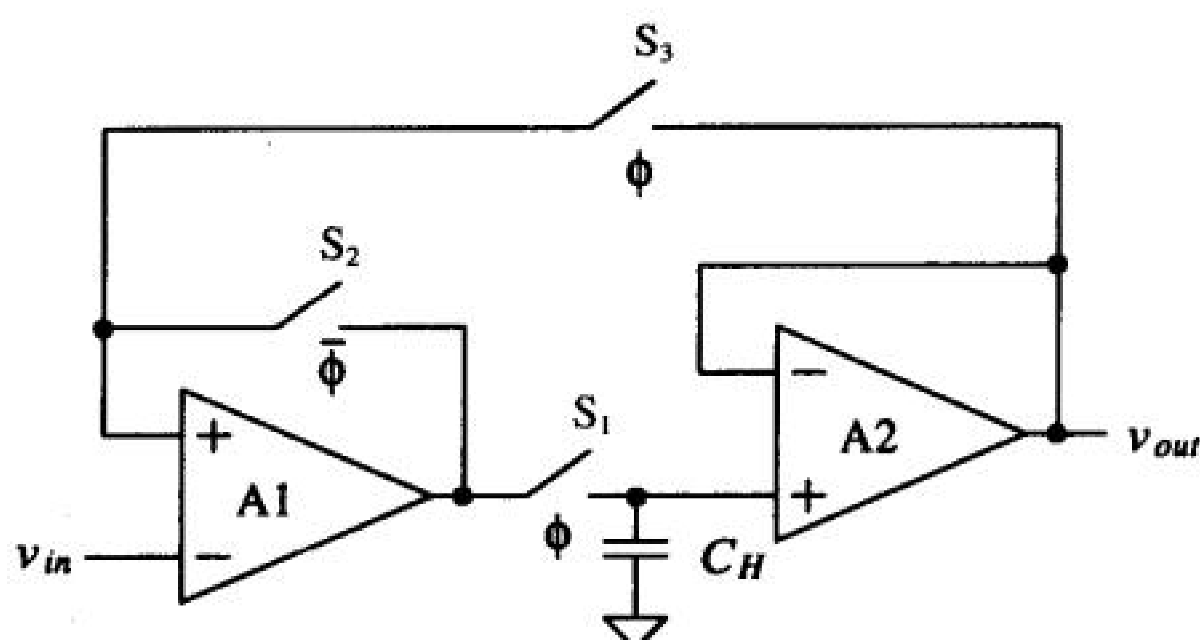


图27-11　闭环采样－保持电路

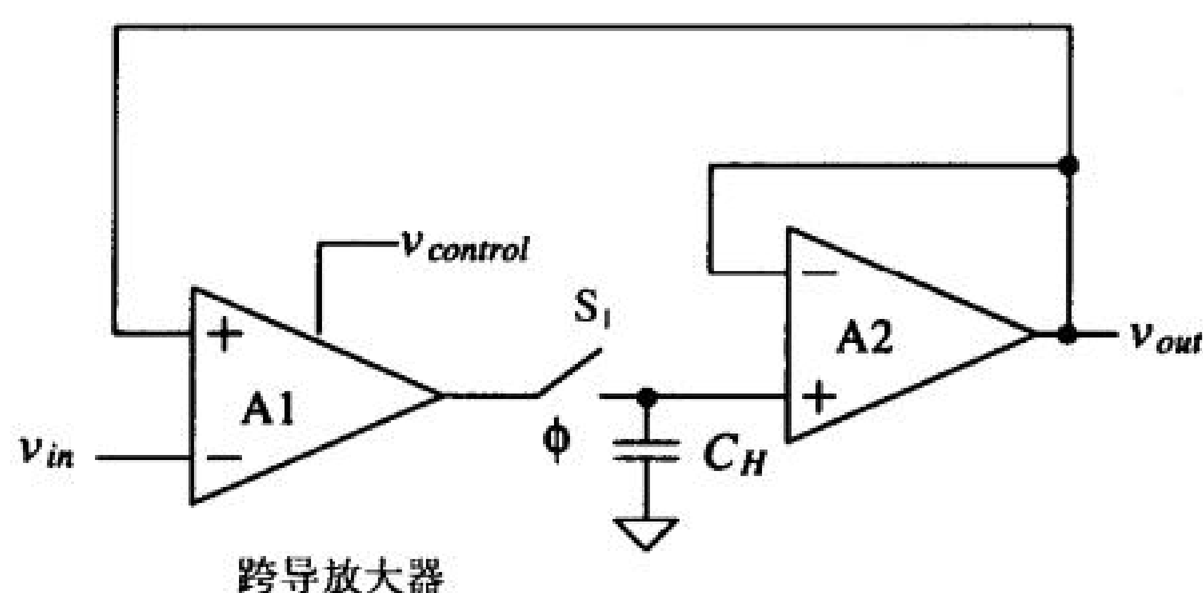


图27-12　采用跨导放大器的闭环采样-保持电路

727

图27-13给出了一种性能更好的采样-保持电路[7, 8]。该电路的优点并不是那么直观，需要加以分析说明。首先，保持电容处在放大器A2的反馈回路上，一端接放大器的输出，另一端接虚地。当开关S_1关断时，注入到保持电容上的电荷会导致输出电压值发生一些改变，但是，现在开关的一端接虚地，电压的改变不再与开关本身的阈值电压有关。因此，电荷注入的影响与输入信号无关，只会引起输出电压一个简单的偏移。偏移误差比非线性误差要容易处理得多，这一点将在第28章和第29章看到。

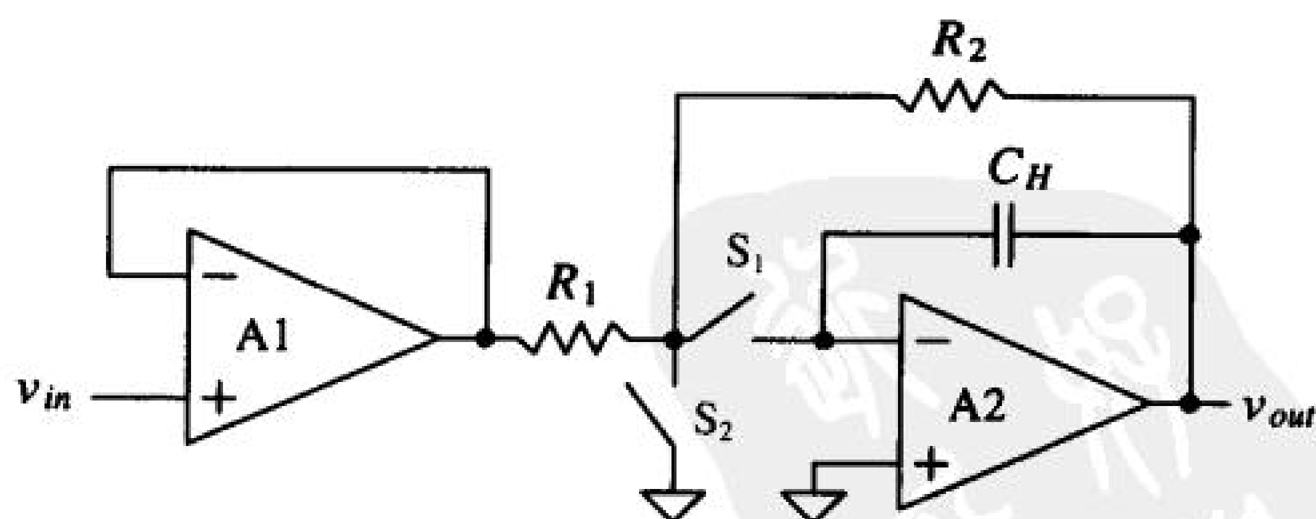


图27-13　采用跨导放大器的闭环采样-保持电路

采样时，S_1导通，S_2关断，图27-13中的电路等效为一个简单的带缓冲输入的低通滤波器，传输函数为:

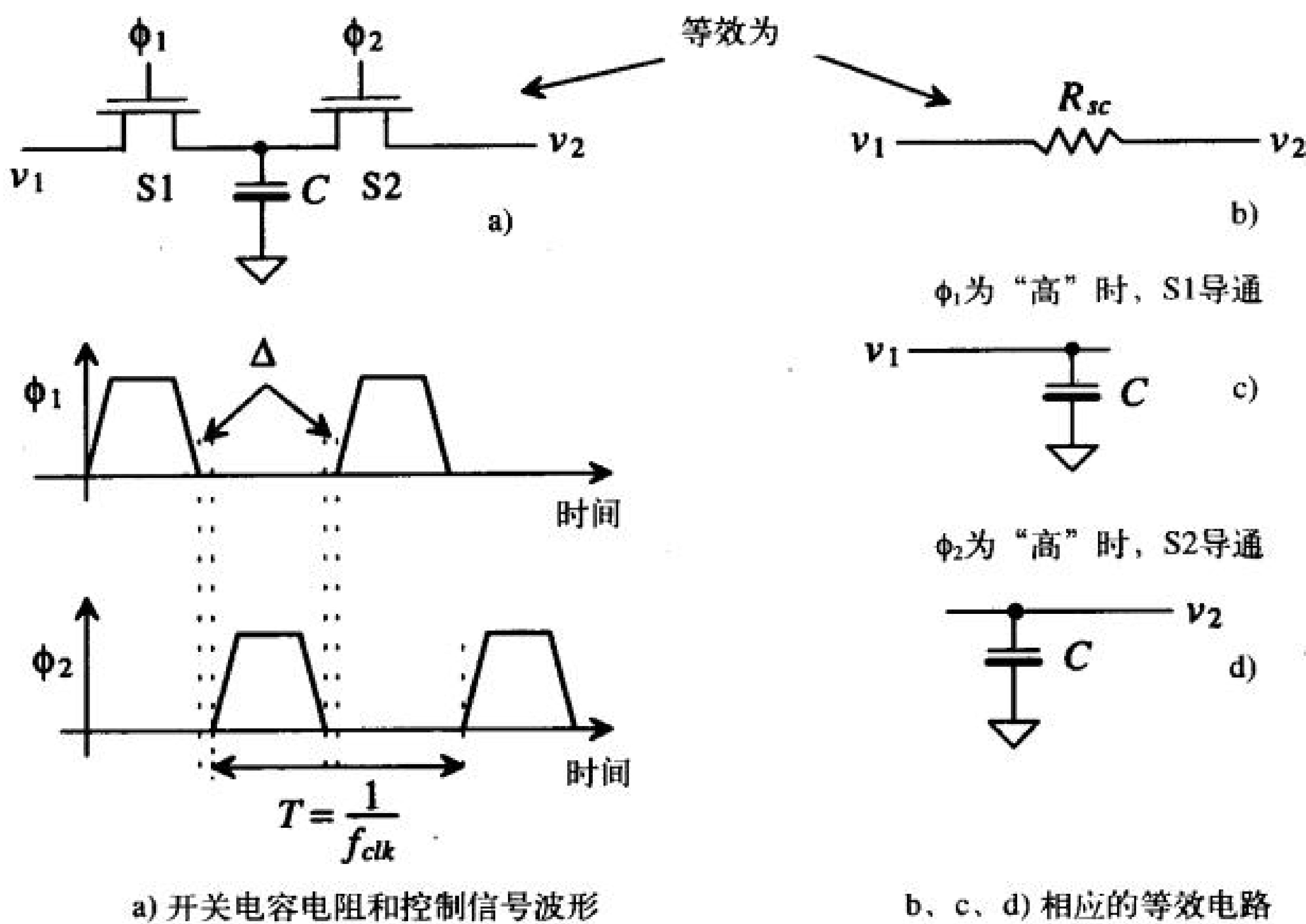
$$\frac{v_{out}}{v_{in}} = -\frac{R_2}{R_1} \cdot \frac{1}{(sR_2C_H + 1)} \tag{27-8}$$

因此，在采样阶段，电路完成的是一个低通滤波器的功能。当希望输入电阻较低时，可以把缓冲器A1去掉。一旦进入保持阶段，开关S_2把输入和保持电容隔离开，输出会保持为一个常值（等于v_{in}）。一个值得注意的重要问题是，在保持阶段，由于输出v_{out}接电阻负载，A2必须是一个带缓冲级的CMOS放大器。另外，无论在采样阶段还是保持阶段，在每个反馈回路中都只有一个运算放大器，因此，与图27-12给出的闭环结构相比，这种结构的采样-保持电路更稳定。

27.2 开关电容电路

考虑图27-14a所示电路图[10, 11]。该动态电路被称为开关电容电阻，它可用于实现阻值较大的电阻（通常大于1MΩ）。时钟信号ϕ_1和ϕ_2为两项不交迭时钟，频率为f_{clk}，周期为T（见第14章）。首先，考虑S1导通的情形。当ϕ_1为“高”时，电容C被充电至v_1。在此时间段内，存储到电容上的电荷q_1为（如图27-14c所示）：

$$q_1 = Cv_1 \tag{27-9}$$



a) 开关电容电阻和控制信号波形　　b、c、d) 相应的等效电路

图 27-14

当S2导通时，存储在电容上的电荷为：

$$q_2 = Cv_2 \tag{27-10}$$

注意到，由于ϕ_1和ϕ_2是不交迭的时钟信号，S1和S2不能同时导通，因此，若v_1和v_2不相等，则在每个周期内，v_1和v_2之间会传输一个电荷包，其电荷量为q_1和q_2之间的差值，为：

$$q_1 - q_2 = C(v_1 - v_2) \tag{27-11}$$

若与f_{clk}相比，v_1和v_2变化非常缓慢，则在T时间段内，传输的平均电流为：

$$I_{avg} = \frac{C(v_1 - v_2)}{T} = \frac{v_1 - v_2}{R_{sc}} \tag{27-12}$$

由此，得到开关电容电路的电阻为:

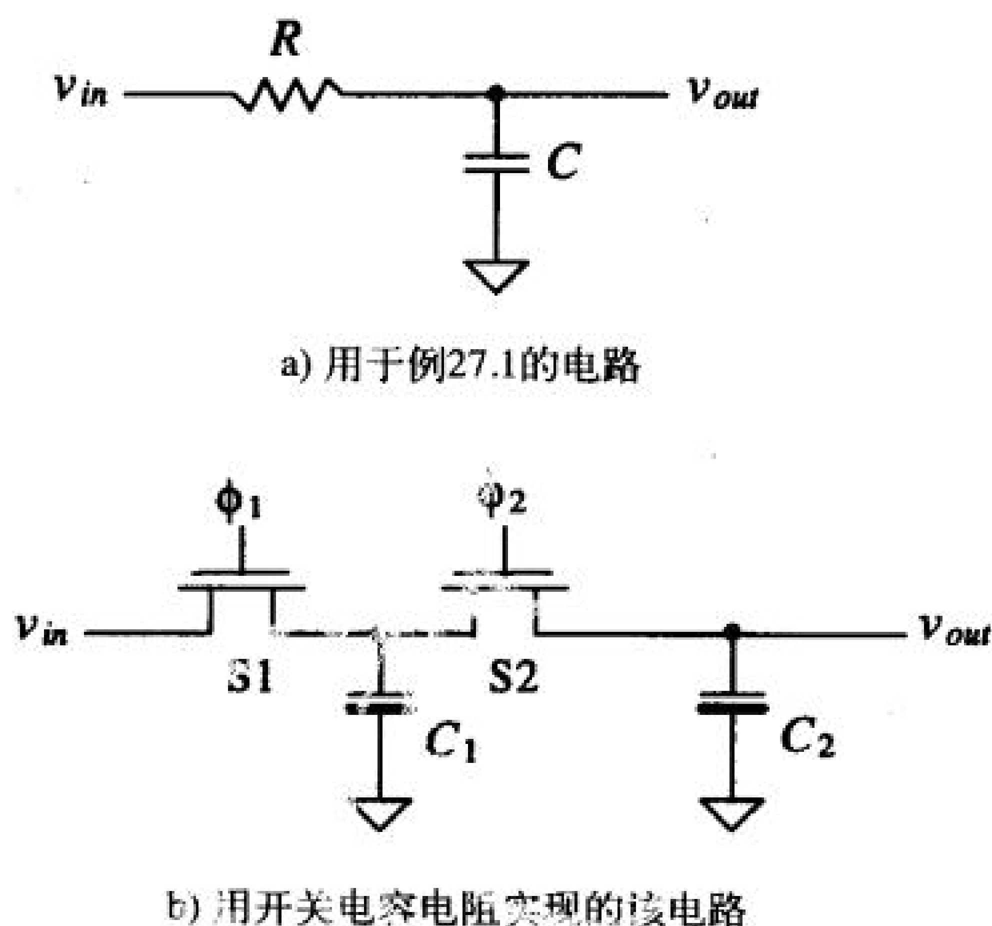
728~729

$$R_{sc}=\frac{T}{C}=\frac{1}{Cf_{clk}} \tag{27-13}$$

通常要求v_1和v_2信号的带宽至少小于f_{clk}的十分之一。

例27.1

用开关电容技术实现图27-15a所示电路，要求RC为1ms，即$|v_{out}/v_{in}|$的3dB频率为159Hz。



a) 用于例27.1的电路

b) 用开关电容电阻实现的该电路

图 27-15

图27-15b给出了该电路的开关电容实现。由式（27-13）知，RC为:

$$RC_2=\frac{C_2}{C_1}\cdot\frac{1}{f_{clk}} \tag{27-14}$$

这一结果非常重要。RC_2由f_{clk}和电容C_2与C_1的比值决定，用晶体振荡器能得到一个比较精确的f_{clk}，在一个芯片上的电容比值的偏差也能做到小于1%。我们设计的同一电容在不同硅片上的电容值之间的偏差能达到20%，但在同一硅片上的两个电容的比值的偏差却可以做到小于1%。

一般要求C_1的取值大于电路中的有关寄生电容，如源/漏区的耗尽层电容、到衬底的杂散电容等。对本例，我们取C_1为1pF。f_{clk}的取值通常由我们可以使用的时钟信号的频率决定，这里取为100kHz。取这一频率的前提是，v_{in}位于10kHz以上频带内的能量可以被忽略。由式（27-14），解得C_2的值为100pF。本例实现的开关电容电阻的阻值为10MΩ，若用CN20工艺中的n阱来实现这一阻值的电阻，就需要4000个方块！而且，若用n阱实现该电阻，衬底电容引起的延迟会使得传输函数出现显著的相差。 ■

730

开关电容积分器

图27-14a中的开关电容电阻对寄生电容敏感，使得它无法在许多开关电容电路中得到应用，但它可以用于开关电容积分器的设计中。考虑图27-16a所示电路，该电路是开关电容积分器，它是下面要讨论的有些电路的核心电路单元[11]。开关S1到S4以及电容C_I共同构成一个

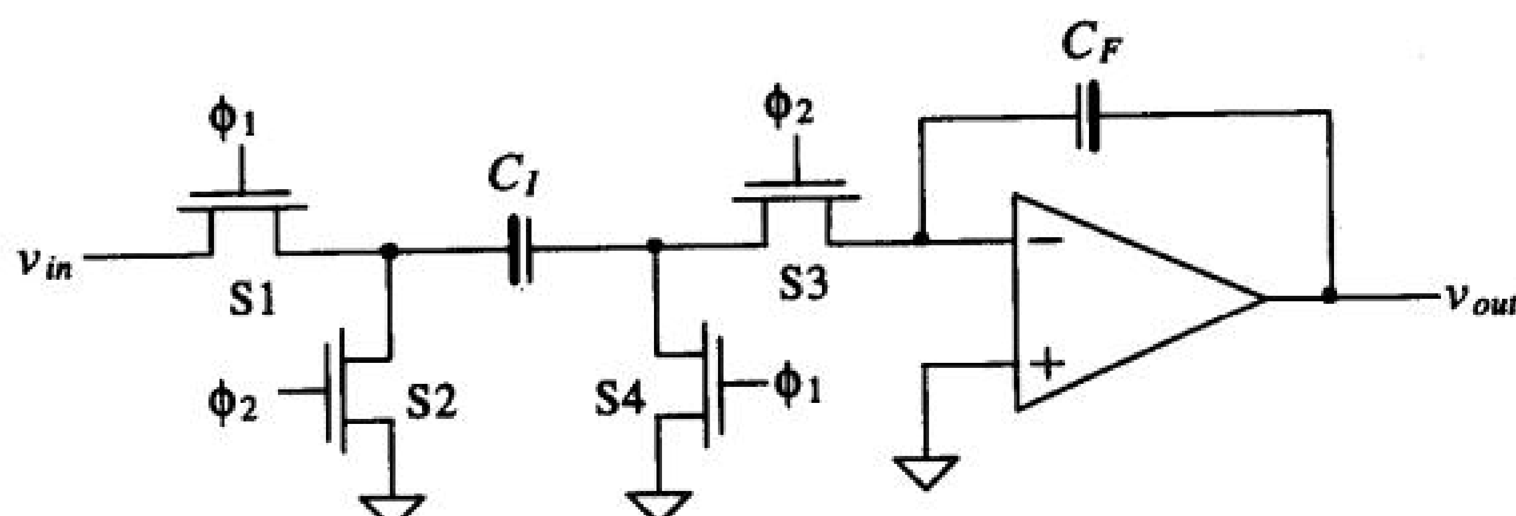
开关电容电阻，其阻值为：

$$R_{sc}=\frac{1}{C_I f_{clk}} \tag{27-15}$$

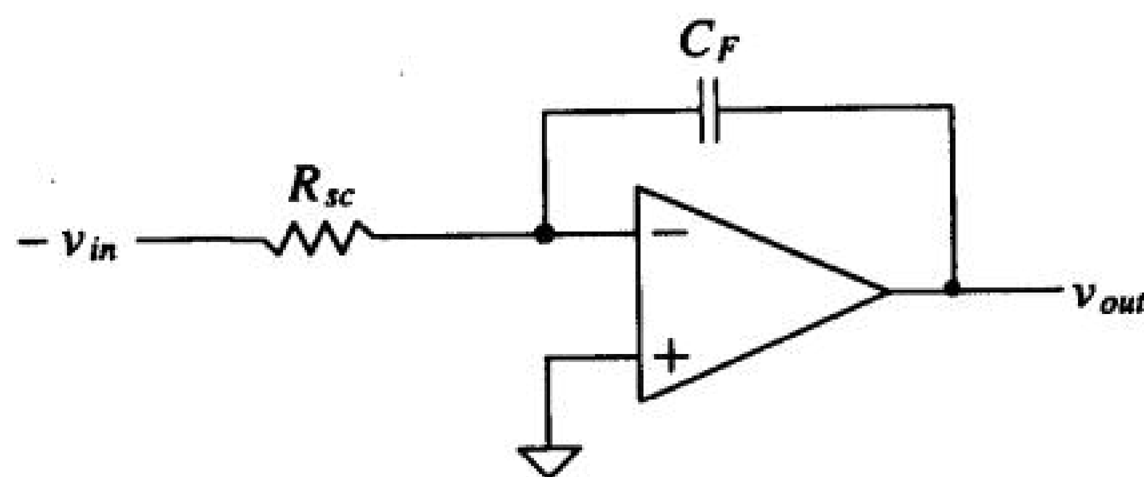
图27-16b是与开关电容积分器等效的连续时间电路。注意到，v_{in}现在变为负的。记住：开关电容积分器中的开关和C_I可被看成一个简单的电阻。这会对下面的讨论很有帮助。开关电容积分器的传输函数为：

$$\frac{v_{out}}{v_{in}}=\frac{1/j\omega C_F}{R_{sc}}=\frac{1}{j\omega\left(\frac{C_F}{C_I}\cdot\frac{1}{f_{clk}}\right)} \tag{27-16}$$

由于可以得到偏差很小的电容比值，使得设计者能精确地设定放大器的增益和积分时间常数。



a) 一个对杂散电容不敏感的开关电容积分器（没有反相）



b) 等效的连续时间电路

图 27-16

图27-16所示开关电容积分器对寄生或杂散电容不敏感，我们借助图27-17来说明其中的原因。首先，电容C_I右极板与地形成的寄生电容C_{p2}总是通过S4接地，或通过S3接虚地（即运算放大器的负输入端），由于C_{p2}的两个极板都接地，因此，它不存储电荷。而对C_{p1}而言，当S1导通时，它被充电至v_{in}；当S2导通时，它放电到地。由于S1导通时，存储在C_{p1}上的电荷并没有传递到C_I，因此，它不影响积分功能。对CN20工艺，C_I的实际最小值是100fF。

把图27-16的非反相积分器的时钟信号S1和S2做一点简单改变，即可以得到图27-18所示反相积分器电路，其增益为：

$$\frac{v_{out}}{v_{in}}=-\frac{1}{j\omega\left(\frac{C_F}{C_I}\cdot\frac{1}{f_{clk}}\right)} \tag{27-17}$$

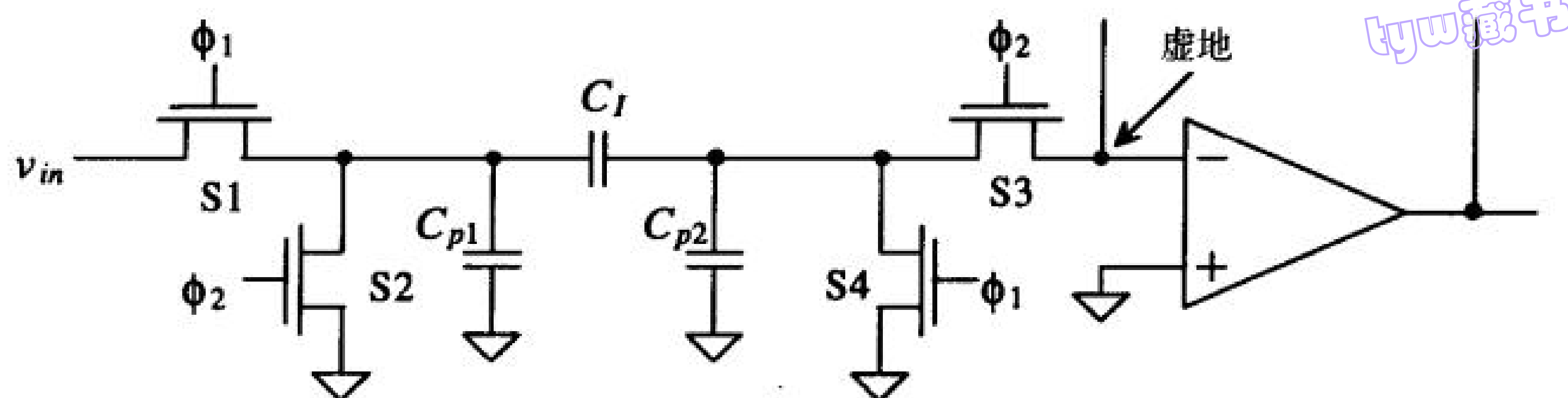


图27-17 与开关电容电阻有关的寄生电容

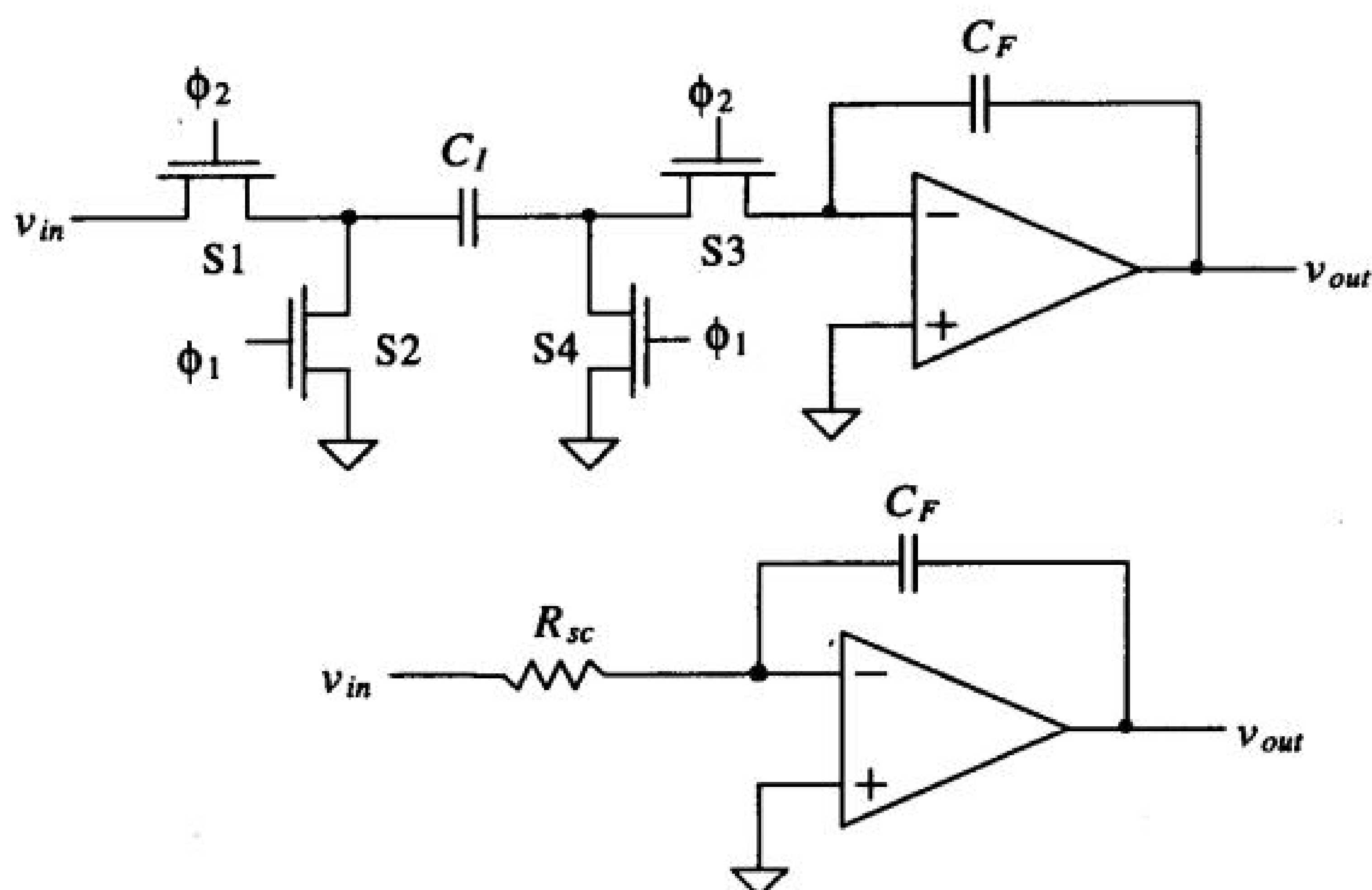


图27-18 对杂散电容不敏感的反相开关电容积分器

图27-19a给出了一个开关电容积分器电路的实例。每一个开关电容部分都可以看成是一个电阻，其输入和输出之间的关系为:

$$v_{out}=\frac{v_1}{j\omega\left(\frac{C_F}{C_1}\frac{1}{f_{clk}}\right)}+\frac{v_2}{j\omega\left(\frac{C_F}{C_2}\frac{1}{f_{clk}}\right)}-\frac{v_3}{j\omega\left(\frac{C_F}{C_3}\frac{1}{f_{clk}}\right)} \tag{27-18}$$

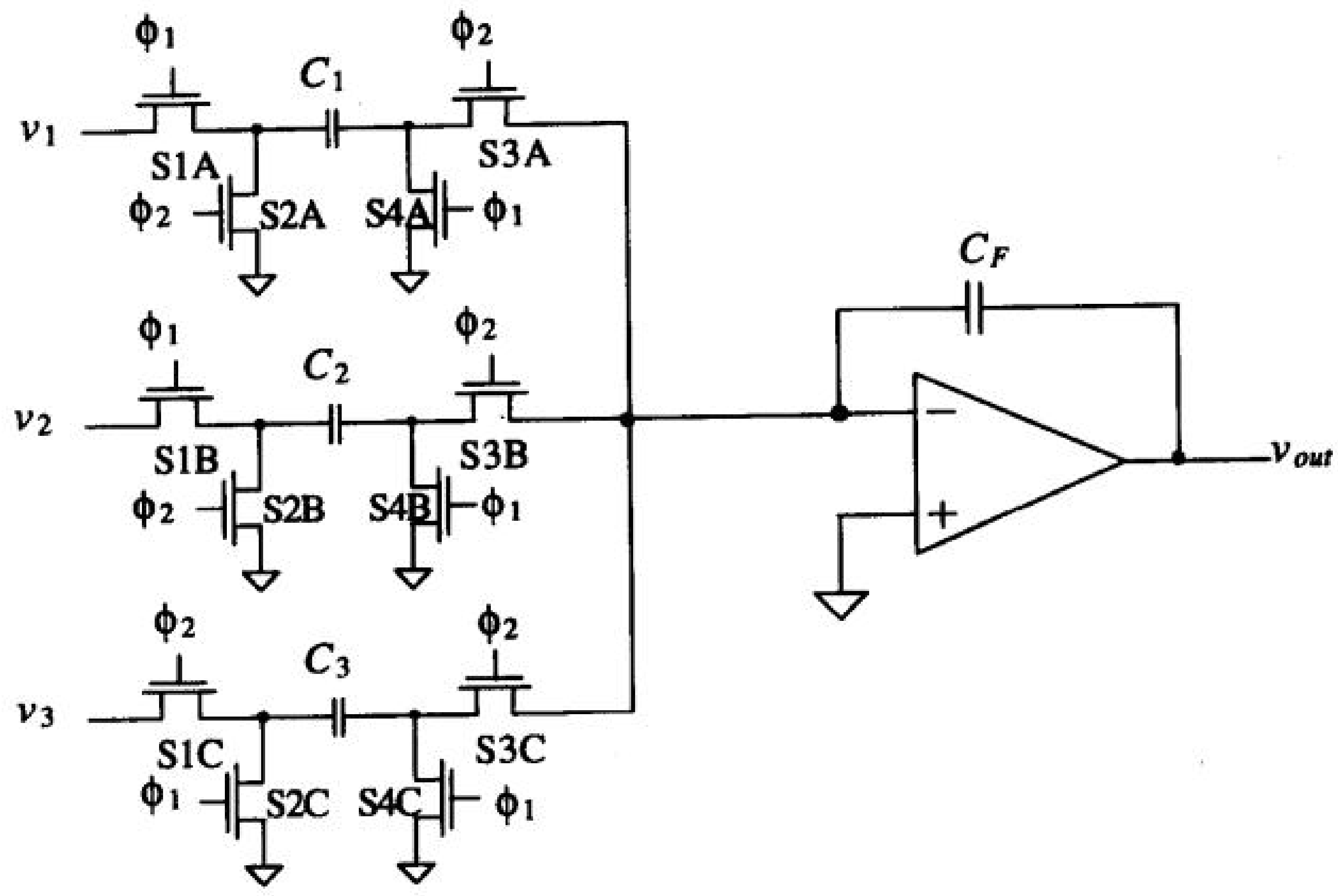
把图27-19a中的一些开关合并，可以得到图27-19b所示电路，这样可以减少器件数目。单独使用上面讨论的积分器时会遇到一个比较实际的困难，即：积分器不但对输入信号进行积分，而且也对运算放大器的失调电压进行积分。在很多应用中，通常加入一个复位开关或者一个与反馈电容并联的电阻（如图27-19b所示）。图27-20给出了一个有损积分器电路的实例，它被用于一阶滤波器的设计。该电路的传输函数为:

$$\frac{v_{out}}{v_{in}}=\frac{R_4}{R_3}\left(\frac{1+j\omega R_3C_1}{1+j\omega R_4C_2}\right)=\frac{C_3}{C_4}\left(\frac{1+j\omega\left(\frac{C_1}{C_3}\cdot\frac{1}{f_{clk}}\right)}{1+j\omega\left(\frac{C_2}{C_4}\cdot\frac{1}{f_{clk}}\right)}\right) \tag{27-19}$$

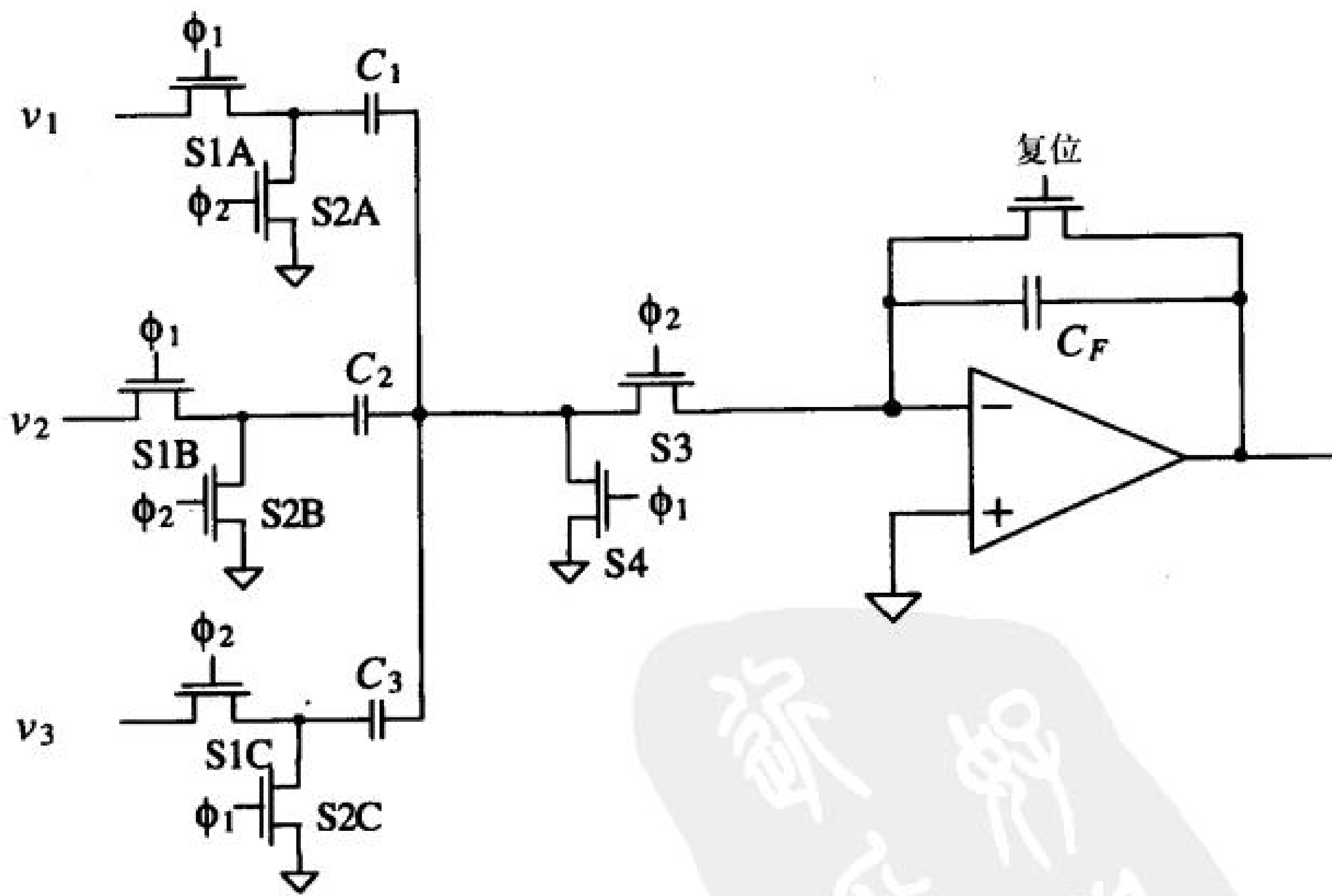
对于低频输入信号（这里的“低频”是相对于式（27-19）中的极点和零点而言），有损积分器的增益为:

$$\frac{v_{out}}{v_{in}}=\frac{C_3}{C_4} \tag{27-20}$$

由于它是两个电容的比值，因此，也可以得到比较精确的增益值。另外，反馈回路的开关电容电阻对杂散电容也不敏感。C_4的左极板总是接0V，而右极板或者接地，或者接运算放大器的输出。



a) 一个累加积分器的开关电容电路实现



b) 开关合并并加入复位控制后的实际电路实现

图 27-19

例27.2

设计一个开关电容滤波器，使其转移特性如图Ex27-2所示。

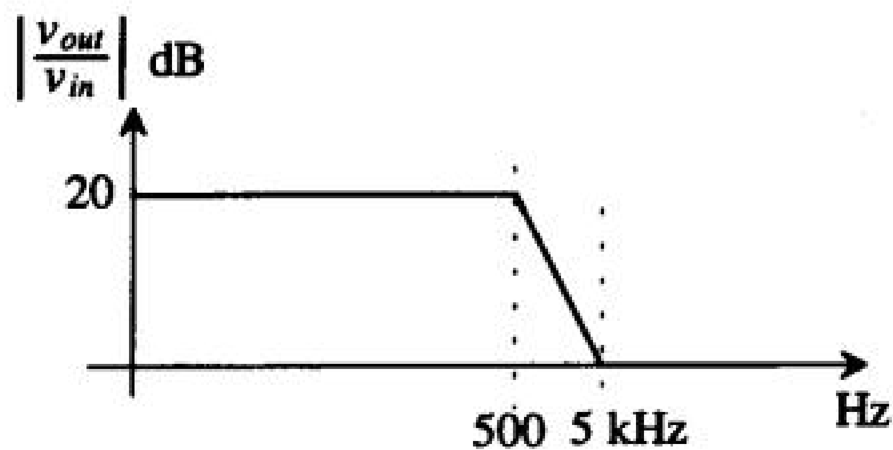
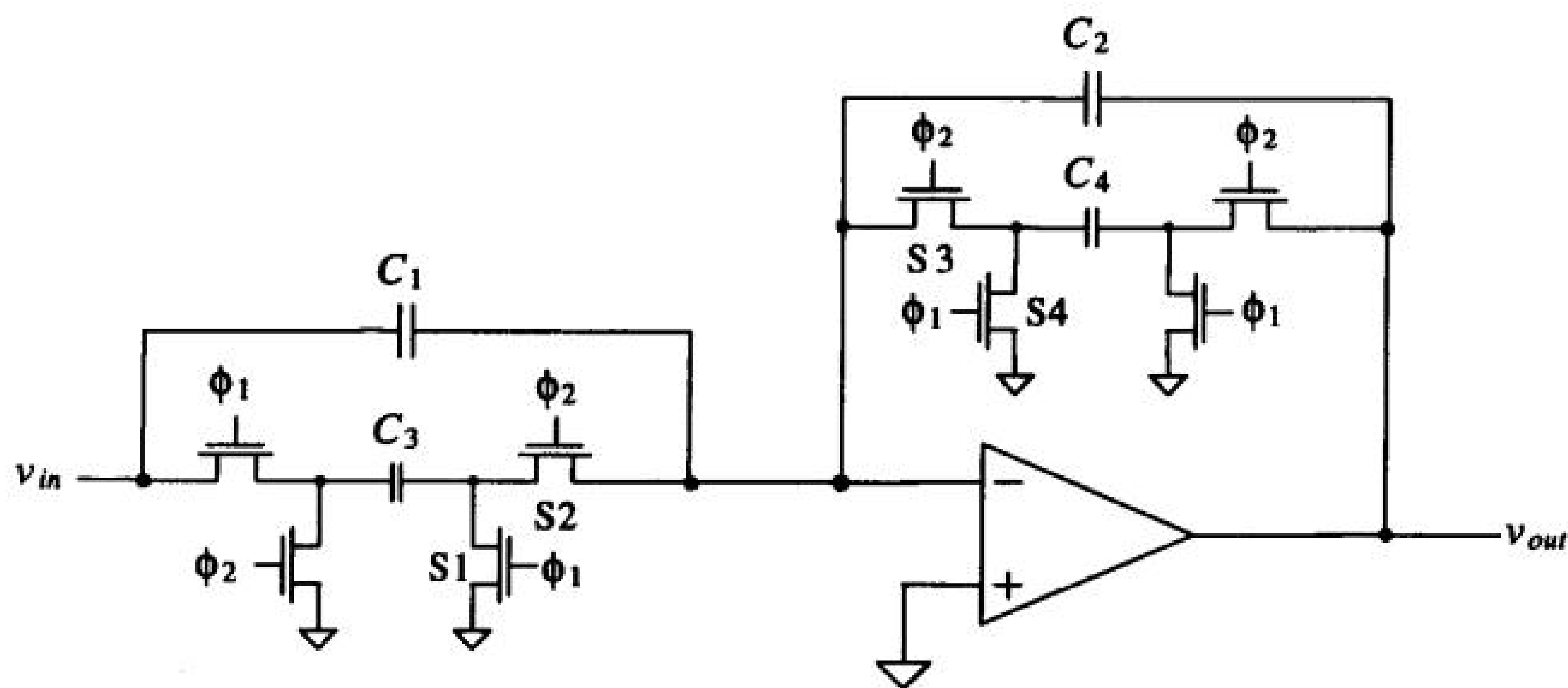
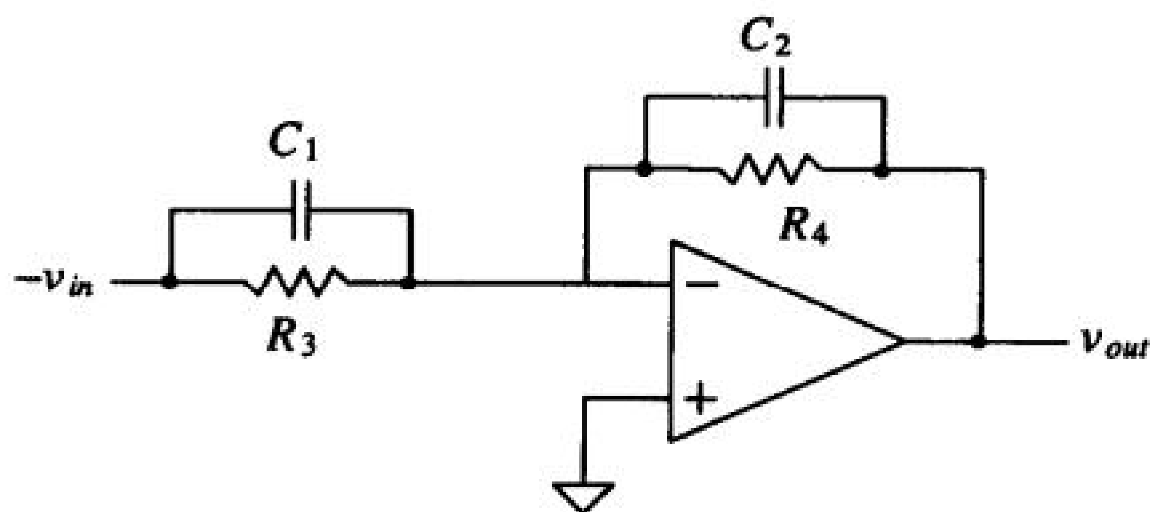


图 Ex27-2

由图Ex27-2可以看出，该传输函数在500Hz处有一极点，在5kHz处有一零点。可采用图27-20所示有损积分器来实现该滤波器。该电路的低频增益为10（即20dB）。由式（27-20）知：



a) 开关电容实现



b) 等效的连续时间电路

图27-20 有损积分器

$$\frac{C_3}{C_4} = 10$$

极点和零点的位置为：

$$f_p = \frac{1}{2\pi\left(\frac{C_2}{C_4}\cdot\frac{1}{f_{clk}}\right)} = 500 \qquad f_z = \frac{1}{2\pi\left(\frac{C_1}{C_3}\cdot\frac{1}{f_{clk}}\right)} = 5\text{ kHz}$$

如果取f_{clk}为100kHz，C_4为100fF，则C_3 = 1.0pF，C_2 = 3.2pF，C_1 =3.2pF。 ■

731~735

现在我们来推导开关频率f_{clk}与信号频率ω的精确关系[12, 13]。考虑图27-21给出的积分器电路，其输出为前一周期（第nT周期）的输出电压$v_{out(n)}$与当前周期采样引起的输出电压增量的和，即：

$$v_{out(n+1)} = v_{out(n)} + \frac{C_I}{C_F} \cdot v_{in(n)} \tag{27-21}$$

由于时域上T的延迟对应频域上ωT的相移，因此，可以对上式进行傅里叶变换，得到：

$$e^{j\omega T} v_{out}(j\omega) = v_{out}(j\omega) + \frac{C_I}{C_F} \cdot v_{in}(j\omega) \tag{27-22}$$

求解上式得到：

$$\frac{v_{out}}{v_{in}}(j\omega) = \frac{C_I}{C_F}\left(\frac{1}{e^{j\omega T}-1}\right) = \frac{C_I}{C_F}\left(\frac{e^{-j\omega T/2}}{e^{j\omega T/2}-e^{-j\omega T/2}}\right) = \frac{C_I}{C_F}\left[\frac{1}{z-1}\right] \tag{27-23}$$

式中，$z = e^{j\omega T}$。由于$f_{clk} = 1/T$，$\omega = 2\pi f$，因此，上式可变为：

$$\frac{v_{out}}{v_{in}}(j\omega) = \frac{1}{j\omega\left(\frac{C_F}{C_I} \cdot \frac{1}{f_{clk}}\right)}\left(\frac{\frac{\pi \cdot f}{f_{clk}}}{\sin \frac{\pi \cdot f}{f_{clk}}} \cdot e^{-j\pi \cdot f/f_{clk}}\right) \tag{27-24}$$

理想情况下，括号中右边的那一项为1（f 远小于 f_{clk}时就是这种情形）。上式也反映出 f_{clk}的取值会对积分器的幅值和相位有直接影响。

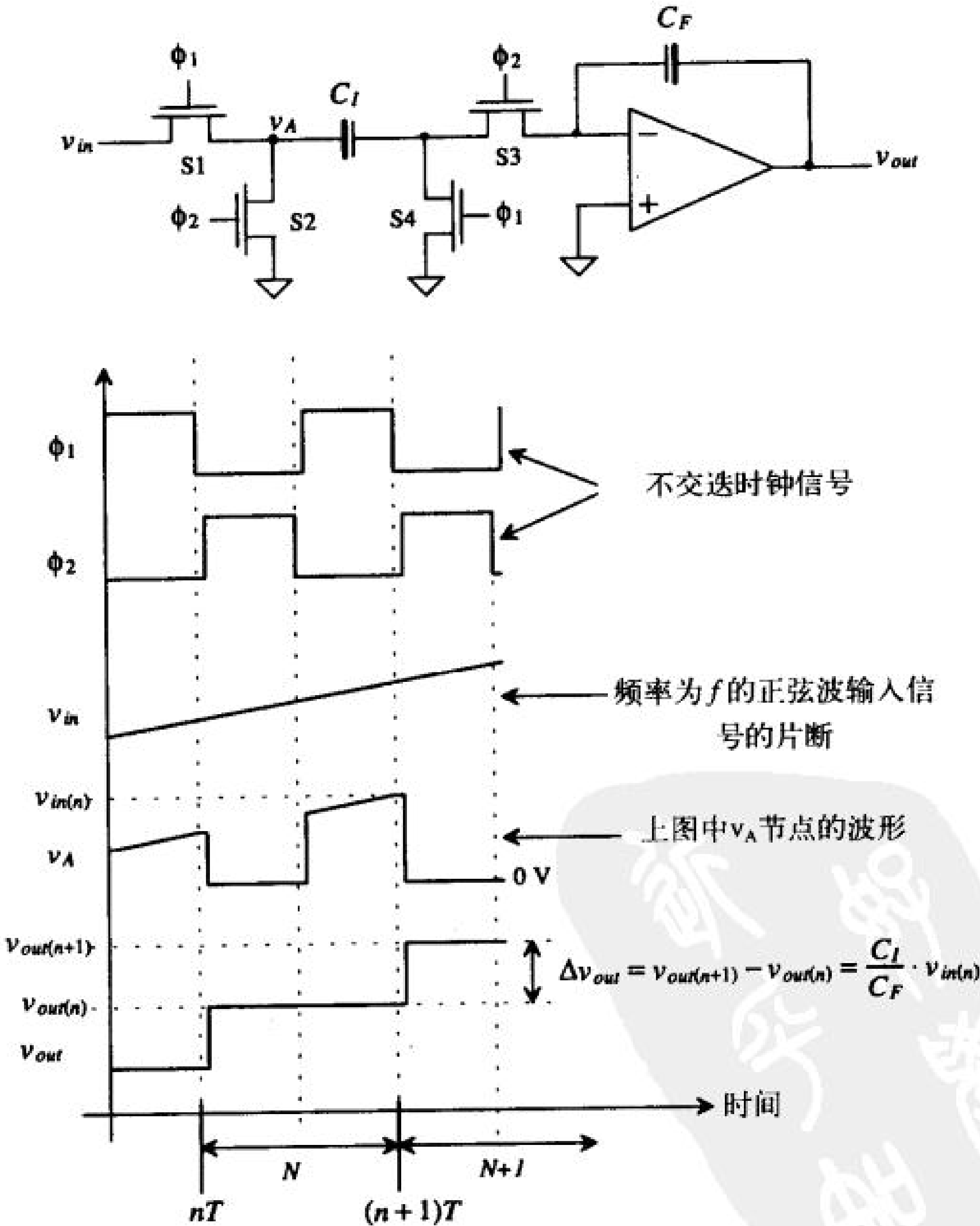
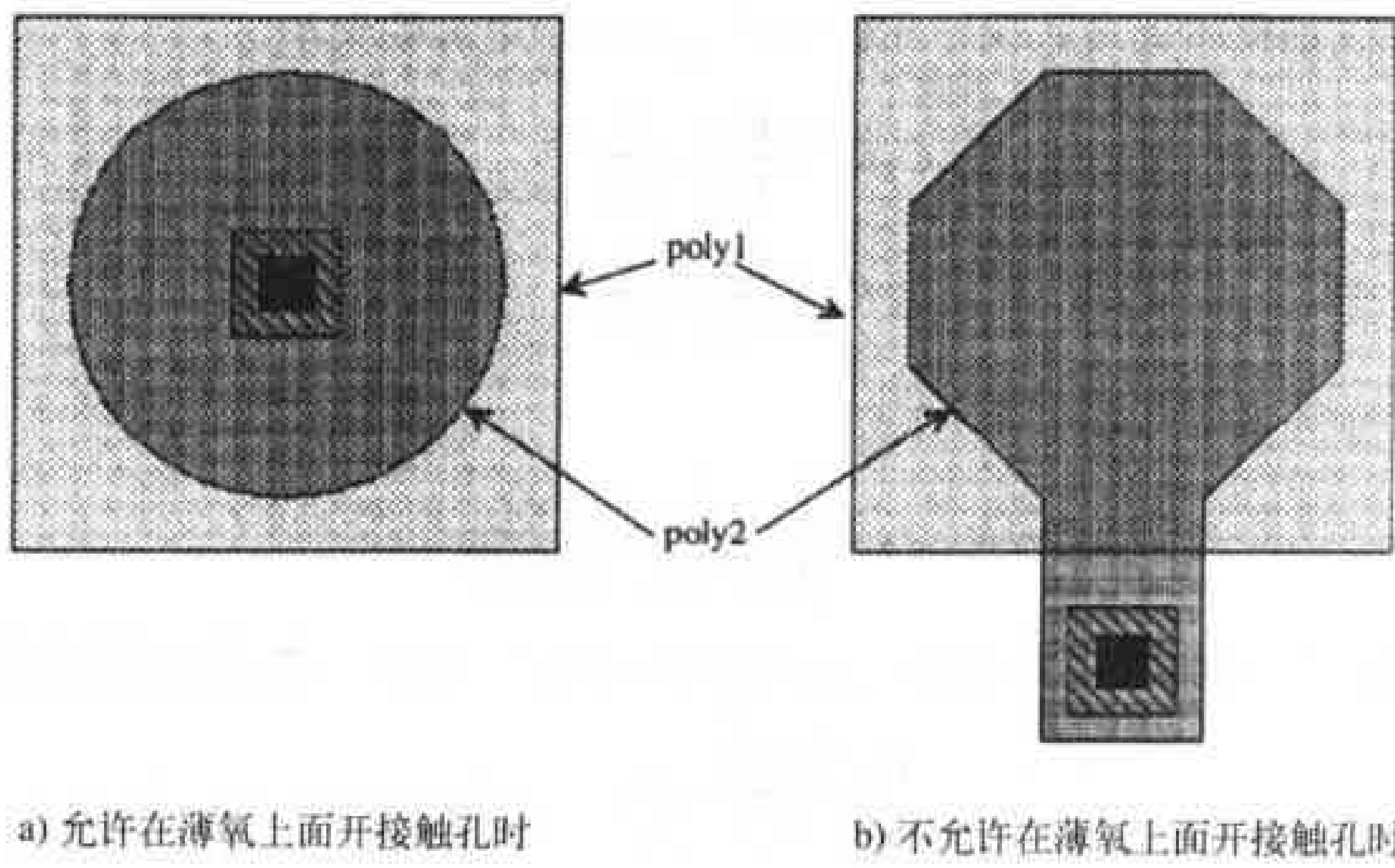


图27-21 开关电容积分器（用来分析输入频率与开关时钟频率的关系）

电容的版图设计

在设计开关电容电路时，电容的版图设计是比较重要的一步。通常，先设计出一个小的电容单元，然后通过复制该电容单元来实现期望的大电容。在上一个例子中，单元电容可以取为100fF，如图27-22所示（与图7-10相同）⊖。另外，重要的是电容的比值，而不是每个电容的绝对值。为了实现上一个例子中的3.2pF电容，只需要32个单元电容即可，如图27-23所示。采用这种实现方式，能消除多晶硅图形转移时的一阶偏差。在电容周边加上一圈p+保护环，以减小衬底噪声；把电容置于接*VDD*的n阱上面，也有助于减小衬底噪声。能减小衬底噪声的原因在于：衬底中激发产生的少数载流子会被p+或者n阱吸收（或者被两者共同吸收）。如果对电容的匹配度有很高要求，那么可以采用共质心的版图结构。另外，可以在电容阵列的周边放置伪多晶硅条或电容，这样可以抑制多晶硅淘蚀所引起的边缘偏差（这一点已经在第20章中讨论过）。

736～737



a) 允许在薄氧上面开接触孔时　　b) 不允许在薄氧上面开接触孔时

图27-22 100fF的单元电容的版图

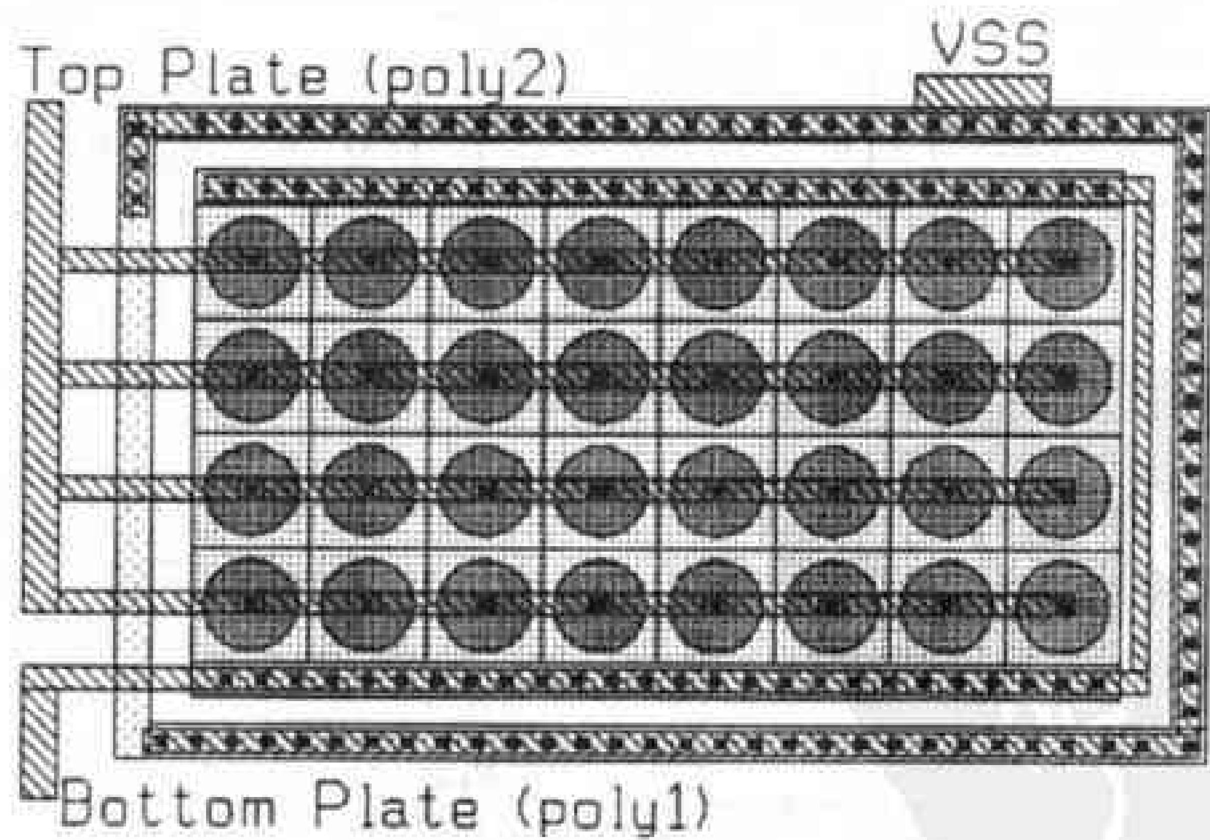


图27-23 用100fF的单元电容实现的3.2pF电容的版图

738

⊖ 这里基于一个假设：圆形图形能被精确地转移到掩模版和硅片上。实际上，制造掩模版时的一些实际限制（如电子束尺寸的限制、格点间距的限制等）会使得该假设不能成立。

用开关电容技术实现梯形滤波器

考虑图27-24给出的梯形低通滤波器。它采用双端结构以降低电路对器件参数偏差的敏感度[14]。下面将采用开关电容技术来实现电路中的电阻、电感和电容。电感L_3两端的电压v_3（$=v_2-v_4$）和流过L_3的电流i_3已分别标注在该图上。另外，我们定义流过一个电感的电流和一个归一化电阻R_s（通常$R_s=1\Omega$）的乘积为电感的归一化电压（scaled voltage），那么L_3的归一化电压为：

$$v_3'=i_3\cdot R_s \tag{27-25}$$

对图27-24中的电容C_2而言，电压v_2为：

$$v_2=\frac{i_2}{j\omega C_2}=\frac{1}{j\omega C_2}(i_1-i_3)=\frac{v_s}{j\omega C_2R_1}-\frac{v_2}{j\omega C_2R_1}-\frac{v_3'}{j\omega C_2R_s} \tag{27-26}$$

用一个累加积分器可以实现上式的功能。因此，用一个开关电容累加积分器替代电容C_2即可（如图27-25a）。可以根据下面各式确定出图27-25a中各个电容的大小：

$$C_2R_1=\frac{C_{F2}}{C_{21}}\cdot\frac{1}{f_{clk}} \tag{27-27}$$

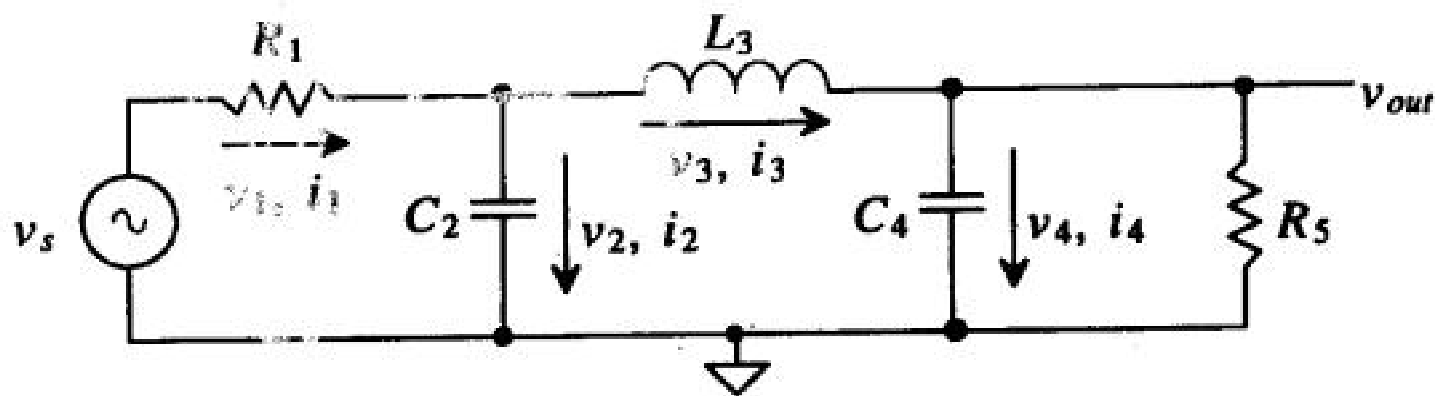
$$C_2R_s=\frac{C_{F2}}{C_{22}}\cdot\frac{1}{f_{clk}} \tag{27-28}$$

对于电感L_3而言，下式成立：

$$v_3'=R_s\cdot i_3=\frac{v_2}{j\omega L_3/R_s}-\frac{v_4}{j\omega L_3/R_s} \tag{27-29}$$

它的功能也可以用一个累加积分器实现，如图27-25b所示。图中，各元件的值满足下式：

$$\frac{L_3}{R_s}=\frac{C_{F3}}{C_{31}}\cdot\frac{1}{f_{clk}} \tag{27-30}$$



739

图27-24 双端低通梯形滤波器

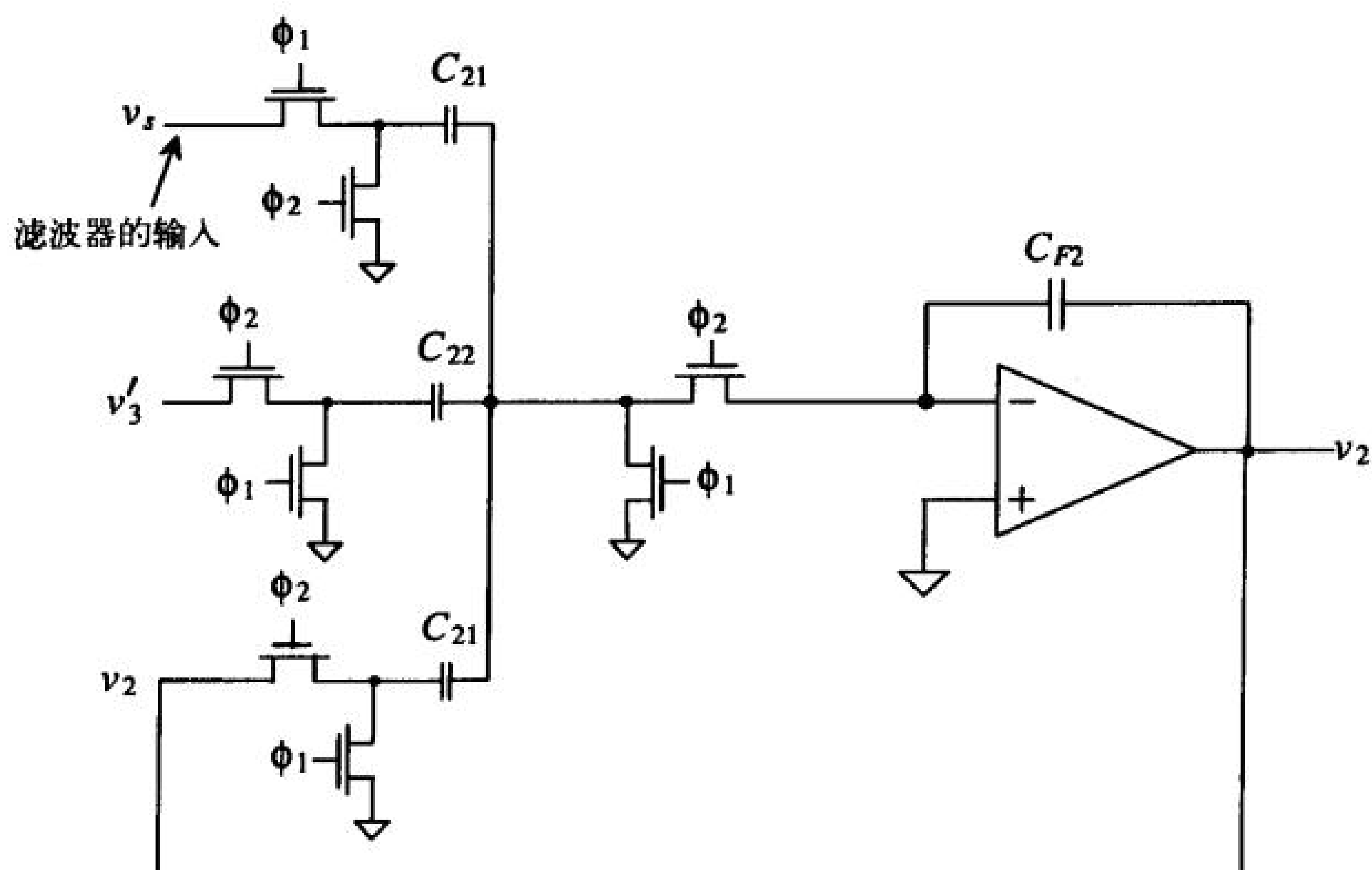
仔细观察图27-25中与运算放大器负输入端相接的开关的时钟信号ϕ_1和ϕ_2，可以看出：图27-25b和图27-25a中的时钟信号的相位正好相反。这样（a）图电路的输出可以直接做（b）图电路的输入，没有T（即$1/f_{clk}$）的时间延迟。电压v_4（$=v_{out}$）等于：

$$v_4=\frac{i_3-i_5}{j\omega C_4}=\frac{v_3'}{j\omega C_4R_s}-\frac{v_{out}}{j\omega C_4R_5}=v_{out} \tag{27-31}$$

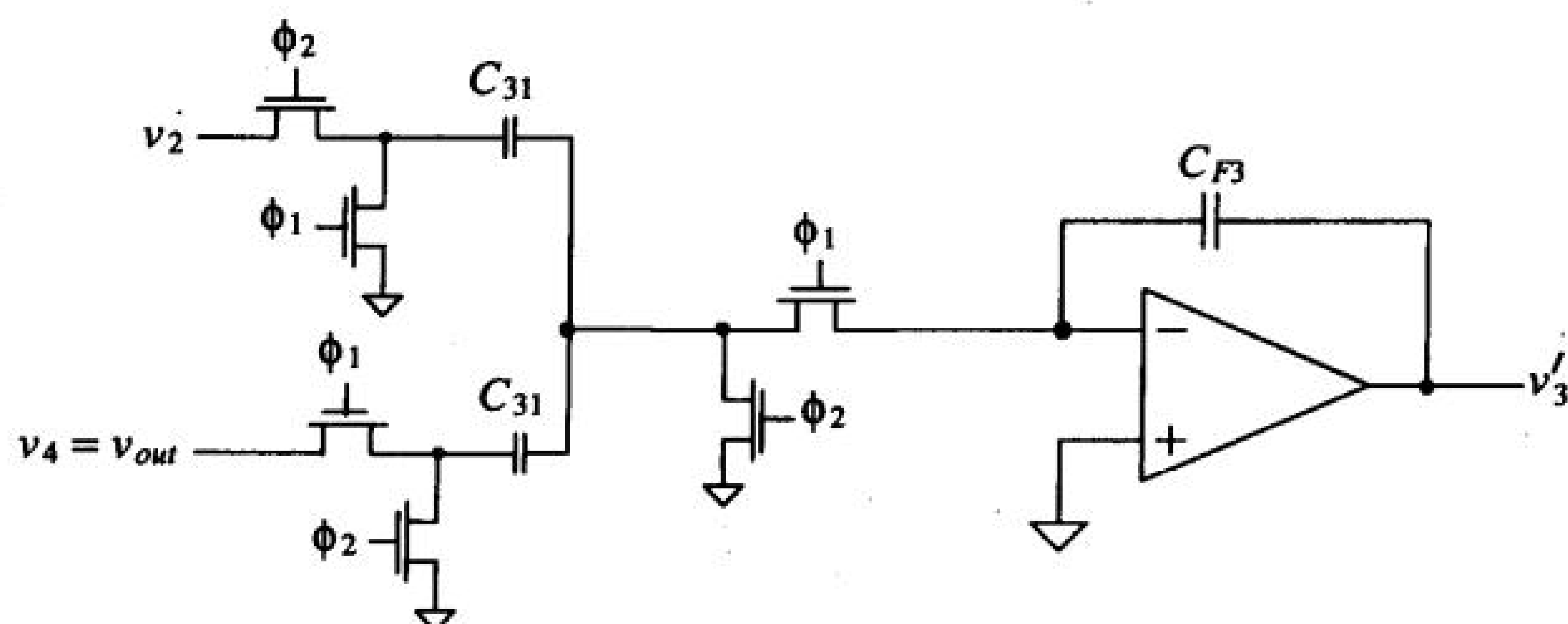
式中：

$$C_4R_s=\frac{C_{F4}}{C_{41}}\cdot\frac{1}{f_{clk}} \tag{27-32}$$

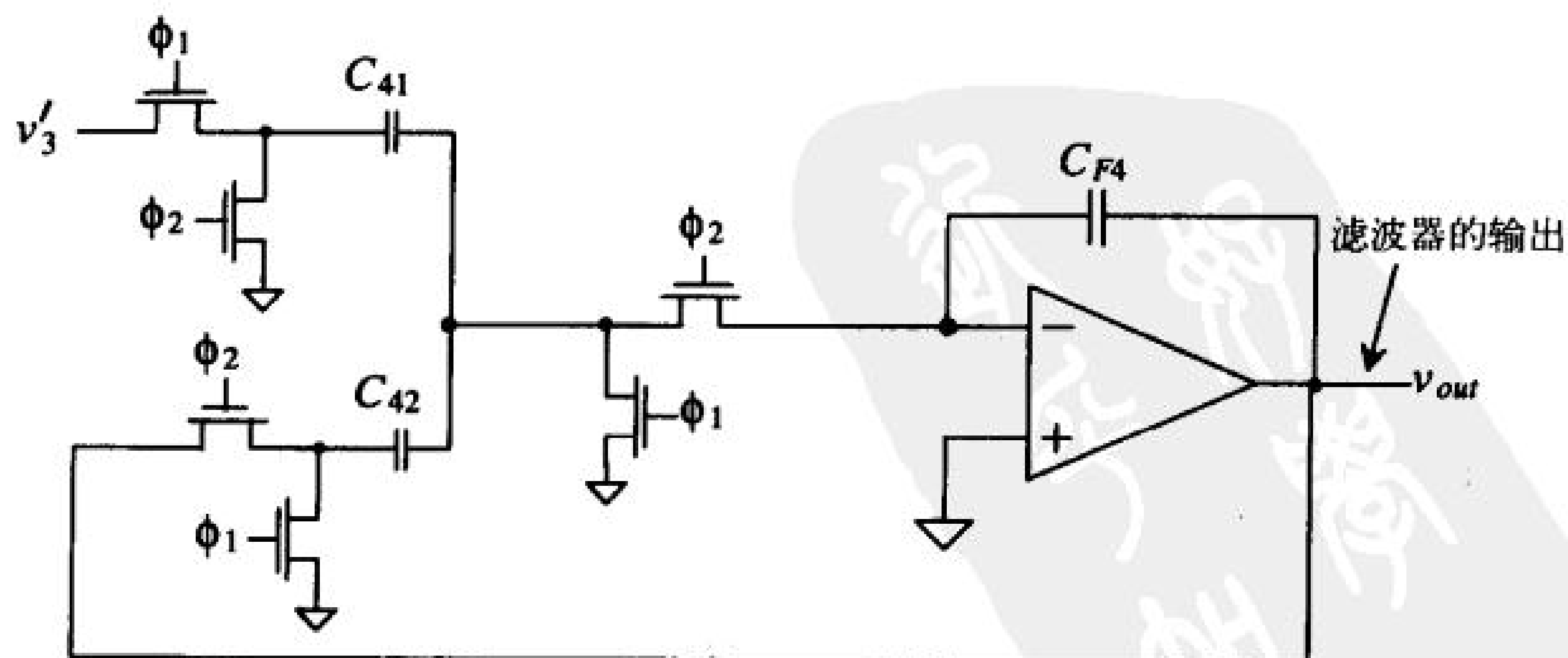
$$C_4R_5 = \frac{C_{F4}}{C_{42}} \cdot \frac{1}{f_{clk}} \tag{27-33}$$



a) 图27-24中R1和C2的开关电容实现



b) 图27-24中L3的开关电容实现



c) 图27-24中C4和R5的开关电容实现

图 27-25

图27-25c给出了梯形滤波器这一部分电路（$C4$和$R5$）的开关电容实现，它的时钟信号相位又与图27-25b中的相反。把图27-25中的三部分电路连接在一起，就构成了图27-24所示滤波器的完整的开关电容电路实现。

运算放大器的建立时间

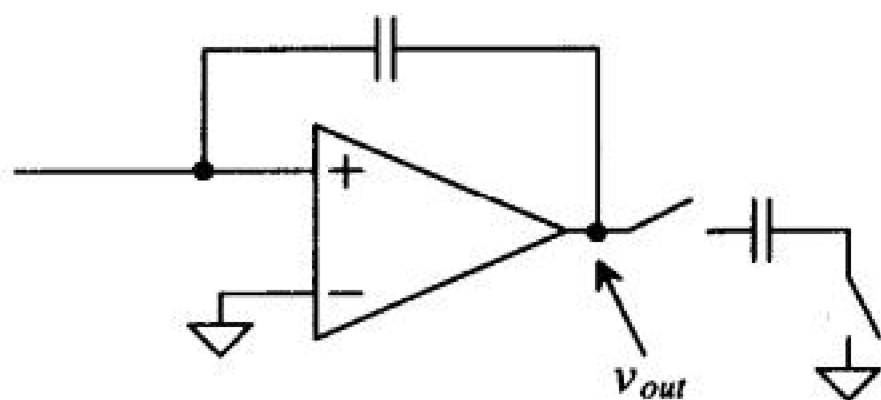
图27-26给出了一个由运算放大器构成的电路，运算放大器能向开关电容和反馈电容提供电流或从它们吸取电流，对这些电容进行充放电的时间非常重要，因为它直接影响着开关电容时钟频率 f_{clk}的最大值。前面已经深入讨论过运算放大器的压摆率限制问题，下面我们分析一下运算放大器的有限带宽带来的影响。运算放大器的闭环增益为:

$$A_{CL}=\frac{A_{OL}}{1+A_{OL}\cdot\beta} \tag{27-34}$$

已知运算放大器的开环增益为:

$$A_{OL}=\frac{A_{OL}(0)}{1+j\frac{f}{f_{3dB}}} \tag{27-35}$$

开环增益的单位是A/A、V/V、V/A或A/V。



740
~
741

图27-26 开关电容的充放电

假定$1>>1/[\beta\cdot A_{OL}(0)]$，则由上述两式知:

$$A_{CL}=\frac{\frac{1}{\beta}}{1+j\frac{f}{f_u\cdot\beta}} \tag{27-36}$$

式中，$f_{3dB}\cdot A_{OL}(0)=f_u$，$f_u$的单位为Hz、Hz/Ω或Hz · Ω；$f_u\beta$的单位是Hz。闭环增益简化为一个简单的单极点的传输函数。电路的低频增益为$1/\beta$，f_u与β的乘积为电路的时间常数:

$$\tau=\frac{1}{2\pi f_u\cdot\beta} \tag{27-37}$$

值得提醒的是，运算放大器的单位增益频率 f_u与负载电容的大小密切相关。当给运算放大器一个阶跃输入时，在开关电容电路的作用下（如图27-21所示），运算放大器的输出电压为（忽略压摆率限制）:

$$v_{out}=V_{outfinal}(1-e^{-t/\tau}) \tag{27-38}$$

要使运算放大器的输出电压稳定到与最终值相比误差小于1%，需要的时间为5τ；在实际的电路设计中，信号建立时间可以简单地用$1/(f_u\beta)$来粗略估算。

差分输出运算放大器

前面已经提到，在现代混合信号CMOS集成电路设计中（包括开关电容电路），有必要采

用全差分运算放大器。全差分设计的优点可以总结如下：

1. **输入共模电压总保持为V_{CM}。**它带来的好处是降低了对运算放大器中差分放大级CMR的要求。例如，如果$V_{CM} = 2.5V$，运算放大器的输入会总保持在2.5V。这一点对所有采用差分输出运算放大器的全差分电路都成立。全差分运算放大器不用于全差分电路的一个特例是单端到双端的转换电路（图26-33b）。在该电路中，运算放大器的输入并不总是V_{CM}。

2. **输出电压摆幅加倍。**为了理解这一点，考虑$VDD = -VSS = 2.5V$、$V_{CM} = 0V$这一情形。对于一个单端输出的运算放大器，其输出电压最大为2.5V；而对差分输出运算放大器，当$V_{o+} = 2.5V$时，V_{o-}可以为$-2.5V$，输出电压为$V_{o+} - V_{o-} = 5V$。因此，采用全差分信号通路的电路，其动态范围增大了。

3. **减少谐波失真。**能够减少谐波失真的原因在于：全差分电路中，取+输出端电压和-输出端电压之间的差值作为输出信号，偶阶的谐波失真项得到抵消。

4. **抑制衬底和耦合噪声。**在版图设计时，通常把两根差分输出信号线布在一起，因此，由衬底或其他信号线引入的噪声将作为共模信号，出现在运算放大器的输出端。理想情况下，当取这两个信号的差值作为输出时，噪声得到抑制。 742

图27-27给出了一个全差分运算放大器（实际上它是一个OTA），可用于开关电容电路设计。该电路是基于[15]给出的一个电路结构，其输入差分放大级是一个甲乙类源端交叉耦合对（已在第24章中讨论过），能消除压摆率限制。采用了宽摆幅的电流镜以提高输出电压摆幅，并使该电路能在低电源电压下工作（如3.3V）。在第24章中曾指出：源端交叉耦合对的主要缺点之一是输入共模范围小；但在全差分电路中，这个缺点对电路性能没有任何影响，其原因就是前面提到的全差分运算放大器的输入共模电压总是V_{CM}。源端交叉耦合对的主要缺点是增大了电路功耗（假定偏置电流相同）和噪声（包括热噪声和$1/f$噪声）。

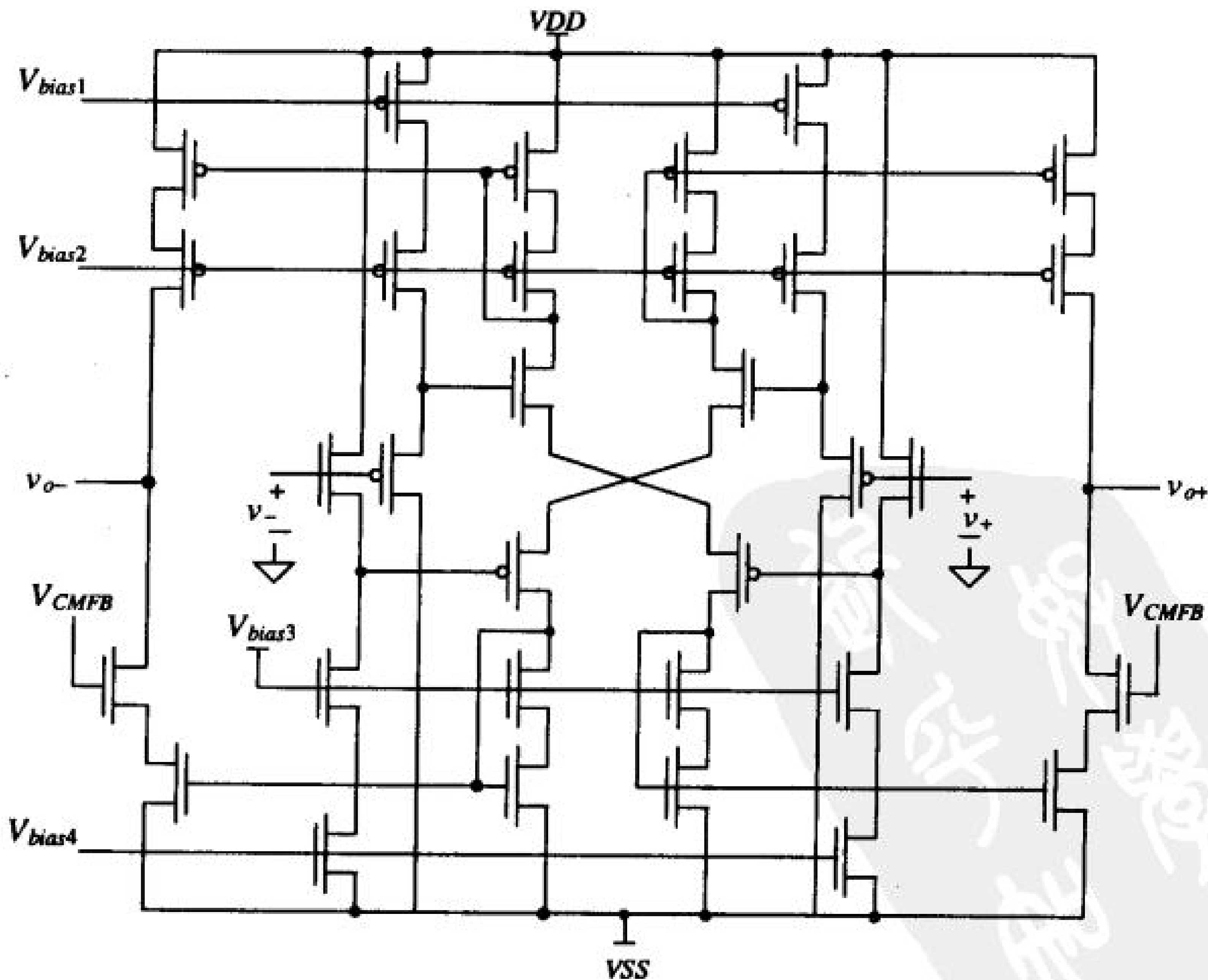


图27-27 可用于开关电容电路的全差分运算放大器（没有压摆率限制） 743

共模反馈电路可以用第25章讨论的连续时间电路来实现，也可以用开关电容电路来实现（如图27-28所示）[15]。图中的时钟信号仍是不交迭的。当ϕ_1控制的开关导通时，存储在两个C_1电容上的总电荷为$2C_1(V_{CM}-V_{bias3})$，而存储在两个C_2电容上的总电荷为:

$$C_2\left(v_{o+}-V_{CMFB}^{\phi_1}\right)+C_2\left(v_{o-}-V_{CMFB}^{\phi_1}\right)$$

可化简为:

$$2C_2\left[\frac{v_{o+}+v_{o-}}{2}-V_{CMFB}^{\phi_1}\right] \tag{27-39}$$

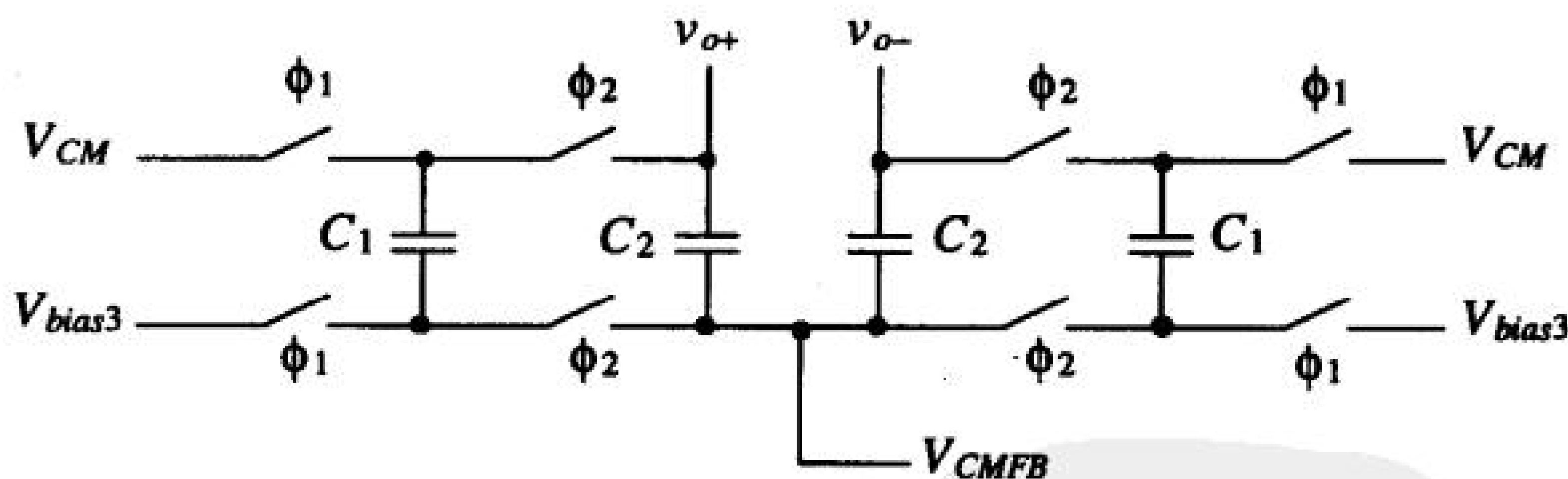
式中，$V_{CMFB}^{\phi_1}$为ϕ_1控制的开关导通时的CMFB电路的输出。当ϕ_2控制的开关导通时，由于电荷守恒，可得到:

$$2C_2\left[\frac{v_{o+}+v_{o-}}{2}-V_{CMFB}^{\phi_1}\right]+2C_1(V_{CM}-V_{bias3})=(C_1+C_2)\left[(v_{o+}-V_{CMFB}^{\phi_2})+(v_{o-}-V_{CMFB}^{\phi_2})\right] \tag{27-40}$$

整理，得:

$$C_1(V_{CM}-\frac{v_{o+}+v_{o-}}{2}+V_{CMFB}^{\phi_2}-V_{bias3})+C_2(V_{CMFB}^{\phi_2}-V_{CMFB}^{\phi_1})=0 \tag{27-41}$$

当运算放大器的输出平衡时，$V_{CMFB}^{\phi_1}=V_{CMFB}^{\phi_2}=V_{bias3}$，输出的平均电压（$v_{o+}+v_{o-}$）/2等于共模电压$V_{CM}$。如果输出的平均电压大于$V_{CM}$，则$V_{CMFB}^{\phi_2}$会大于$V_{CMFB}^{\phi_1}$，并引起输出电压平均值减小。同样，当输出的平均电压小于V_{CM}时，则$V_{CMFB}^{\phi_2}$会小于$V_{CMFB}^{\phi_1}$，并引起输出电压平均值增大。电容C_2的最大值取决于OTA输出的负载驱动能力，而电容C_1的值由设计期望的CMFB电路的响应决定。通常，电容C_1的大小约为C_2的十分之一。可取的电容的最小值由电荷注入和kT/C噪声的影响决定。另外，接v_{o+}和v_{o-}的开关可以用传输门来实现，这样从VDD到VSS，电路都能正常工作。



744

图27-28 开关电容CMFB电路

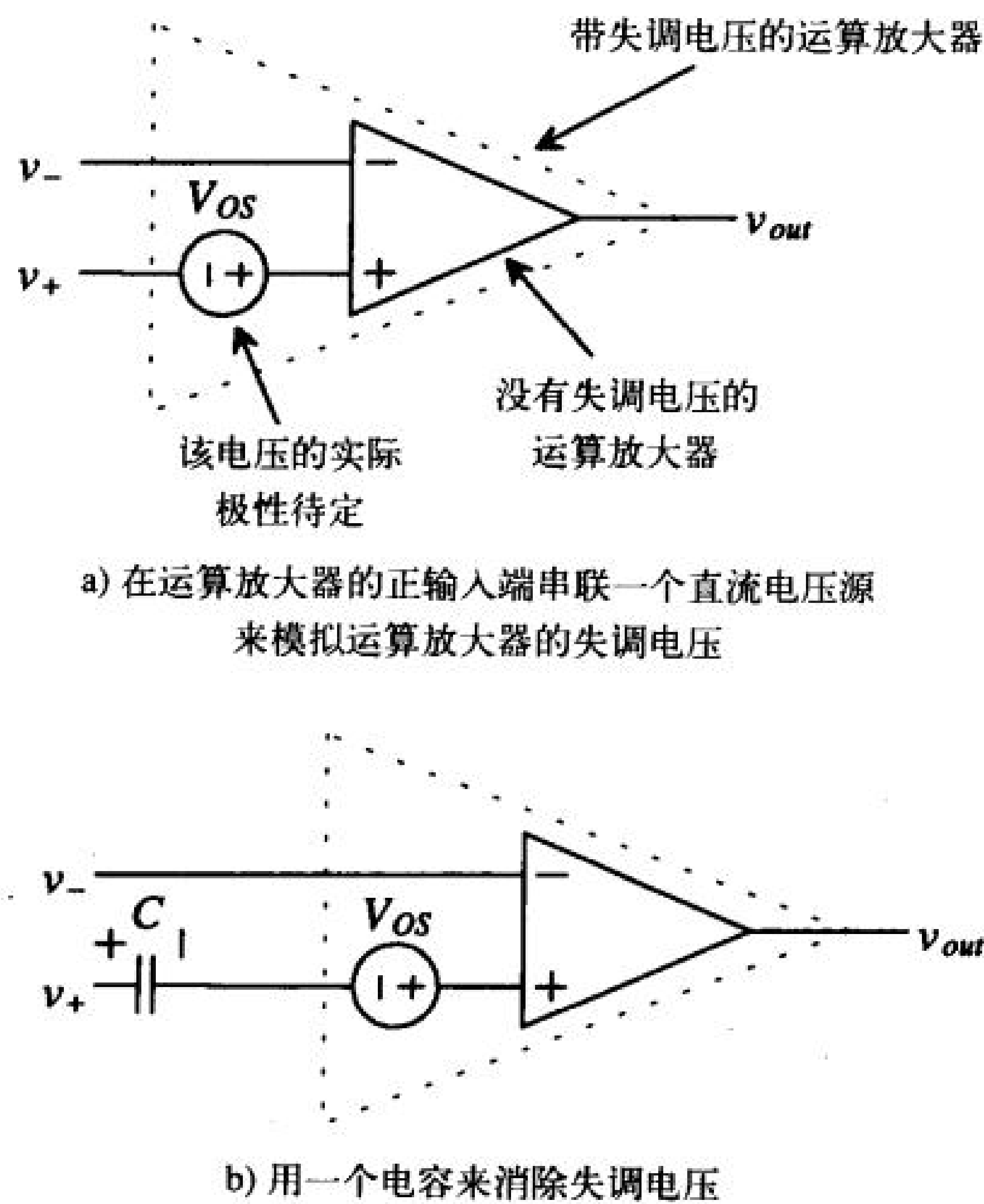
27.3 其他几个动态电路的实例

在这一部分中我们将给出另外几个动态电路的实例。

减小运算放大器的失调电压

运算放大器失调电压的建模可以通过在运算放大器的正输入端串联一个直流电压的方式来实现，如图27-29a所示[16]。图27-29b给出了消除失调电压的基本思想：对图中的电容充电，使电容上的电压等于运算放大器的失调电压，且使这两个电压的极性刚好相反即可。图27-30中的动态模拟电路用来消除失调电压的影响。为了有效地减少失调电压，配置成单位增益结

构的运算放大器必须稳定。时钟信号ϕ_1和ϕ_2需要是两项不交迭时钟，这一点在第14章已经讨论过了。不交迭时钟使得开关S1、S2和S3不会与开关S4和S5同时导通。我们先考虑ϕ_1为“高”、ϕ_2为“低”这种情形（图27-30b）。运算放大器通过负反馈，强制其输出为零伏，这样会使电容被充电到电压V_{OS}，电容上电压的极性如图所示。注意到，此时，输入信号并没有接到运算放大器的输入端。当ϕ_1为“低”、ϕ_2为“高”时（如图27-30c所示），运算放大器正常工作（假定存储电容C比运算放大器的输入电容大很多）。



a) 在运算放大器的正输入端串联一个直流电压源来模拟运算放大器的失调电压

b) 用一个电容来消除失调电压

图 27-29

745

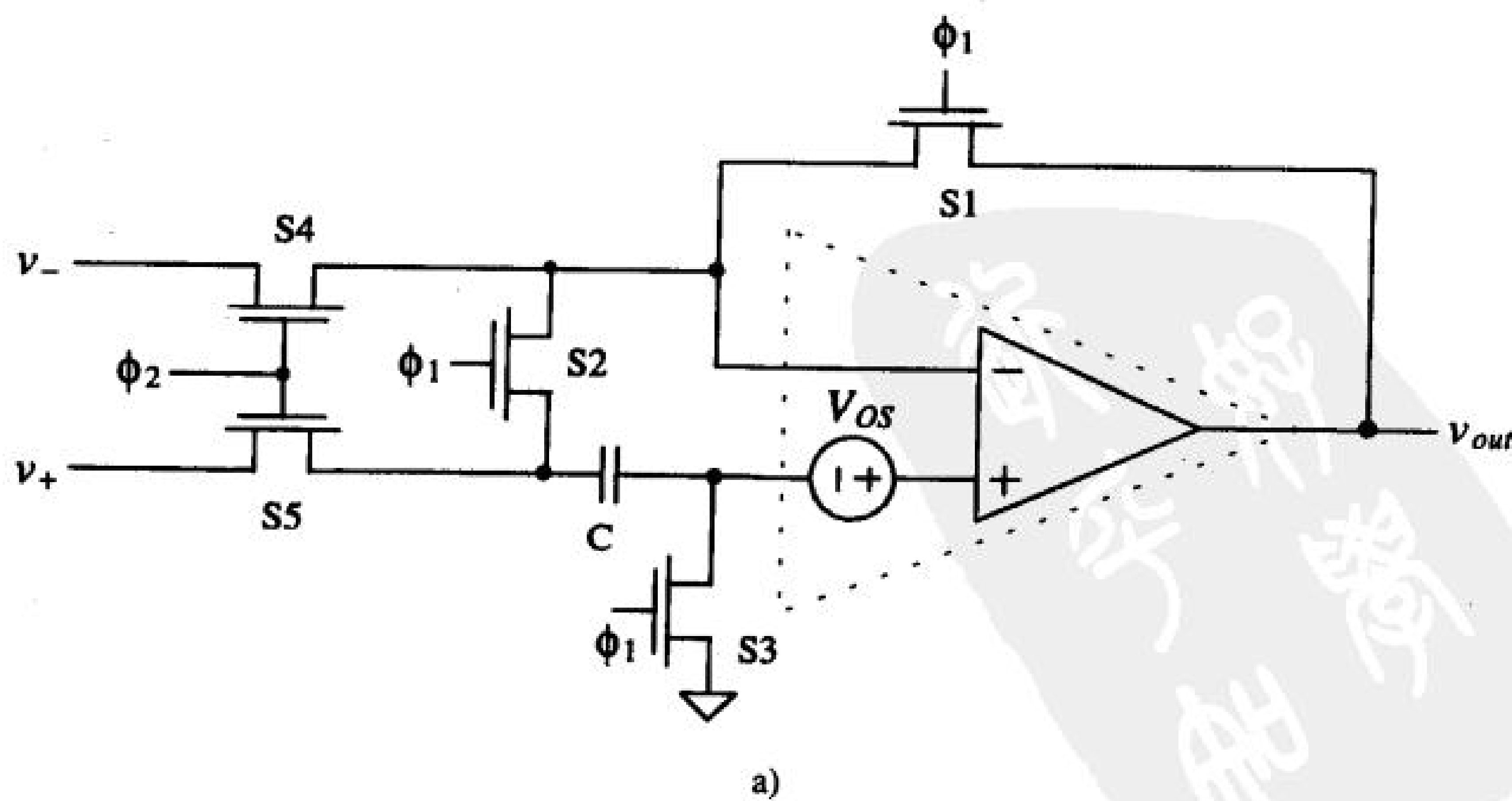


图27-30　用动态电路来减小失调电压

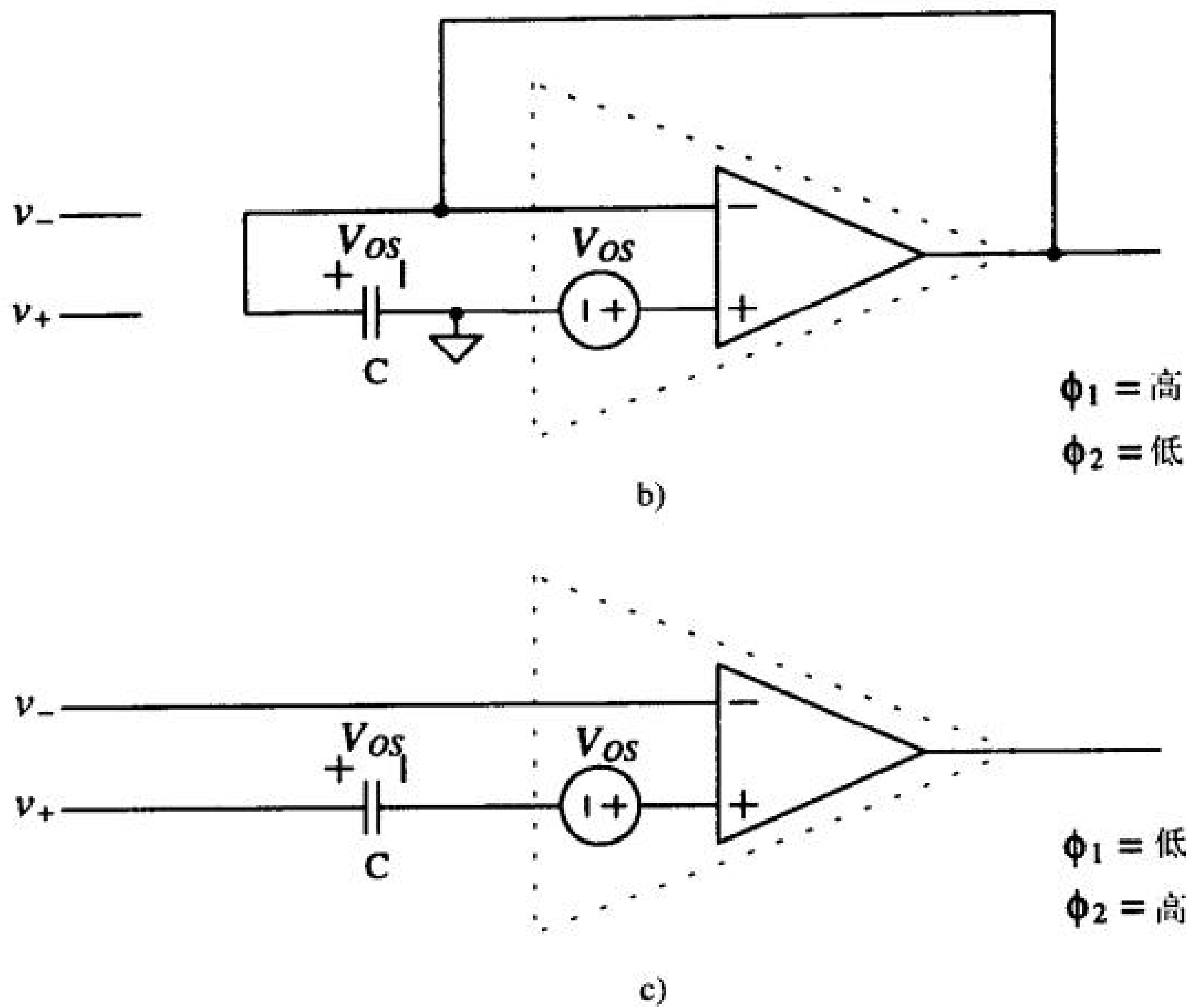


图27-30 （续）

动态比较器

在讨论动态比较器之前，我们先分析一下图27-31a中的*RC*开关电路（节点A接+5V、节点B接地的情形）。当图中的开关接到另一端时（即A节点的开关接地、B节点的开关接悬浮点），此时会出现什么情形呢？当开关刚刚切换后的这一刻，节点B的电压为-5V（因为电容两端的电压不能瞬间改变）。如果经过一个很短的时间后（相对于*R*和*C*的乘积而言），节点A又接回+5V，节点B又接回地，那么，电容两端的电压保持为+5V。

746

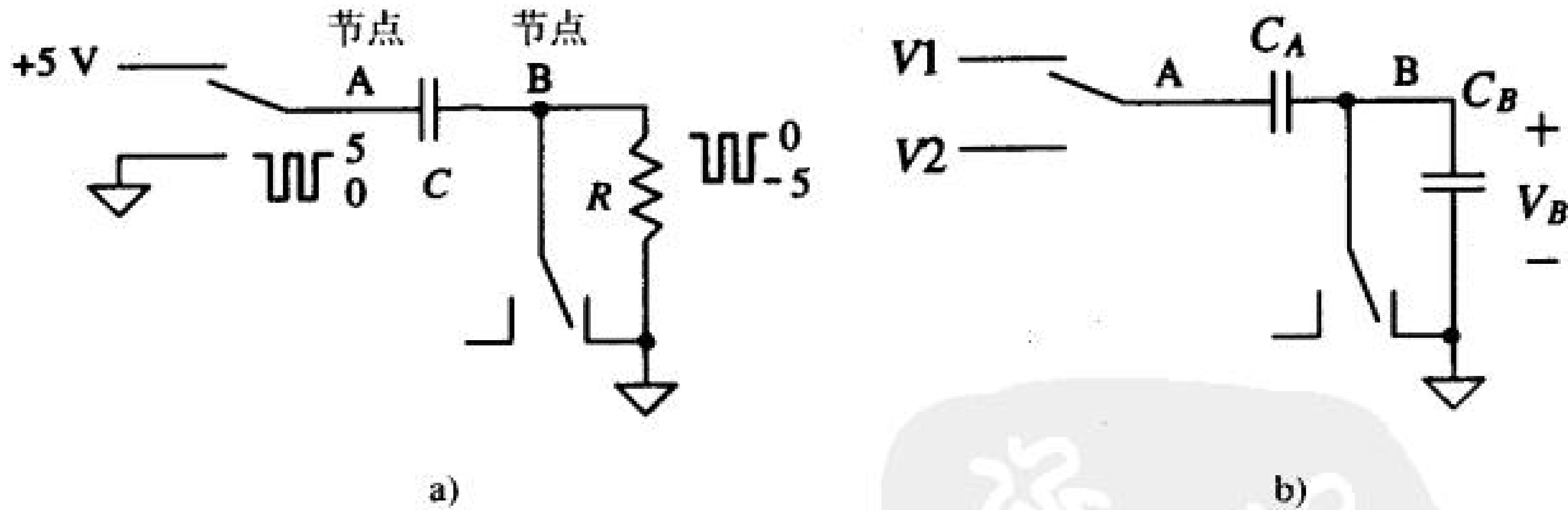


图27-31　动态电路中的RC开关电路

图27-31b所示电路在CMOS电路系统中有更多的应用。如果节点A接V1时，接电容C_B的开关接地，那么，当开关转接到另一端时，V_B为：

$$V_B = (V2 - V1) \cdot \frac{C_A}{C_A + C_B} \tag{27-42}$$

图27-32给于了一个基于反相器的动态比较器[17]。当ϕ_1为“高”时，v_-输入电压接节点A，节点B的电压通过开关S3设定，此时反相器的输入和输出电压相等。当M1和M2管都工作在饱和区时，反相器的功能就类似于一个线性放大器。当ϕ_2为“高”时（由于不交迭，ϕ_1此时为

“低”)，v_+输入电压接节点A。如果C_A远大于反相器的输入电容C_B，则反相器输入电压V_B的改变为：

$$v_{in}=v_+-v_- \tag{27-43}$$

假定反相器的增益很大，V_B的电压改变会导致反相器的输出为VDD或VSS。当ϕ_1有效时，锁存器会锁存该输出信号。可通过增加反相器级数的方式来增大比较器的增益。

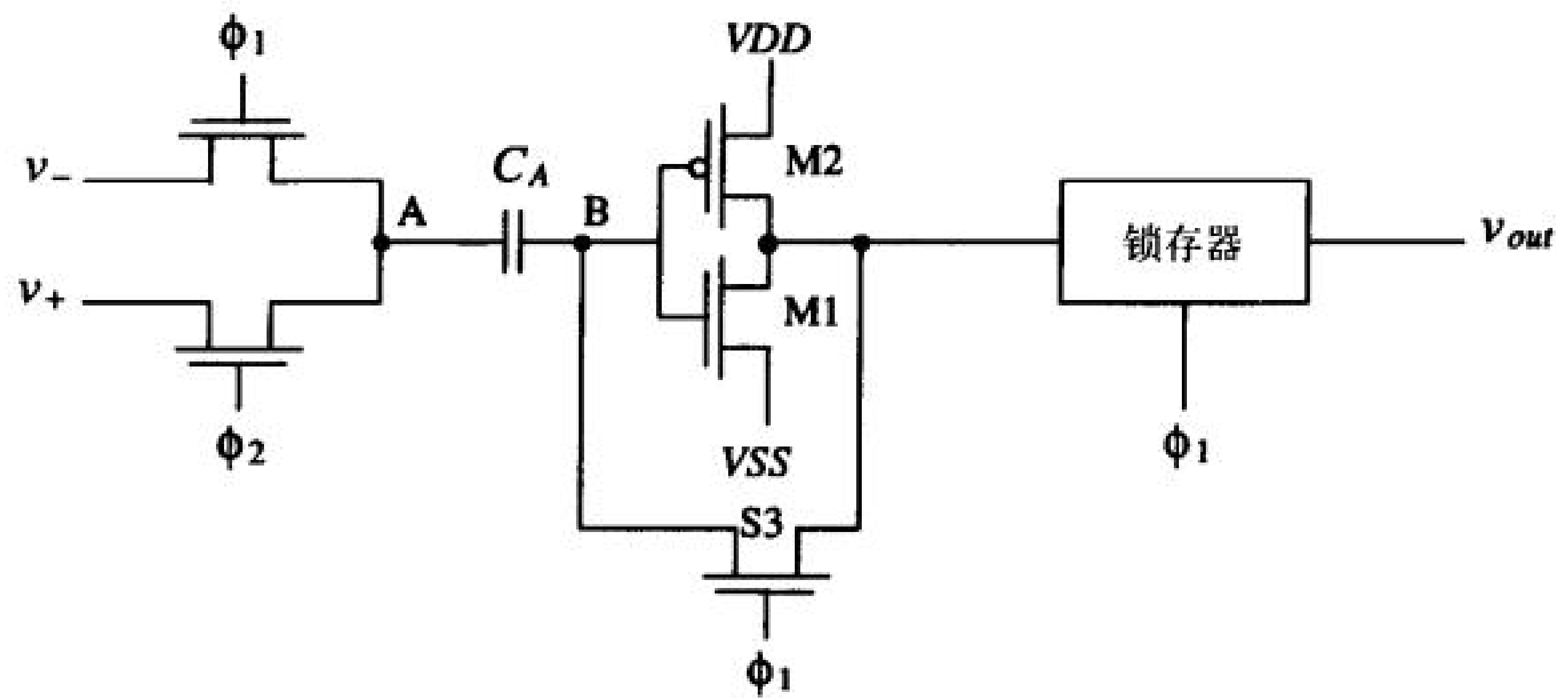


图27-32 一个动态比较器

另一种高性能的动态比较器电路是基于动态锁存器的，如图27-33所示[18]。这种锁存器用作比较器的正反馈级。在比较器的预放大级采用输入失调电压存储（Input Offset Storage，IOS）或输出失调电压存储（Output Offset Storage，OOS）技术可以减小比较器的失调电压。图27-34给出了这两种消除失调电压的技术。在IOS结构中，配置成单位增益反馈结构的预放大级必须稳定。而且，当失调电压被存储到电容上时，预放大级的MOS管必须仍工作在饱和区。如果采用差分放大器做预放大级，就比较容易满足这一要求。

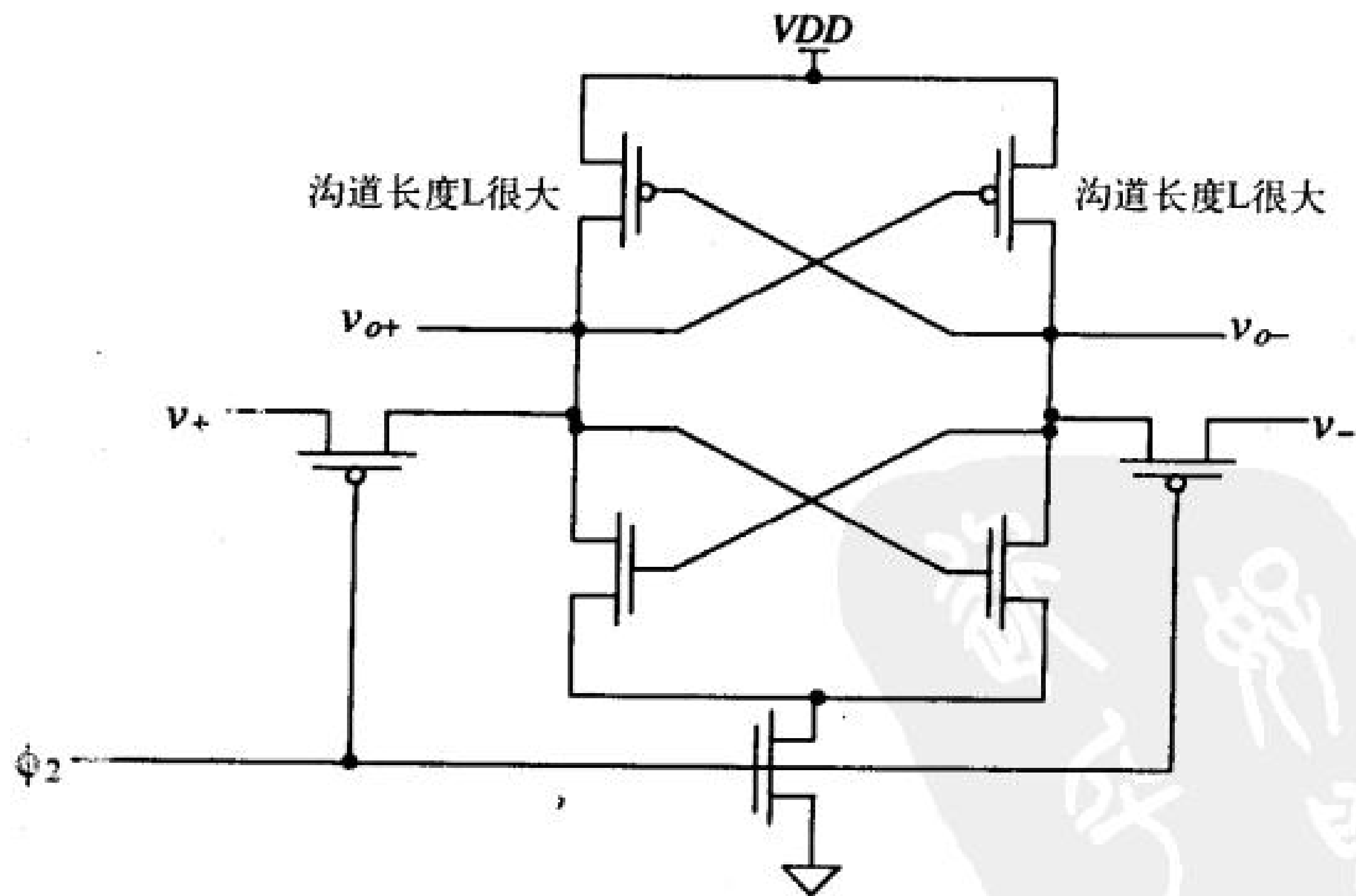
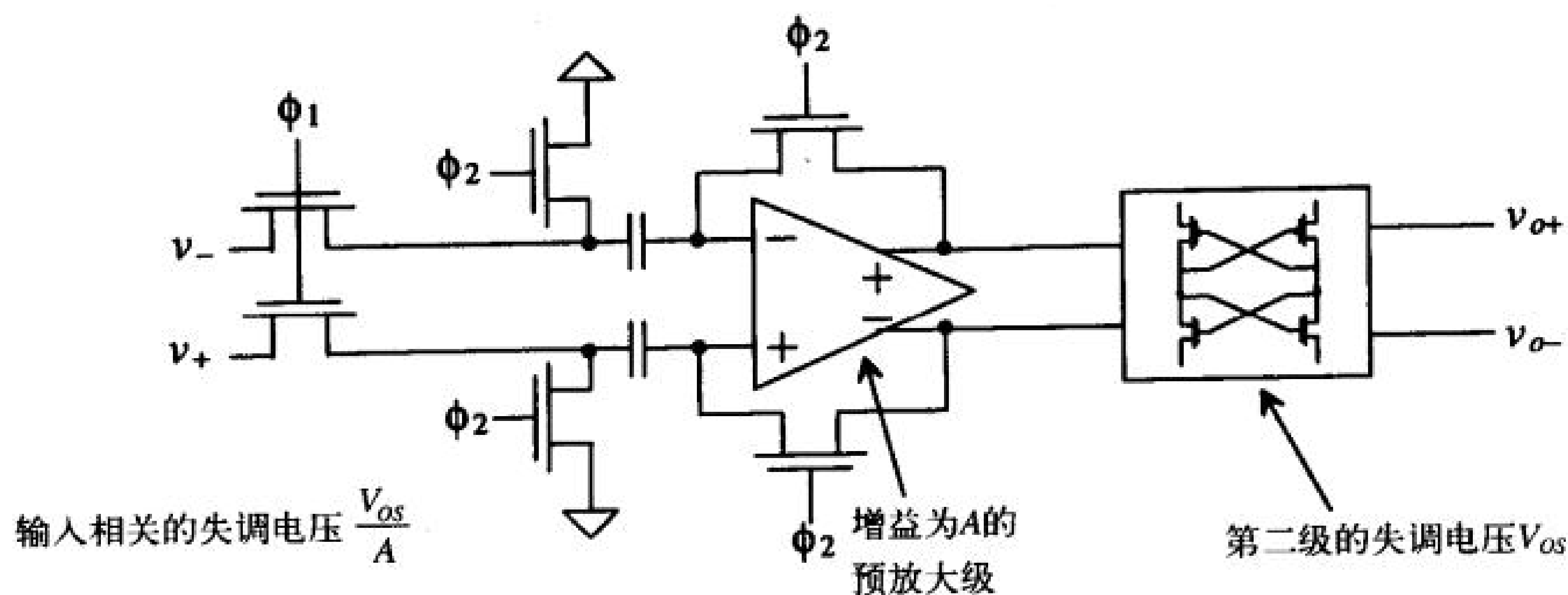


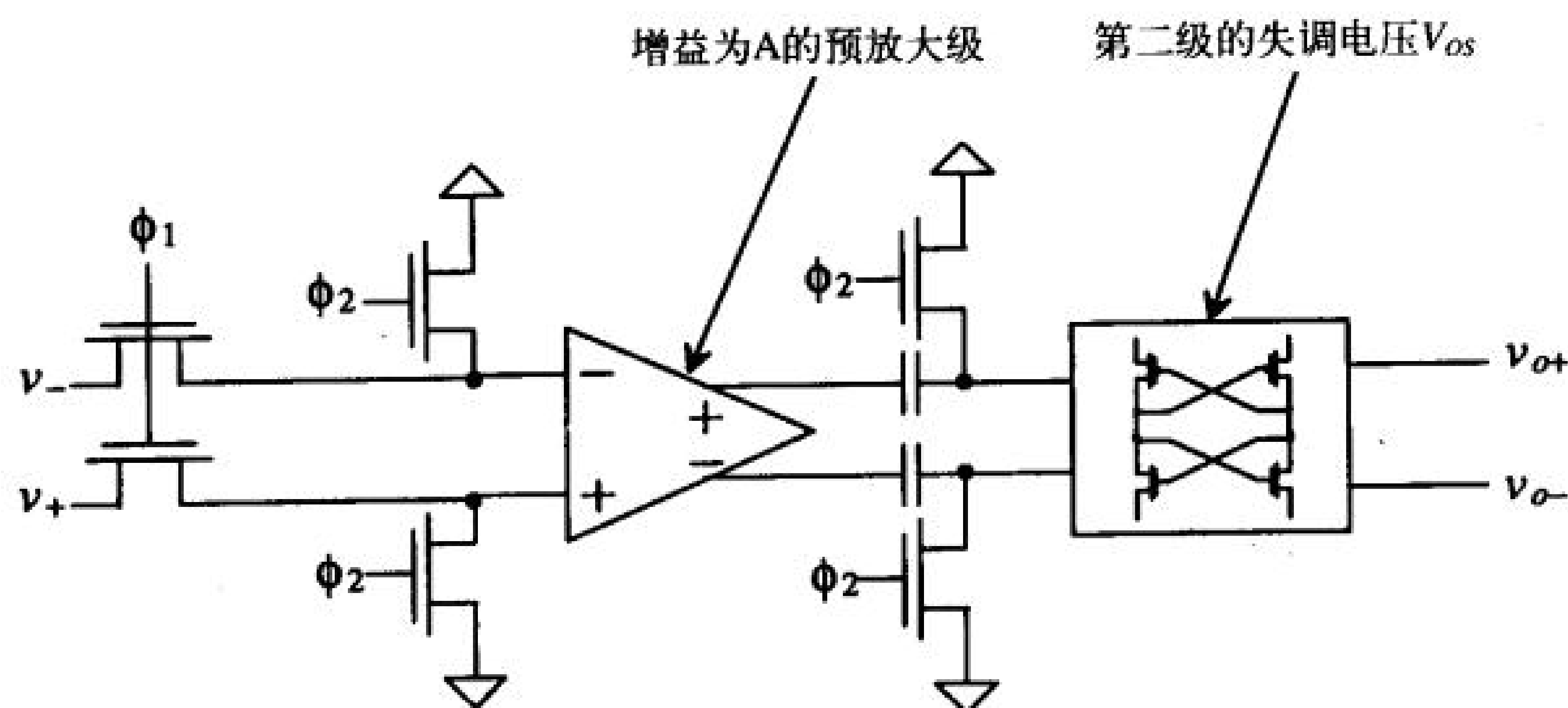
图27-33 动态CMOS锁存器

在设定存储电容的大小时，需要考虑三个比较重要的因素：（1）预放大级或锁存器的输入电容；（2）电荷注入；（3）kT/C噪声。对IOS情形，输入存储电容必须远大于预放大级

的输入电容；只有这样，存储电容才不会引起输入信号的衰减。例如，若存储电容的大小与预放大级的输入电容相同，则能到达预放大级的输入信号将只有一半。对OSS情形，存储电容必须远大于动态锁存器的输入电容。



a) 输入失调电压的存储（IOS）



b) 输出失调电压的存储（OOS）

图 27-34

动态电流镜

采用动态技术能极大地减小电流镜中阈值电压失配的影响。考虑图27-35中的电路。当ϕ_1为“高”、ϕ_2为“低”时（这两个时钟也应不交迭），开关S1和S3导通，开关S2关断，电流I_{ref}流过M1管，与此电流值相匹配的M1管的栅源电压建立起来并存在电容C上。当S1和S3关断、S2导通时，电流I_{out}等于I_{ref}（忽略沟道长度调制效应）。当ϕ_2为“高”时，该电路的行为类似一个电流源；当ϕ_2为“低”时，该电路开路。图27-36所示电路是一个可以连续工作的动态电流镜：当ϕ_1为“高”时，M2管抽取电流；当ϕ_2为“高”时，M1管抽取电流。电路中，器件之间的阈值电压和跨导参数的差异会引起失配，而上述电路可用于消除失配的影响（即输出电流的偏差）。一组电流镜中的各个支路电流可以用一个参考电流来生成，电流镜的有限输出电阻会导致电流之间存在差异。

动态放大器

图27-37给出了一个动态放大器。当φ为“低”时，该电路进行放大；当φ为“高”时，M1和M2管被动态偏置，因此，不能放大。如果与M1和M2管的输入电容相比，C1和C2较大，那么，输入的交流信号v_{in}会被施加到两个MOS管的栅极上。这种偏置机制降低了放大器对阈

值电压和电源电压漂移的敏感度。[19]给出了另外一种结构的动态放大器，它是差分输入，并且在各个时钟周期内都能工作。

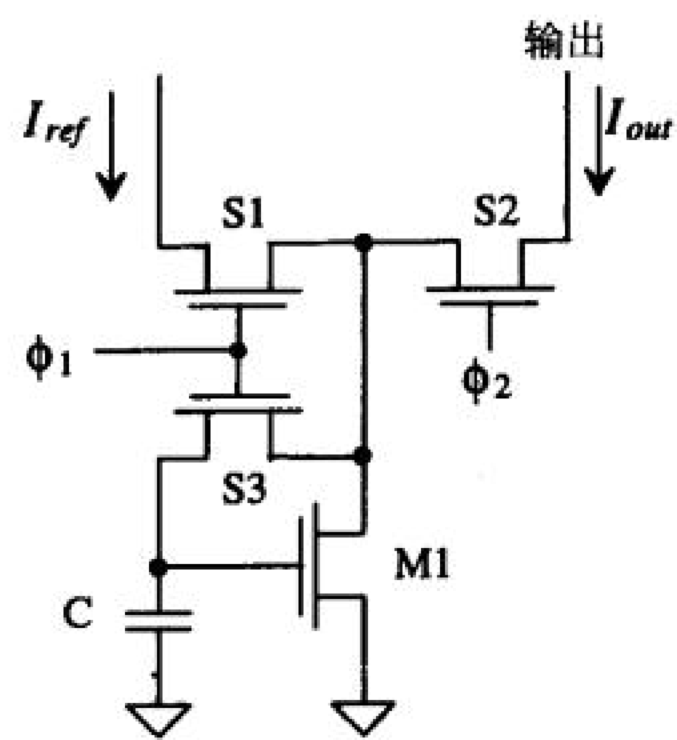


图27-35 一个电流镜的动态偏置

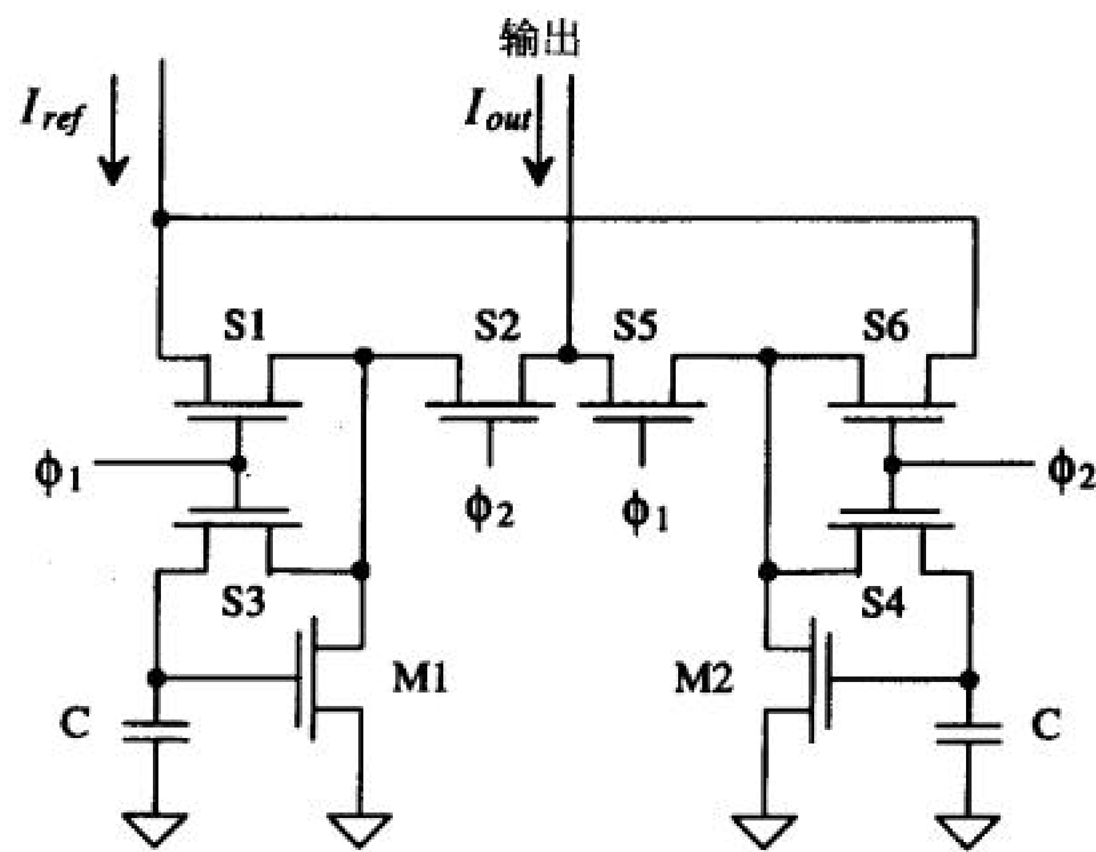


图27-36 可连续工作的动态电流镜

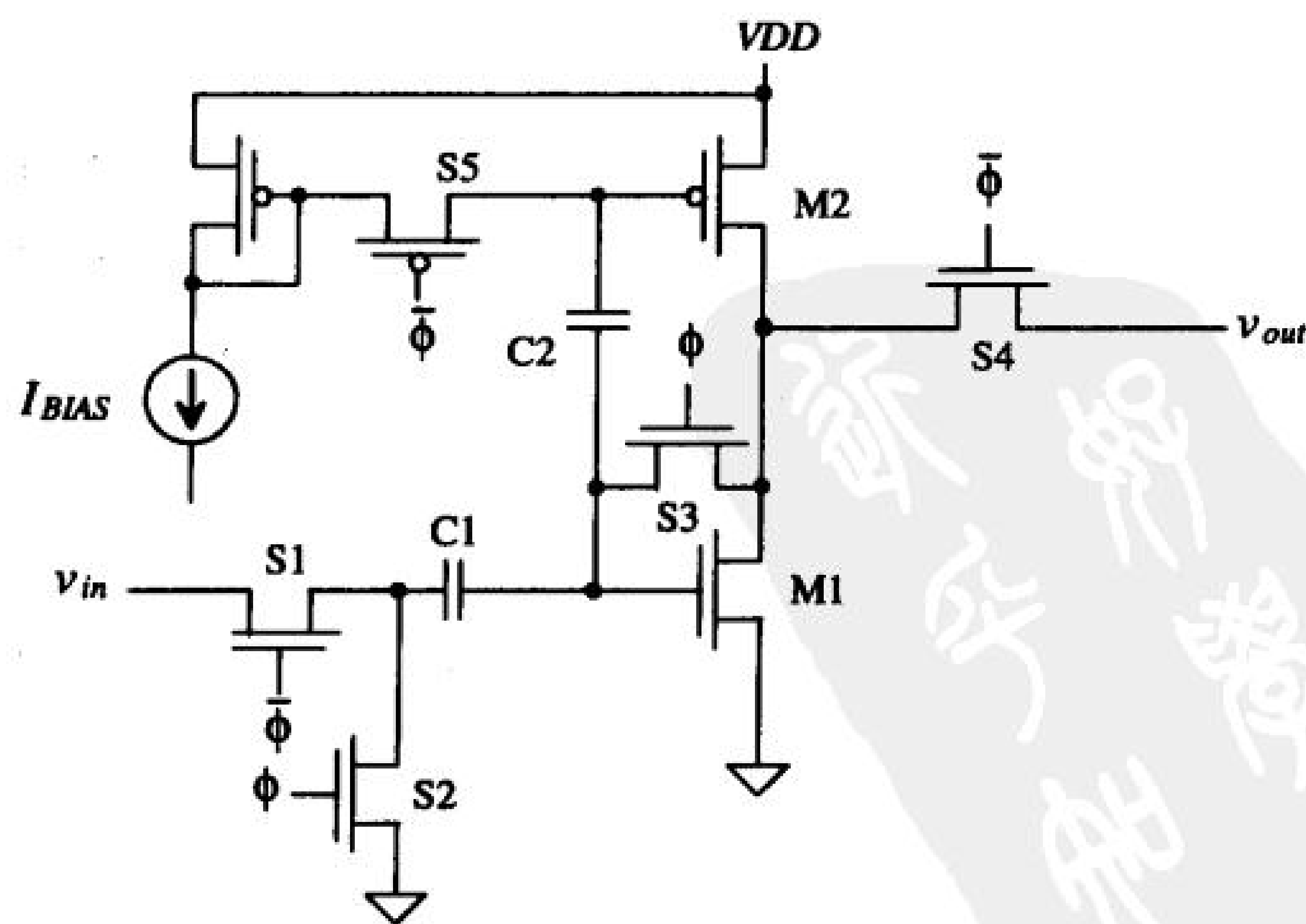


图27-37 动态放大器（其偏置对电源电压和阈值电压漂移的敏感度较低）

参考文献

[1] D. J. Allstot and W. C. Black, "Technology Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems" *Proceedings of the IEEE*, Vol. 71, No. 8, pp. 967-986, August 1983.

[2] J. Shieh, M. Patil, and B. Sheu, "Measurement and Analysis of Charge Injection in MOS Analog Switches," *IEEE Journal of Solid State Circuits*, Vol. 22, No. 2, pp. 277-281, April 1987.

[3] G. Wegmann, E. Vittoz, and F. Rahali, "Charge Injection in Analog MOS Switches," *IEEE Journal of Solid State Circuits*, Vol. 22, No. 6, pp. 1091-1097, December 1987.

[4] C. Eichenberger and W. Guggenbuhl, "On Charge Injection in Analog MOS Switches and Dummy Switch Compensation Techniques," *IEEE Transactions on Circuits and Systems*, Vol. 37, No. 2, pp. 256-264, February 1990.

[5] J. McCreary and P. R. Gray, "All MOS Charge Redistribution Analog-to-Digital Conversion Techniques - Part 1," *IEEE Journal of Solid State Circuits*, Vol. 10, pp. 371-379, December 1975.

[6] P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A Ratio-Independent Algorithmic Analog-to-Digital Conversion Technique," *IEEE Journal of Solid-State Circuits*, Vol. SC-19, No. 6, pp. 828-836, December 1984.

[7] E. J. Kennedy, *Operational Amplifier Circuits: Theory and Applications*, Holt, Rinehart and Winston, New York, 1988.

[8] D. Johns and K. Martin, *Analog Integrated Circuit Design*, John Wiley and Sons, New York, 1997.

747
751

[9] A. B. Grebene, *Bipolar and MOS Integrated Circuit Design*, John Wiley and Sons, New York, 1984.

[10] R. W. Broderson, P. R. Gray and D. A. Hodges, "MOS Switched-Capacitor Filters," *Proceedings of the IEEE*, Vol. 67, No. 1, January 1979.

[11] K. Martin, "Improved Circuits for the Realization of Switched-Capacitor Filters," *IEEE Transactions on Circuits and Systems*, Vol. CAS-27, No. 4, pp. 237-244, April 1980.

[12] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2nd ed., John Wiley and Sons, 1984. ISBN 0-471-87493-0.

[13] R. Gregorian, K. W. Martin, and G. Temes, "Switched-Capacitor Circuit Design," *Proceedings of the IEEE*, Vol. 71, No. 8, pp. 941-966, August 1983.

[14] D. J. Allstot, R. W. Broderson, and P. R. Gray, "MOS Switched-Capacitor Ladder Filters," *IEEE Journal of Solid-State Circuits*, Vol. SC-13, No. 6, pp. 806-814, December 1978.

[15] R. Castello and P. R. Gray, "A High-Performance Micropower Switched -Capacitor Filter," *IEEE Journal of Solid-State Circuits*, Vol. SC-20, No. 6, pp. 1122-1132, Dec. 1987.

[16] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, 1987. ISBN 0-03-006587-9.

[17] A. G. Dingwall and V. Zazzu, "An 8-MHz Subranging 8-bit A/D Converter," *IEEE Journal of Solid-State Circuits,* Vol. SC-20, No. 6, pp. 1138-1143, December 1992.

[18] B. Razavi and B. A. Wooley, "Design Techniques for High-Speed, High-Resolution Comparators," *IEEE Journal of Solid-State Circuits,* Vol. 27, No. 12, pp. 1916-1926, December 1992.

[19] S. Masuda, Y. Kitamura, S. Ohya, and M. Kikuchi, "CMOS Sampled Differential Push-Pull Cascode Operational Amplifier," *IEEE International Symposium on Circuits and Systems,* Vol. 3, pp. 1211-1214, 1983.

习题

27.1 用SPICE仿真图P27-1中的开关电路，观察时钟馈通对负载电容上的电压的影响。若电容值增大为100fF，该影响会有什么变化？

27.2 假定MOS管工作在线性区时的小信号导通电阻为：

$$r_{ds} = \frac{1}{\beta(V_{GS} - V_{THN})}$$

画出最小尺寸的P沟、N沟和传输门开关的小信号导通电阻。该图应该类似图27-2。

752

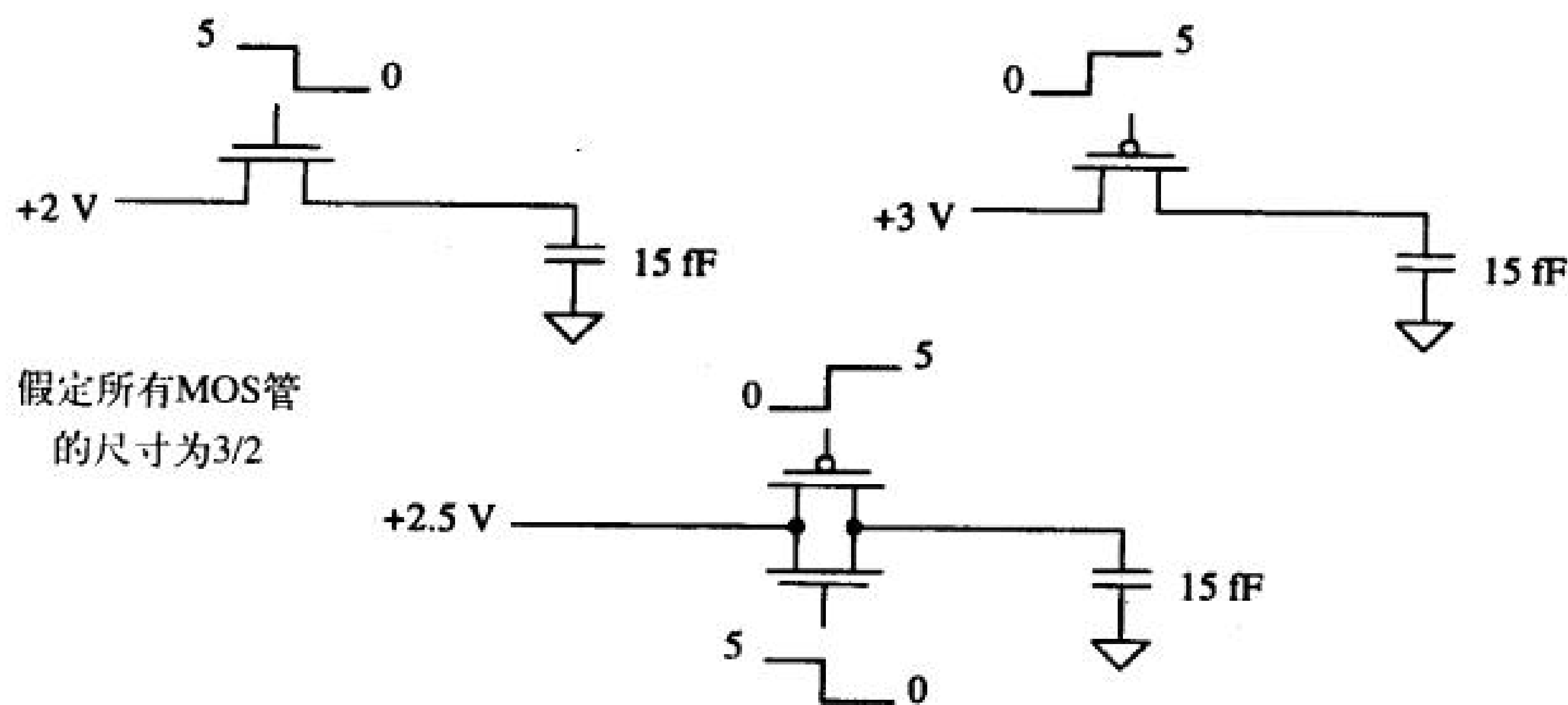


图 P27-1

27.3 做一个表格，比较不同大小的电容所对应的kT/C噪声。电容值从10fF到10pF。

27.4 根据图27-9所示差分结构的采样-保持放大器，画出单端（输出）的采样-保持放大器，并用时序图说明该电路的工作原理。

27.5 图P27-5给出了单端到差分的采样-保持电路，针对不同的输入电压，用时序图说明其工作原理。

27.6 证明在图P27-6所示的开关电容电路中，在$f << f_{clk}$时，其功能类似于一个电阻（阻值如图所示）。

27.7 讨论如何优选图27-14a所示电容的下极板。

27.8 讨论如何优选图27-16所示电容的下极板。

27.9 参照图27-16，用一个差分输入/输出运算放大器，画出全差分开关电容积分器的电路图。计算该电路的传输函数。

27.10 针对低频增益为40dB、零点为50kHz这种情形，重新计算例27.2。

27.11 针对式（27-24），画出v_{out}/v_{in}的幅值与f/f_{clk}的关系曲线并给出相应的分析说明。

27.12 在设计开关电容电路时，需要重点考虑的一个问题是对运算放大器压摆率的要求。在说明图27-21时，我们假定一个电压源接电路的输入端。实际上，电路的输入由一个运算放大器提供。图中，当ϕ_1为“高”时，电容C_I被充电到输入电压$v_{in}(=v_A)$。针对C_I为5pF、f_{clk}为100kHz这一情形，估算运算放大器压摆率的最小值。

27.13 假定习题27.12中所采用的运算放大器的反馈因子为0.5，估算该运算放大器单位增益频率f_u的最小值。

27.14 仿真验证图27-33所示动态锁存器的工作原理。

27.15 仿真验证图27-36所示电流镜的工作原理。

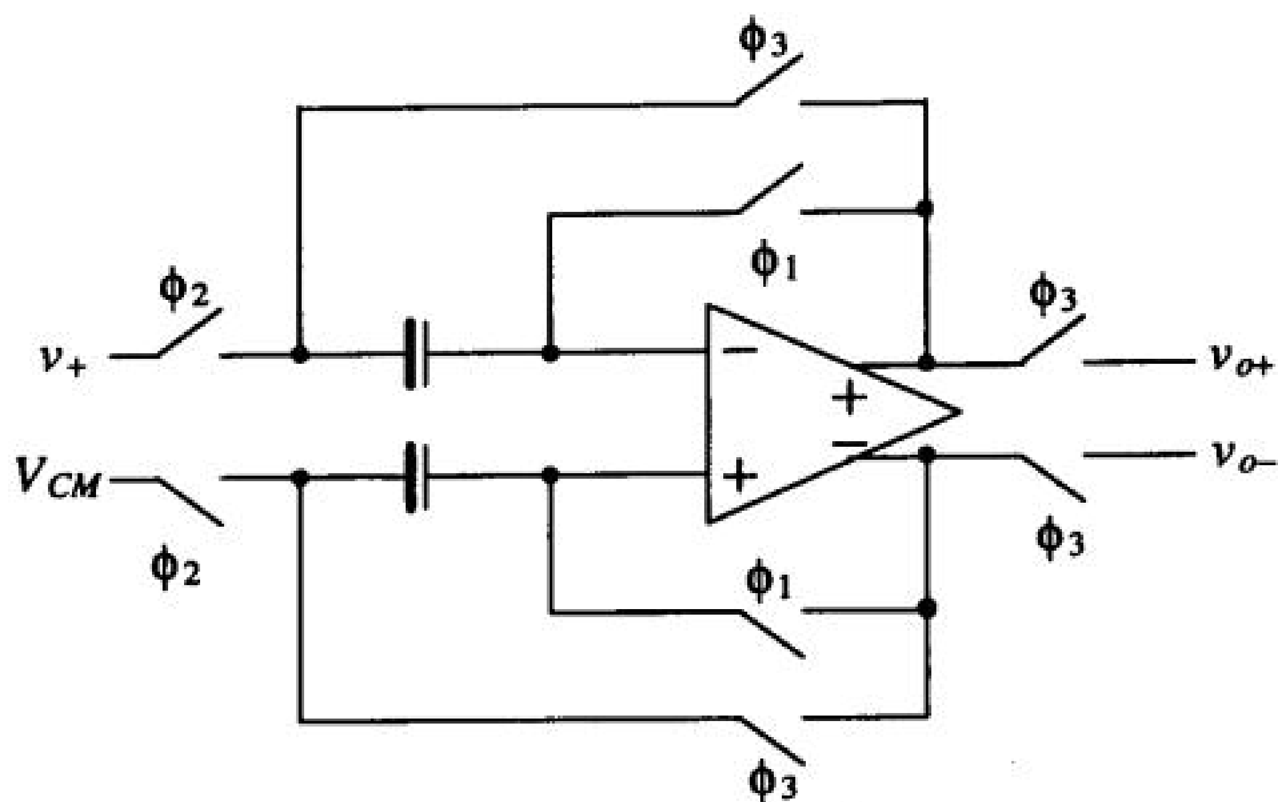


图 P27-5

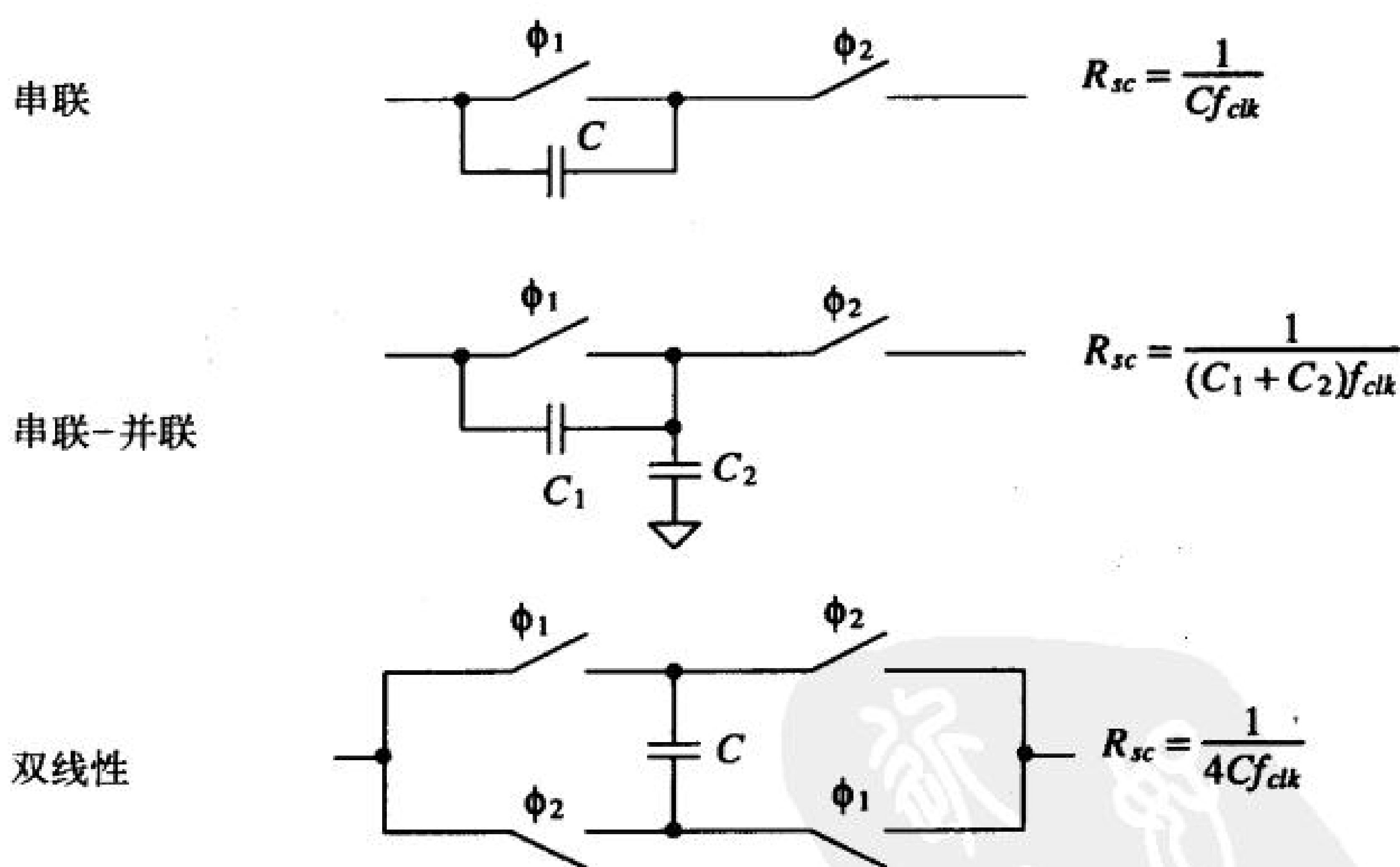


图 P27-6

753
~
754

第28章 数据转换器基础

在不断丰富的数字世界里，数据转换器扮演着重要的角色。随着越来越多的产品工作在数字或离散时域，需要高性能的数据转换器将这些数字数据和我们所处的模拟环境联系起来。本章将介绍与之相关的数据转换及采样的概念。

28.1 模拟信号和数字信号

模数转换器（Analog-to-Digital Converters，ADC），又称为A/D或ADC，其功能是将模拟信号转换成离散时间信号或数字信号。数模转换器（Digital-to-Analog Converters，DAC），又称为D/A或DAC，它的功能恰好与ADC相反。图28-1示意了这两类操作。为了理解它们的工作原理，我们先来比较一下模拟信号和数字信号的各自特点。

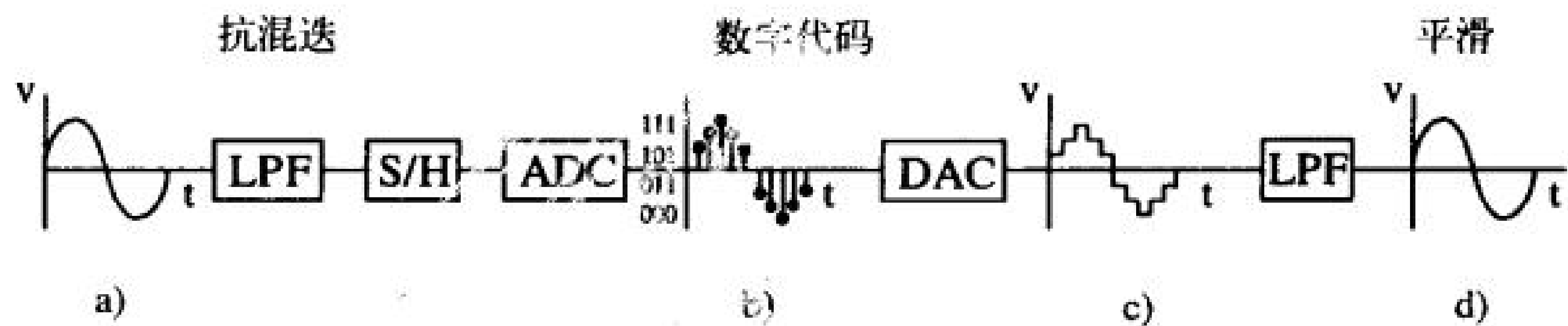


图28-1 A/D和D/A转换的信号特性

观察图28-1可知，初始的模拟信号通过抗混迭滤波器，滤去可能引起混迭效应的高频谐波（详见28.5节）；再经过采样、保持，转换成数字信号。然后，DAC将信号转换回一个模拟信号。可以看到，DAC的输出信号不如初始信号那么“平滑”了；采用低通滤波器滤去转换引起的高阶谐波后，信号恢复为初始形状（但转换会引入相移）。这个例子说明了模拟信号与数字信号之间的差异。图28-1a中的模拟信号是连续、无穷取值的，而（b）中的数字信号是时间上离散、量化的。连续时间信号是指对时间响应不间断的信号，简单地说，信号在其存在的整个时间轴上连续取值。这里所说的模拟信号可以无穷取值，意思是信号可以取两个系统变量之间的任意值。例如在图28-1a中，若正弦波的峰值为+5V，则模拟信号可以取−5V和+5V之间的任意值（比如2.4758393848）。当然，测量−5V和+5V之间的所有取值需要无限精确的实验设备。

相反地，数字信号在时间上是离散的，即信号只在某些时间段或离散的时间段上有定义。一个被量化的信号在离散时间段上只能取某些值（而模拟信号可以无穷取值）。图28-1b说明了这些特点。

28.2 把模拟信号转换为数字信号

我们已经清楚了模拟信号和数字信号的区别。那么，模拟信号是怎样转换成数字信号的呢？下面举例说明。

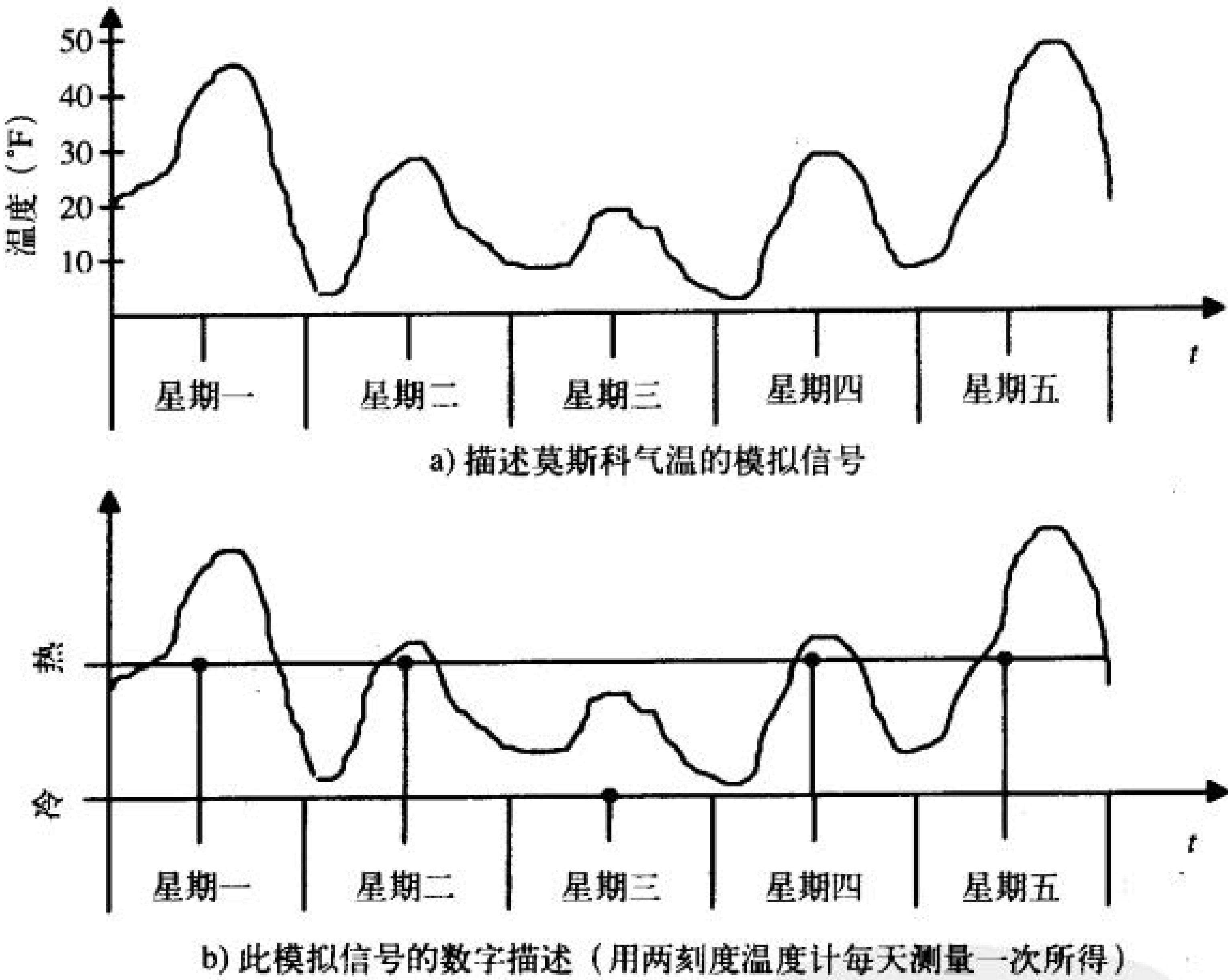
在莫斯科或爱达荷州，冬天的气温在0°F和50°F之间（图28-2a）。假设有一支温度计，只有冷和热两个刻度（又称为量化水平，Quantization Level），用来记录气温并绘出结果。这两个刻度和实际温度的对应关系为：

$$0°F \leqslant T < 25°F \text{ 冷}$$
$$25°F \leqslant T < 50°F \text{ 热}$$

每天中午测量一次，一个星期后绘制结果。从图28-2b可以清楚看到，所绘制的离散模型并没有精确描述实际的天气状况。

假设现在找到了另一支有四个刻度（热、温、凉、冷）的温度计，每天测量两次，结果756如图28-3a。四个刻度分别代表如下四个温度段：

$$0°F \leqslant T < 12.5°F \text{ 冷}$$
$$12.5°F \leqslant T < 25°F \text{ 凉}$$
$$25°F \leqslant T < 37.5°F \text{ 温}$$
$$37.5°F \leqslant T < 50°F \text{ 热}$$



a) 描述莫斯科气温的模拟信号

b) 此模拟信号的数字描述（用两刻度温度计每天测量一次所得）

图　28-2

图28-3a中，气温的数字模型仍然与实际状况相去甚远，但我们已经清楚了如何将一个模拟信号数字化。实际的气温是一个模拟信号，在时间上是连续的，可能是0°F和50°F之间的任何值（如33.9638483920398439°F!）。数字信号的精确程度依赖于两点：采样数和转换器的量化水平的数目（即分辨率）。就这个例子来说，需要增加测量次数和温度计的分辨率。

假设现有一支25刻度的温度计，每天测量8次。温度计的每个刻度对应2°F的实际温度。观察图28-3b可知，气温的数字模型接近了实际模拟信号。如果继续增加采样数和分辨率，模757拟信号和数字信号的差异将小到可以忽略。这又带来另一个问题，究竟需要多大采样数才能精确地描述一个模拟信号？

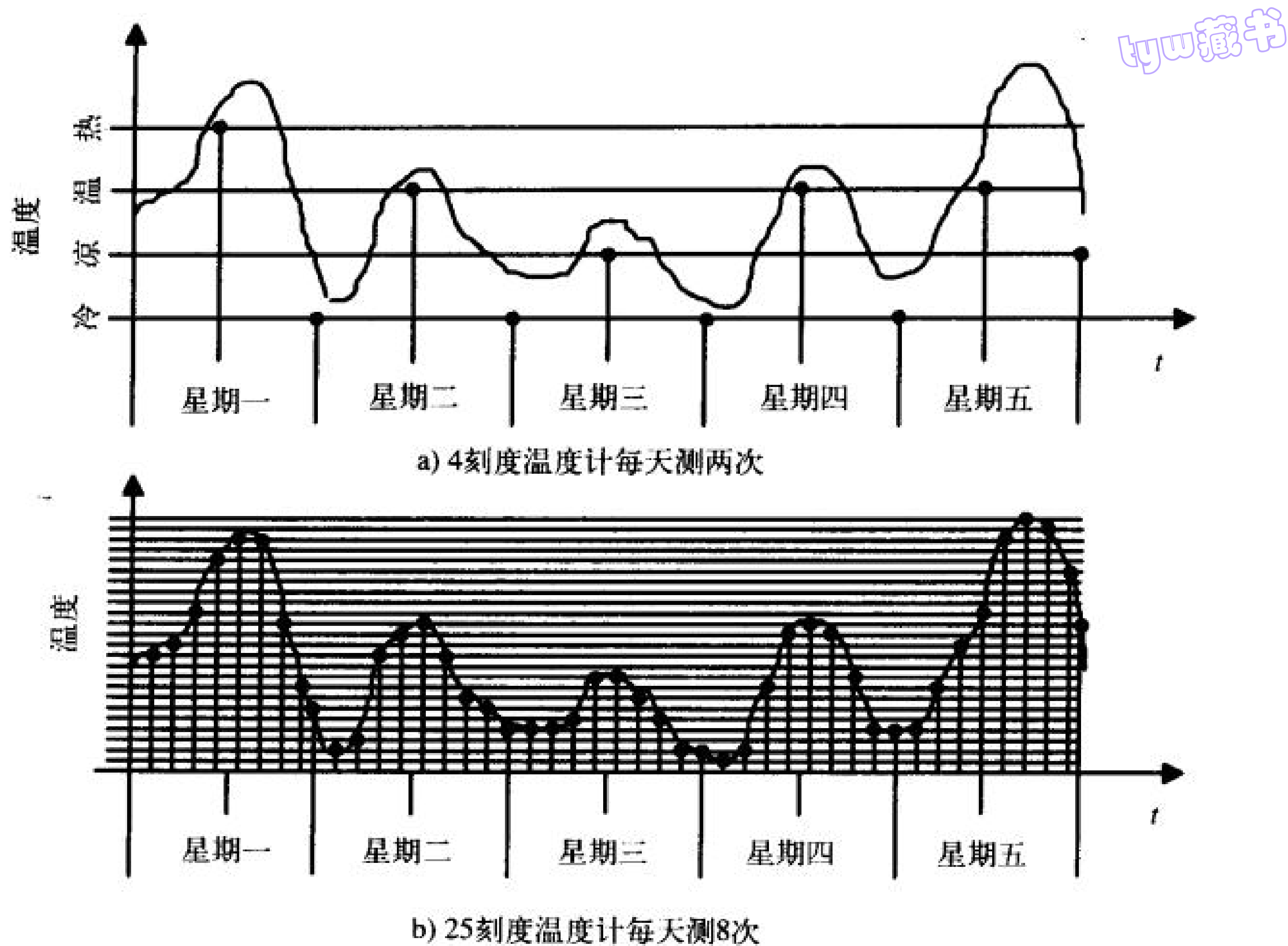


图28-3 温度的数字表示

假设莫斯科突然遭受了一场暴风雨，使温度陡然下降，然后回复平常。如果暴风雨发生在两次采样之间，测量结果就反映不出它的影响。也就是说，采样慢了一拍，没有测到这次气温变化。如果增加测量次数，也许就能发现气候变化导致的气温下降。

奈奎斯特准则（Nyquist Criterion）定义了精确描述一个模拟信号需要多大的采样速率。这个准则规定采样率至少应是模拟信号最高频率的两倍。此例中，需要先知道气温变化有多快，采样频率应该是它的两倍。奈奎斯特准则可以表达为:

$$F_{sampling} = 2\,F_{MAX} \tag{28-1}$$

758

式中，$F_{sampling}$为精确描述模拟信号所要求的采样率，F_{MAX}为被采样信号的最高频率。

需要多大分辨率才能精确描述模拟信号？对此没有绝对的准则，实际应用时要求不同。此例中，若只关心气温的大体趋势，则25个量化水平就够了。若要求记录精度为±0.5°F，则分辨率应加倍，即50个量化水平，每个量化水平对应±0.5°F（如图28-4所示）。

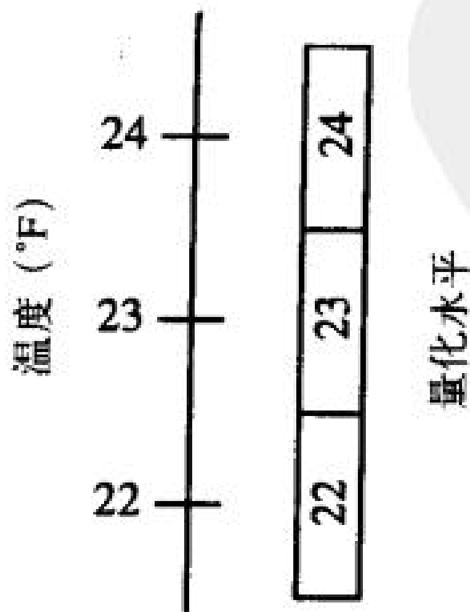
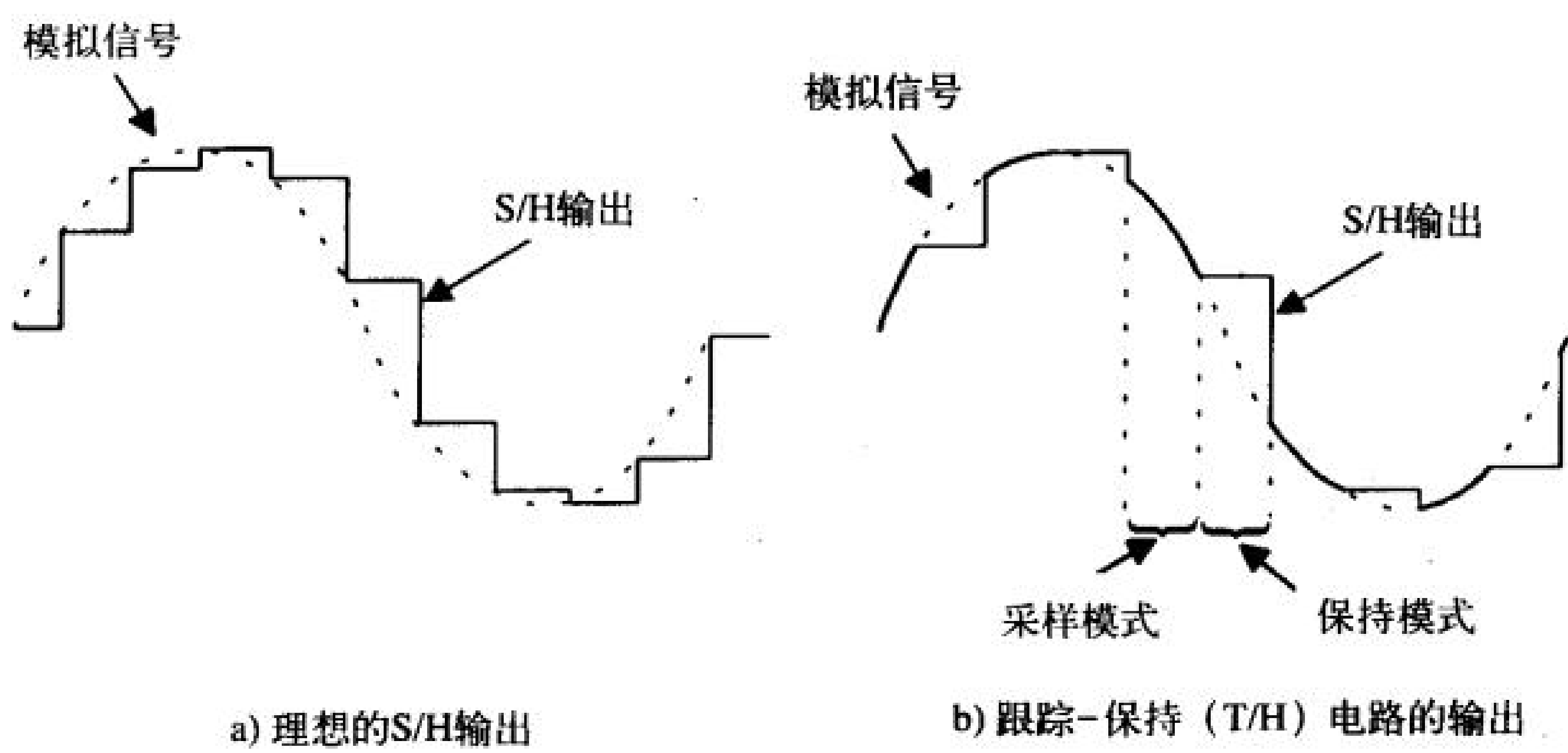


图28-4 对应实际温度±0.5°F的量化水平

28.3 采样-保持电路

采样-保持（Sample-and-Hold，S/H）电路在模数转换中起着重要作用。S/H的行为类似于照相机，其主要功能是给模拟信号“拍照”并保存下来，直到ADC完成了这些信息的处理。在数据转换中，S/H电路的设计是非常重要的一部分。性能不佳的S/H电路可能会导致严重的误差，因为它制约着数据转换的速度和精度。图28-5a为理想的S/H的输出，信号在瞬间被捕获并保持到下一个采样周期的开始。但采样过程需要一段时间，在采样过程中，信号可能仍在变化，因此，这种电路又被称为跟踪-保持电路（Track-and-Hold，T/H）。图28-5b给出了在采样时间内T/H跟踪信号变化的情形。可以看到，S/H电路工作在静态（保持模式）和动态（采样模式）两种模式下。下文将按此分类对S/H的特性进行讨论。图28-6概括了S/H的主要误差，后面将会予以详细讨论。

759



a) 理想的S/H输出　　b) 跟踪-保持（T/H）电路的输出

图 28-5

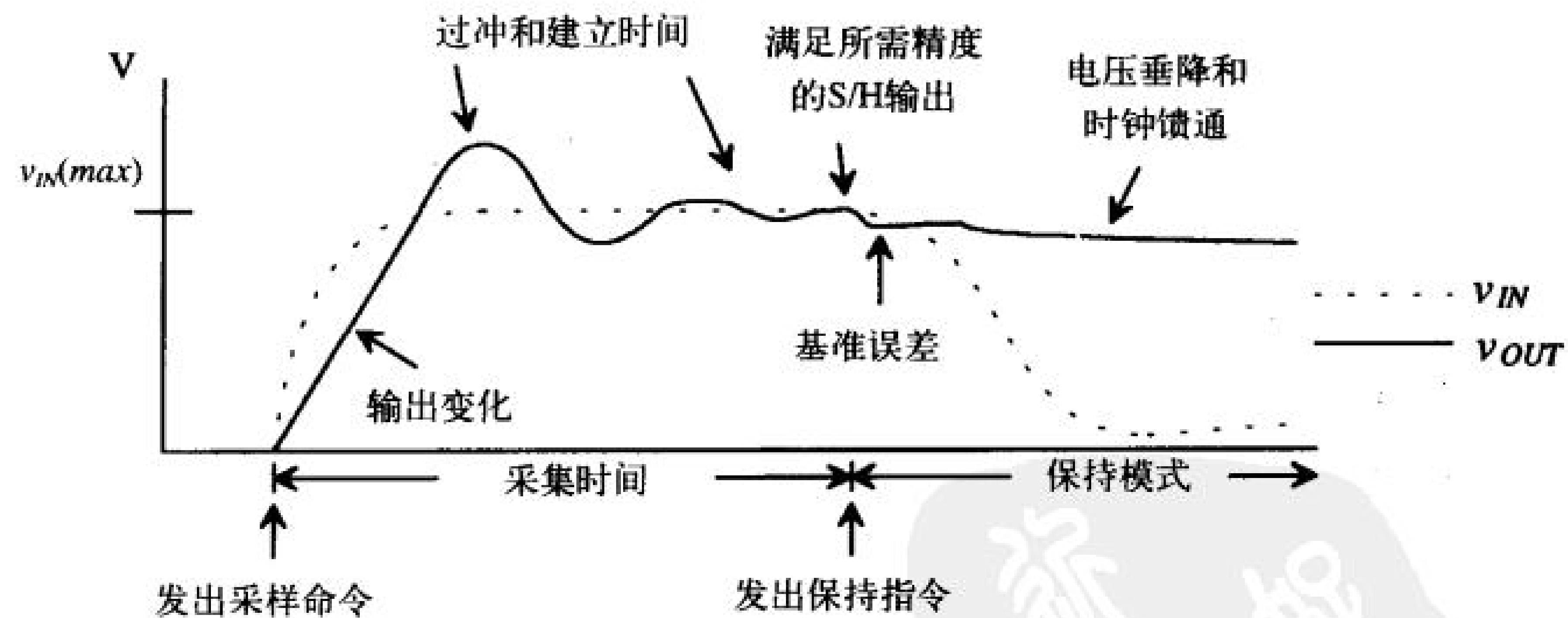


图28-6 S/H的典型误差示意图

采样模式

S/H从接到采样指令（开始跟踪模拟信号）到输出达到指定精度的这段时间被称为采集时间。最坏情况是模拟信号从零变到最大值$v_{IN(max)}$；最坏情况的采集时间是输出从零变化到最大值$v_{IN(max)}$所需要的时间。由于大多数S/H电路采用放大器作为缓冲器（见图28-7），因此，采集过程所涉及的指标参数是放大器指标参数的函数。例如，若输入信号变化很快，则T/H输出就会受到放大器压摆率的限制。放大器的稳定性也极其重要。如果放大器没有恰当地补偿，相

位裕度太小，就会出现大的过冲，从而使S/H需要更长的建立时间才能达到指定精度。S/H的误差容限还依赖于放大器的失调、增益误差（理想的S/H增益为1）和线性度（理想情况下，在输入电压范围内，S/H的增益应不变。）。 760

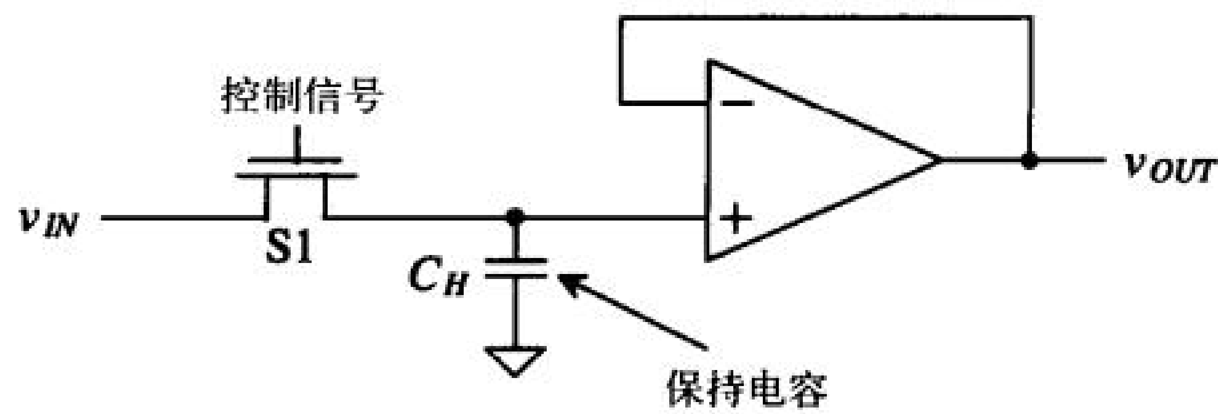


图28-7　用输出缓冲器实现的T/H电路

保持模式

发出保持指令后，S/H还会存在其他的误差。第一种误差是基准误差（Pedestal error），它产生的原因是电荷注入和时钟馈通（见27.1节）。开关管的部分沟道电荷会注入到保持电容上，使电压产生轻微变化。此外，时钟的变化也会通过栅-源或栅-漏之间的覆盖电容耦合到保持电容上。保持模式中的另一种误差被称为电压垂降，它与流过开关管漏端反偏二极管的泄漏电流以及其他泄漏机制有关。尽可能减小漏区面积以减小二极管的泄漏电流。尽管缓冲器的输入电阻很大，但由于开关管的关断电阻有限，仍会存在泄漏电流。电流也可能通过衬底泄漏。减小衰减的关键是增大采样电容，其代价是电容的充电时间会变长。

孔径误差

在采样和保持模式之间存在一种引起误差的瞬态效应。将电容和模拟输入断开需要一段有限的时间，称之为孔径时间。因为直到栅电压比输入电压小一个阈值电压时开关才能关断，因此，孔径时间会随保持控制信号上的噪声和输入信号值的变化而轻微变化，这种效应被称为孔径不确定性或孔径抖动。若在相同位置上对一个周期信号多次采样，由于孔径不确定性，保持的信号值之间会有轻微偏差，从而产生采样误差。图28-8示意了这一效应。由该图知，孔径误差的大小与输入信号的频率直接相关，并且最坏情况出现在零交叉点，此处的dV/dt最大（假设S/H能对正、负电压采样）。另外，孔径误差的容限与数据转换的分辨率直接相关。在下面28.5节讨论ADC的误差时，还会进一步讨论孔径误差。 761

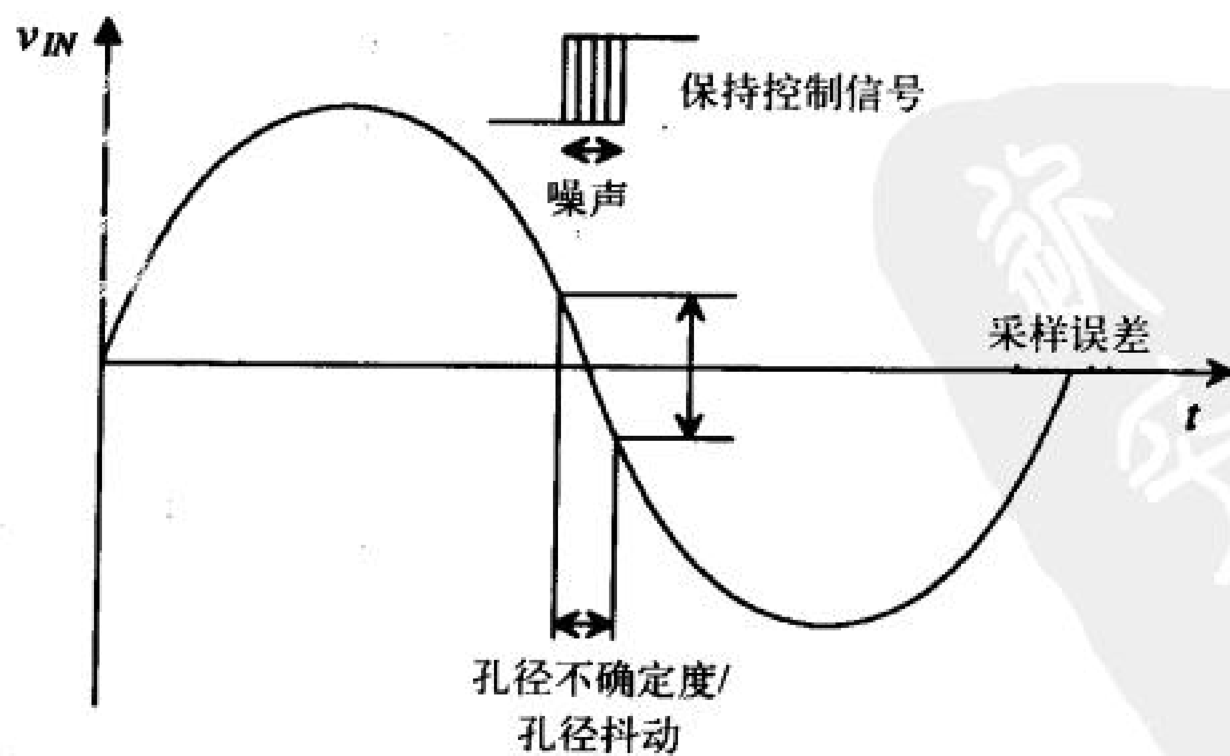


图28-8　孔径误差

例28.1

计算S/H电路的最大采样误差，被采样的正弦波输入信号如下：

$$v_{IN} = A\sin 2\pi ft$$

式中，A为2V，f = 100kHz。假设孔径不确定度为0.5ns。

首先计算输入信号的压摆率：

$$\frac{dV}{dt} = \frac{d}{dt}A\sin 2\pi ft = 2\pi fA\cos 2\pi ft$$

当上式中余弦函数的值为1时，压摆率最大，即：

$$\frac{dV}{dt}(max) = 2\pi fA = (2\pi \cdot 100\text{ kHz})(2\text{ V})$$

由此可求得孔径不确定性引起的最大采样误差：

$$\text{最大采样误差} = dV(max) = (0.5\times 10^{9}\text{ s})\ (2\pi \cdot 100\text{kHz})\ (2\text{V}) = 0.628\text{mV}$$ ■

28.4 数模转换器的性能指标

762

数模转换器（DAC）的最常见应用大概是数字音频CD播放器，CD上的数字信号通过高精度DAC转换成音乐的模拟信号。与DAC有关的性能指标很多，在第29章讲DAC的基本体系结构之前，我们会对这些指标逐一讨论。由于大多数转换器具有类似的性能限制，因此，采用这种“自顶向下”的讲述方式可以让我们很自然地从数据转换器的整体特性过渡到具体的电路结构。下面讨论一些与DAC相关的基本定义。应该知道，DAC或ADC的模拟信号可以是电压或者电流。为了描述方便，我们假定模拟信号是电压。

数模转换器的结构框图如图28-9所示。图中，N位的数字字被转换成一个模拟电压。一般地，DAC输出的模拟电压是参考电压（或电流）的分数，即：

$$v_{OUT} = FV_{REF} \tag{28-2}$$

式中，v_{OUT}为模拟电压输出，V_{REF}为参考电压，F为由N位输入字D定义的一个分数。输入字D所能表示的组合数目与位数N的关系如下：

$$\text{输入组合的数目} = 2^{N} \tag{28-3}$$

一个4位DAC共有2^4（即16）种输入组合。4位分辨率的转换器必须能映射出1/16的模拟输出电压摆幅的变化量。模拟输出电压的最大值由参考电压V_{REF}决定。假设输入的是N位字，则分数F为：

$$F = \frac{D}{2^{N}} \tag{28-4}$$

对于一个3位DAC，如果输入D为$100 = 4_{10}$（脚标10表示是10进制数），V_{REF}为5V，则F为：

$$F = \frac{100}{2^{3}} = \frac{4}{8} \tag{28-5}$$

输出模拟电压为：

$$v_{OUT} = \frac{4}{8}(5) = 2.5\ \text{V} \quad (28\text{-}6)$$

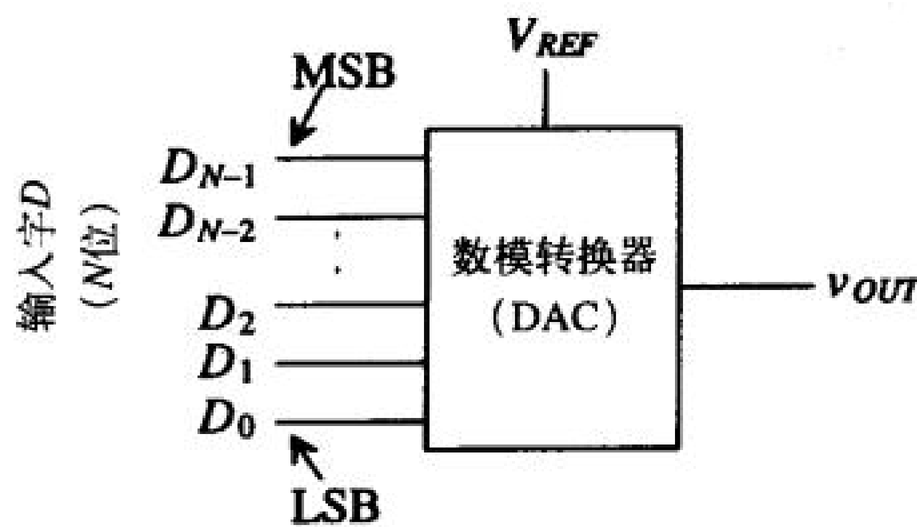


图28-9　数模转换器框图

输入字D从000到111，得到v_{OUT}随D的转换曲线，如图28-10所示。y轴用V_{REF}做了归一化处理，因此，上面的刻度也就是式（28-2）中的F。这里有一些重要的特征参数需要讨论一下。首先，注意到转换曲线不是连续的。输入的数字信号是离散的（只有8个值），它们分别对应8个模拟输出电压。如果将输出点连成一条线，理想的斜率应为单位增量/输入码值。其次，最大输出为7/8。这是因为$D = 000$对应的模拟电压是0 V，3位DAC只有8个可能的模拟输出电压，所以，模拟输出从0增加到$7/8V_{REF}$。

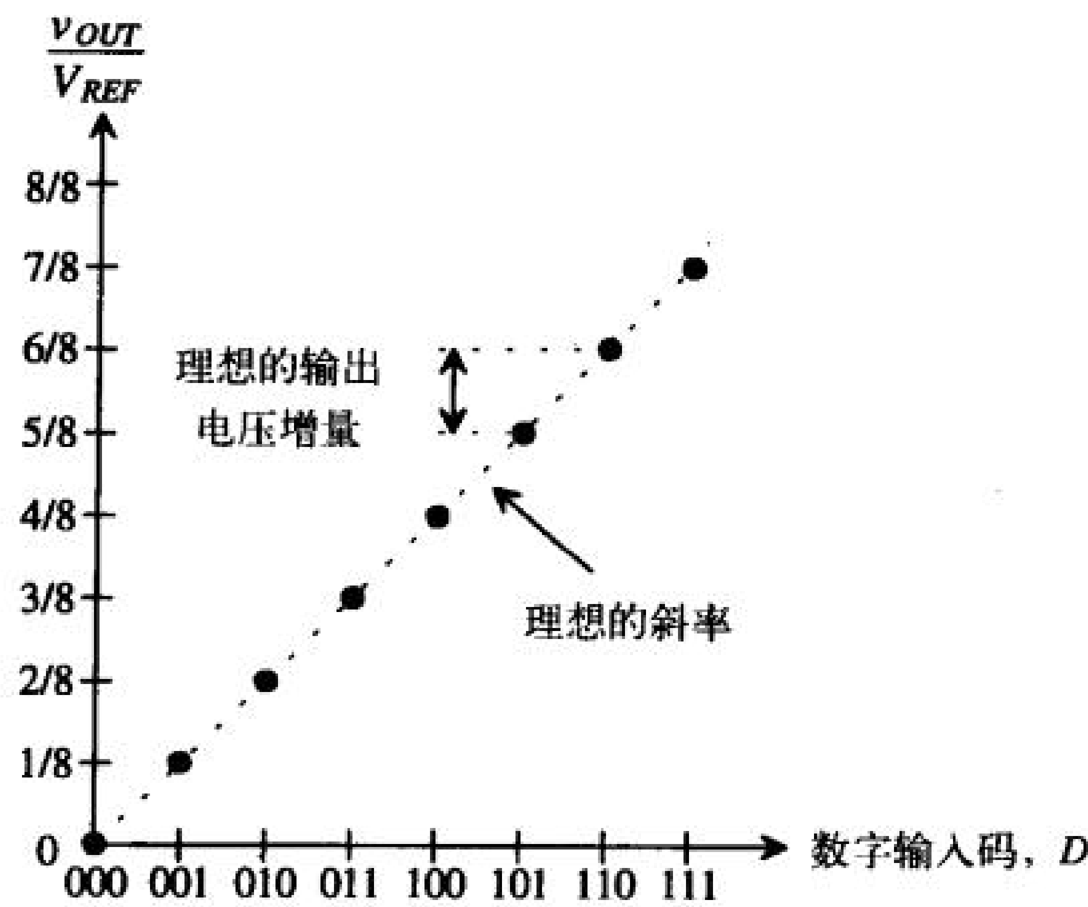


图28-10　3位DAC的理想转换曲线

根据式（28-2），3位DAC的最大模拟输出为：

$$v_{OUT(\max)} = \frac{7}{8} \cdot V_{REF} \quad (28\text{-}7)$$

这个最大模拟输出电压称为全量程电压（full-scale voltage）V_{FS}。对于N位DAC，有：

$$V_{FS} = \frac{2^N - 1}{2^N} \cdot V_{REF} \quad (28\text{-}8)$$

763～764

最低有效位（Least Significant Bit，LSB）指数字输入字的最右边一位，它定义了模拟输出电压可能的最小改变量。通常LSB用D_0表示，一个LSB定义为：

$$1\ LSB = \frac{V_{REF}}{2^N} \tag{28-9}$$

对于上述的3位DAC，1LSB =5/8V即0.625V。产生一个0.625V倍数的输出似乎并不困难，但随着位数增多，对固定的V_{REF}，一个LSB的电压值会减小。

最高有效位（Most Significant Bit，MSB）指数字输入字D的最左位。在前面的例子里，$D = D_2D_1D_0 = 100$，D_2即为MSB。通常N位DAC的MSB用D_{N-1}表示（因为LSB是第0位，因此MSB为第$N-1$位）。注意到，MSB改变引起的DAC输出电压的改变量为$1/2V_{REF}$。

讨论数据转换器时，分辨率（resolution）定义为模拟输出相对于参考电压V_{REF}的最小变化量。它与LSB的细微差别在于：分辨率通常由位数给出，表示输出电压水平的数目，即2^N。

例28.2

找出DAC的分辨率，设输出电压变化的增量为1mV，参考电压为5V。

DAC必须能分辨：

$$\frac{1\text{mV}}{5\text{V}} = 0.0002\text{或}0.02\%$$

所以，一个LSB和V_{REF}的比值（精度）为：

$$\frac{1\ LSB}{V_{REF}} = \frac{1}{2^N} = 0.0002 \tag{28-10}$$

求得分辨率N为：

$$N = \text{Log}_2\left(\frac{5\text{ V}}{1\text{ mV}}\right) = 12.29\text{ bits}$$

这就是说，在参考电压为5V时，13位的DAC才具有1mV的输出变化精度。 ■

例28.3

计算3位、8位、16位DAC的输入组合数、1LSB值及百分比精度、全量程电压。假设$V_{REF} = 5\text{V}$。

765

由式（28-3）、（28-8）、（28-9）、（28-10），求得结果如下：

分辨率	输入组合数	1 LSB	精度	V_{FS}
3	8	0.625V	12.5%	4.375V
8	256	19.5mV	0.391%	4.985V
16	65 536	76.29μV	0.00153%	4.9999V

8位DAC的一个LSB是19.5mV，而16位DAC的一个LSB是76.29μV（两者的比值为256）！分辨率每增加1位，精度提高到原来的2倍。对于高分辨率DAC，映射各个模拟信号量所需要的精度很难达到，在第29章分析数据转换器的限制时还会讨论这些问题。

注意，一个数据转换器的分辨率可能只有8位（即一个LSB是19.5mV），但它可以具有很高的精度。例如，我们可以要求上述8位DAC具有0.1%的精度。精度越高，DAC的特性就越理想（线性度越好）。DAC精度的一个典型值是±1/2LSB，下面会讨论其原因。 ■

微分非线性

由图28-10可知，理想DAC的相邻两个输出的增量刚好是1/8。由于y轴做了归一化处理，增

量高度没有单位；增量高度乘以V_{REF}就是电压增量。假设V_{REF} =5V，理想增量为0.625V = 1LSB。

电路元件的非理想性会使模拟增量偏离理想值。实际值与理想值之差被称为微分非线性（Differential Nonlinearity，*DNL*），定义为：

$$DNL_n = 第n个转换的实际增量高度-理想的增量高度 \quad (28\text{-}11)$$

式中，*n*是对应数字输入转换的编号。*DNL*用来衡量DAC产生均匀的模拟输出信号的能力。

例28.4

3位非理想DAC的转换曲线如图28-11所示，确定其*DNL*。假设V_{REF} = 5V。

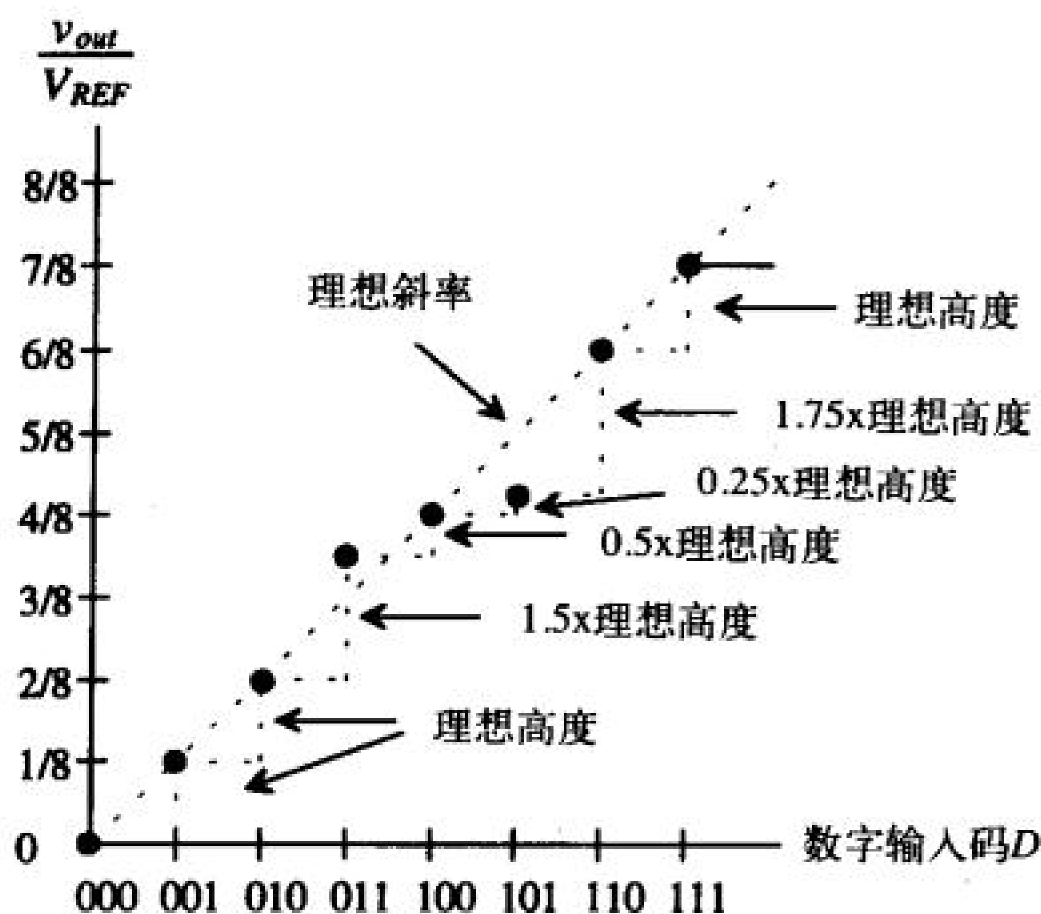


图28-11 3位DAC的微分非线性

图28-11中给出了实际的增量高度（用理想增量高度表示）。观察该图知，输入的数字码000没有对应的增量，这是因为000对应的输出电压恰好为零。001对应的增量高度与理想的增量高度相等，所以DNL_1 = 0。类似地，DNL_2 = 0。而011对应的实际增量与理想曲线的增量不同，其大小为3/16（即理想增量高度的1.5倍），因此：

$$DNL_3 = 1.5\ \text{LSB} - 1\ \text{LSB} = 0.5\ \text{LSB}$$

对于3位DAC，用式（28-9）已经计算出1LSB= 0.625 V，因此，可将DNL_3转换成电压值，DNL_3 = 0.5LSB = 0.3125 V。不过，*DNL*通常都是用LSB来表示。其他数字输入码对应的*DNL*分别为：

$$DNL_4 = 0.5\ \text{LSB} - 1\ \text{LSB} = -0.5\ \text{LSB}$$

$$DNL_5 = 0.25\ \text{LSB} - 1\ \text{LSB} = -0.75\ \text{LSB}$$

$$DNL_6 = 1.75\ \text{LSB} - 1\ \text{LSB} = 0.75\ \text{LSB}$$

$$DNL_7 = 1\ \text{LSB} - 1\ \text{LSB} = 0$$

如果画出*DNL*（以LSB表示）随输入数字码的变化，则得到图28-12。DAC总的误差由最坏情况的*DNL*定义，因此，此例中，转换器的*DNL*为 ± 0.75LSB。 ■

如果一个DAC能够达到*N*位的精度，其*DNL*就会小于 ± 1/2LSB。如果一个5位DAC的*DNL*为0.75LSB，则实际上只有4位DAC的分辨率。如果DAC的*DNL*小于 − 1LSB，则我们就说它是非单调的，这意味着模拟输出电压并不总是随数字输入码的增加而增加。理想DAC应该呈现单调性。

766 ~ 767

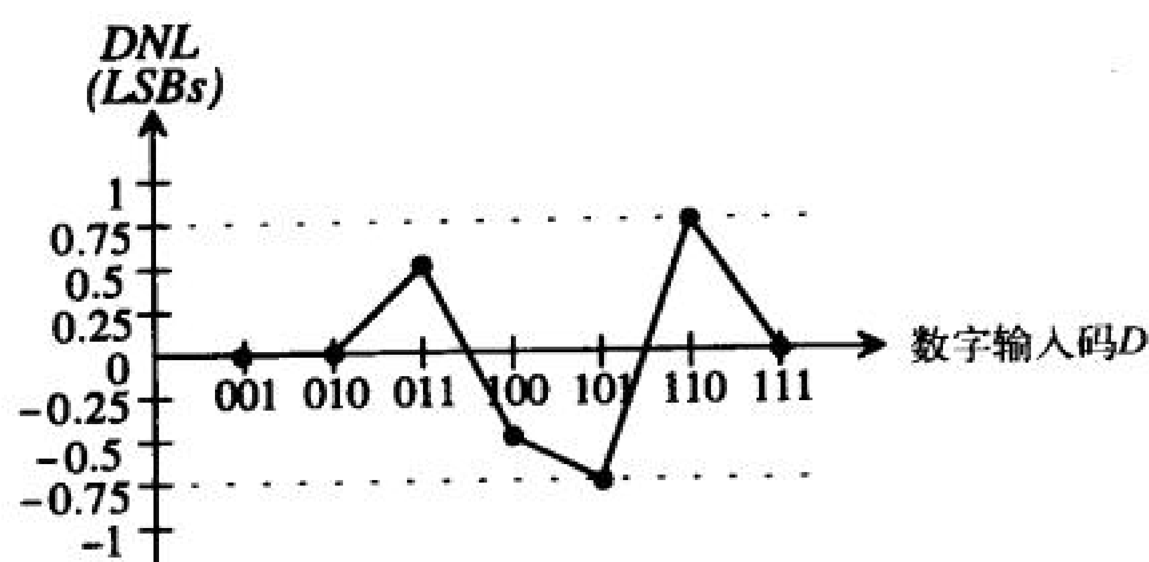


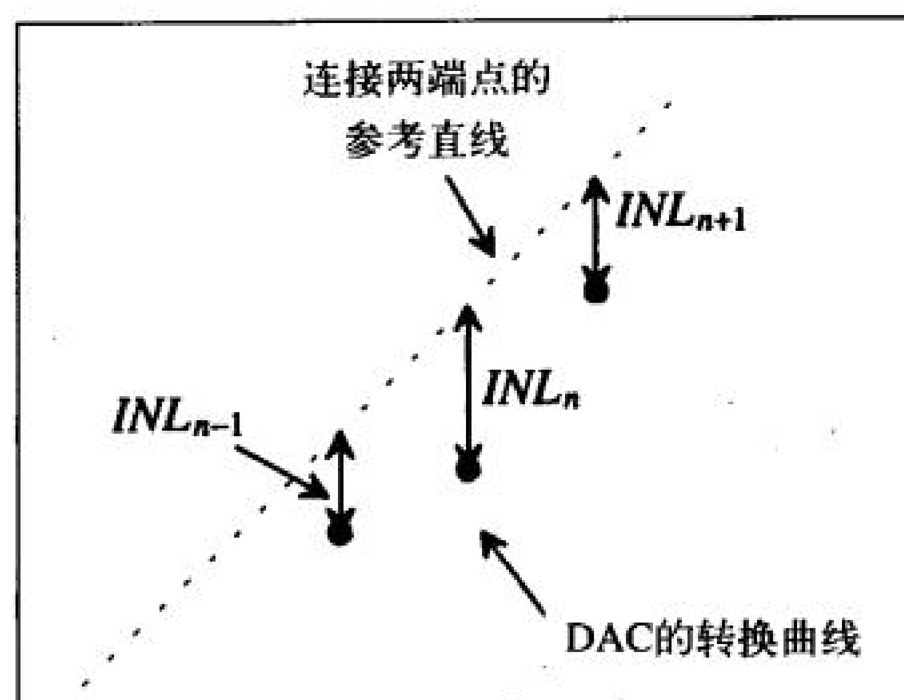
图28-12 非理想3位DAC的*DNL*曲线

积分非线性

DAC的另一个比较重要的静态特征指标是积分非线性（Integral Nonlinearity，INL），它被定义为数据转换器的输出与连接第一个输出和最后一个输出所得参考直线之间的偏差。*INL*描述了整条转换曲线的线性度，可以表示为：

$$INL_n = \text{输入码}n\text{对应的输出} - \text{参考直线上同一点的输出值} \tag{28-12}$$

图28-13是测量*INL*的示意图，假设由失调和增益（这会在下面给予讨论）引起的所有其他误差都为零。后面给出了计算*INL*的例题。



768

图28-13 测量DAC转换曲线的*INL*

实际应用中，通常认为*N*位分辨率的DAC，其*DNL*和*INL*都小于±1/2LSB；1/2LSB项表示数据转换器（不论是DAC还是ADC）的最大误差。例如，一个13位DAC的*DNL*或*INL*大于±1/2LSB，则它的实际分辨率相当于12位。容易得到1/2LSB的电压值为：

$$0.5\,LSB = \frac{V_{REF}}{2^{N+1}} \tag{28-13}$$

例28.5

确定图28-14所示的非理想3位DAC的*INL*。假设$V_{REF} = 5\text{V}$。

首先，画一条直线穿过输出的第一个点和最后一个点。如果输入码对应的输出位于这条参考线上，则这些输入码的*INL*为零，因此，$INL_2 = INL_4 = INL_6 = INL_7 = 0$。001、011和101的输出不在这条直线上，001和011的输出比对应直线的输出高1/2LSB，所以$INL_1 = INL_3 = 0.5\text{LSB}$。同样可得$INL_5 = -0.75\text{LSB}$。DAC的*INL*为最坏情况的*INL*，即+0.5LSB和−0.75LSB。

图28-15为此DAC的*INL*特性曲线。■

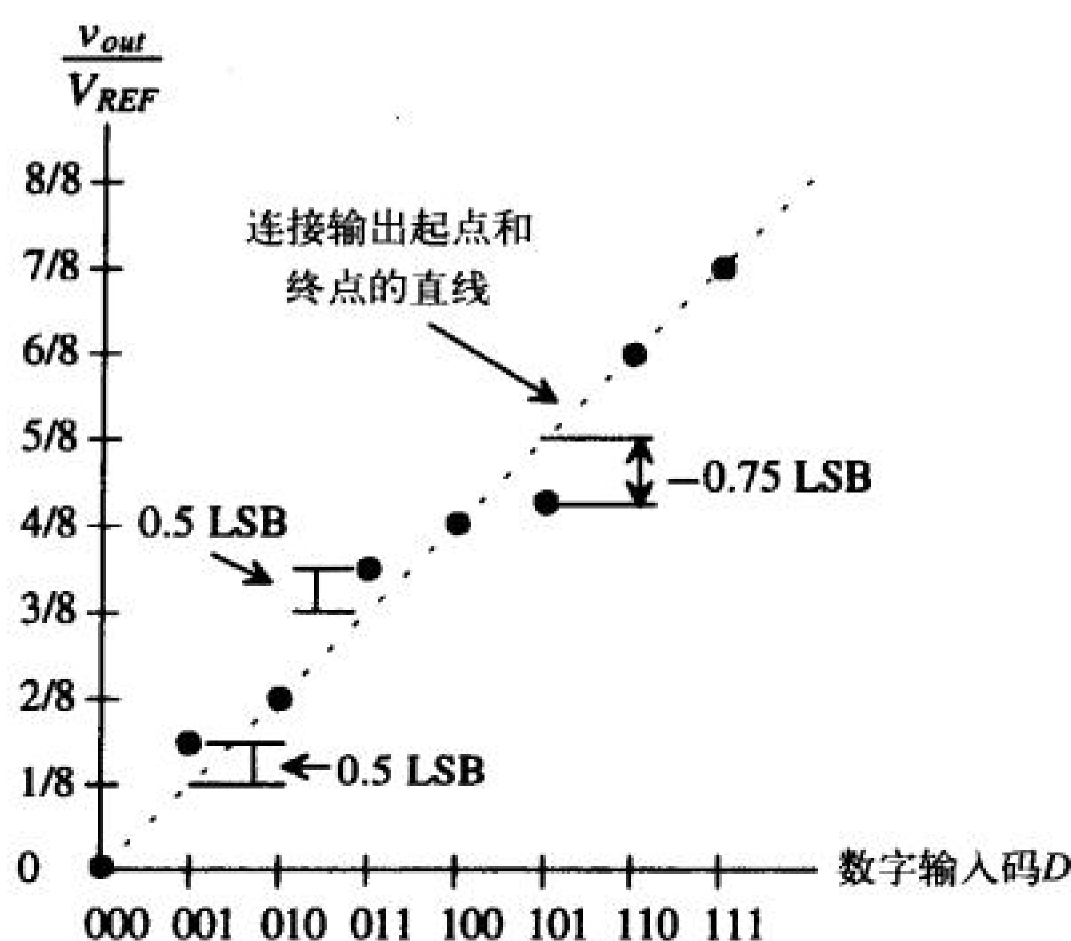


图28-14　DAC积分非线性示意图

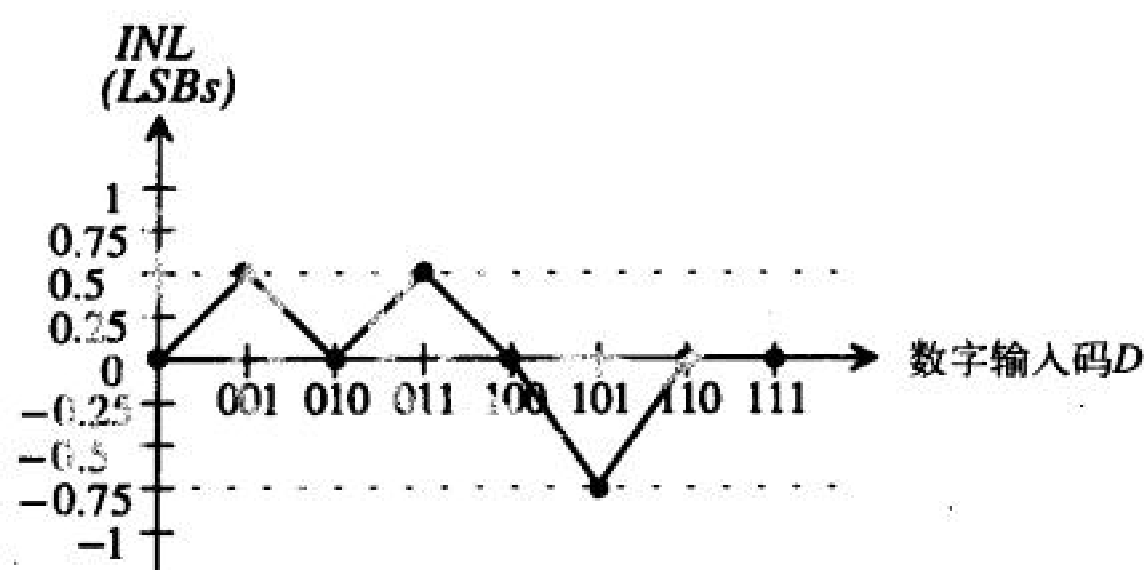


图28-15　非理想3位DAC的*INL*特性曲线

应该注意的是，还可以通过其他方法确定*INL*。一种方法是把输出与理想参考直线作比较，而不管输出的第一个点和最后一个点的位置。如果DAC有失调电压和增益误差，则它的失调电压和增益误差都会包括在*INL*内。通常把DAC的失调电压和增益误差作为独立的指标来专门分析。

确定*INL*的另一种方法被称为“最匹配法”，它是通过构造一条与大多数输出点尽可能贴近的直线来减小*INL*。这种方法能减小*INL*误差，但带有主观性。相对而言，以连接第一个点和最后一个点的直线为参考线的方法较常用。

失调

$D=0$对应的模拟输出电压应该是0V。如果输出电压不等于0，则称DAC存在失调。可以把失调看作是转换曲线的平移，如图28-16所示。这个特性类似于运算放大器的失调电压，不过这里的失调不是相对于输入而言。

增益误差

如果转换曲线的最匹配直线的斜率不等于理想情况的斜率，则称DAC存在增益误差。图28-17所示的DAC，其增益误差为：

$$\text{增益误差}=\text{理想斜率}-\text{实际斜率} \tag{28-14}$$

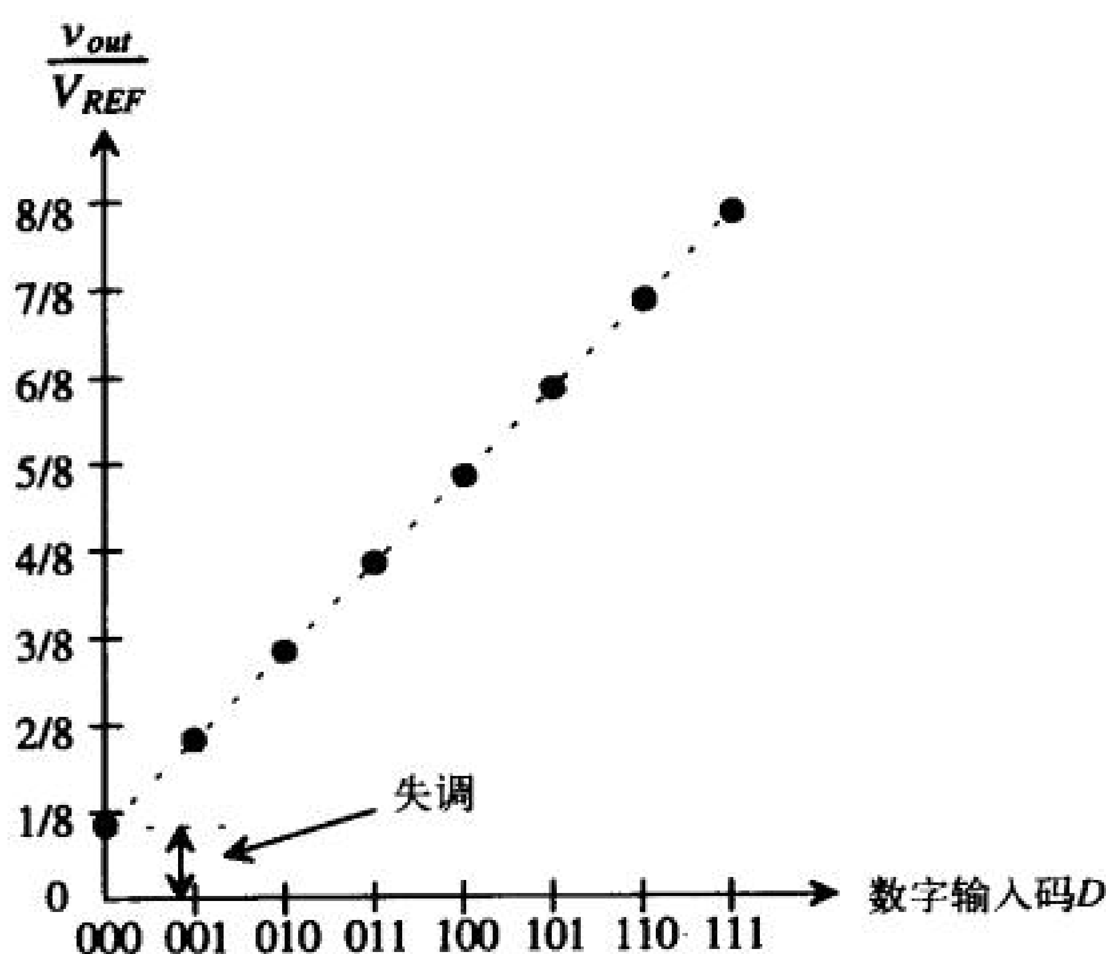


图28-16　3位DAC的失调误差示意图

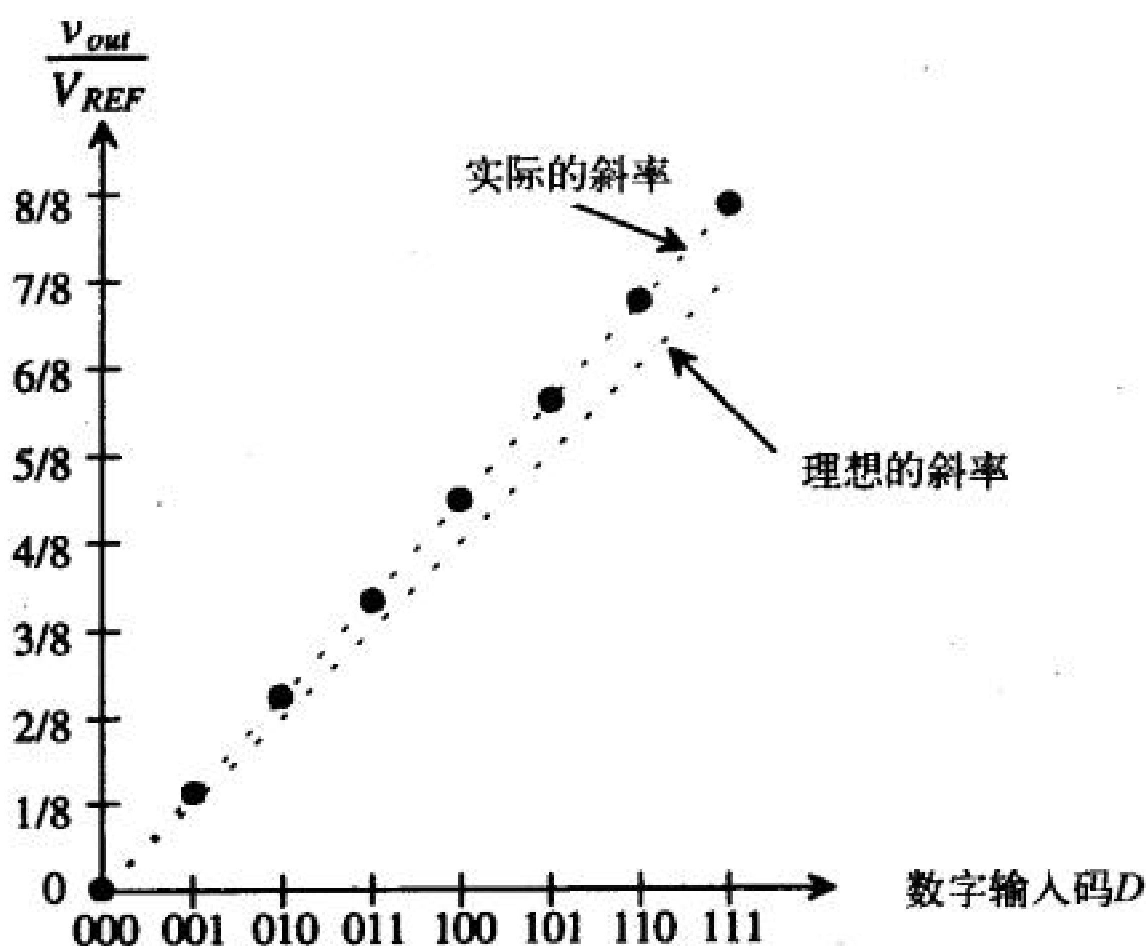


图28-17　3位DAC的增益误差示意图

反应时间

反应时间定义为从输入数字码改变到模拟输出信号建立并满足给定精度所需要的时间。不要将反应时间和建立时间混淆起来，反应时间包括数字码转换成模拟值所需的延迟以及建立时间。在设计T/H或运算放大器时，关于建立时间的考虑非常重要；同样，该问题对DAC设计而言也一样重要。

769~771

信噪比

信噪比（SNR）定义为模拟输出中信号功率和噪声功率的比值。在放大器应用中，这个指标通常用一个正弦波输入来测量，通过仪器或A/D可以产生一个“数字”正弦波。SNR可以给出数据转换器的实际分辨率，可以通过算术运算确定转换器的有效位数。在28.6节讨论ADC的性能指标时，将给出SNR的详细推导。

动态范围

动态范围（DR）定义为最大输出信号对最小输出信号的比率。DAC和ADC的动态范围都

与转换器的分辨率有关。例如，N位DAC可以产生的最大输出是（2^N-1）LSB，最小输出是1LSB，所以其动态范围为:

$$DR = 20\mathrm{Log}\left(\frac{2^N-1}{1}\right) \approx 6.02 \cdot N\ \mathrm{dB} \tag{28-15}$$

16位数据转换器的动态范围是96.33dB。

28.5 模数转换器的性能指标

模数转换器（ADC）的许多指标与DAC类似，但还有一些细微的差别。因为DAC是将离散信号转换成模拟量形式，并且这个模拟量受到转换器分辨率的限制，所以DAC的输入和输出数目是有限的。而对于ADC，输入的是模拟信号，可以有无穷多个取值，要把它量化为N位的数字字，这个过程要比数模转换困难得多（图28-18）。实际上，许多ADC结构都将DAC作为其中一个关键模块。

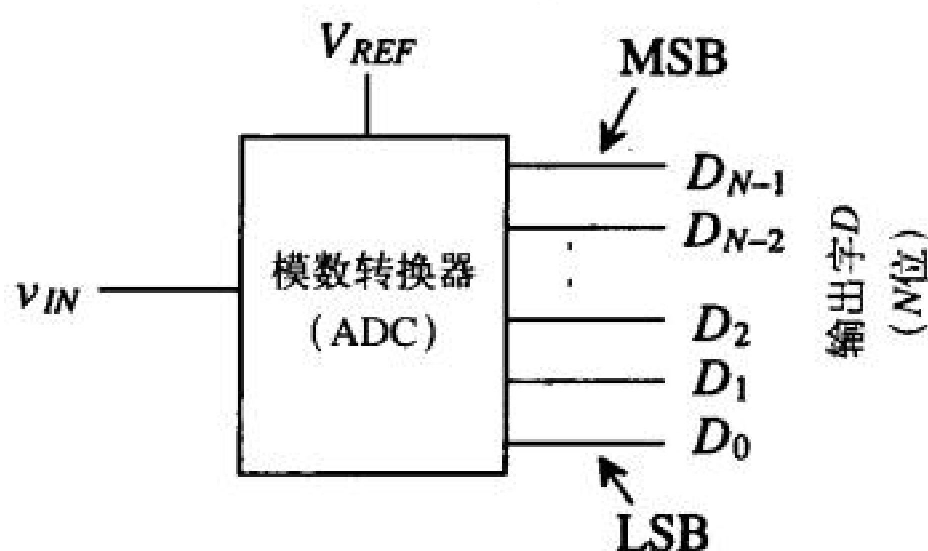


图28-18 模数转换器框图

例如，由前面DAC的讨论知，对于16位的DAC，它只需要产生以76μV为倍数的输出电压即可。但对于16位的ADC而言，转换器需要能够分辨76μV的模拟信号差异，这意味着ADC必须能探测到输入信号65536分之一的变化。另外，DAC的输入组合数是有限的（等于2^N）。而ADC必须把无限取值的模拟信号“量化”成许多段，量化水平的数目为:

$$\text{量化水平的数目} = 2^N \tag{28-16}$$

这里的区别很小，需要仔细分辨以理解两类转换之间的差异。

图28-19a为理想3位ADC的数字输出码D随模拟输入v_{IN}的转换曲线。注意比较ADC和DAC（图28-10）输出曲线之间的差异。这里y轴为数字输出，x轴用V_{REF}进行归一化处理。由于输入信号连续而输出离散，因此，曲线呈阶梯状。另外，可以看到2^N个量化水平分别对应于0到7，这样ADC的最大输出是111（即2^N-1），对应于$\frac{v_{IN}}{V_{REF}} \geq \frac{7}{8}$。图28-19b为量化引起的误差。

ADC的1LSB可以用式（28-9）来计算，它是图28-19中的理想步长（即1/8，它对应于DAC的增量高度）乘以V_{REF}。假设$V_{REF}=5\mathrm{V}$，则:

$$1\ \mathrm{LSB} = 0.625\ \mathrm{V} \tag{28-17}$$

772~773

量化误差

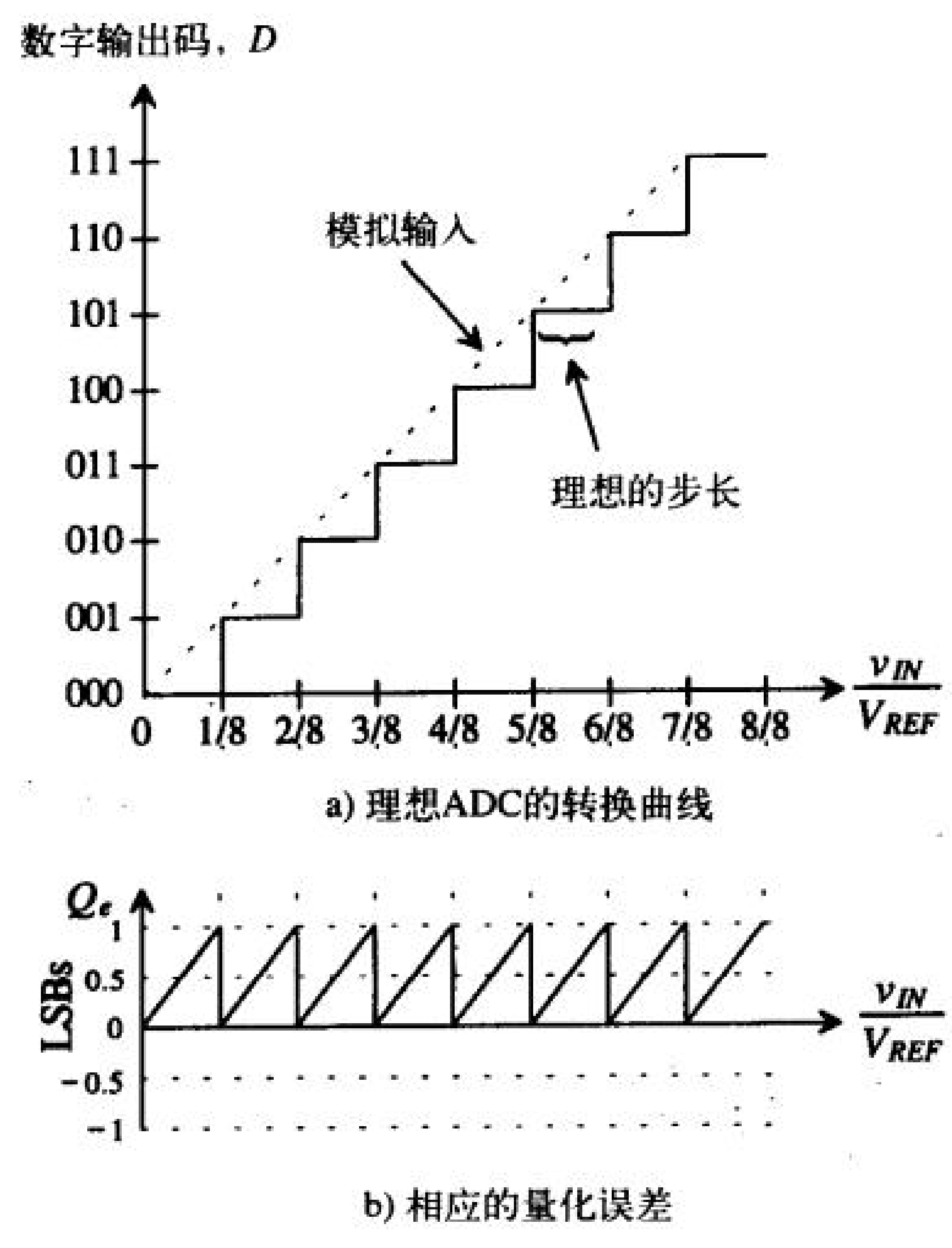
由于模拟输入是无穷取值而输出是离散值，量化产生了误差。这个误差被称为量化误差Q_e（Quantization Error），定义为实际的模拟输入和阶梯状输出电压之差。计算如下:

$$Q_e = v_{IN} - V_{staircase} \tag{28-18}$$

式中，阶梯输出$V_{staircase}$为:

$$V_{staircase} = D \cdot \frac{V_{REF}}{2^N} = D \cdot V_{LSB} \tag{28-19}$$

式中，D为输出数字码的值，V_{LSB}为1LSB的电压（这里是0.625V）。Q_e也可以简单地转化成以LSB为单位。在图28-19a中，将虚线的值减去阶梯的值就能得到Q_e，结果如图28-19b所示，锯齿波大致以1/2LSB为中心线。理想Q_e的幅值在LSB和0之间。如果量化误差的分布以0为中心，那么最大量化误差为±1/2LSB（而不是+1LSB），这很容易做到，如图28-20所示。图中，整条曲线向左移动了1/2LSB，使数字码位于x轴LSB增量的中间。可以看出，理想ADC的最大量化误差为±1/2LSB。

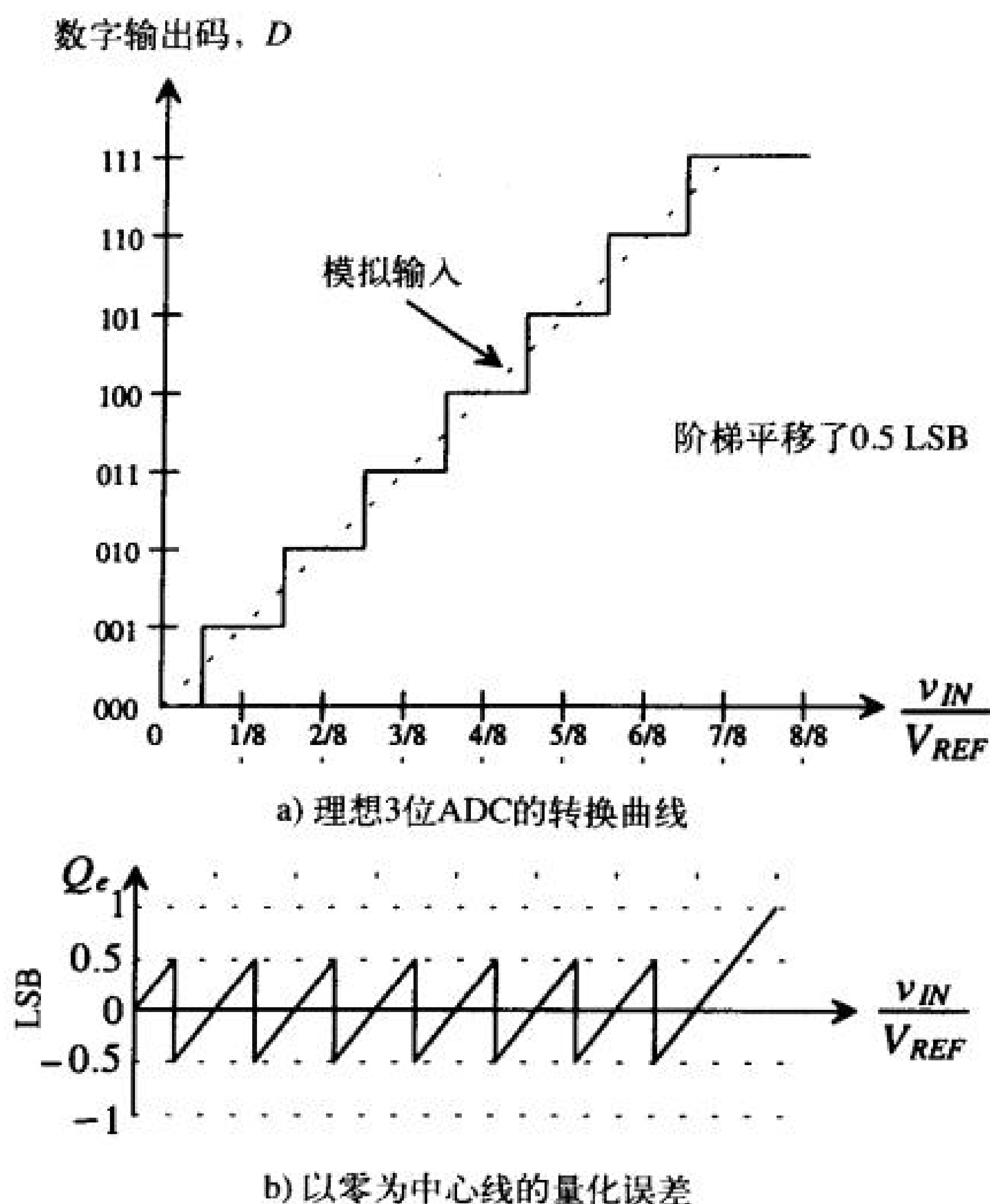


a) 理想ADC的转换曲线

b) 相应的量化误差

图 28-19

曲线向左移动之后，注意到第一个输出码转换点出现在$\frac{v_{IN}}{V_{REF}} > \frac{1}{16}$，所以数字输出码为000时，相应的$\frac{v_{IN}}{V_{REF}}$范围是理想步长的一半。最后一个输出码转换点出现在$\frac{v_{IN}}{V_{REF}} > \frac{13}{16}$（6/8和7/8之间）。可以看到，最后一个输出码转换点相应的$\frac{v_{IN}}{V_{REF}}$范围是理想步长的1.5倍，当$\frac{v_{IN}}{V_{REF}} = 1$时，量化误差增加为1LSB。不过，可以认为转换器在$\frac{v_{IN}}{V_{REF}} > \frac{15}{16}$时已经超出了工作范围，所以，这个问题没有实际意义。



a) 理想3位ADC的转换曲线

b) 以零为中心线的量化误差

图 28-20

微分非线性

ADC的微分非线性的定义和DAC类似。但对ADC而言，*DNL*是非理想转换器的实际码宽和理想码宽之差。图28-21为3位非理想ADC的转换曲线。*DNL*大小为：

$$DNL = \text{实际步长} - \text{理想步长} \tag{28-20}$$

因为步长可以用伏特或者LSB表示，所以*DNL*有两种单位。理想步长是1/8，转化成伏特为：

$$V_{\text{理想步长}} = \frac{1}{8} \cdot V_{REF} = 0.625V = 1\text{LSB} \tag{28-21}$$

例28.6

根据图28-21a，计算3位ADC的微分非线性，并以LSB为单位画出量化误差Q_e。假设$V_{REF} = 5$ V。

计算转换器的*DNL*需要确定每个数字输出码的对应步长。000转换的步长为1/2LSB，所以$DNL_0 = 0$。001和100对应的步长都是1 LSB，所以DNL_1和DNL_4为零。其余输出码的步长不等于理想值，计算如下：

$$DNL_2 = 1.5\text{ LSB} - 1\text{ LSB} = 0.5\text{ LSB}$$

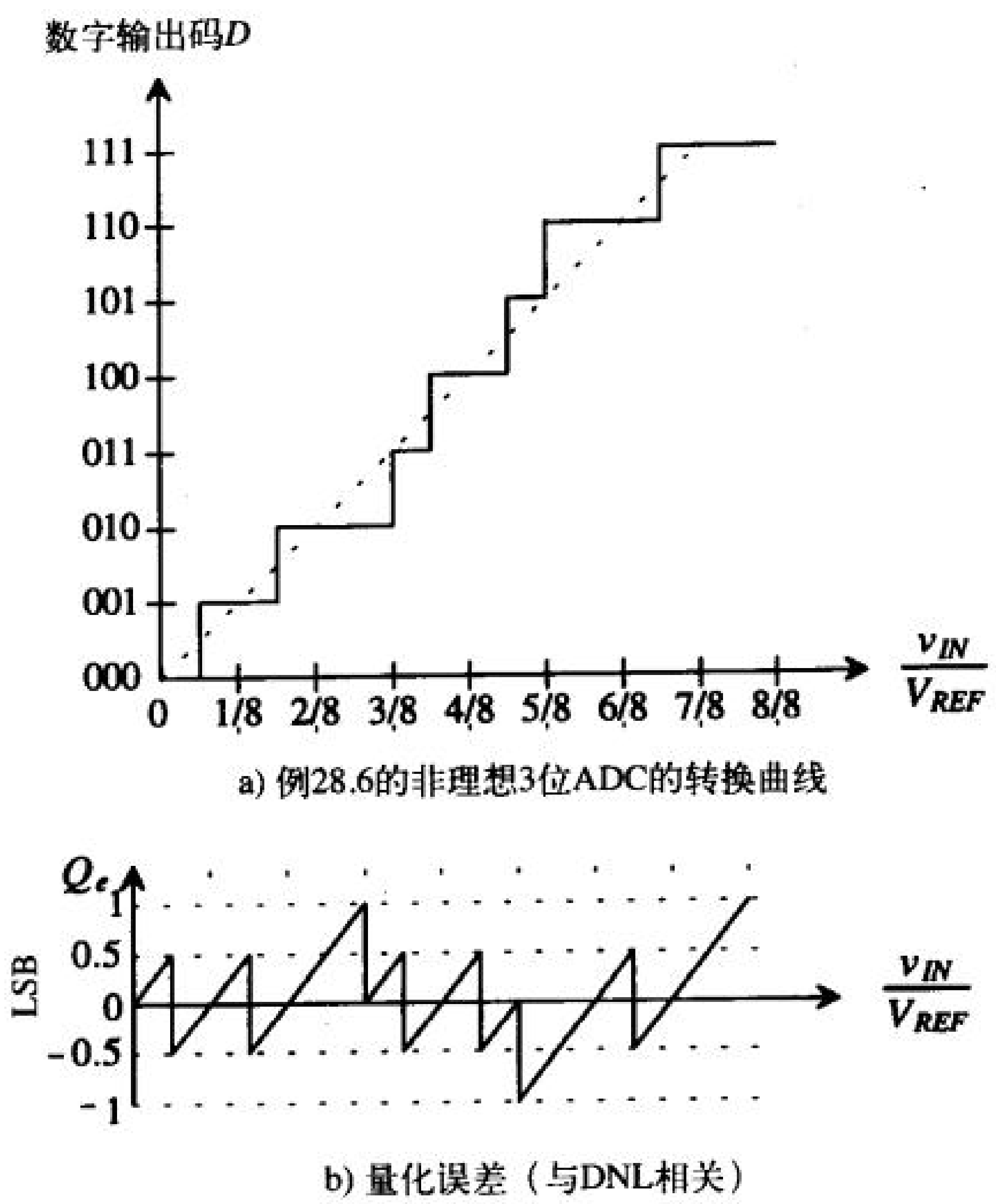
$$DNL_3 = 0.5\text{ LSB} - 1\text{ LSB} = -0.5\text{ LSB}$$

$$DNL_5 = -0.5\text{ LSB}$$

$$DNL_6 = 0.5\text{ LSB}$$

$DNL_7 = 0$ LSB（因为该输出码对应的理想步长为1.5 LSB）

774
~
775



a) 例28.6的非理想3位ADC的转换曲线

b) 量化误差（与DNL相关）

图 28-21

此例中，转换器总的*DNL*为±0.5LSB。注意到图28-21b所示的量化误差与*DNL*是直接相关的，*DNL*的增加会使量化误差指标变差。理想的量化误差波形的“锯齿”应该大小一样。■

漏码（Missing Code）

令人感兴趣的是如果*DNL*出现了-1LSB会有什么后果。图28-22给出了一个这样的ADC。101没有对应的步长，则DNL_5为-1LSB。*DNL*出现-1LSB的ADC必然会存在漏码。010对应的步长为2LSB，其DNL_2为+1LSB。但011并没有被漏掉，它所对应的步长依赖于向100码的转换。因此，当ADC的*DNL*为+1LSB时，尽管很可能出现漏码，但是漏码并不一定会发生。

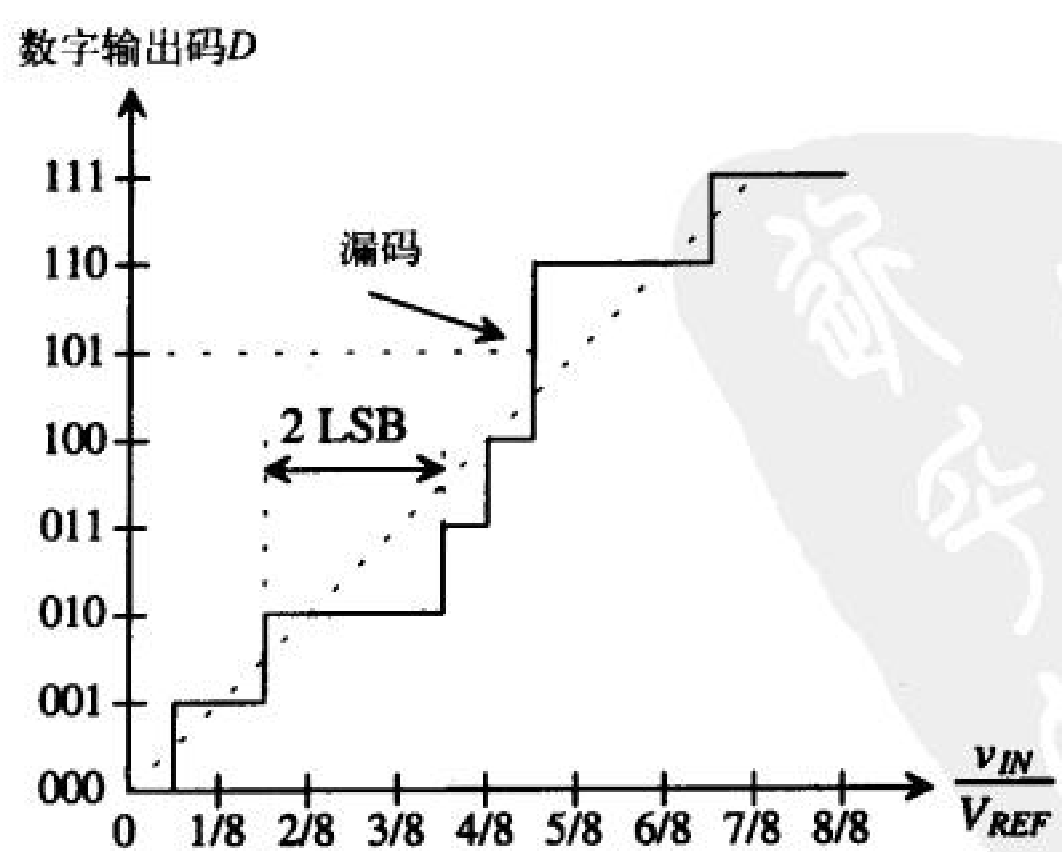


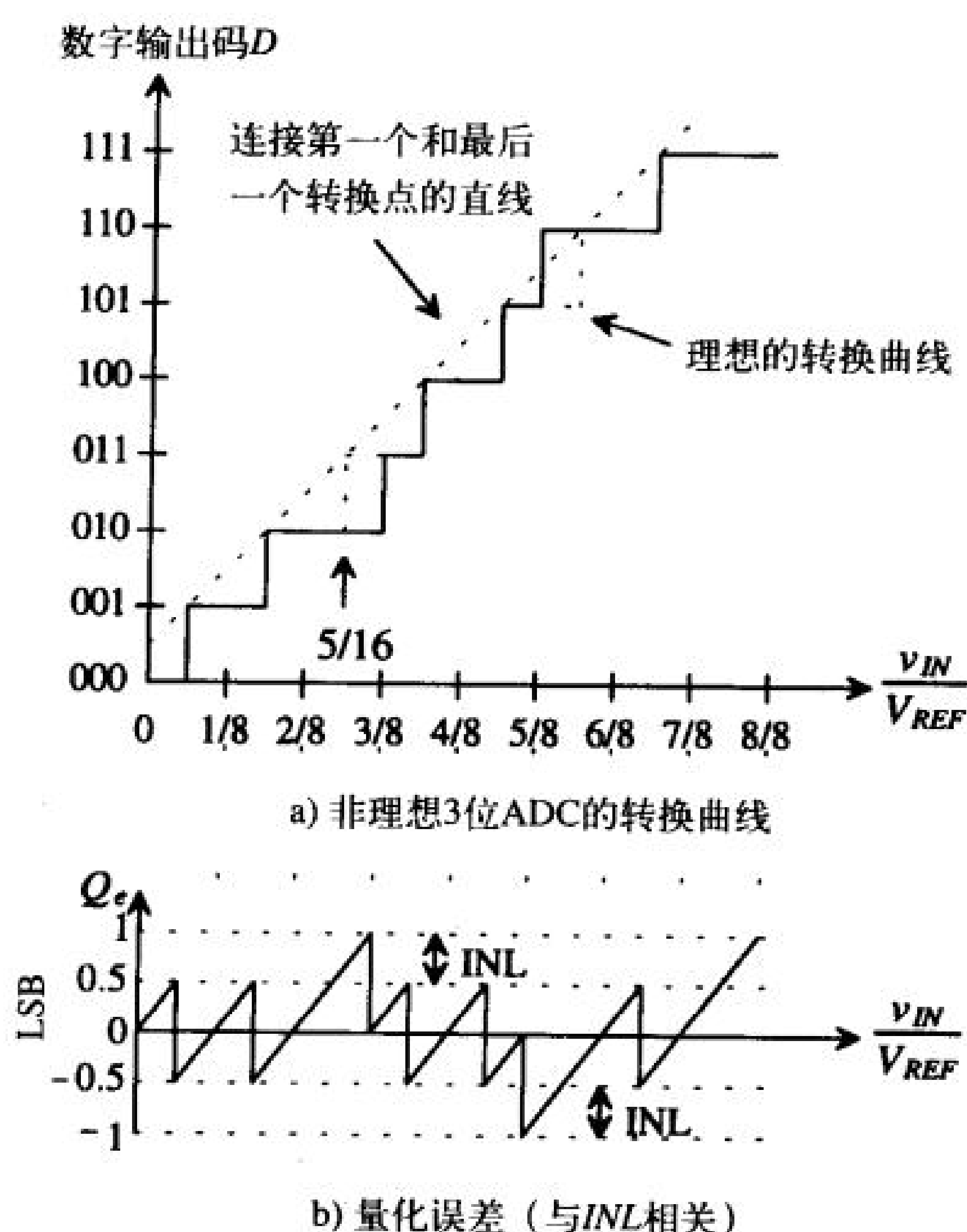
图28-22 出现漏码的非理想3位ADC的转换曲线

积分非线性

积分非线性的定义与DAC类似。连接第一个和最后一个转换点的直线是最匹配直线，*INL*定义为代码转换点和这条直线的差（假设其他误差为零）。

例28.7

计算3位ADC的*INL*，其转换曲线如图28-23a所示，并以LSB为单位画出量化误差Q_e。假设$V_{REF}=5\text{V}$。



a) 非理想3位ADC的转换曲线

b) 量化误差（与*INL*相关）

图 28-23

观察该图知，除011和110外的其他转换点都在最匹配直线上，所以：

$$INL_0 = INL_1 = INL_2 = INL_4 = INL_5 = INL_7 = 0$$

其他码的*INL*计算如下：

$$INL_3 = 3/8 - 5/16 = 1/16 = 0.5\text{LSB}$$

用同样的方法可得INL_6为-0.5LSB。整个转换器的*INL*为最大*INL*，即± 0.5LSB。

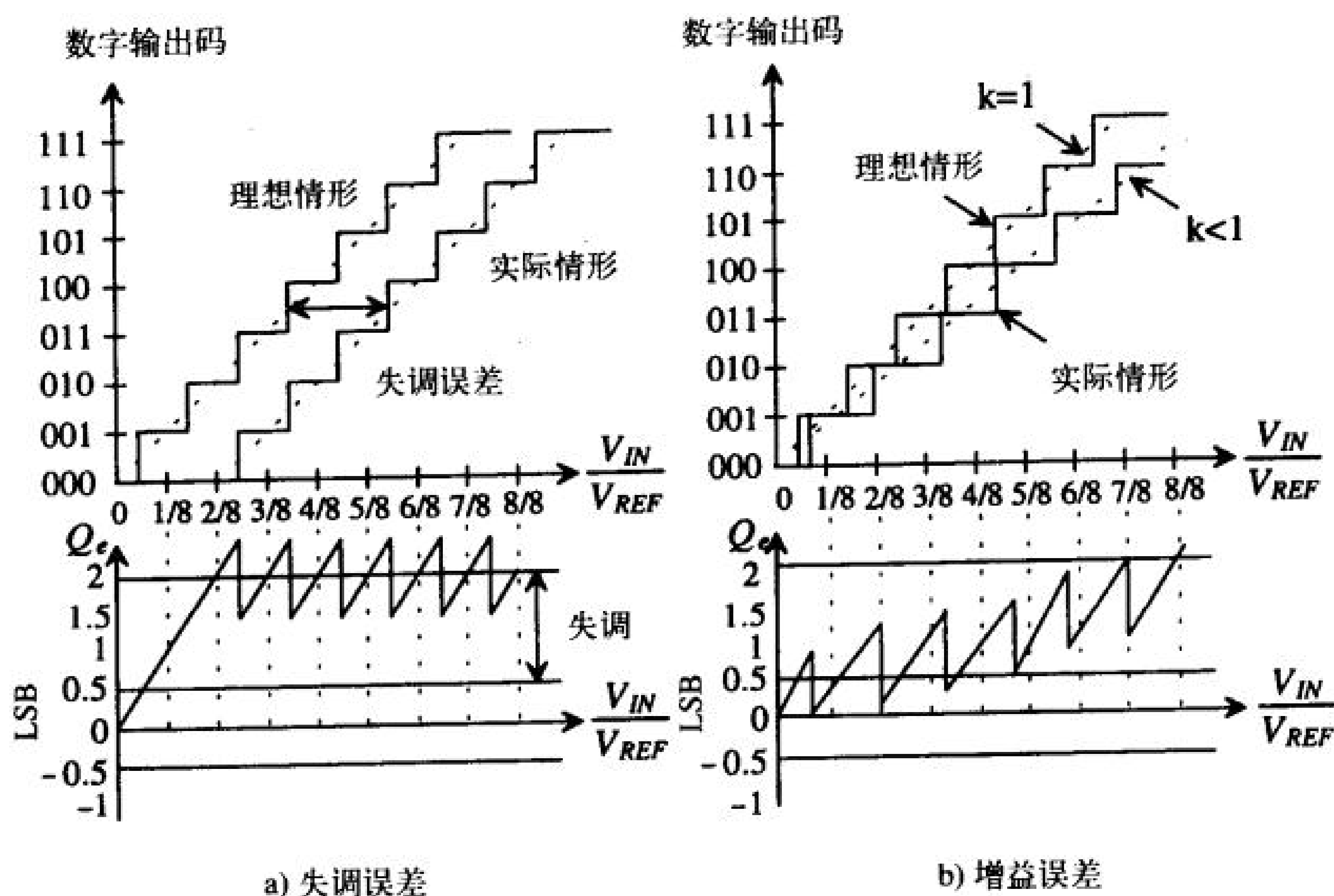
*INL*也可以由图28-23b中的量化误差来确定。*INL*是位于$\pm 1/2$LSB区域以外的Q_e大小。可以看到，对应数字输出码011的$Q_e = 1$LSB，其$INL = 0.5$LSB；对应于110的$Q_e = -1$LSB，其$INL = -0.5$LSB。 ■

776~777

失调和增益误差

ADC的失调和增量误差与DAC类似。当第一个码转换点偏离理想值（理想值为1/2LSB）时，就会出现*失调误差*。从图28-24a可以看出，失调误差是一个常数。可以看到，如果不计初始失调电压的影响，量化误差仍是理想的。*增益误差*或称*比例因子误差*（Scale Factor Error），如图28-24b，定义为实际转换曲线的最匹配直线的斜率和理想ADC的斜率1之间的差值。引起

失调和增益误差的原因将在第29章专门讨论，这里需要理解它们对ADC转换曲线的大致影响。



a) 失调误差 b) 增益误差

图 28-24

到目前为止，我们只分析了ADC的DC特性。如果要分析转换器的动态特性，将会遇到一系列新的误差。采样本身就是一个动态过程，因为采样精度依赖于模拟信号的速度。在采样过程中出现的许多效应限制了转换器的整体性能。

混迭（Aliasing）

在本章前面提到过，奈奎斯特准则要求采样频率至少是信号最高频率的两倍。如果忽略这个准则而使采样频率小于所要求的值，那么会出现什么情况呢？一种称为混迭的现象将会出现。

观察图28-25，以低于奈奎斯特准则要求的频率对一个模拟信号进行采样，得到了一个与被采样信号（图中实线所示）完全不同的信号（图中虚线所示）。这个信号是初始信号的“混迭”，其频率可由下式计算：

$$f_{alias} = f_{actual} + k f_{sample} \quad (k = \ldots -2, -1, 0, 1, 2, 3 \ldots) \tag{28-22}$$

式中，f_{actual}为模拟信号的频率，f_{sample}为采样频率，f_{alias}为混迭信号的频率。

混迭的消除有两种方法。一种是采用更高的采样频率，另一种是在采样之前，将模拟信号中频率高于采样频率一半的信号过滤掉。在实际应用中，通常在采样之前对模拟信号进行过滤，去掉可能引起混迭的高阶谐波。

778～779

频域分析可进一步说明混迭的概念。图28-26为频域和时域中的模拟信号、采样函数（以一组单位脉冲表示）、采样所得信号。图28-26a中，模拟信号表现为一个简单的有限频带信号，中心频率为 f_o，这表明信号被包含在有限的频率范围内。图28-26b给出在频域和时域上的采样函数。时域采样函数简单地描述了在时间离散点上的采样行为。频域采样函数与时域的相似，不同的是x轴用 $f = 1/T$表示。由于每个脉冲的值为1，采样得到的信号（如图28-26c）是脉冲函数乘以每个时间离散点上的模拟信号值。时域的乘积等同于频域的卷积，可以看到，

频域上采样得到的信号表现为以采样频率为中心的多个有限频带。

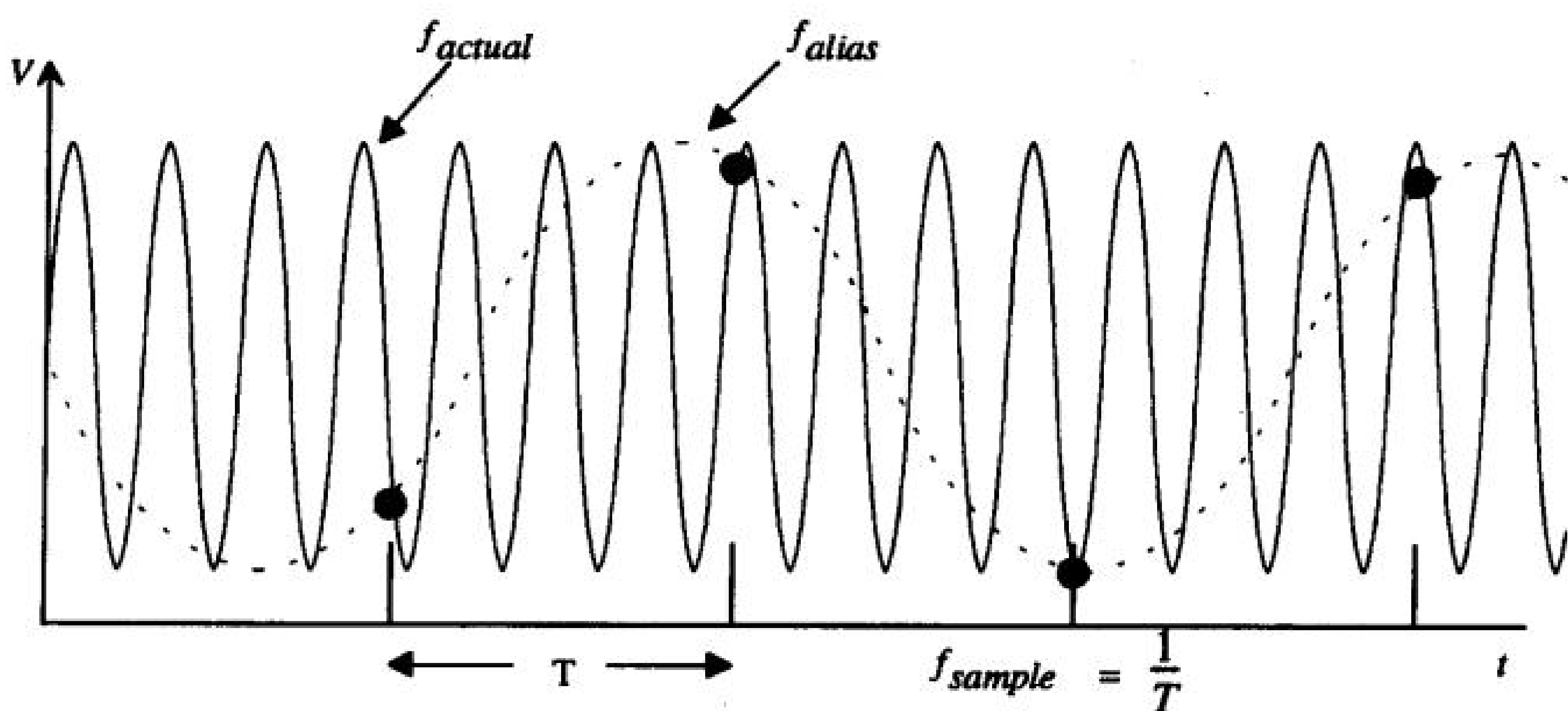
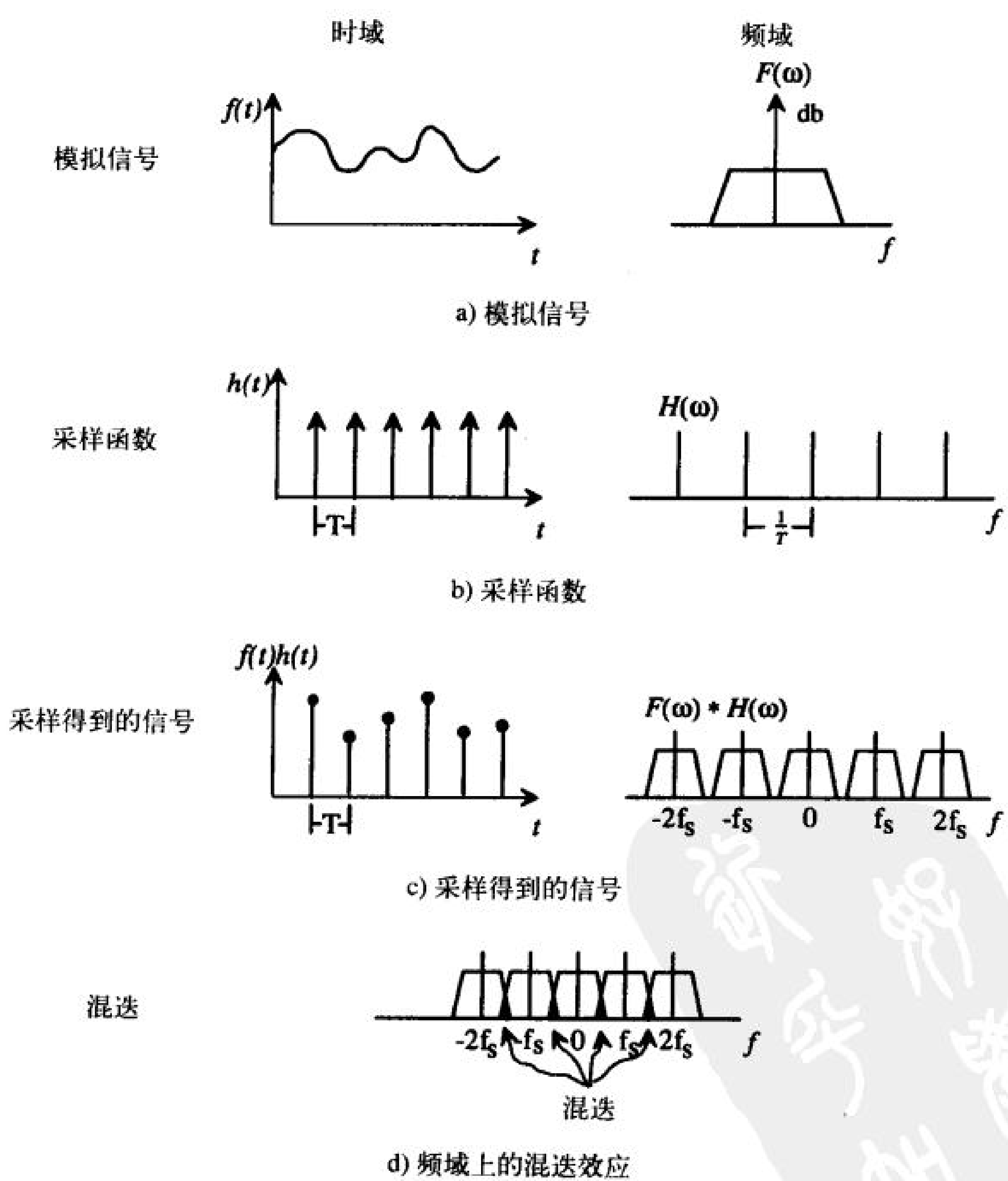


图28-25 欠采样引起的混迭示意图



a) 模拟信号

b) 采样函数

c) 采样得到的信号

d) 频域上的混迭效应

图28-26 时域和频域上的混迭示意图

看图28-26b，随着采样时间增加，采样频率减小，频域上脉冲的间距越来越小；结果如

图28-26d所示，当有限频带开始重叠时就出现混迭。可以对信号先过滤再采样，去掉重叠的频率。频谱上重叠的点被称为**折叠频率**（Folding Frequency）。

前面已提到，解决混迭的方法是更高的采样频率或过滤。由于某些原因，单用一种方法可能会使情况变糟。一些噪声的频带很宽，也就是说带宽很大，如果只靠增大采样频率来消除噪声的混迭效应，且不提昂贵的代价，在实际操作上也不太可能。简单地过滤输入信号，则会增加整个转换的延迟和电路的成本。因此，最好是将这两类方法结合起来以有效地解决混迭问题。

信噪比

780

ADC的信噪比（SNR）表示转换器输入信号的最大RMS（均方根）值对噪声RMS值的比率。SNR一般用dB表示，其表达式为:

$$SNR = 20\text{Log}\left(\frac{v_{in(max)}}{v_{noise}}\right) \tag{28-23}$$

假设输入信号是正弦波，电压摆幅为转换器的全量程参考电压，则$v_{in(max)}$的RMS值为:

$$v_{in(max)} = \frac{V_{REF}}{2\sqrt{2}} = \frac{2^N(V_{LSB})}{2\sqrt{2}} \tag{28-24}$$

式中，V_{LSB}是1LSB的电压值。噪声大小（假设是理想的数据转换器）等于图28-20b所示量化误差信号Q_e的RMS值。Q_e的RMS值计算如下:

$$Q_{e,RMS} = \left[\frac{1}{V_{LSB}}\int_{-0.5VLSB}^{0.5VLSB}(V_{LSB})^2 dV_{LSB}\right]^{0.5} = \frac{V_{LSB}}{\sqrt{12}} \tag{28-25}$$

因此，理想ADC的SNR为这两个RMS之比:

$$SNR = 20\cdot\text{Log}\frac{\frac{2^N(V_{LSB})}{2\sqrt{2}}}{Q_{e,RMS}} \tag{28-26}$$

此式也可以用N表示为:

$$SNR = 20N\text{Log}(2) + 20\text{Log}\sqrt{12} - 20\text{Log}(2\sqrt{2}) = 6.02N + 1.76 \tag{28-27}$$

式（28-27）给出了SNR与ADC分辨率的重要关系。对于16位的数据转换，需设计电路的SNR为（6.02）（16）+1.76 = 98.08dB！式（28-27）也可以用于计算**信号与噪声失真总和比**（Signal-to-Noise plus Distortion Ratio，SNDR）。由于输出是数字的，我们无法用频谱分析仪计算这个比率，而应通过**离散傅里叶变换**（Discrete Fourier Transform，DFT）在数字域中分析这些数据。

式（28-27）的另一个应用是根据系统的SNR或SNDR，确定其有效位数。例如，一个16位ADC的SNDR是88dB，则其有效分辨率为:

$$N = \frac{88 - 1.76}{6.02} = 14.32\ 位 \tag{28-28}$$

即此ADC的分辨率等价于14位转换器。

孔径误差

应该把28.3节所描述的S/H孔径误差与ADC的误差联系起来考虑。前面已提到，孔径误差会导致采样误差（图28-8），又讨论了ADC的特性，这样，我们可以把采样误差和ADC联系起来。由于ADC的最大误差是1/2LSB，因此，可以假设孔径不确定性引起的采样误差不能大于1/2LSB。

例28.8

计算ADC的最大分辨率，其S/H电路的特性如例28.1所述，要求采样误差小于1/2LSB。

例28.1已计算过，孔径不确定度所产生的最大采样误差为0.628mV。我们可以将这个值与ADC的最大分辨率联系起来。0.628mV应小于或等于1/2LSB，则有

781~782

$$0.628\ \text{mV} \leqslant 0.5\ LSB = \frac{V_{REF}}{2^{N+1}} = \frac{5}{2^{N+1}}$$

即:

$$2^{N+1} \leqslant 7961.8$$

由上式可解出N并取整，得最大分辨率为11位。 ■

28.6 数模混合电路的版图设计

显然，相比于数字IC，模拟IC对噪声更敏感。要设计好模拟电路，必须仔细考虑版图设计，特别是工作在数字环境中的模拟IC。必须对敏感的模拟节点进行保护，屏蔽掉可能的噪声源。模拟和数字电路用同一衬底时，还需要考虑电源线和地线的布线。由于大多数ADC用数字信号来控制开关，必须给每种信号提供独立的布线通道。

目前已提出多种提高混合电路设计成功率的技术，这些技术有不同的复杂度和优先级。从系统的角度考虑降低噪声的各种策略，这是设计混合电路时应该首先考虑的问题。图28-27给出了一种混合电路版图设计的策略。图中，最底层的问题最重要，需首先予以考虑。比较成功的混合电路设计总是尽量减小数字开关对模拟电路的影响。



图28-27 混合信号版图设计策略

783

布局

敏感模拟部件的布置会在很大程度上影响电路的性能，需要考虑很多问题。在设计混合

电路系统时，对电路布局的策略分析应该在版图开始之前就做好。

应该按各模拟信号对噪声的敏感度把模拟电路中的信号划分一下。例如，弱信号或通常与输入信号有关的高阻节点被认为是敏感节点。这些信号需要严密保护和屏蔽，特别要防止受数字输出缓冲器的影响。大摆幅模拟电路如比较器、输出缓冲放大器应布置在模拟和数字电路之间。

数字电路也应根据速度和功能进行划分。数字输出缓冲器通常要高速驱动电容负载，应该和敏感模拟节点离得最远。其次，低速和高速数字电路应依次布置在不敏感模拟电路和数字输出缓冲器之间。图28-28给出了这种版图的示例[6]。该图中，敏感模拟电路尽可能远离了数字输出缓冲器，而最不敏感的模拟电路邻近于干扰最小的数字电路。

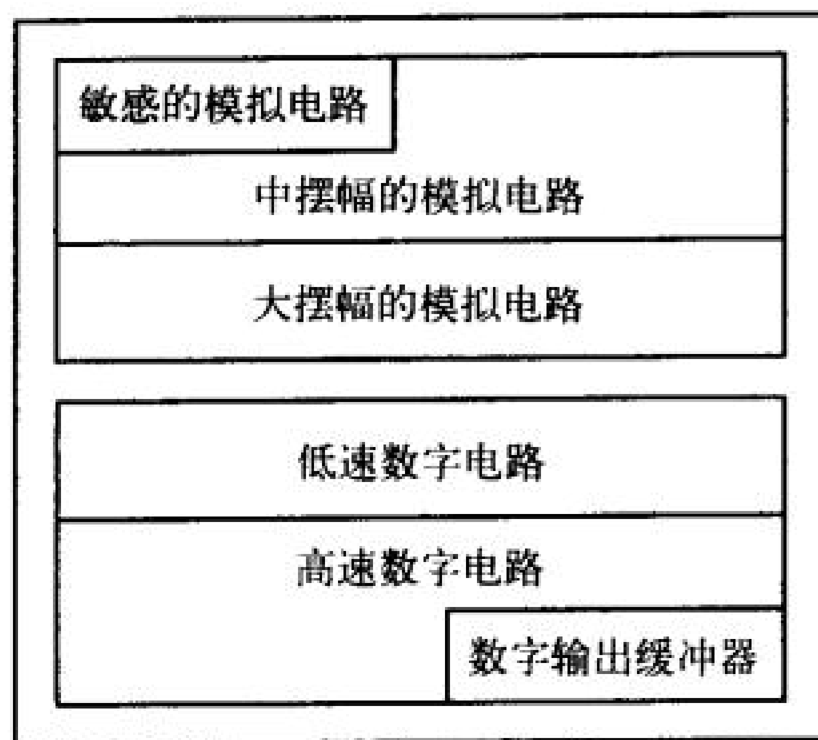


图28-28 混合信号电路布局的示例

电源供给和接地问题

当模拟和数字电路制作在同一个管芯上时，数字电路会通过电源线和地线向敏感的模拟电路注入噪声。优化模拟和数字电路的电源和地的布线可以减小许多此类的耦合噪声。

784

观察图28-29a知，模拟和数字电路用同一根接压焊点的连线（电源和地各有一个压焊点）。电阻R_{I1}、R_{I2}表示微小但不可忽略的连线电阻。电感L_{B1}、L_{B2}表示连接压焊点和引线框管脚的焊线电感。由于数字电路的一个典型特征是开关会引起很大的瞬态电流，因此，连线的小电阻会导致明显的电压尖峰。弱模拟信号对这种干扰十分敏感，导致模拟系统中的信号受到污染。另一个明显的电压尖峰是焊线电感引起的。由于电感产生的电压与通过的电流变化成比例，因此，其尖峰电压可能达到几百毫伏。这些电压变化在电源线和地线中都是实际存在的。

一种减小干扰的方法是禁止模拟和数字电路共用连线。如图28-29b，模拟和数字电路有各自的电源和地的布线。这种方法消除了共用连线的寄生电阻，但由公共焊线寄生电感引起的干扰仍然存在。

一种更能减小干扰的方法见图28-29c，通过使用单独的压焊点和管脚，使模拟和数字电路完全分离。模拟电源线和地线上的电流变化远不如数字中的大，因此，模拟电路具有“平静”的电源和地。但这种方法依赖于是否有额外可用的管脚和压焊点。这些分离的电源或地在外部应该连接在一起；模拟电路和数字电路各自使用一个独立的外部电源是不合理的，因为这两种电路在加电时往往不能做到同步，容易引发闩锁效应。

尽可能加大图28-29b和图28-29c中的线宽，可以减小总的金属连线电阻，从而减小模拟电路与电源、地的连线电阻，降低连线电阻引起的电压尖峰。电感总是存在的，但通过细致的

布局可以减小电感。由于焊线长度取决于压焊点与引线框的间距，把最接近管芯的管脚保留给敏感连线（如模拟电路的电源和地），可减小连线电感的影响。

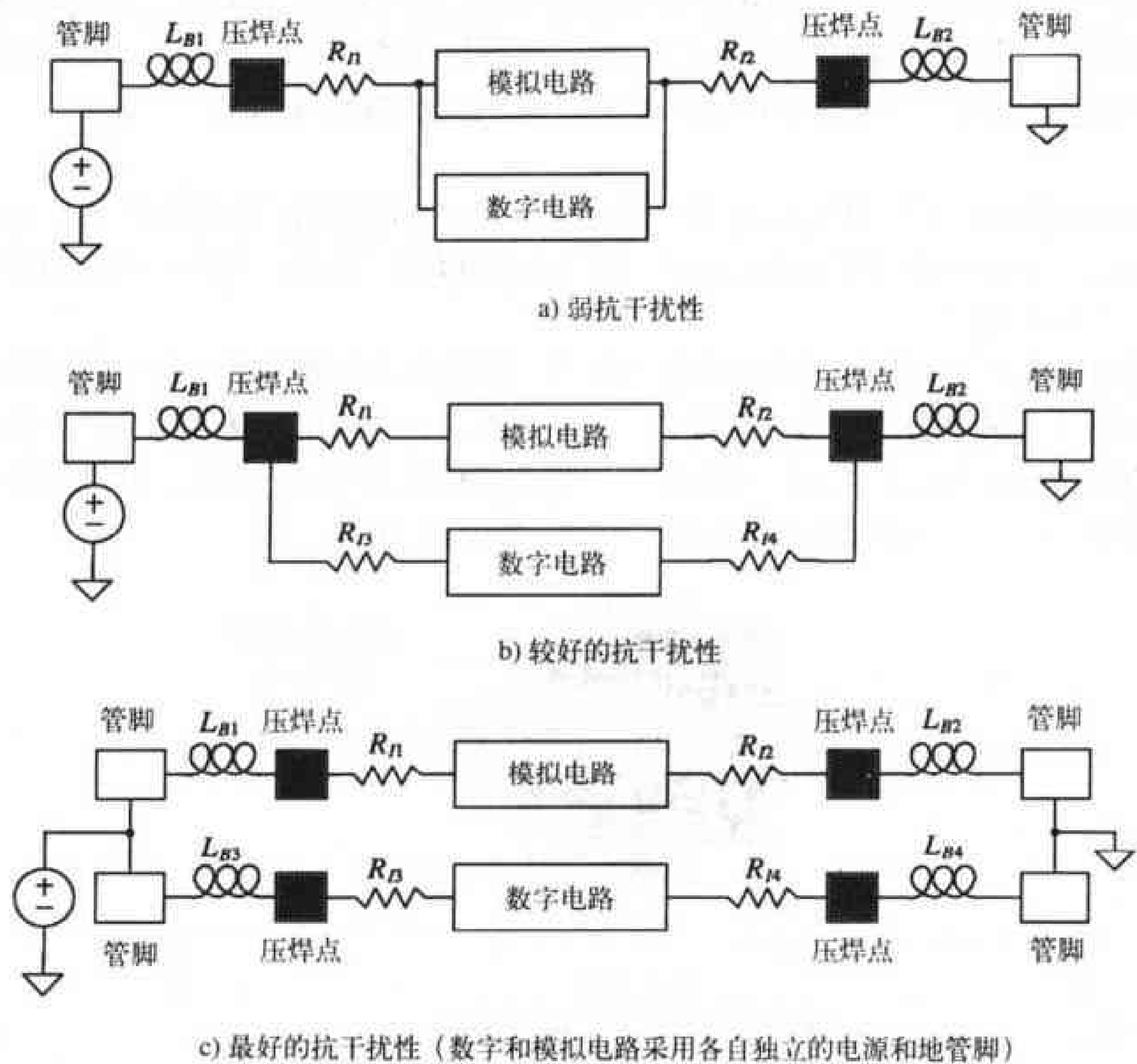


图28-29 电源和地的布线

全差分设计

在第25章介绍过全差分运算放大器，图28-30所示电路第一次出现在25.3一节中。噪声源表示通过寄生的杂散电容耦合过来的数字电路噪声。如果等量的噪声注入差分放大器，放大器自身的共模抑制能够消除大部分甚至全部噪声。当然，这依赖于放大器的对称性。也就是说，放大器中晶体管的匹配是至关重要的。因此，在混合信号环境中，应该通过版图技术改善匹配问题。在20.1.6和24.1.4节中已经讨论过共质心和叉指结构等版图设计技术。

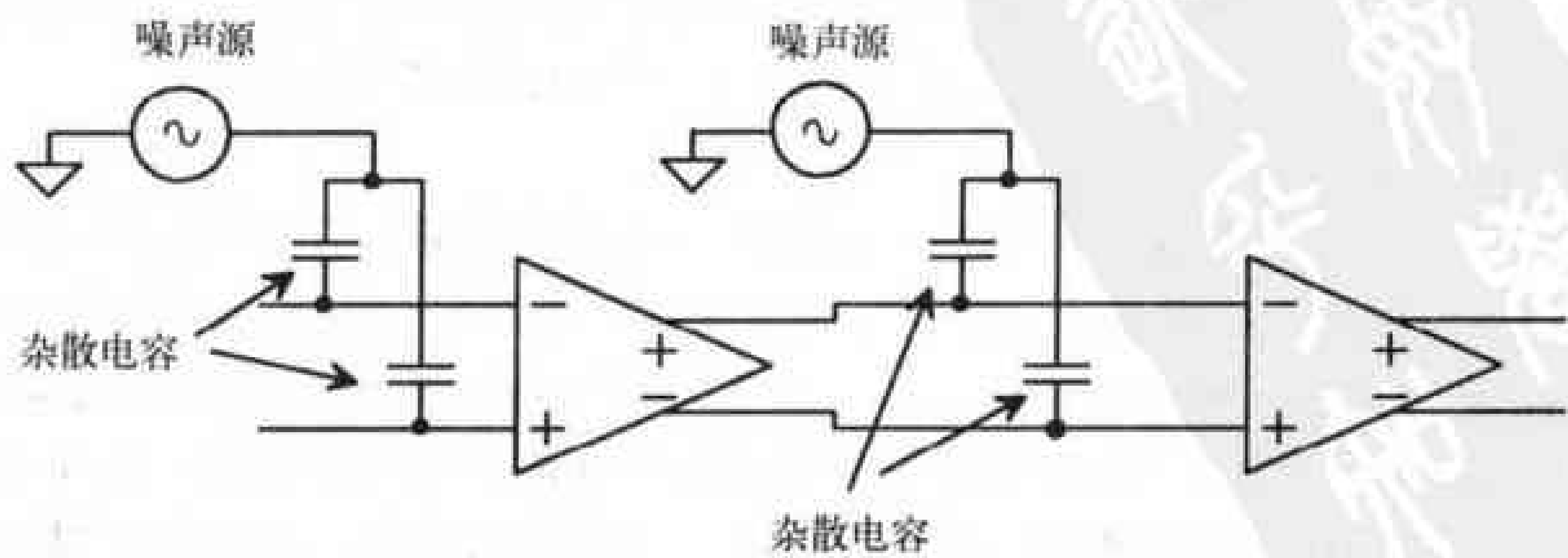


图28-30 存在耦合噪声的差分输出运算放大器

785
~
786

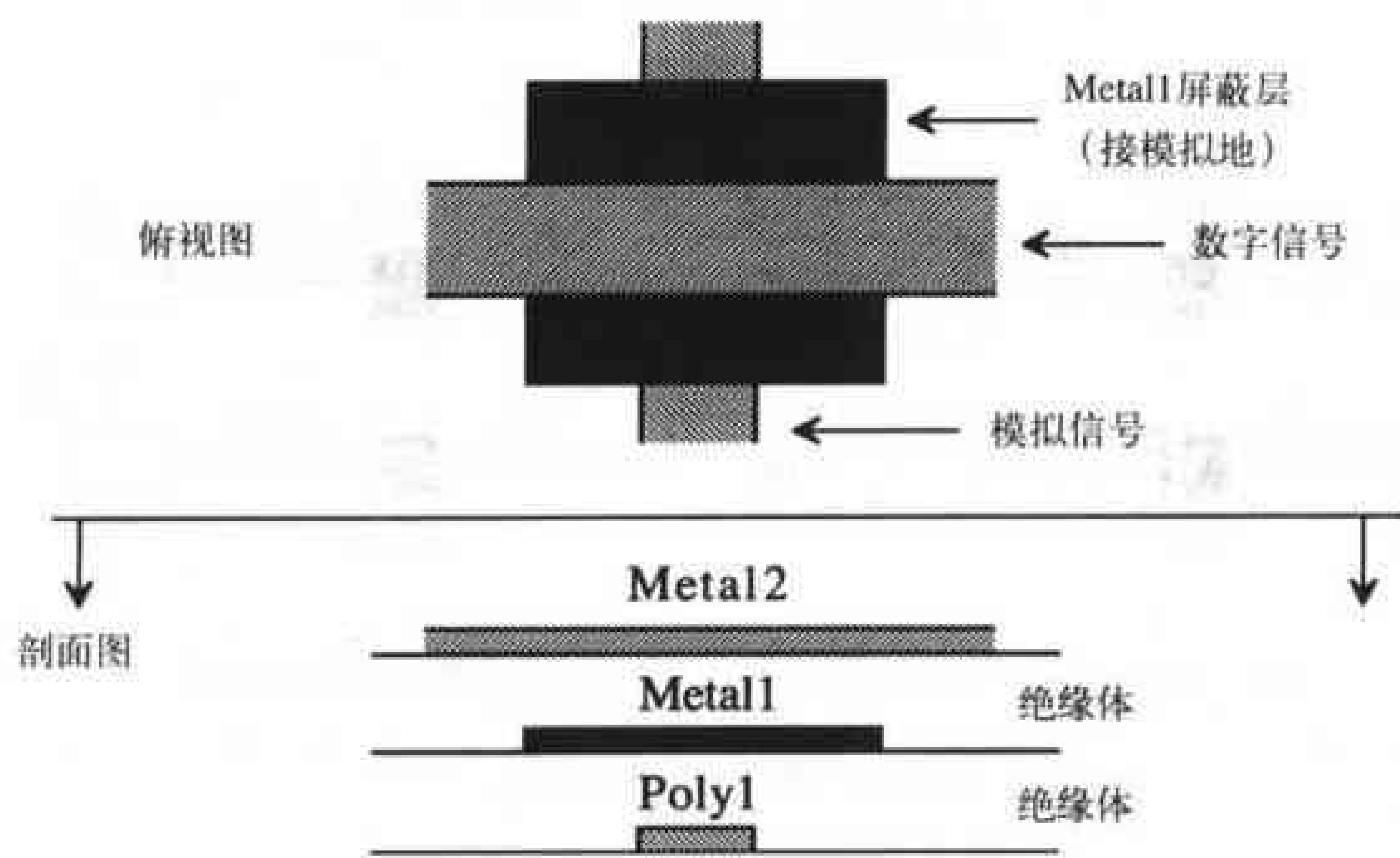
保护环

在7.2.1节和11.3节中讨论过的保护环，应合理地应用于整个混合信号环境。处理敏感信号的电路应置于单独的阱中，其保护环接模拟电路*VDD*。就CN20工艺来说，阱外的NMOS管周围也应加保护环，保护环接模拟电路*VSS*。数字电路应该放在自己的阱中，保护环接数字*VDD*。数字电路中的NMOS管加保护环也有助于减小来自数字器件的噪声。

屏蔽

许多方法可以保护敏感、弱模拟信号不受数字开关噪声的影响。屏蔽的形式，可以是在数字和模拟信号之间加入金属屏蔽层，金属屏蔽层接模拟地；也可以在两个并行的数字和模拟传输信号之间加入隔离板。

应该尽可能避免数字信号跨越敏感的模拟信号，例如低层的模拟输入信号和数字信号交叉。两条信号线之间的耦合电容与工艺有关，可能有几个fF。如果无法避免交叉，就应该设法采用顶层金属（如metal2）来传送数字信号。如果模拟信号是输入信号，则最适合采用多晶硅传送，并将metal1置于这两层之间并接模拟地（如图28-31）。



787

图28-31　采用Metal1作屏蔽层以消除数字信号对敏感模拟信号的干扰

另一种应该避免的情况是，含有敏感模拟信号的互连线和其他任何传送数字信号的互连线相邻并行。由于寄生电容，这两种连线之间存在耦合。如果不能避免这种情况，应该在这两种信号之间放置另一条接模拟地的连线，如图28-32所示。也可以用这种方法划分芯片的模拟和数字部分。

此外，n阱可以作为屏蔽极板，保护模拟信号不受衬底噪声的干扰。为了保护载有敏感模拟信号的多晶硅电阻（或电容），可以将这些元件做在接模拟*VDD*的n阱上。

互连的其他考虑

还有其他一些关于版图设计的策略可提高模拟电路的性能，但必须首先遵循上述策略，否则将失去意义。模拟电路布线时应减小电流运输路线的长度，从而可减小由metal1或metal2电阻引起的连线上的电压降。换层时，应该大量地使用接触孔。这不仅可以减小连线电阻，而且可以提高制造的可靠性。应避免使用多晶硅作为电流信号的运输线。这不只因为多晶硅有较大的电阻，而且换层时的接触孔电阻也很大，变得不可忽略。如果为了减小电阻而把多晶硅加宽，又会给节点增加额外的寄生电容。多晶硅只用于连接高阻栅节点间的连线，这些

节点实际上并不运输电流。

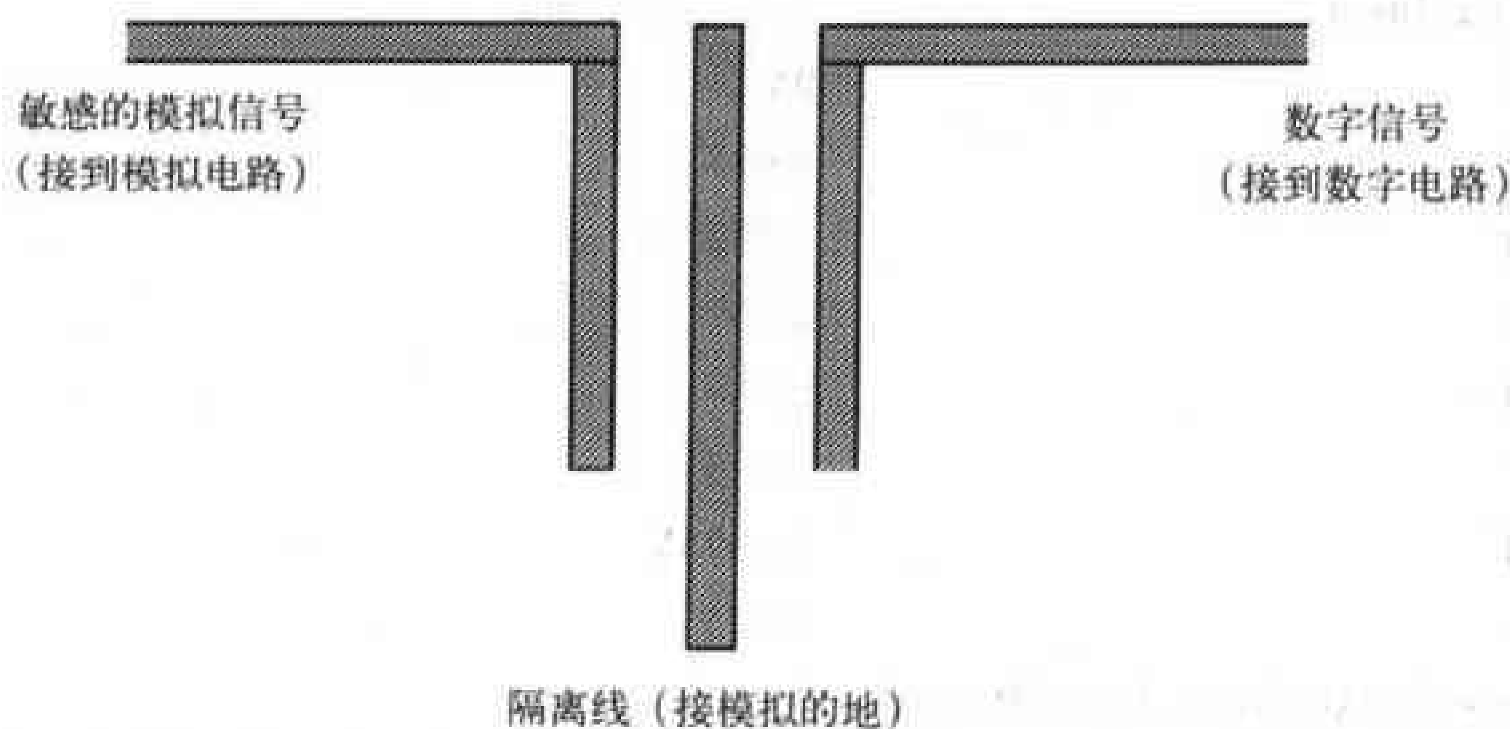


图28-32 用接模拟地的金属线屏蔽并行信号线之间的干扰

参考文献

[1] M. J. Demler, *High-Speed Analog-to-Digital Conversion*, Academic Press, 1991.

[2] B. Razavi, *Principles of Data Conversion System Design*, IEEE Press, 1995.

788

[3] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, McGraw-Hill Publishing Co., 1990.

[4] D. H. Sheingold, *Analog-Digital Conversion Handbook*, Prentice-Hall Publishing, 1986.

[5] S. K. Tewksbury et al., "Terminology Related to the Performance of S/H, A/D and D/A Circuits," *IEEE Transactions on Circuits and Systems*, CAS-25, Vol. CAS-25, pp. 419-426, July 1978.

[6] Y. Tsividis, *Mixed Analog-Digital VLSI Devices and Technology: An Introduction*, McGraw-Hill Publishing Co., 1996.

习题

28.1 如果温度计测量的范围为－50℃－150℃，要求测量精度为0.1℃，计算温度计的量化水平的数目。对应的ADC的分辨率需要多大？

28.2 使用与上题一样的温度计，如果温度的变化频率是$15^{\circ}\cdot\sin(0.01\cdot 2\pi t)$，需要多大的采样频率（每秒的采样次数）？

28.3 计算16位ADC中S/H电路所能允许的最大电压垂降。假设S/H和ADC的其他特性都是理想的，$V_{ref}=5\text{V}$。

28.4 一个S/H电路可以在采样开始5μs后，使输出达到其最终值的1%偏差范围内，计算使用此S/H电路的ADC可以具有的最大分辨率和速度。假设ADC是理想的。

28.5 一个数字可编程信号发生器采用14位DAC产生DC输出电压，DAC的参考电压为10V。请问输出电压的最小增量是多少？DAC的全量程电压是多少？精度是多少？

28.6 一个3位DAC的特性如下，计算其最大*DNL*（以LSB表示）。试问DAC具有3位的精度吗？如果没有，

其实际分辨率是多少？

Digital Input	Voltage Output
000	0V
001	0.625V
010	1.5625V
011	2.0V
100	2.5V
101	3.125V
110	3.4375V
111	4.375V

789

28.7 计算习题28.6中DAC的*INL*（以LSB表示）。

28.8 一个DAC的参考电压为1 000V，测得其最大*INL*为2.5mV。假设DAC的其他特性是理想的，请问其最大分辨率是多少？

28.9 一个DAC的转换曲线如图P28-9所示，计算其*INL*和*DNL*。

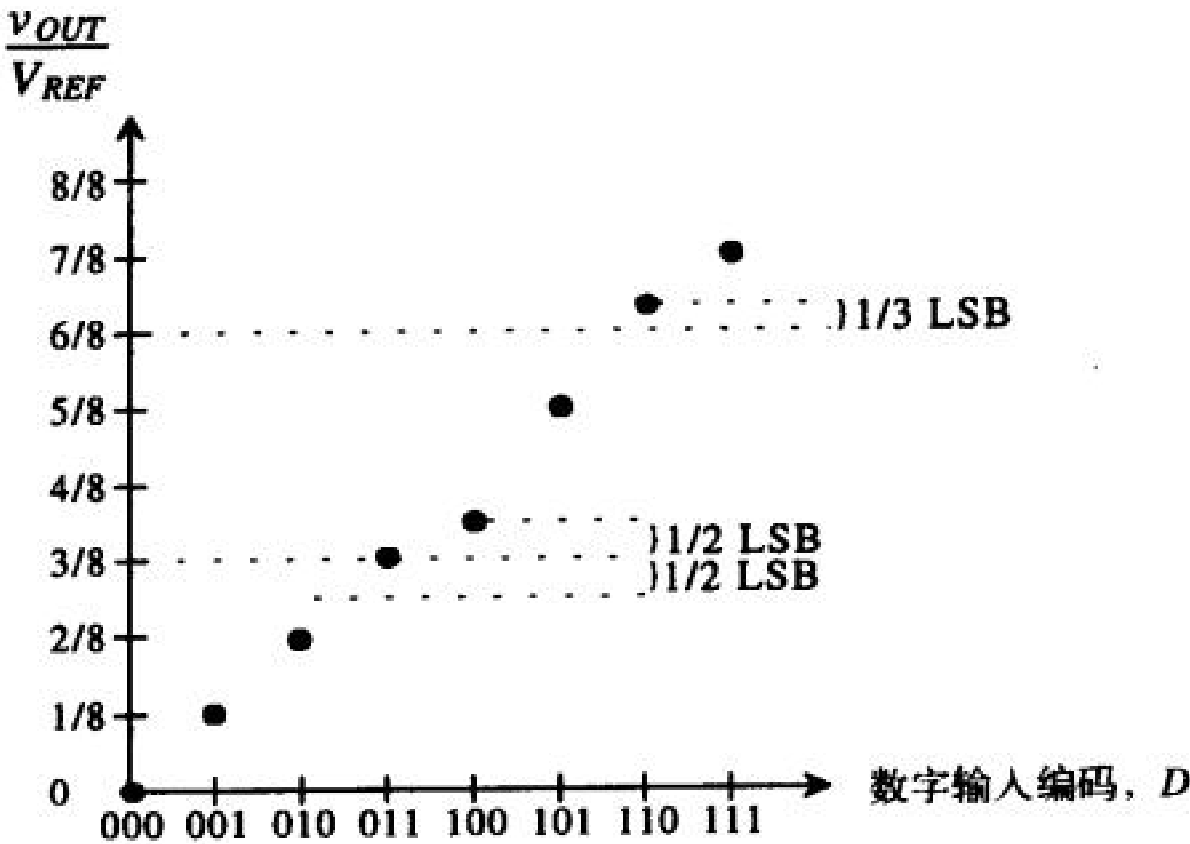


图 P28-9

28.10 一个参考电压为5V的DAC，全量程电压为4.97V，最小输出电压为一个LSB值。计算这个转换器的分辨率和动态范围。

28.11 证明图28-20b的量化噪声可以表示为公式（28-26）。

28.12 一个ADC的*SNR*是94dB。计算这个转换器分辨率的有效位数。

790

28.13 论述抗混迭的方法及每种方法的优缺点。



第29章 数据转换器结构

无线通信、数字音频、数字视频等应用，需要更高速度、更高分辨率且成本较低的数据转换器。数字信号处理器对数据转换器的需求向模拟电路设计师提出了一系列挑战，要求改进和发展新的ADC和DAC结构。目前已有许多不同类型的结构，它们都有各自的特点和限制。本章将对目前较常见的数据转换器结构作一个基本概述，并讨论每种结构的优缺点及限制⊖。

我们已经明确了ADC的工作原理，下面将用自顶向下的方法详细考察其基本结构。由于许多转换器都会使用运算放大器、比较器、电阻和电容阵列等电路模块，这种自顶向下的讨论方法便于在后面几小节中深入讨论关键电路模块对转换器性能的限制。

29.1 DAC的结构

DAC的结构多种多样，有简单的，也有复杂的。当然，每种结构都有自己的优点。有的采用分压，有的采用电流导引或电荷比例，将数字值变换成模拟量。

29.1.1 数字输入编码

许多时候，数字信号并不只是以二进制编码形式给出，可以有多种编码形式，如：二进制、BCD、温度码、格雷码、符号-数值码、补码、补偿二进制码等等。图29-1比较了一些最通用的数字输入编码。例如，如果希望相邻的两个编码只差一位，那么可以用格雷码。温度码也十分常用，N位数字字需要2^N-1位的温度码。选择哪种编码纯粹依赖于转换器的应用，因为每种编码都有其用途。

791

十进制码	二进制码	温度码	格雷码	补码
0	000	0000000	000	000
1	001	0000001	001	111
2	010	0000011	011	110
3	011	0000111	010	101
4	100	0001111	110	100
5	101	0011111	111	011
6	110	0111111	101	010
7	111	1111111	100	001

图29-1 数字输入编码的比较

29.1.2 电阻串DAC

最基本的DAC见图29-2a，电阻串由2^N个相同电阻和开关构成，模拟输出通过一组开关接

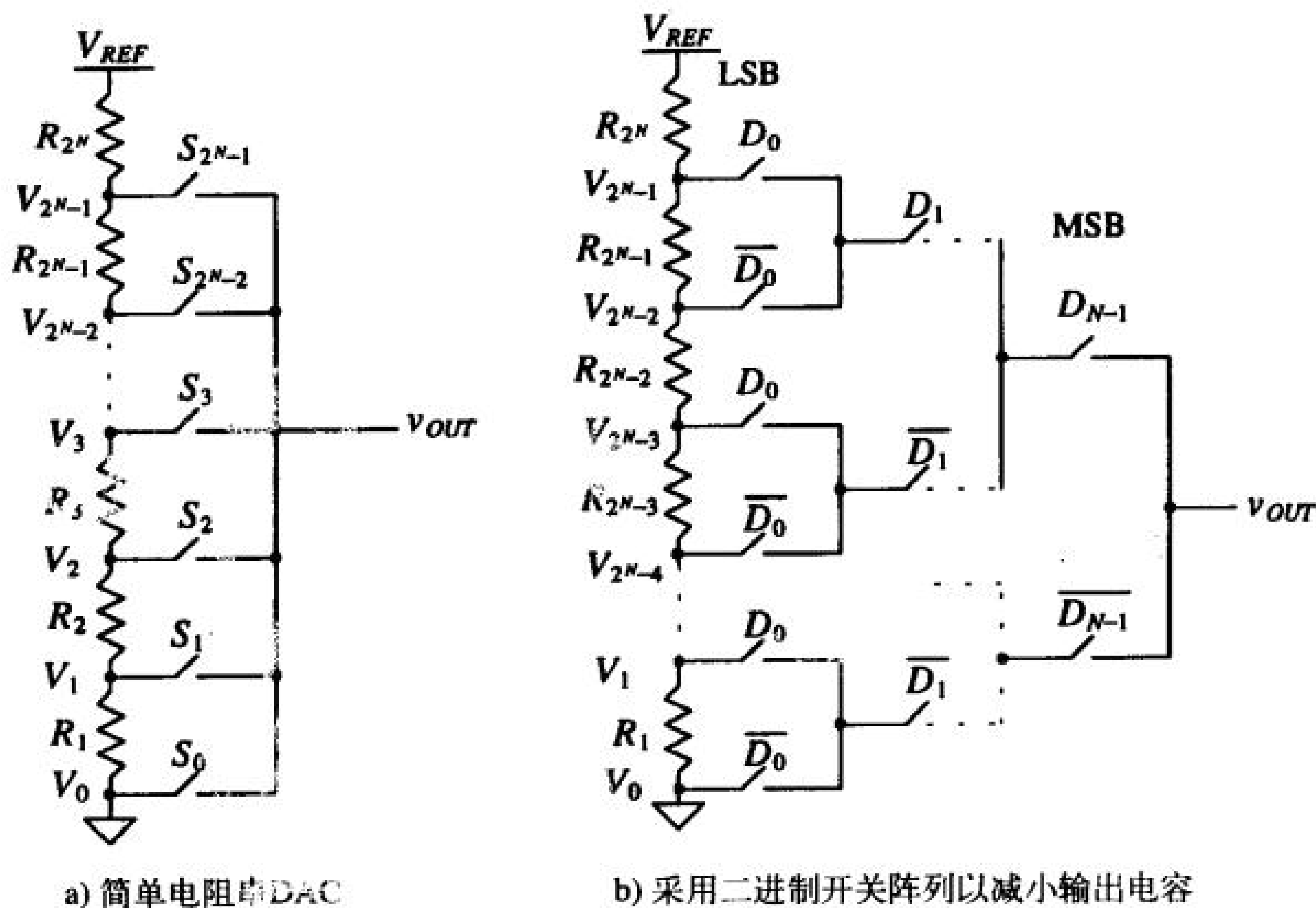
⊖ 本章许多材料来自于Terry Sculley博士（ESS Technology, Inc., Austin, Texas）的课程讲义。

到电阻串的各中间节点。这里需要一个N:2^N的解码器来产生2^N个开关控制信号。假如不需要输出驱动电流并且电阻值能满足转换器所要求的误差容限，则这种结构是很好的选择，通常具有良好的精度。

这种转换器的问题是模拟输出总是连接着2^N-1个关断的开关和一个导通的开关。当DAC的分辨率较大时，输出节点会有很大的寄生电容，导致较低的转换速度。另一种更好的电阻串DAC见图29-2b，一个二进制开关阵列保证输出最多与N个导通的开关和N个关断的开关相连，从而提高了转换速度。由于开关的二进制树排列本身就具有解码功能，因此，开关阵列的输入为二进制字。

电阻串DAC的另一个问题是面积和功耗之间的平衡。高分辨率时，由于需要大量的无源部件，导致芯片面积较大。有源电阻，例如n阱电阻，可以用于低分辨率情形。但随着分辨率的增大，电阻的相对精度就成了一个重要的因素。虽然减小R值可以减小所需的芯片面积，但由于电阻串上的电流一直存在，这使得功耗成为一个值得注意的问题。

792



a) 简单电阻串DAC　　b) 采用二进制开关阵列以减小输出电容

图 29-2

例29.1

使用二进制开关阵列设计3位电阻串梯形网络。假设$V_{REF}=5\text{V}$，转换器的最大功耗为5mW（不包括数字逻辑的功耗）。对于每个可能的数字输入编码，计算对应的模拟电压值。

根据功耗可确定出流过电阻串的电流：

$$I_{MAX}=\frac{5\times10^{-3}\ \text{W}}{5\ \text{V}}=1\ \text{mA}$$

3位转换器共需要8个电阻，所以每个电阻的阻值为：

$$R=\frac{1}{8}\cdot\frac{5\ \text{V}}{1\ \text{mA}}=625\ \Omega$$

由此可得转换器如图29-3所示。下面分析输入编码$D_2D_1D_0 = 100$或4_{10}时的开关阵列。由于$D_2 = 1$，上面的开关闭合，由$\overline{D_2}$控制的开关断开。在D_1对应的一列开关中，由于$D_1 = 0$，由$\overline{D_1}$控制的两个开关闭合，其余两个断开。LSB控制的开关最多，因$D_0 = 0$，所有$\overline{D_0}$控制的开关闭合，其余都断开。只有一条通路连接电阻串的一个分接头和输出（图中粗线所示），它接在电阻串的中间节点。因此，$v_{OUT} = 1/2\ V_{REF} = 2.5V$。其他输出见图29-4。 ■

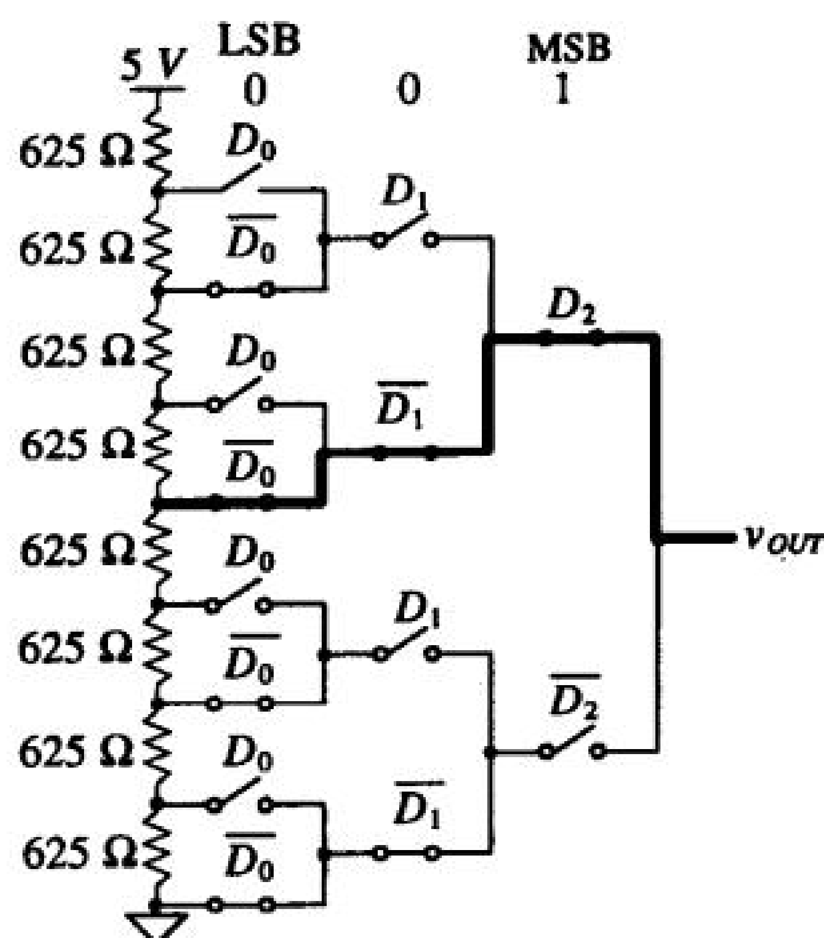


图29-3 例29.1的3位电阻串DAC

$D_2D_1D_0$	v_{OUT}
000	0
001	0.625
010	1.25
011	1.875
100	2.5
101	3.125
110	3.75
111	4.375

图29-4 例29.1中3位DAC的输出电压

793 ~ 794

电阻串DAC的失配误差

显然，电阻串的精度与电阻之间的匹配有关，并最终决定整个DAC的INL和DNL。假设第i个电阻R_i有失配误差，即:

$$R_i = R + \Delta R_i \tag{29-1}$$

式中，R为电阻的理想值，ΔR_i为失配误差。假设电阻串的失配是对称的，则所有失配项的总和为零，即:

$$\sum_{i=1}^{2^N} \Delta R_i = 0 \tag{29-2}$$

第i个电阻接头处的理想电压值为:

$$V_{i,ideal} = \frac{(i)V_{REF}}{2^N}, \qquad i = 0, 1, 2, \ldots\ldots, 2^N - 1 \tag{29-3}$$

考虑失配误差后，第i个分接头的实际电压为电阻i（包括电阻i）以下所有电阻之和对电阻串总电阻的分压。可以表示为:

$$V_i = V_{REF} \cdot \frac{\sum_{k=1}^{i} R_k}{\sum_{k=1}^{2^N} R_k} = V_{REF} \cdot \frac{\sum_{k=1}^{i} R + \Delta R_k}{2^N R} \tag{29-4}$$

分母中不含失配误差，这是因为假设了失配总和为零，见式（29-2）。注意，上式没有包括i = 0这种情形；$i = 0$时，输出电压为V_0，图29-2中的V_0为地。可以把式（29-4）改写为:

$$V_i = \frac{V_{REF}}{2^N R}\left[(i)R + \sum_{k=1}^{i} \Delta R_k\right] = \frac{(i)V_{REF}}{2^N} + \frac{V_{REF}}{2^N R}\sum_{k=1}^{i} \Delta R_k \tag{29-5}$$

化简为:

$$V_i = V_{i,ideal} + \frac{V_{REF}}{2^N} \cdot \sum_{k=1}^{i} \frac{\Delta R_k}{R} \tag{29-6}$$

式（29-6）本身不是很重要，但它可以帮助确定非线性误差。

电阻串DAC的积分非线性

积分非线性（INL）定义为实际输出电压和理想输出电压之差，即:

$$INL = V_i - V_{i,ideal} \tag{29-7}$$

795 将式（29-6）和式（29-3）代入式（29-7）得:

$$INL = \frac{V_{REF}}{2^N} \cdot \sum_{k=1}^{i} \frac{\Delta R_k}{R} \tag{29-8}$$

式（29-8）是计算电阻R_i的INL的通用表达式，要计算INL需要知道各个电阻的失配。不过，这个式子并没有说明如何确定电阻串的最坏情况或最大INL。

直观地考虑，可以认为最坏情况的INL出现在电阻串的顶端（$i = 2^N$）且所有ΔR_k都取最大值时。但前面的推导已经假设所有失配的总和为零。在这个限制条件下，最大INL出现在电阻串的中点即$i = 2^{N-1}$，对应的数字码的MSB为1，其他位都为零。另一种出现最坏情况的条件是，下半部分的电阻取正的最大失配值而上半部分的电阻取负的最大失配值，反之亦然。

如果已知电阻串上的电阻失配为2%，那么ΔR_k限制于如下区间:

$$-0.02R < \Delta R_k < 0.02R \tag{29-9}$$

利用式（29-8），最坏情况的INL（当失配的百分比为2%时）为:

$$|INL|_{max} = \frac{V_{REF}}{2^N} \cdot \sum_{k=1}^{2^{N-1}} \frac{\Delta R_k}{R} = \frac{V_{REF}}{2^N} \cdot \frac{2^{N-1} \cdot \Delta R_k}{R} = \frac{1}{2} LSB \cdot 2^N \cdot (\text{失配的百分比}) = 0.01 V_{REF} \tag{29-10}$$

由于$INL < 0.5LSB$，因此要求$1/2^N >$（失配的百分比）。对于2%的失配，最大位数N为5。当失配小于0.2 %时，$N = 9$。

根据对最坏情况的分析，最大*INL*将出现在电阻串中点。使用“最佳匹配”的方法测量*INL*，可以在理论上改善这个指标。这时，只需稍微移动参考线即可（参考第28章），参考线将不再经过终点。

例29.2

确定电阻串DAC的有效位数（假设有效位数受*INL*的限制）。电阻为无源多晶硅电阻，相对失配为1%，$V_{REF}=5\text{V}$。

由式（29-10）知，最大*INL*为：

$$|INL|_{max}=0.005\cdot V_{REF}=0.025\ \text{V}$$

796

最坏情况时，最大*INL*应该等于1/2LSB，因此有：

$$\frac{1}{2}LSB=\frac{5}{2^{N+1}}=0.025\ \text{V}$$

由上式可解出*N*为：

$$N=\log_2\left(\frac{5}{0.025}\right)-1=6.64\ \text{bits}$$

这就是说，电阻串失配为1%的DAC最多具有6位的分辨率。■

最坏情况下的电阻串DAC的微分非线性

确定*DNL*时，电阻串的匹配不像确定*INL*时那么重要了。*DNL*的定义是DAC转换曲线的实际台阶高度减去理想台阶高度。我们可以根据电阻串上相邻两个电阻的分接头电压来表达。由式（29-5）可：

$$|V_i-V_{i-1}|=\left|\left[\frac{(i)V_{REF}}{2^N}+\frac{V_{REF}}{2^N}\cdot\sum_{k=1}^{i}\frac{\Delta R_k}{R}\right]-\left[\frac{(i-1)V_{REF}}{2^N}+\frac{V_{REF}}{2^N}\cdot\sum_{k=1}^{i-1}\frac{\Delta R_k}{R}\right]\right|$$

化简得：

$$|V_i-V_{i-1}|=\left|\frac{V_{REF}}{2^N}\left(1+\frac{\Delta R_i}{R}\right)\right| \tag{29-11}$$

式（29-11）减去理想台阶高度就得到*DNL*：

$$DNL_i=\left|\frac{V_{REF}}{2^N}\left(1+\frac{\Delta R_i}{R}\right)-\frac{V_{REF}}{2^N}\right|=\left|\frac{V_{REF}}{2^N}\cdot\frac{\Delta R_i}{R}\right| \tag{29-12}$$

当i对应的ΔR最大时，*DNL*最大。假设电阻的失配不超过2%，则最坏情况的*DNL*为：

$$DNL_{max}=\left|0.02\cdot\frac{V_{REF}}{2^N}\right|=0.02\ LSB \tag{29-13}$$

这个值远低于1/2LSB的限制。显然*INL*是决定电阻串DAC分辨率的限制因素，因为*INL*的最大值比*DNL*大2^N倍。

29.1.3 R−2R梯形网络DAC

另一种使用较少电阻的DAC结构被称为$R-2R$梯形网络[1]，它是由一个阻值为R或$2R$的电阻网络构成。图29-5是一个N位$R-2R$梯形网络。观察该图会发现，在梯形网络的右边，向节

点的右边看过去，每个节点和地之间的电阻都是2R。数字输入决定电阻接运算放大器的地（同相端）还是接反相端。每个节点电压都与V_{REF}相关，相关因子为电阻网络分压产生的二进制权重。由于每个受开关控制的电阻的下端电压都为零伏（不论是接地还是接虚地），因此，流过V_{REF}的总电流是常数；对任何数字输入，节点电压都保持不变。

797

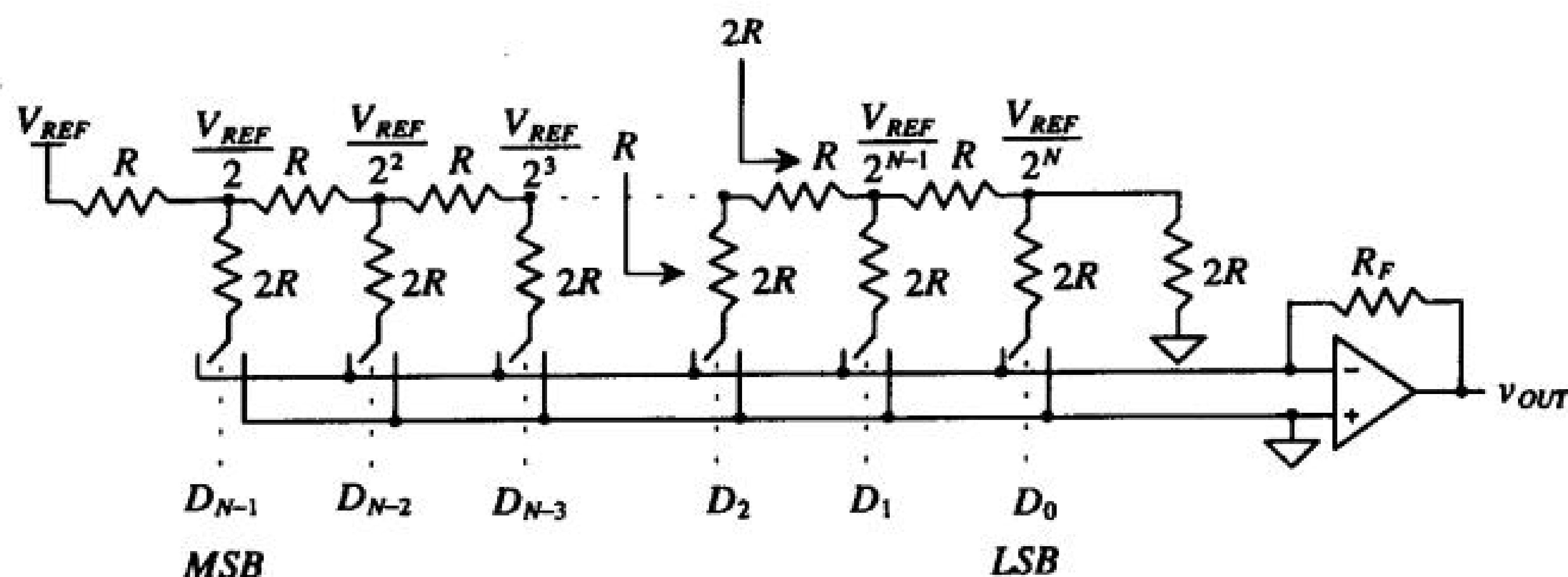


图29-5　R-2R数模转换器

输出电压取决于流经反馈电阻R_F的电流，即：

$$v_{OUT}=-i_{TOT}\cdot R_F \tag{29-14}$$

式中，i_{TOT}为数字输入选中的电流之和：

$$i_{TOT}=\sum_{k=0}^{N-1} D_k\cdot\frac{V_{REF}}{2^{N-k}}\cdot\frac{1}{2R} \tag{29-15}$$

式中，D_k为输入字的第k位，取值为1或0。

这种结构与电阻串结构一样，要求电阻的匹配满足转换器分辨率的要求。因此，开关本身的电阻必须足够小（可以忽略不计），否则，开关上会出现电压降而导致误差。一种解决办法是加伪开关。假设连接电阻2R的开关的电阻为ΔR，如图29-6所示。伪开关的电阻值为实际开关电阻的一半，采用“硬连接”使开关保持常通，并且伪开关与横向电阻R串联。这时，任何横向支路的总电阻R'为：

$$R'=R+\frac{\Delta R}{2} \tag{29-16}$$

任何纵向支路的电阻为$2R+\Delta R$，是横向支路电阻的两倍。这样就保持了$R'-2R'$的关系。当然，末端的电阻也应串联一个与2R开关尺寸相同的伪开关。

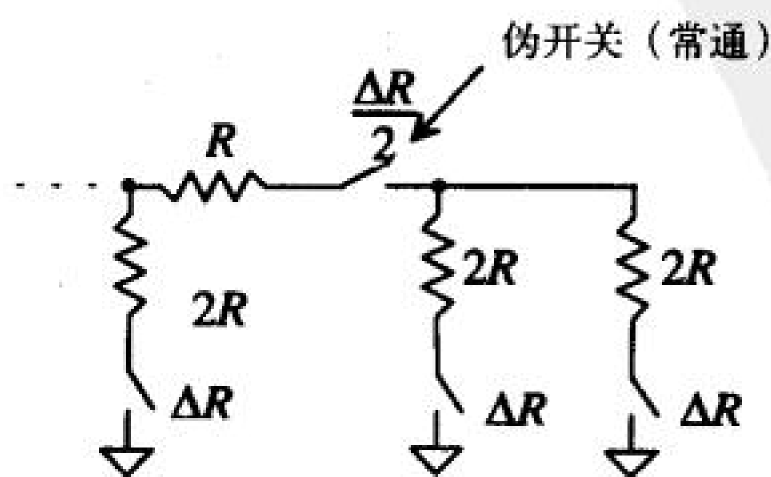


图29-6　使用伪开关抵消开关电阻的影响

例29.3

采用R−2R结构设计3位DAC，设$R = 1\text{k}\Omega$，$R_F = 2\text{k}\Omega$，$V_{REF} = 5\text{V}$。假设开关电阻可忽略不计。确定每个数字输入对应的电流i_{TOT}以及输出电压v_{OUT}。

图29-7给出了数字输入为001时的3位DAC。图中标出了电阻网络的各节点电压。对于每个开关，如果数字输入位为0，则对应的电阻接地；如果输入位为1，则电阻接运放的反相输入端（虚地），电流流向运放的输出。如此，则当$D_2D_1D_0 = 000$时，所有开关接地，没有电流流过反馈电阻，输出电压v_{OUT}为零。

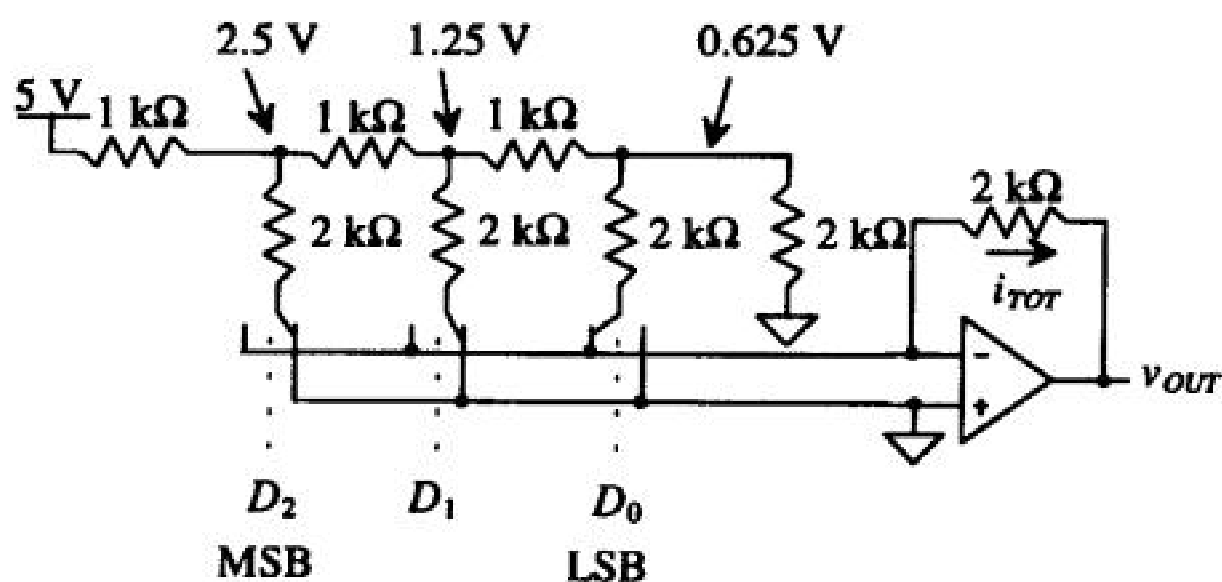


图29-7　例29.3的3位R−2R数模转换器

当$D_2D_1D_0 = 001$时，最右边的电阻接运算放大器的反相输入端，其他两个电阻仍接地。因此，流过反馈电阻的总电流为流过最右边电阻的电流，由式（29-15）得：

798
~
799

$$\frac{V_{REF}}{8} \cdot \frac{1}{2000} = 0.3125\ \text{mA}$$

由式（29-14），得输出电压为：

$$v_{OUT} = -(0.3126\ \text{mA})(2000\ \Omega) = -0.625\ \text{V}$$

与预期结果一致。其他输出电压也可用式（29-14）和（29-15）求得，如图29-8所示。■

$D_2D_1D_0$	i_{TOT} (mA)	v_{OUT} (V)
000	0	0
001	0.3125	−0.625
010	0.625	−1.25
011	0.625 + 0.3125 = 0.9375	−1.875
100	1.25	−2.5
101	1.25 + 0.3125 = 1.5625	−3.125
110	1.25 + 0.625 = 1.875	−3.75
111	1.25 + 0.625 + 0.3125 = 2.1875	−4.375

图29-8　例29.3的3位DAC的输出电压

29.1.4　电流导引DAC

在前一节中，电压被转换成电流，然后在输出端产生电压。另一种DAC的整个转换过程

都采用电流，被称为电流导引型DAC，它需要精准的电流源并以多种方式实现电流求和。

图29-9给出了一个普通的电流导引型DAC。这种DAC需要一组电流源，每个电流源的大小为一个单位电流I。当所有数字输入位都为零时，没有电流源接在i_{OUT}上，因此，D_{2^N-2}的下标是减2（而不是减1）。例如，3位的DAC需要7个电流源，标号是从D_0到D_6。二进制信号控制电流源是连接到i_{OUT}还是连接到其他求和节点（这里是地）。输出电流i_{OUT}的范围为：

$$0 < i_{OUT} < (2^N - 1) \cdot I \tag{29-17}$$

其值可能是此区间内任何一个I的整数倍。有趣的是用于驱动开关的数字编码形式。因为有2^N-1个电流源，数字输入采用温度码形式。从编码的LSB到第k位D_k，其值都是1，D_k以上的位都是0。1和0的分界点上下浮动，类似于温度计，温度码由此而得名。一般需要使用编码器将二进制输入码转换成温度码。

800

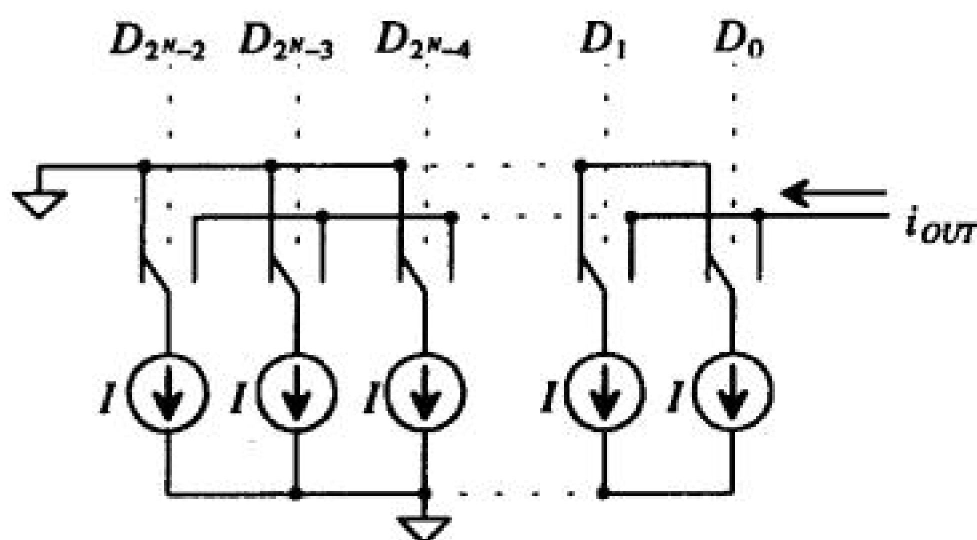


图29-9 普通的电流导引型DAC

另一种电流导引型DAC的结构如图29-10所示。这种结构采用二进制权重电流源，只需要N个不同大小的电流源，而前一种结构则需要2^N-1个相同的电流源。由于电流源的大小为二进制权重，输入编码是简单的二进制数，不再需要编码器（把二进制码转换成温度码）。

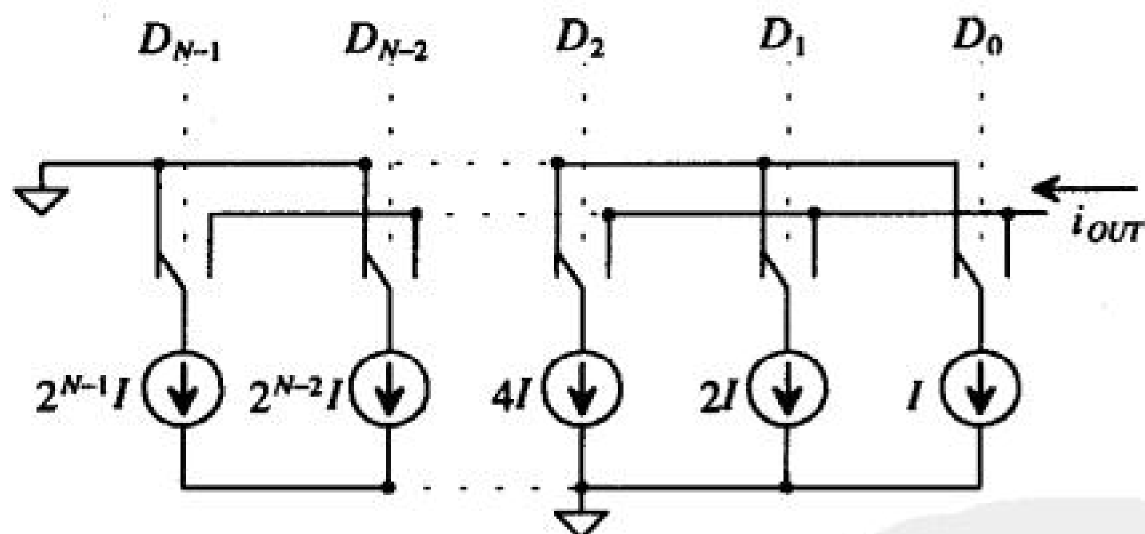


图29-10 采用二进制权重电流源的电流导引型DAC

电流导引型DAC的优点在于其固有的高电流驱动。由于不需要输出缓冲器驱动电阻负载，这些DAC一般用于高速情形。高速电流导引型DAC一般采用双极工艺制作。不过，CMOS工艺能够产生良好匹配的电流镜，这使得用CMOS工艺实现电流导引型DAC也成了一种很有吸引力的选择。当然，高分辨率所要求的精度依赖于电流源的匹配程度，或者说依赖于能够制作精确度多高的二进制权重电流源。例如，用图29-9中的结构设计13位DAC，需要在芯片上放置8 191个电流源，这不是一个小数目。而对于二进制权重电流源，则只需要13个，但最大电流源必须是最小电流源的4096或2^{N-1}倍。即使单位电流源的电流I取为5μA，最大电流源的电流也将达到20.48mA!

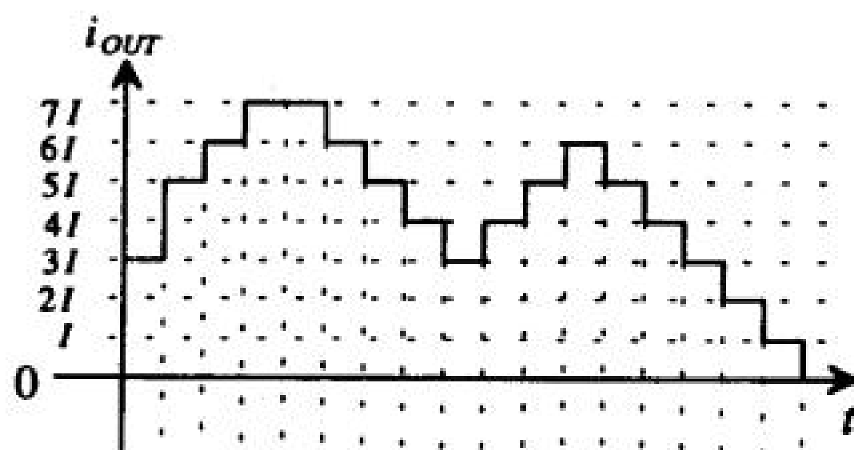
801

这种结构的另一个问题是开关操作引起的误差。由于电流源是并行的，当一个电流源要切断而另一个要接通时，假如在这瞬间，两者都导通或者都关断，输出端就会出现假信号。这看起来似乎并不重要，但如果转换器从0111111变到1000000时，所有开关都需要关断片刻，则输出将先突变到地然后再回到正确值。如果DAC驱动电阻负载，电流转换成电压，输出端将出现一个较大的电压突变。

例29.4

使用单位电流源的3位电流导引型DAC的输出如图29-11a所示，构造产生此输出所需要的温度码列表。

温度码见图29-11b。当编码都为零时输出为0V，所以，只需要用7位数字编码来表示3位DAC的2^N个状态（这里是8个）。可以看到，1和0的分界线与输出信号本身类似。 ■



a) 3位电流导引型DAC的输出

D_6 0 0 0 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0
D_5 0 0 1 1 1 1 0 0 0 0 0 1 0 0 0 0 0 0
D_4 0 1 1 1 1 1 1 0 0 0 1 1 1 0 0 0 0 0
D_3 0 1 1 1 1 1 1 1 0 1 1 1 1 1 0 0 0 0
D_2 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0
D_1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0
D_0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0

b) 温度码输入

图 29-11

电流导引型DAC的失配误差

电流源失配的分析方法与电阻串情形相似。首先分析普通的电流导引型DAC的INL和DNL（图29-9）。假设图中每个电流源为：

$$I_k = I + \Delta I_k, \quad k = 1, 2, 3, \ldots\ldots, 2^N - 1 \tag{29-18}$$

802

式中，I为理想的电流值，ΔI_k为失配导致的误差。再假设所有失配项ΔI_k之和为零，一半电流源的失配为最大正值ΔI_{max}，另一半为最大负值$-\Delta I_{max}$，则最坏情况出现在中值点，此时的实际输出电流为：

$$I_{out} = \sum_{k=1}^{2^{N-1}} (I + \Delta I_k) = 2^{N-1} \cdot I + 2^{N-1} \cdot |\Delta I|_{max} = I_{out,ideal} + 2^{N-1} \cdot |\Delta I|_{max} \tag{29-19}$$

由于INL为实际输出电流减去理想值，因此，最坏情况下的INL为：

$$|INL|_{max} = 2^{N-1} \cdot |\Delta I|_{max,INL} \tag{29-20}$$

式中，$|\Delta I|_{max,INL}$项是保证INL小于1/2LSB的最大电流源失配误差。每个电流源的电流大小等于1LSB，因此，1/2LSB等于$0.5I$。由于最大INL对应于1/2 LSB，因此，令式（29-20）等于$0.5I$，可求得$|\Delta I|_{max,INL}$的值为：

$$|\Delta I|_{max,INL}=\frac{0.5I}{2^{N-1}}=\frac{I}{2^N} \tag{29-21}$$

由式（29-21）可以看出，这种结构DAC在实现高分辨率时是有困难的。如果I设为5μA，要求N为12，则$|\Delta I|_{max,INL}$应为：

$$|\Delta I|_{max,INL}=\frac{5\times10^{-6}}{2^{12}}=1.221\ \text{nA!} \tag{29-22}$$

这就是说，要使最坏情况的INL在1/2LSB的误差范围内，5μA电流源的电流值必须处于如下区间内：

$$4.99878\ \mu A < I_k < 5.001221\ \mu A \tag{29-23}$$

DNL比较容易确定，因为转换曲线的台阶高度等于理想电流源的电流值I。相邻两个输出电流的差值简单地为单个电流源的电流值I_k加上使DNL小于1/2LSB的最大失配误差$|\Delta I|_{max,DNL}$：

$$I_{out(x)}-I_{out(x-1)}=I_k+|\Delta I|_{max,DNL} \tag{29-24}$$

因此，DNL可以简单表示为：

$$|DNL|_{max}=I_k+|\Delta I|_{max,DNL}-I_k=|\Delta I|_{max,DNL} \tag{29-25}$$

令最大DNL等于1/2LSB，则有：

803

$$|\Delta I|_{max,DNL}=\frac{1}{2}LSB=\frac{1}{2}I \tag{29-26}$$

这个要求比INL的要求宽松得多，更容易达到。

确定二进制权重电流源阵列的INL和DNL要求时（如图29-10所示），分析会略有不同。假设MSB（D_{N-1}）对应的电流源具有最大的正失配误差，其余位（从D_0到D_{N-2}）有最大的负失配误差，这样所有误差的总和等于零。因此，INL为：

$$|INL|_{max}=2^{N-1}(I+|\Delta I|_{max,INL})-2^{N-1}\cdot I=2^{N-1}\cdot|\Delta I|_{max,INL} \tag{29-27}$$

这个结果与图29-9所示电流导引阵列的INL值相同。

由于电流源带二进制权重，DNL的计算稍有不同。当数字输入递增时，并不是简单地增加一个电流源。但是，二进制权重阵列的最坏情况倾向于出现在中值点，即编码从011111…111转换到100000…000的时候。这时，最坏情况DNL为：

$$DNL_{max}=\left[2^{N-1}\cdot(I+|\Delta I|_{max,DNL})-\sum_{k=1}^{N-1}2^{k-1}\cdot(I-|\Delta I|_{max,DNL})\right]-I \tag{29-28}$$

化简为：

$$DNL_{max}=2^{N-1}\cdot(I+|\Delta I|_{max,DNL})-(2^{N-1}-1)\cdot(I-|\Delta I|_{max,DNL})-I=(2^N-1)\cdot|\Delta I|_{max,DNL} \tag{29-29}$$

令此式等于1/2 LSB，解得ΔI_{max}为：

$$|\Delta I|_{max,DNL} = \frac{0.5I}{2^N - 1} = \frac{I}{2^{N+1} - 2} \tag{29-30}$$

因此，二进制权重电流源阵列的*DNL*要求远比*INL*严格得多。

在以上推导中，有一个比较有趣的问题，即式（29-30）所提出的比较严格的精度要求只针对MSB电流源，而对其他二进制权重电流源来说，这个*DNL*的要求则显得宽松得多。这是因为MSB电流源的大小是其他电流源的总和，所以，它对保证DAC的精度起着最重要的作用。

例29.5

对于10位二进制权重电流源阵列，假设单位电流源为1μA，并要求最坏情况下的*DNL*小于1/2LSB，求MSB电流源的最大容许误差。

804

式（29-30）定义了保证*DNL*小于1/2 LSB所要求的最大$|\Delta I|$，由此式得：

$$|\Delta I|_{max,DNL} = \frac{1\times 10^{-6}}{2^{11} - 2} = 0.4888 \text{ nA}$$

对于10位DAC，MSB电流源的大小是单位电流源的2^9倍，即0.512 mA。因此，此阵列*DNL*小于1/2 LSB的条件是：

$$0.51199995 \text{ mA} < I_{MSB} < 0.5120004888 \text{ mA}$$

■

29.1.5 电荷比例DAC

采用CMOS工艺实现DAC时，比较常用的一种结构是电荷比例DAC，如图29-12a所示。图中，一个并联的电容阵列与运算放大器相连，电容阵列中，每个电容的大小等于二进制权重乘以单位电容*C*，因此，总电容为2^NC。*C*可以任意取值。工作时，先将电容放电，实现初始化，然后数字信号控制电容接V_{REF}或地，输出电压v_{OUT}是电容间分压的结果。

由于电容阵列的总电容为2^NC，如果MSB高，其他位低，则MSB电容和阵列中的其他电容之间出现分压。模拟输出电压v_{OUT}为：

$$v_{OUT} = V_{REF}\cdot\frac{2^{N-1}C}{(2^{N-1}+2^{N-2}+2^{N-3}+\ldots+4+2+1+1)C} = V_{REF}\cdot\frac{2^{N-1}C}{2^NC} = \frac{V_{REF}}{2} \tag{29-31}$$

这验证了MSB对DAC输出的改变量为$1/2V_{REF}$。图29-12b给出了这种情况下的等效电路。各电容贡献的v_{OUT}与V_{REF}的比值可以归纳为：

$$v_{OUT} = \frac{2^kC}{2^NC}\cdot V_{REF} = 2^{k-N}\cdot V_{REF} \tag{29-32}$$

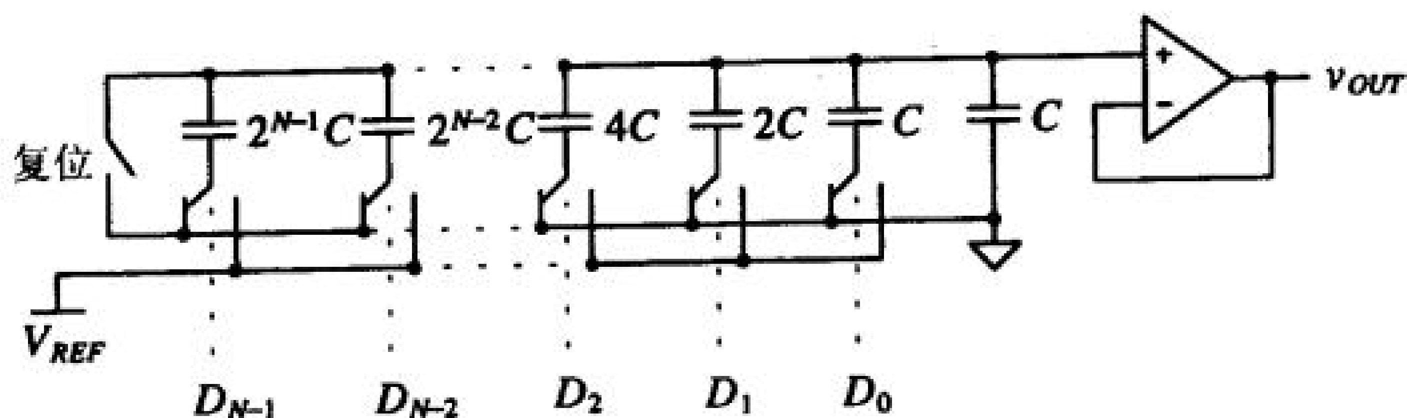
这里假设了第*k*位D_k为1，其他位都为0。使用叠加可以得到任意数字输入字对应的v_{OUT}值：

$$v_{OUT} = \sum_{k=0}^{N-1} D_k 2^{k-N}\cdot V_{REF} \tag{29-33}$$

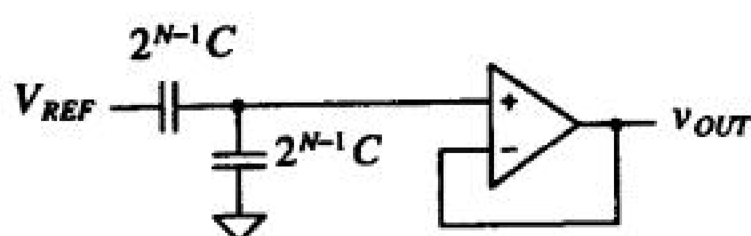
图29-12a所示结构的一个限制因素是，运算放大器会在电容的上极板上引入寄生电容，因而不能用于高精度数据转换器。一种更好的实现方案是采用对寄生效应不敏感的开关电容积分器（见第27章）作驱动电路。另外，电容阵列是转换器的关键部件，也被用于电荷再分配型ADC（见第29.2.5节）。

二进制权重电容阵列的INL和DNL的计算与二进制权重电流源情形相同，只要将式（29-27）~（29-30）中的单位电流源I及对应的误差项ΔI分别用C和ΔC代替即可。

805



a) 电荷比例DAC



b) MSB为1、其他位为0时的等效电路

图　29-12

例29.6

设计3位电荷比例DAC，计算$D_2D_1D_0$分别为010和101时的输出电压大小。假设V_{REF} = 5V，C = 0.5pF。

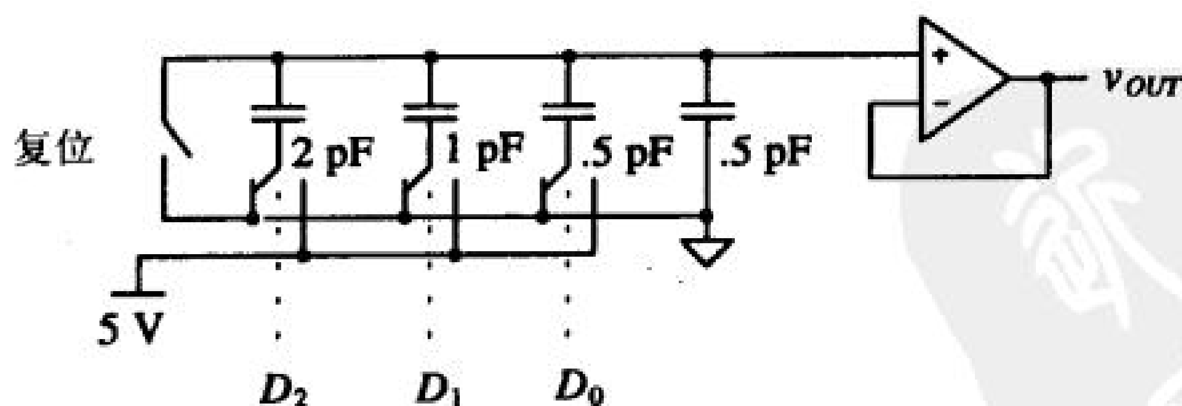
3位DAC见图29-13a，电容阵列的等效电路见图29-13b和图29-13c。输出电压可以根据式（29-32）或者等效电路的分压来计算。当D = 010时，由图29-13b的等效电路可得：

$$v_{OUT} = V_{REF} \cdot \left(\frac{1}{4}\right) = 1.25\ \text{V}$$

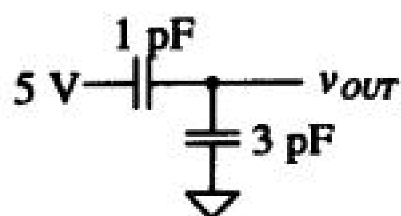
用式（29-33）可计算D =101时的输出v_{OUT}为：

$$v_{OUT} = \sum_{k=0}^{N-1} D_k 2^{k-N} \cdot V_{REF} = [1 \cdot (2^{-3}) + 0 \cdot (2^{-2}) + 1 \cdot (2^{-1})] \cdot 5 = \left(\frac{1}{8} + \frac{1}{2}\right) \cdot 5 = 3.125\ \text{V}$$

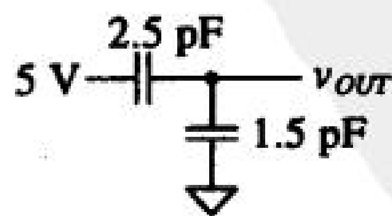
结果与期望一致。■



a) 例29.6中的3位电荷比例DAC



b) 输入等于010时的等效电路



c) 输入等于101时的等效电路

图　29-13

二进制权重电容阵列的版图设计

这种转换器的设计难点是比例关系精确的电容的设计。随着位数增加，MSB电容与LSB电容的比例变得很难控制。例如，图29-14a中给出一个包括3个电容的3位二进制电容阵列。制作电容时，淘蚀会使电容之间的比例产生误差[2-3]，并且N的增大可能会引起较大的DNL和INL。

一种解决问题的方法如图29-14b所示。每个电容都由单位电容构成，淘蚀将以同样的方式影响每个电容，从而保持电容之间的比例。但这种版图策略的一个问题是氧化层生长不均匀，氧化层厚度的梯度变化将导致电容比例仍出现误差。为了克服这个问题，图29-14c给出了另一种版图策略。电容以共质心方案排布，使得每个电容的氧化层的一阶误差相等。

分拆阵列

在CMOS设计中，电容比例结构非常流行，因为它简单且精度相对较好。虽然需要用poly2制作线性电容，但这种结构可达10~12位的分辨率，而且无源的双层多晶硅具有良好的匹配精度。然而，随着分辨率的增加，MSB电容的尺寸成为设计时的主要关注点。例如，如果单位电容C取0.5pF，要设计16位DAC，MSB电容应该为:

$$C_{MSB} = 2^{N-1} \cdot 0.5\ \text{pF} = 16.384\ \text{nF} \tag{29-34}$$

基于2μm工艺的参数，poly1和poly2之间的电容标称值为500aF/μm²，则这个电容所需要的面积会超过$3 \times 10^7 \mu m^2$!

806～807

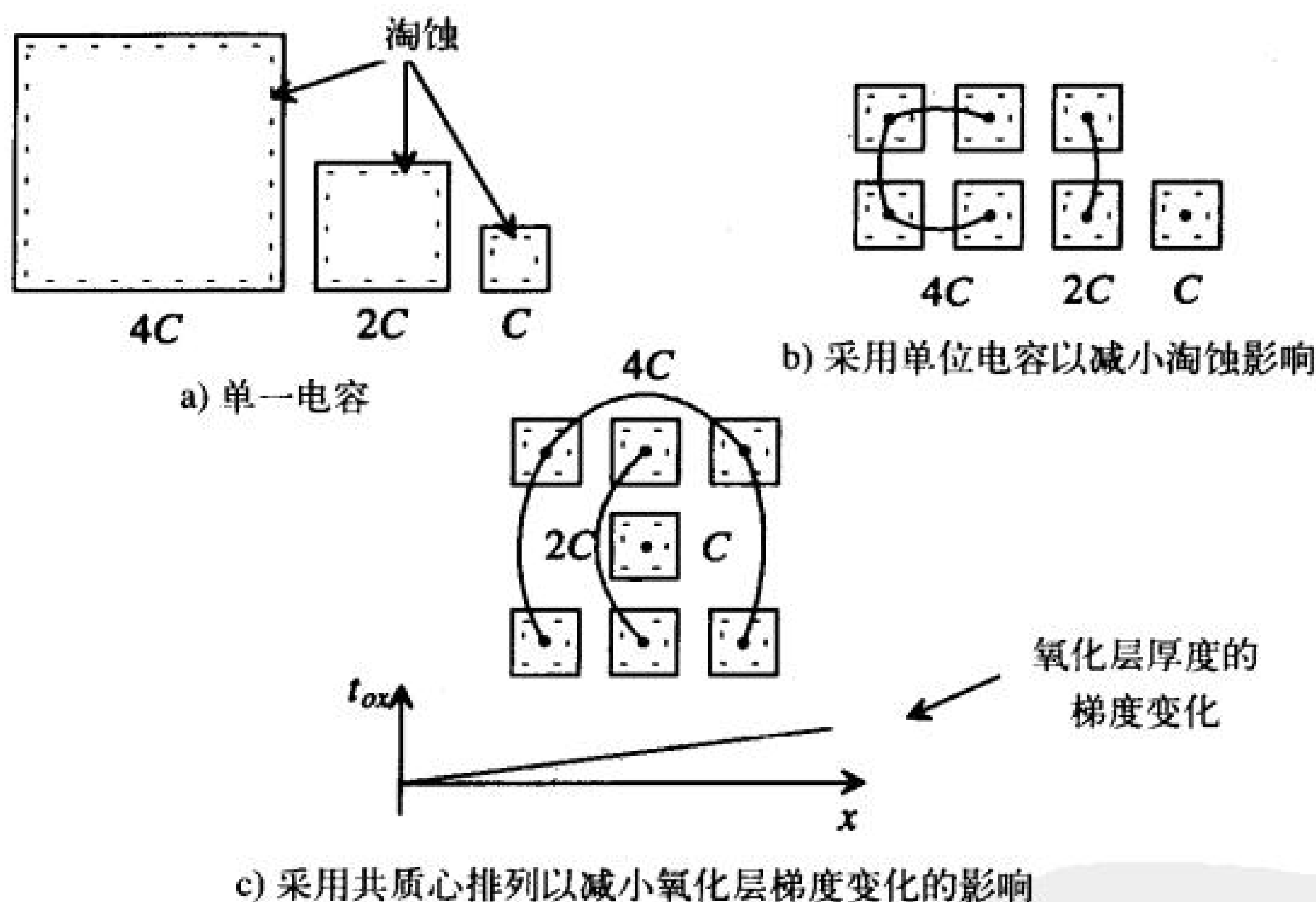


图29-14　二进制权重电容阵列的版图

减小电容尺寸的一种方法是采用分拆阵列。这种阵列的一个6位DAC例子见图29-15。该结构与图29-13所示电荷比例DAC略有差别，其输出从不同节点引出，并且使用了一个衰减电容将阵列分为LSB阵列和MSB阵列[1]。注意到LSB（即D_0）现在对应于最左边的开关，MSB（即D_5）对应于最右边的开关。衰减电容的大小可由下式得到:

$$C_{atten} = \frac{\text{LSB阵列的总电容值}}{\text{MSB阵列的总电容值}} \cdot C \tag{29-35}$$

式中，MSB阵列之和等于LSB电容阵列之和减去C。假设所有位都为零，衰减电容与LSB阵列

串联，总电容应等于C。

例29.7

使用图29-15所示6位电荷比例DAC，说明：(a) 当$D_5D_4D_3D_2D_1D_0 = 100000$时输出电压

808

为$\frac{1}{2}\cdot V_{REF}$；(b) 当$D_5D_4D_3D_2D_1D_0 = 000001$时输出电压为$\frac{1}{64}\cdot V_{REF}$。

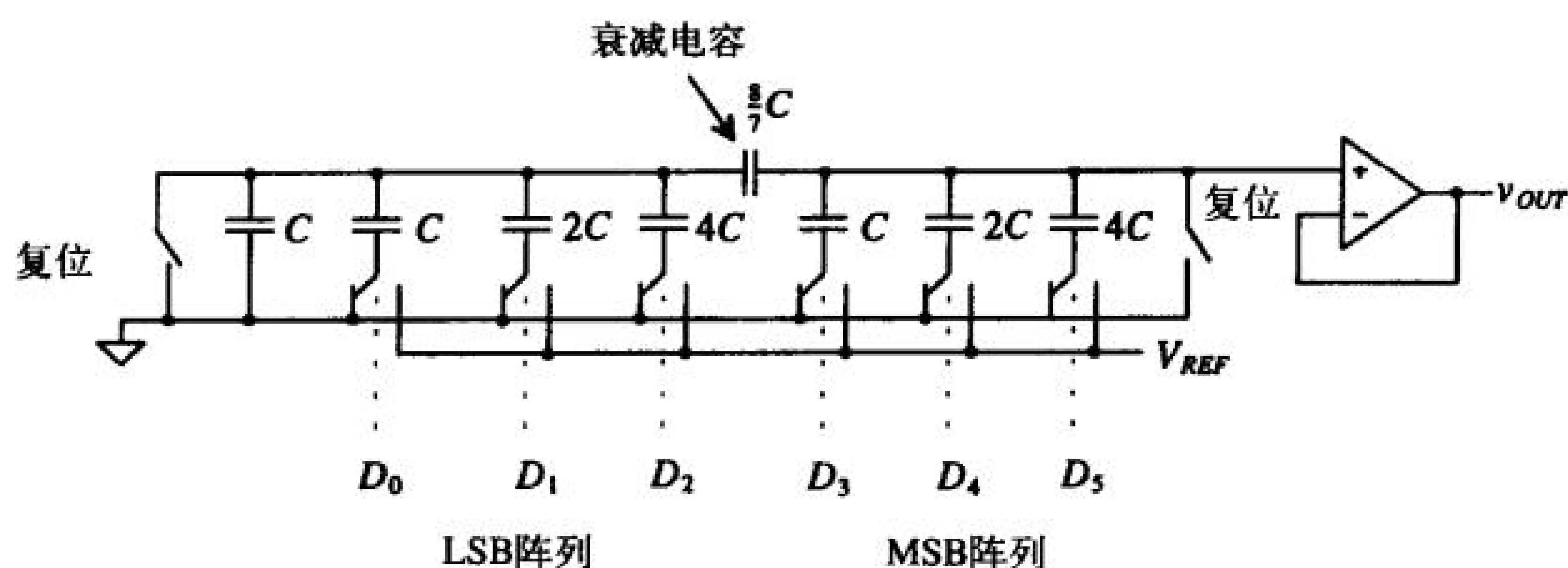


图29-15 采用分拆阵列的电荷比例DAC

(a) 若$D_5 = 1$，其他位为0，则DAC等效电路可以用图29-16a表示。输出电压表达式为：

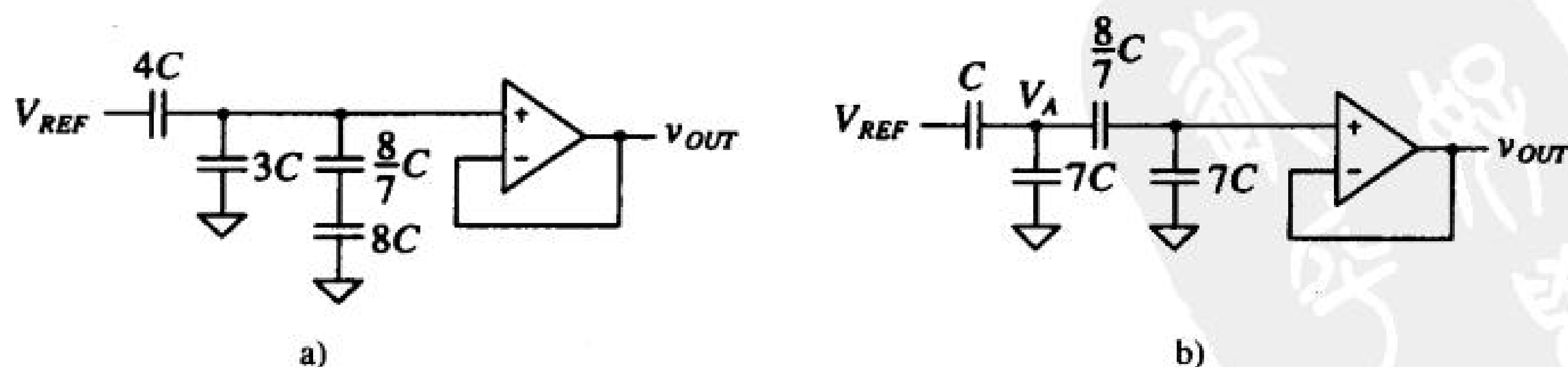
$$v_{OUT} = \frac{4}{\left(\dfrac{\frac{8}{7}\cdot 8}{\frac{8}{7}+8}\right)+3+4}\cdot V_{REF} = \frac{1}{2}\cdot V_{REF}$$

(b) 第二种情况的等效电路见图29-16b。中间节点电压V_A为C（与D_0相应）与电路其他部分的分压，即：

$$V_A = V_{REF}\cdot\frac{1}{\left(7+\frac{\frac{8}{7}\cdot 7}{\frac{8}{7}+7}\right)+1} = \frac{1}{8+\frac{56}{57}}\cdot V_{REF} \tag{29-36}$$

输出电压为：

$$v_{OUT} = V_A\cdot\frac{\frac{8}{7}}{\frac{8}{7}+7} = \frac{8}{57}\cdot V_A \tag{29-37}$$



809

图29-16 例29.7的等效电路

将式（29-36）代入式（29-37）得：

$$v_{OUT} = V_{REF}\cdot\frac{8}{(8\cdot 57)+56} = \frac{V_{REF}}{64} \tag{29-38}$$

结果与期望一致。 ■

29.1.6 循环DAC

循环DAC只用几个元件来实现数据转换，如图29-17所示。输入位的数值决定反馈信号是与V_{REF}还是地进行相加。一个增益为0.5的放大器把输出电压反馈到加法器，这样每个周期末的输出依赖于上一个周期的输出值。输入位必须以串行方式读入，因此，每次只能转换一位，完成一个N位数据的转换需要N个周期。转换过程中，第n个周期末的电压输出可以表示为:

$$v_{OUT}(n) = \left(D_{n-1} \cdot V_{REF} + \frac{1}{2} \cdot v_A(n-1)\right) \cdot \frac{1}{2} \tag{29-39}$$

条件是S/H输出的初始值为零，即$v_A(0) = 0V$。

这种转换器的精度依赖于几个因素。放大器的增益（0.5）必须非常精确（必须在DAC的精度范围内），通常采用无源电容实现。类似地，加法器和采样保持电路也要求达到N位的精度。这些基本电路单元对转换器的限制将在第29.3节详细讨论。由于这种转换器采用伪“采样数据”的方式实现转换，因此，用开关电容电路实现会相对容易些。

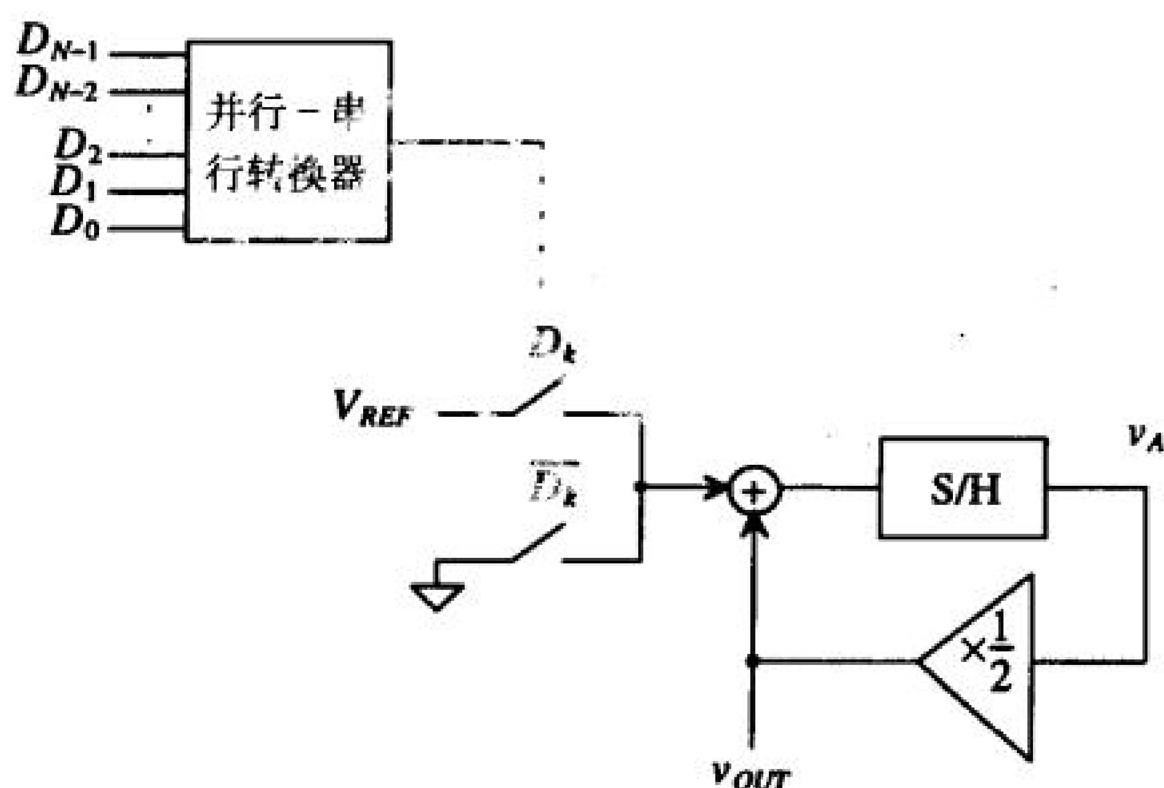


图29-17　循环数模转换器

810

例29.8

对于6位循环DAC，计算输入码$D_5D_4D_3D_2D_1D_0$ = 110101时，每个周期末的输出电压值。设V_{REF} = 5V。

根据前面讨论的知识可以预算一下输出值。例如，数字输入110101对应于53_{10}，因此，对应的输出电压应为:

$$v_{OUT} = \frac{53}{64} \cdot V_{REF} = 4.140625\ \text{V}$$

现在分析图29-17的循环DAC，验证最终结果是否是上式给出的结果。利用式（29-39）进行6位转换，每个周期末的输出见图29-18。

第6个周期的输出电压恰好等于预算值。注意到，如果做的是3位转换，则第3个周期末的输出电压应该等于3位DAC在输入为101时的输出值。 ■

周期数n	D_{n-1}	$v_A(n-1)$	$v_{OUT}(n)$
1	1	0	½ (5 + 0) = 2.5 V
2	0	5	½ (0 + 2.5) = 1.25 V
3	1	2.5	½ (5 +1.25) = 3.125 V
4	0	6.25	½ (0 + 3.125) = 1.5625 V
5	1	3.125	½ (5 + 1.5625) = 3.28125 V
6	1	6.5625	½ (5 + 3.28125) = 4.140625 V

图29-18　例29.8中6位循环DAC的输出

29.1.7　流水线DAC

上一节叙述的循环DAC对于每个N位转换需要N个时钟周期。我们可以将循环转换器扩展成N级，每级转换一位，而不是每次将输出回馈到输入。这种扩展的循环转换器被称为流水线DAC，如图29-19所示。图中，信号沿着“流水线”传递，每级转换一次，同时前一级开始另一个处理过程。所以，最初信号通过流水线需要N个时钟周期的延迟，但这之后每一个时钟周期都可以完成一个输入数据的转换。

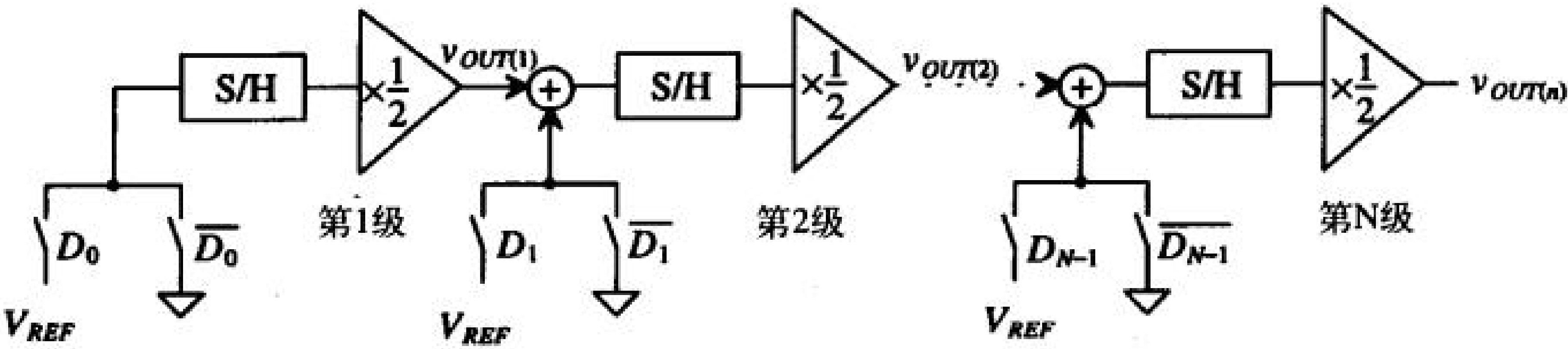


图29-19　流水线DAC

除了有N个时钟周期的延迟外，这种结构的DAC速度非常快。但是放大器增益必须非常精确以实现高分辨率。这种结构所用的电路是循环结构的N倍，所以，存在着速度和面积的折衷。转换器的第n级输出电压可以表示为：

$$v_{OUT(n)} = [D_{n-1} \cdot V_{REF} + v_{OUT(n-1)}] \cdot \frac{1}{2} \tag{29-40}$$

流水线每一级的工作原理如下：如果输入位是1，则将前级输出加V_{REF}再除以2，然后传递给下一级。如果输入位是0，只将前级输出除以2，再传入下一级。

例29.9

计算3位流水线DAC在以下三种情况下的输出电压：$D_A = 001$，$D_B = 110$，$D_C = 101$，并说明：采用流水线方式实现这些转换所需要的时间为5个时钟周期。假设V_{REF} =5V。

第一级对每个字的LSB进行操作，第二级对中间位操作，最后一级对MSB操作。根据流水线策略，一旦第一个输入字的LSB完成转换并传递下去，第二个输入字D_B的LSB就可以开始转换。同样地，第二个输入字的LSB完成后，可以开始第三个输入字D_C的LSB。图29-20给出了三个输入字所需的全部转换周期以及每个周期末的每级输出。图中加黑的数字对应第一个字D_A，斜体数字对应D_B，带下划线的数字对应D_C。

DAC的第一个和第二个输出是无效的，到第三个周期结束时输出才是有效值，并且该输出为3位DAC在输入$D_2D_1D_0$等于001时的输出。接下来的两个周期分别产生对应110和101的输出。 ■

811~812

时钟周期	$v_{OUT(1)}$	$v_{OUT(2)}$	$v_{OUT(3)}$	D_0	D_1	D_2
1	**2.5**	0	0	**1**	0	0
2	*0*	**1.25**	0	*0*	**0**	0
3	2.5	*2.5*	**0.625**	1	*1*	**0**
4		1.25	*3.75*		0	*1*
5			3.125			1

图29-20 例29.9中3位流水线DAC的输出

29.2 ADC的结构

纵观当今ADC的研究领域，可以发现ADC主要有四种不同类型的结构，即：流水线ADC、全并行ADC、逐次逼近ADC和过采样ADC。这些结构都有自己独特的优点，有高速的，也有高精度的。

ADC的输入信号在时间和取值上都是连续的，在转换曲线的x轴上，导致ADC的数字输出字发生改变的模拟输入点非常重要，这些转换点决定了转换器的*INL*和*DNL*。

29.2.1 全并行ADC

在各种ADC中，全并行ADC的速度最快，如图29-21所示。它使用了2^N-1个比较器（每个量化水平对应一个比较器）和2^N个电阻（和电阻串DAC类似）。参考电压被分割成2^N个值，每个值输入一个比较器。输入电压和各参考电压比较，在输出端产生温度码。若V_{IN}小于电阻串上的参考电压，则对应的温度码为0；如果V_{IN}大于或等于电阻串上的参考电压，则对应的温度码为1。通过简单的2^N-1:N温度编码器，可以将比较数据转换成一个N位数字字。这种转换器的显著优点在于其转换速度，每个时钟脉冲都会输出一个数字字。但另一方面，分辨率每增加一位，面积加倍。例如，8位ADC需要255个比较器，而9位ADC则需要511个。一般全并行ADC的分辨率限制在8位，转换速度为10~40Ms/s（采用CMOS工艺）[4~6]。全并行ADC的缺点是需要2^N-1个比较器，面积和功耗较大；其速度由比较器和数字逻辑转换的速度决定。

813

例29.10

设计一个3位全并行转换器，列出每个电阻接头的电压，并画出v_{IN}从0到5 V的转换曲线。假设$V_{REF}=5$V。对于$v_{IN}=1.5$V、3.0V、4.5V，列表给出相应的温度码值和编码器输出。

3位转换器结构如图29-22所示。由于所有电阻大小相等，每个电阻接头的电压 $V_i=V_{REF}\left(\frac{i}{8}\right)$，其中$i$为电阻编号，从1到7。显然，$V_1=0.625$V，$V_2=1.25$V，$V_3=1.875$V，$V_4=2.5$V，$V_5=3.125$V，$V_6=3.75$V，$V_7=4.375$V。当$v_{IN}$开始大于或等于这里的某一个值时，就会在转换曲线上出现转折。转换曲线如图29-23所示，它应该与第28章中出现的曲线相似。量化水平及其相应的温度码见图29-24。

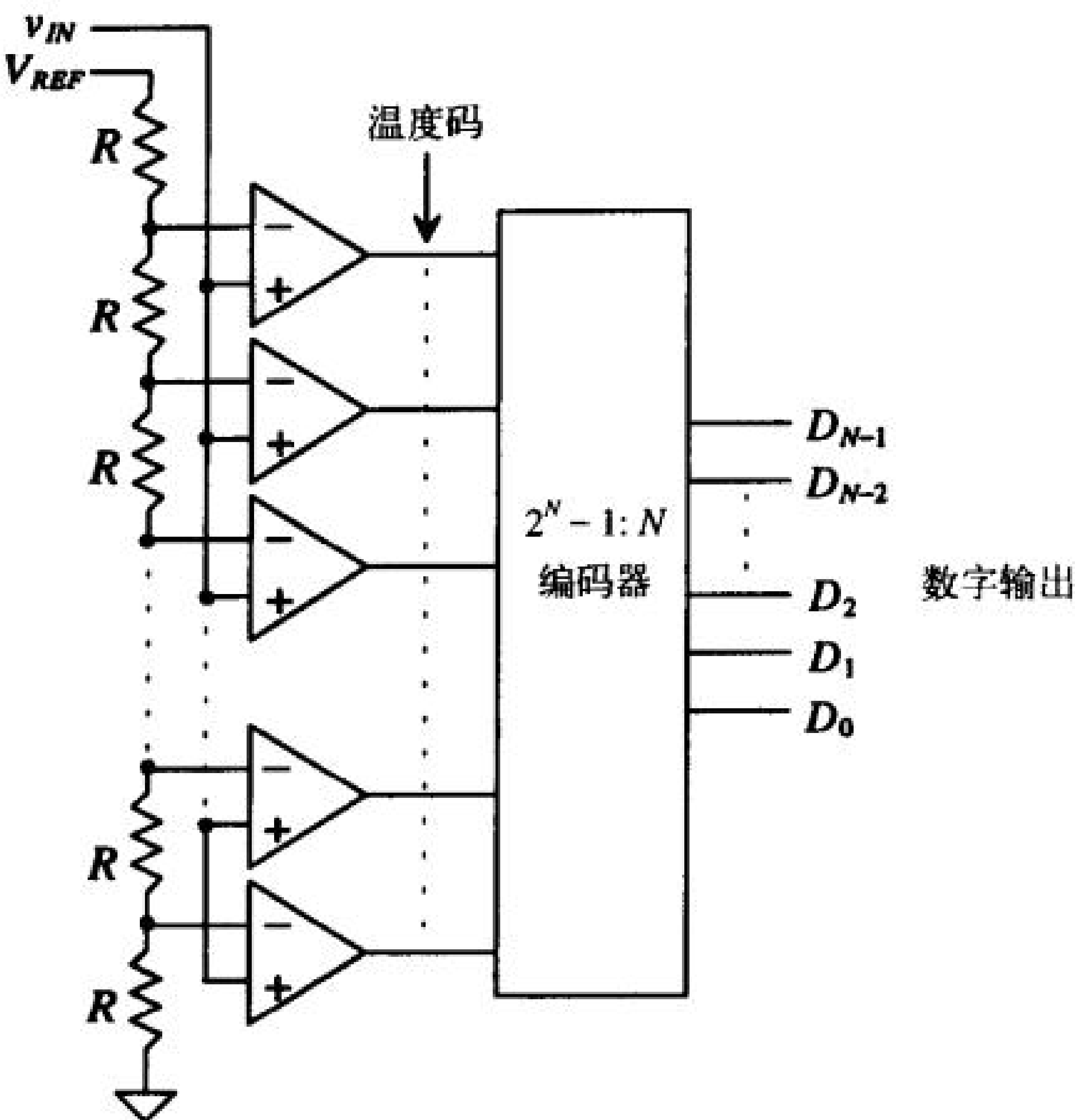


图29-21 全并行ADC的框图

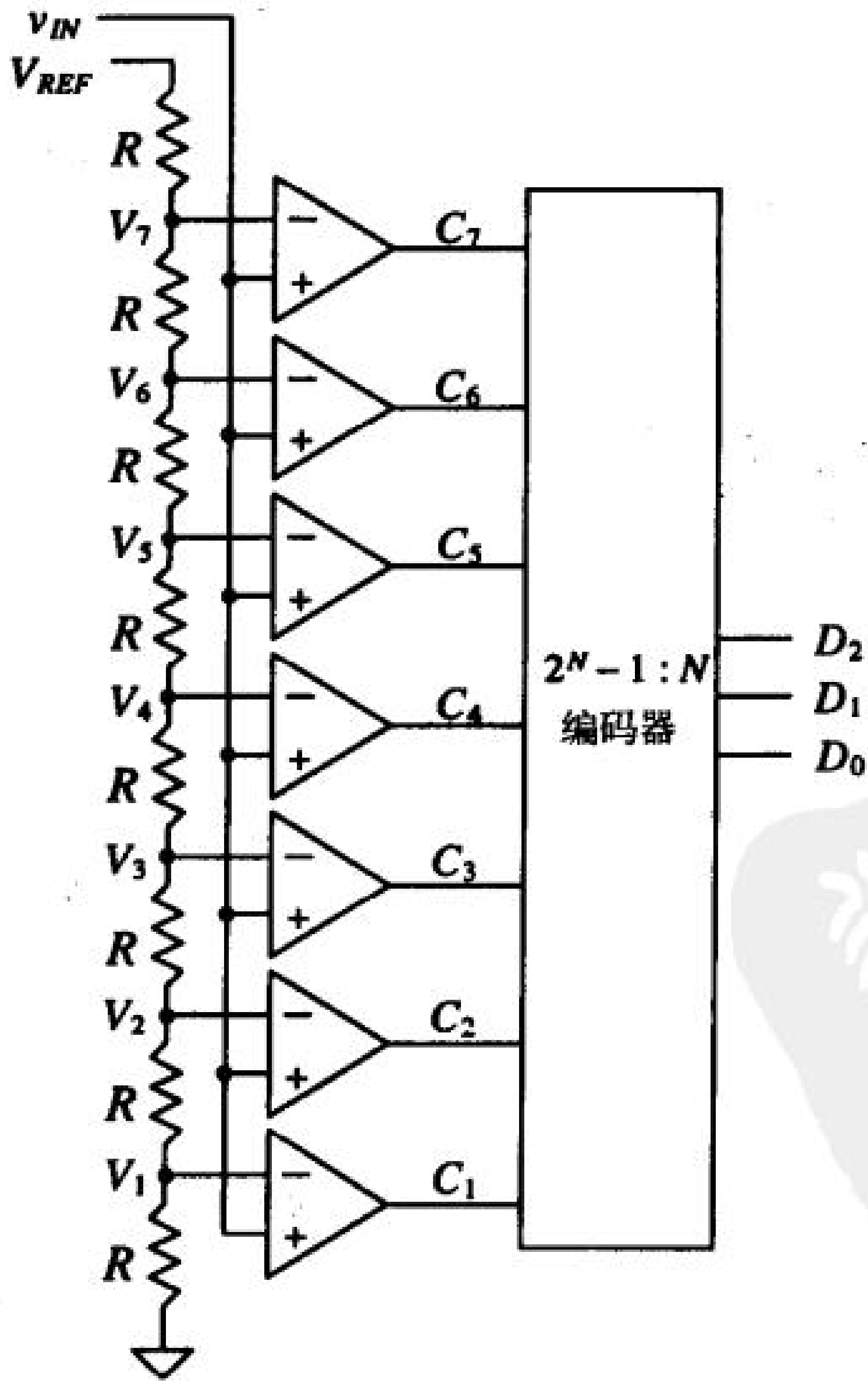


图29-22 例29.10的3位全并行ADC

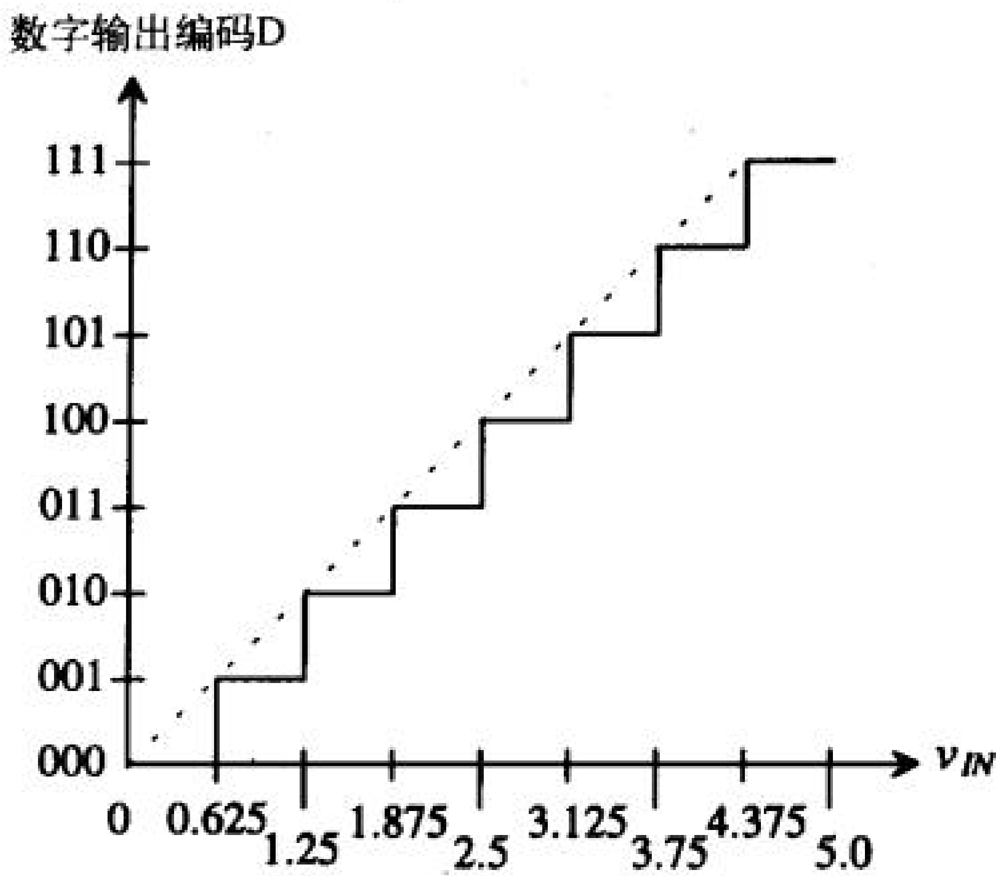


图29-23 例29.10的3位全并行ADC转换曲线

v_{IN}	$C_7C_6C_5C_4C_3C_2C_1$	$D_2D_1D_0$
$0 \leqslant v_{IN} < 0.625$ V	0000000	000
0.625 V $\leqslant v_{IN} < 1.25$ V	0000001	001
1.25 V $\leqslant v_{IN} < 1.875$ V	0000011	010
1.875 V $\leqslant v_{IN} < 2.5$ V	0000111	011
2.5 V $\leqslant v_{IN} < 3.125$ V	0001111	100
3.125 V $\leqslant v_{IN} < 3.75$ V	0011111	101
3.75 V $\leqslant v_{IN} < 4.375$ V	0111111	110
$4.375 \leqslant v_{IN}$	1111111	111

图29-24 例29.10的全并行ADC的编码转换

这个ADC的转换曲线与第28章中量化误差以+1/2LSB为中心的转换曲线（图28-19）相符合。为了使曲线移动1/2LSB，应将电阻串的最后一个电阻调整为$\frac{R}{2}$，将最接近参考电压的MSB电阻调整为1.5R，从而使编码转换点围绕LSB值，量化误差以0LSB为中心线。这样，第一个编码转换点出现在v_{IN} = 0.3125V，最后一个转换点出现在v_{IN} = 4.0625V，与图28-20一致。

根据图29-24，当v_{IN} = 1.5V时，只有比较器C_1和C_2的输出为1，因为V_1和V_2小于1.5V。其余的比较器输出均为0，因为V_3到V_8都大于1.5V。这样产生的温度码为0000011。编码器应将此温度码转换成3位数字字010。通过类似推导，可得图29-25。显然，若将比较器的极性反转，则温度码也取反。 ■

v_{IN}	$C_7C_6C_5C_4C_3C_2C_1$	$D_2D_1D_0$
1.5	0000011	010
3.0	0001111	100
4.5	1111111	111

图29-25 例29.10的全并行ADC的输出

全并行ADC的精度问题

全并行ADC的精度依赖于电阻串的匹配和比较器的失调电压。由第26.1节的讨论知，理想比较器应该在两个输入v_+和v_-相等时，输出发生转换。但由于失调电压V_{os}的存在，实际上并非如此。比较器的输出转换状况如下：

814~816

$$v_o = 1 \quad 当v_+ > v_- + v_{os}时 \tag{29-41}$$

$$v_o = 0 \quad 当v_+ < v_- + v_{os}时 \tag{29-42}$$

在第29.1.2节中已经对电阻串DAC作了分析和描述，电阻串的第i个分接头的电压为：

$$V_i = V_{i,ideal} + \frac{V_{REF}}{2^N} \cdot \sum_{k=1}^{i} \frac{\Delta R_k}{R} \tag{29-43}$$

式中，$V_{i,\,ideal}$为所有电阻取理想值R时，第i个分接头的电压，ΔR_k为失配引起的电阻误差（与理想值之差）。注意到，失配项之和是影响分接头电压的重要因素。

第i个比较器的转换点$V_{sw,\,i}$为：

$$V_{sw,i} = V_i + V_{os,i} \tag{29-44}$$

式中，$V_{os,\,i}$为第i个比较器的输入失调电压。转换器的INL可以表示为：

$$INL = V_{sw,i} - V_{sw,ideal} = V_{sw,i} - V_{i,ideal} \tag{29-45}$$

即：

$$INL = \frac{V_{REF}}{2^N} \cdot \sum_{k=1}^{i} \frac{\Delta R_k}{R} + V_{os,i} \tag{29-46}$$

如第29.1.2节及公式（29-10）所描述的那样，最坏情况INL出现在电阻串中间（$i = 2^{N-1}$）。包含失调电压的最大INL为：

$$|INL|_{max} = \frac{V_{REF}}{2^N} \cdot \sum_{k=1}^{2^{N-1}} \frac{\Delta R_k}{R} + |V_{os,i}|_{max} = V_{REF} \cdot \frac{2^{N-1}}{2^N R} \cdot |\Delta R_k|_{max} + |V_{os,i}|_{max} \tag{29-47}$$

上式可化简为：

$$|INL|_{max} = \frac{V_{REF}}{2} \cdot \left|\frac{\Delta R_k}{R}\right|_{max} + |V_{os,i}|_{max} \tag{29-48}$$

817

这里假设电阻串的最大正失配出现在电阻串的下半部分，最大负匹配出现在电阻串的上半部分（反之亦然），第i个分接头的比较器有最大失调电压$|V_{os,\,i}|_{max}$。注意到失调对最大INL有直接的贡献。这表明了全并行转换器在实现高分辨率时的另一个限制，仅失调电压就可能使INL大于1/2LSB。

例29.11

设计10位全并行ADC，要求INL小于1/2LSB，确定比较器的最大失调电压。假设电阻串匹配完好，$V_{REF} = 5V$。

由式（29-48）知，失调电压应等于1/2LSB，所以：

$$|V_{os}|_{max} = \frac{5}{2^{11}} = 2.44\ \text{mV}$$

■

全并行转换器的*DNL*也可以用第29.1.2节所述分析方法计算。根据*DNL*的定义，有:

$$DNL = V_{sw,i} - V_{sw,i-1} - 1\ \text{LSB}\ (\text{以伏为单位}) \tag{29-49}$$

将式（29-44）代入上式，得:

$$DNL = V_i + V_{os,i} - V_{i-1} - V_{os,i-1} - 1\ \text{LSB} \tag{29-50}$$

利用式（29-6），上式可改写为:

$$DNL = V_{i,ideal} - V_{i-1,ideal} + \frac{V_{REF}}{2^N} \cdot \frac{\Delta R_i}{R} + V_{os,i} - V_{os,i-1} - 1\ \text{LSB} \tag{29-51}$$

即:

$$DNL = \frac{V_{REF}}{2^N} \cdot \frac{\Delta R_i}{R} + V_{os,i} - V_{os,i-1} \tag{29-52}$$

当ΔR_i达到最大，且$V_{os,i}$取最大正值，$V_{os,i-1}$取最大负值时，*DNL*出现最大值，即:

$$|DNL|_{max} = \frac{V_{REF}}{2^N} \cdot \left|\frac{\Delta R_i}{R}\right|_{max} + 2|V_{os}|_{max} \tag{29-53}$$

这里假设了正负最大失调电压是对称的。可见电阻串的失配和失调电压都会影响转换器的*DNL*。

29.2.2 两步全并行ADC

另一种类型的全并行转换器被称为两步全并行转换器或并行-前馈ADC[7~10]。两步全并行转换器的基本结构见图29-26。转换器被分成两个完整的带前馈电路的全并行ADC。第一个转换器对输入量进行粗略估计，第二个实现细致转换。此结构优点是大大减小了比较器的数目，从全并行所需的2^N-1个减少到$2(2^{N/2}-1)$个。例如，8位全并行转换器需要255个比较器，而两步全并行则只需要30个。其代价是转换过程由原来的一步变为两步，速度受余量放大器和减法器的带宽以及建立时间的限制。转换过程如下:

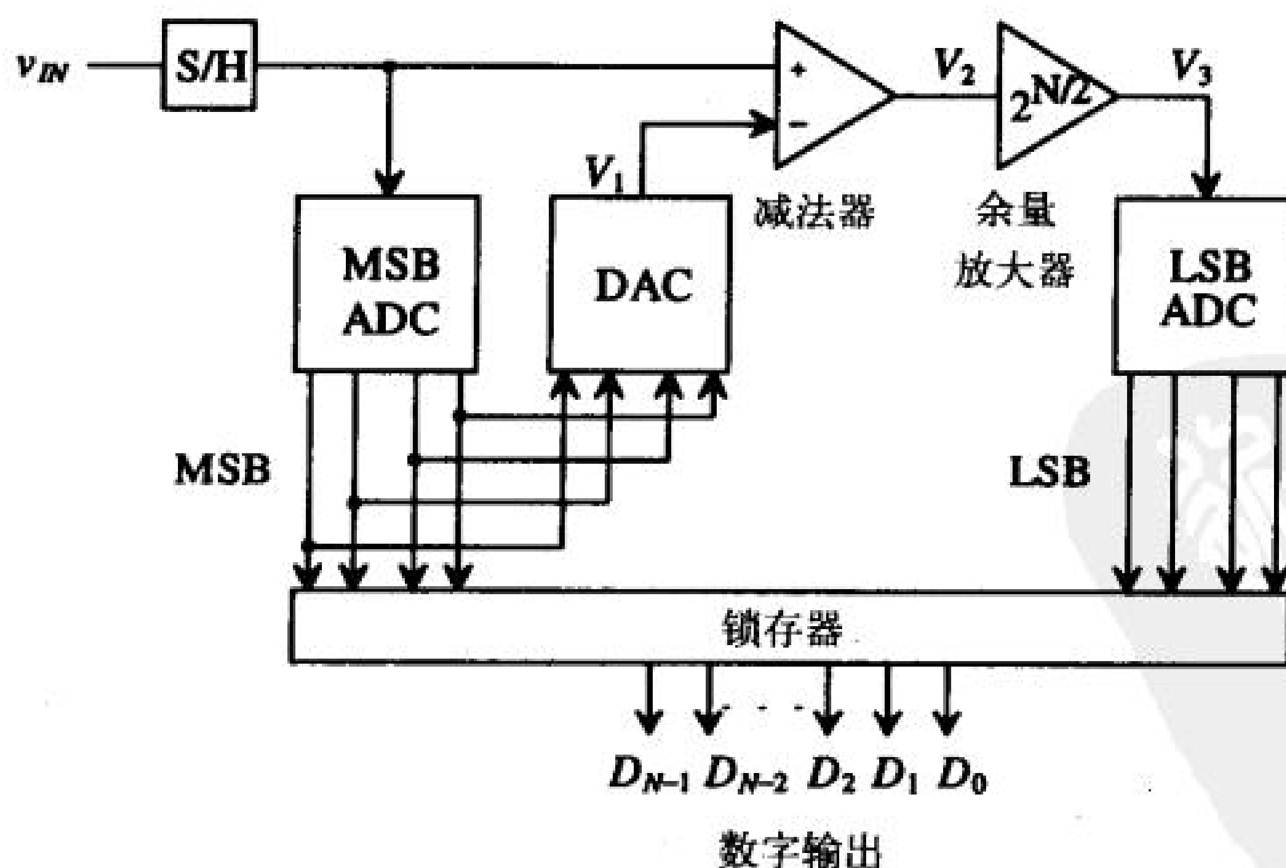


图29-26 两步全并行ADC的结构框图

1. 输入经采样后，通过第一个全并行ADC转换得到较高位MSB。
2. 较高位MSB经DAC转换回模拟电压，并从初始输入中减去此电压。

3. 相减的结果被称为余量，乘以$2^{N/2}$后输入到第二个ADC。乘法操作不仅可以使两个ADC相同，而且也增大了送入第二个ADC的输入信号的量化水平值。

4. 通过第二个ADC的全并行转换产生较低位。

有些结构用同一组比较器来实现两步转换。另外，如果第二个转换器可以处理很小的信号，步骤3的乘法操作可以省略。两步ADC的精度主要依赖于第一个ADC的线性度。

818~819

图29-27阐明了这种转换器的本质，直观地说明了上述步骤。第一次转换识别模拟信号所处的段（或区间），被称为**粗转换**。粗转换结果乘上$2^{N/2}$后，将V_{IN}所在区间按比例放大到与第一个转换相同的参考电压。第二个转换被称为**细转换**，以全并行方式产生最终的LSB。这里可以看到为什么第一个转换器的精度非常重要。如果输入信号值接近两个粗转换区间的分界线，使第一个转换器不能正确识别处于哪段，则将导致第二个转换完全错误。下面的例子进一步说明了上述的两步算法。

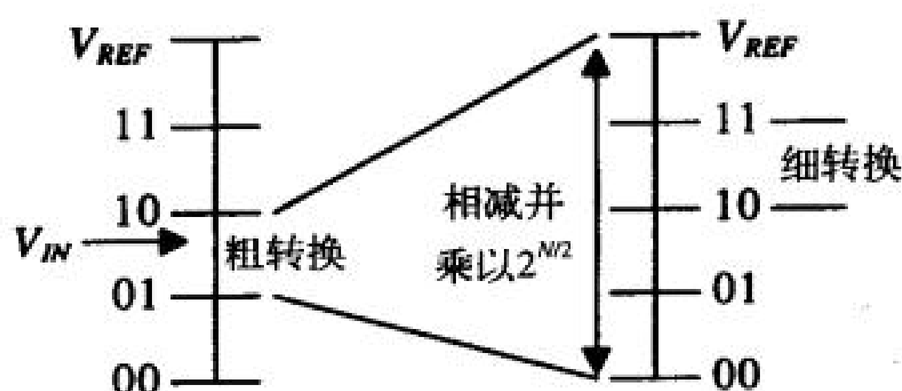


图29-27　使用两步ADC实现粗转换和细转换

例29.12

假设图29-26所示两步ADC的分辨率为4。当V_{IN} = 2V、4V、9V、15V时，列表给出对应每个输入的MSB、V_1、V_2、V_3及LSB的值。假设V_{REF} = 16V。

由于V_{REF}为16V，一个LSB为1V。如果V_{IN} = 2V，第一个2位全并行的输出为00，每个电阻上的电压降为4V。2位DAC的输出V_1为0，所以V_2 = 2V。V_2倍乘后得V_3 = 8V。2位全并行ADC和图29-21类似，所以第二个ADC的温度码为0011，产生的LSB为10。其余输入的计算结果见图29-28。 ■

V_{IN}	D_3D_2 (MSB)	V_1	V_2	V_3	D_1D_0 (LSB)
2	00	0	2	8	10
4	01	4	0	0	00
9	10	8	1	4	01
15	11	12	3	12	11

图29-28　例29.12的两步全并行ADC的输出

两步全并行ADC的精度问题

820

前面已经提到，此转换器的整体精度依赖于第一个ADC，对第二个ADC的精度要求较低。如果一个8位两步ADC包含两个4位全并行ADC，则第二个ADC只需要有4位的分辨率即可。这是不难达到的。但第一个全并行ADC必须具有8位全并行的精度，也就是说，第一个ADC的最坏情况*INL*和*DNL*必须小于8位ADC的1/2LSB。因此，第一个ADC的电阻匹配和比较器应

该满足整个ADC的精度要求，可以参考第29.2.1节全并行转换器*INL*和*DNL*的推导过程，进行分析。另外，DAC精度也必须满足ADC分辨率的要求。

运算放大器的精度问题

由于减法器和放大器的引入，转换器会出现其他误差。减法器和放大器对信号的操作应该在1/2LSB精度范围内。这个要求使得高分辨率数据转换器中的运算放大器设计非常困难。在很多情况下，运放的非理想特性能单独地限制转换器的精度。这里，放大器要将余量放大2的指数倍，看起来似乎不难，但仔细分析就可发现它对开环增益的依赖关系。

假设放大器用于12位两步数据转换器。我们已经知道对于*N*位分辨率，*INL*和*DNL*需要保持在±1/2LSB之内。LSB的1/2定义为:

$$0.5\ \mathrm{LSB}=\frac{V_{REF}}{2^{N+1}} \tag{29-54}$$

因为放大器的输出被量化成6位，所以，它应具有6位精度（在±1/2LSB范围内），即:

$$精度=\frac{0.5\mathrm{LSB}}{V_{REF}}=\frac{1}{2^{6+1}}=\frac{1}{128}=0.0078=0.78\% \tag{29-55}$$

假设余量放大器采用增益为64（即$2^{N/2}$）的反馈放大器，则增益应在如下范围内:

$$63.5\ \mathrm{V/V}<A_{CL}<64.5\ \mathrm{V/V} \tag{29-56}$$

式中，A_{CL}是放大器的闭环增益。由此可见，反馈运算放大器用于高精度电路时会受到很多限制。基于运放设计增益精度很高的放大器是非常困难的。

对于*N*位情形的讨论需要第23章的反馈知识。放大器的闭环增益可以表达为:

$$A_{CL}=\frac{v_o}{v_i}=\frac{A_{OL}}{1+A_{OL}\beta} \tag{29-57}$$

式中，A_{OL}是放大器的开环增益，β是反馈系数。由第23章知，随着A_{OL}增加，闭环增益A_{CL}趋于1/β。因此，我们假设放大器闭环增益等于理想值1/β加上最大偏差量ΔA，即: 821

$$A_{CL}=\frac{v_o}{v_i}=\frac{A_{OL}}{1+A_{OL}\beta}=\frac{1}{\beta}-\Delta A \tag{29-58}$$

式中，1/β为闭环增益的理想值；针对±1/2LSB的要求，ΔA为所要求的增益精度，等于$(1/\beta)\cdot(1/2^{N+1})$。由式（29-58）的右边两项，可得放大器的开环增益:

$$|A_{OL}|=\frac{1}{\beta}(2^{N+1}-1)\approx\frac{2^{N+1}}{\beta} \tag{29-59}$$

如果运放的增益（1/β）取为64，用于放大6位精度的信号，则其开环增益$|A_{OL}|\geqslant 128\times 64=8\ 192$ V/V。这个指标当然可以达到，但是分辨率每增加一位就要求开环增益加倍。因此，两步全并行转换器的分辨率限制在12位左右[9~12]。

对于给定的建立时间$t(t<1/f_{clk})$，数据转换器中的运放的单位增益频率f_u可以通过式(27-37)、(27-38)估算；由于要求运放的输出满足1/2LSB精度，因此，有:

$$v_{out}=V_{outfinal}\left(1-\frac{1}{2^{N+1}}\right)=V_{outfinal}(1-e^{-t/\tau})\ 或\ f_u\geqslant\frac{f_{clk}\cdot\ln 2^{N+1}}{2\pi\cdot\beta} \tag{29-60}$$

假设不考虑运放的压摆率限制并且把运放看作是一个一阶系统（见式（27-35）），则利用上式可计算出满足给定建立时间所需要的运放的最小增益带宽积（$=f_u$）。

放大器的线性度是设计ADC时必须考虑的另一个问题。放大器必须能够线性放大在输入电压范围内的输入信号，并满足1/2LSB的精度要求。如果放大器设计不当，当放大器中的器件进入非饱和区时会引入非线性，谐波失真的出现会给ADC引入误差。线性度通常用总的谐波失真来衡量（参考第22.3节）。用转移曲线可以更有效地说明这个问题。图29-29是一个增益为2的运放的转移曲线。图中给出了输入范围在 -1V到1V之间的理想转移曲线，而实际转换曲线在输入范围两端呈现非线性。为了使放大器具有N位精度，实际转移曲线斜率与理想斜率的偏差不能太大，应保证放大器的输出满足精度要求。由图29-29还可看出，增益误差和非线性误差之间存在着细微差别。不过，增益误差对ADC性能的损害比谐波失真要小得多。

822

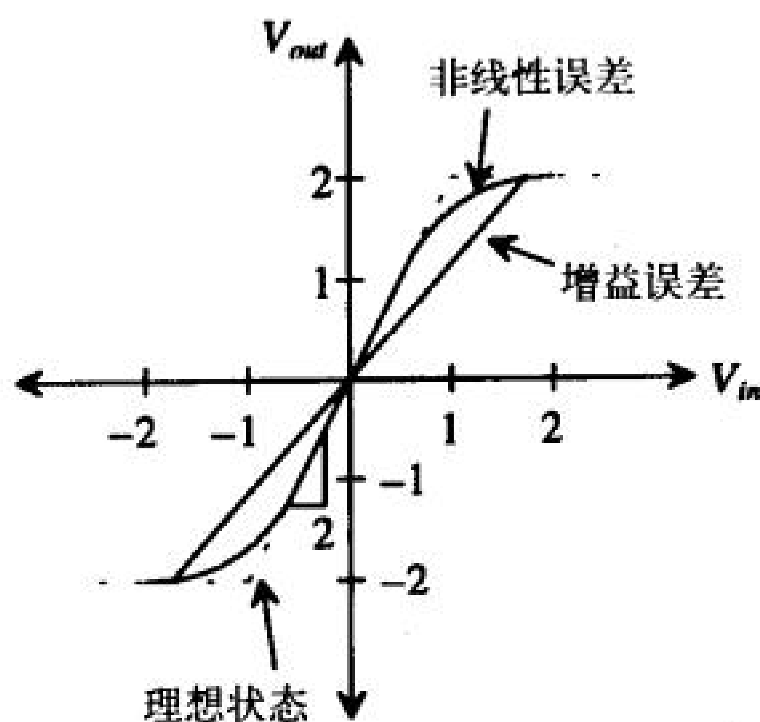


图29-29　区分增益误差和非线性误差的运放转移曲线

29.2.3　流水线ADC

分析了两步ADC后，有人会想是否存在三步或四步ADC呢？实际上，我们可以将转换分成很多步。流水线ADC是N步转换器，由N级串联构成，每级转换一位，如图29-30所示。它能够在相对快速的同时获得高分辨率（10～13位）[11-15]。流水线ADC的每级包括1位ADC（即一个比较器）、采样保持电路、加法器和增益为2的放大器各一个。每级转换器完成如下操作：

1. 输入信号被采样后，送入比较器与 $\frac{V_{REF}}{2}$ 比较，结果为此级的位输出。

2. 如果 $V_{IN} > \frac{V_{REF}}{2}$（比较器输出1），则将保持信号减去 $\frac{V_{REF}}{2}$ 后，传递给放大器；如果 $V_{IN} < \frac{V_{REF}}{2}$（比较器输出0），则将初始信号传递给放大器。转换器的每级输出被称为余量。

3. 将求和结果（实际为减法操作）乘以2，送入下一级的采样保持电路。

流水线转换器的主要优点在于其高吞吐率。经过初始N个时钟周期的延迟后，每个周期完成一个转换。当第二级处理第一级的余量时，第一级已开始处理下一个采样数据。每一级都在处理上一级传递下来的余量，从而实现快速转换。流水线ADC的缺点是第一个数字输出之前有N个时钟周期的延迟。此缺点是否关键，要看具体应用。

823

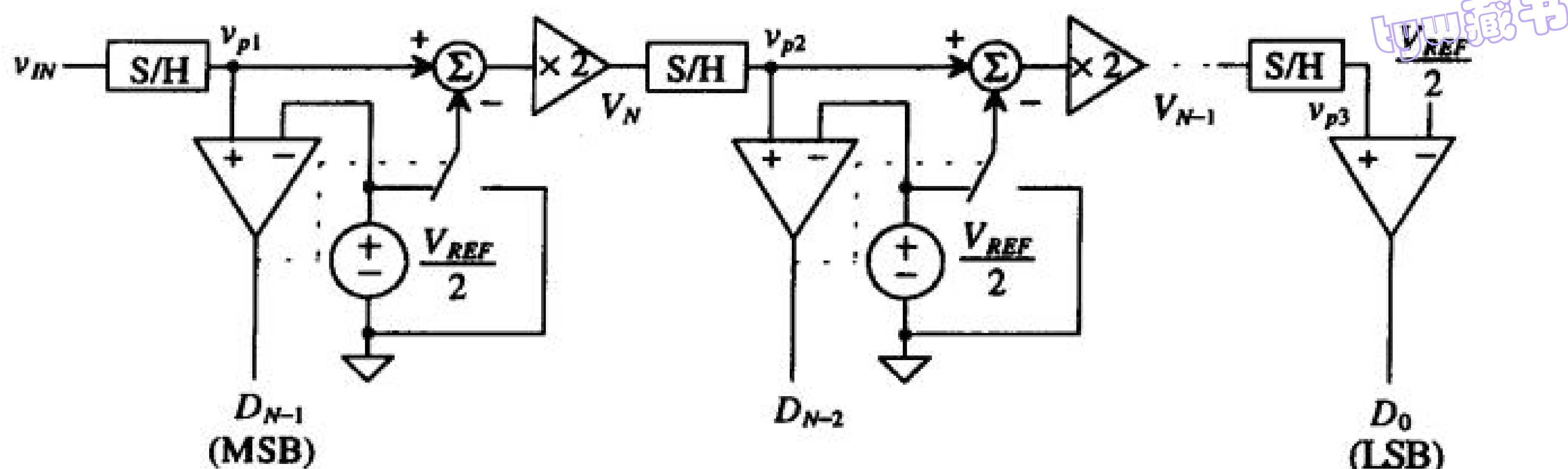


图29-30 流水线ADC框图

有趣的是这种转换器的精度依赖于前面几级。第一级的细小误差通过转换器传递，在整个转换结束时将产生非常大的误差。每级的精度要求低于前一级的精度要求，所以，设计前面几级时应特别注意。

例29.13

假设3位流水线转换器如图29-30所示。对于v_{IN} =2V、3V和4.5V，分析其转换过程，并列表给出以下变量的大小：D_2、D_1、D_0、V_3、V_2。假设V_{REF} = 5V，V_3是第一级的余量，V_2是第二级的余量。

对第一个比较器，因$v_{IN} < 2.5$V，得$D_2 = 0$；因$D_2 = 0$，得$V_3 = 2(2) = 4$V。此余量沿着流水线传递到下一级：因为$V_3 > 2.5$V，得$D_1 = 1$，V_2为：

$$V_2 = \left(V_3 - \frac{V_{REF}}{2}\right) \times 2 = 3\text{V}$$

由于$V_2 > 2.5$V，所以，最低有效位$D_0 = 1$。由此得，$v_{IN} = 2$V对应的数字输出$D_2D_1D_0 = 011$。实际的数字输出就是比较器的输出，转换结果见图29-31。 ■

v_{IN}	V_3 (V)	V_2 (V)	数字输出（$D_2D_1D_0$）
2.0	4.0	3.0	011
3.0	1.0	2.0	100
4.5	4.0	3.0	111

图29-31 例29.13的流水线ADC的输出

824

流水线转换器的精度问题

要分析流水线每级中的ADC（1位），可以从分析各比较器在理想和非理想情形下的转换点着手。观察图29-30，假设所有元件都是理想的，以$v_{IN,1}$表示第一个比较器的输出发生转换时的输入电压，它出现在：

$$v_{IN,1} = \frac{1}{2}V_{REF} \tag{29-61}$$

第二个比较器的正极输入电压v_{p2}可由上一级得到：

$$v_{p2} = [v_{IN} - \tfrac{1}{2} \cdot D_{N-1} \cdot V_{REF}] \cdot 2 \tag{29-62}$$

式中，D_{N-1}为第一个比较器的输出MSB，其值为1或0。当 $v_{p2}=\frac{1}{2}V_{REF}$时，第二个比较器的输出发生转换，这时的$v_{IN}$记为$v_{IN,2}$，有：

$$v_{IN,2}=\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}+\frac{1}{4}V_{REF} \tag{29-63}$$

用类似的方法，可以根据前两级写出第三个比较器的正极输入电压：

$$v_{p3}=\left[[v_{IN}-\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}]\cdot 2-[\frac{1}{2}\cdot D_{N-2}\cdot V_{REF}]\right]\cdot 2 \tag{29-64}$$

第三个比较器的转换点为 $v_{p3}=\frac{1}{2}V_{REF}$，与之对应的输入电压$v_{IN}$为：

$$v_{IN,3}=\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}+\frac{1}{4}\cdot D_{N-2}\cdot V_{REF}+\frac{1}{8}V_{REF} \tag{29-65}$$

根据总体趋势，可导出对应第N级比较器转换点的输入电压v_{IN}，其表达式为：

$$v_{IN,N}=\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}+\frac{1}{4}\cdot D_{N-2}\cdot V_{REF}+\frac{1}{8}\cdot D_{N-3}\cdot V_{REF}+\cdots+\frac{1}{2^{N-1}}\cdot D_{1}\cdot V_{REF}+\frac{1}{2^{N}}\cdot V_{REF} \tag{29-66}$$

注意到，上式中不含D_0，因为D_0是第N级比较器的输出。

上面推导了理想情形的转换点，现在考虑非理想情形。为了避免繁杂，在分析时只考虑主要误差，包括比较器失调电压$V_{COS,x}$和采样保持失调电压$V_{SOS,x}$。变量x为各级编号。撇号将用于区分理想和非理想情形。读者应清楚失调电压取正、负值都有可能。假设所有余量放大器具有相同的增益，记为A。

825

第一个比较器的正极输入v'_{p1}含有第一个采样保持的失调，因此有：

$$v'_{p1}=v_{IN}+V_{SOS,1} \tag{29-67}$$

只有当正极输入电压超出$\frac{1}{2}V_{REF}$和比较器失调时，第一个比较器才发生转换，即：

$$v'_{p1}=\frac{1}{2}V_{REF}+V_{COS,1} \tag{29-68}$$

由式（29-67）、（29-68）可得第一个比较器发生转换时的输入电压：

$$v'_{IN,1}=\frac{1}{2}V_{REF}+V_{COS,1}-V_{SOS,1} \tag{29-69}$$

第二个比较器的输入v'_{p2}可表示为：

$$v'_{p2}=[v_{IN}+V_{SOS,1}-\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}]\cdot A+V_{SOS,2} \tag{29-70}$$

第二个比较器转换时的输入电压为：

$$v'_{IN,2}=\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}+\frac{1}{2}\frac{V_{REF}}{A}-V_{SOS,1}-\frac{1}{A}(V_{SOS,2}-V_{COS,2}) \tag{29-71}$$

类似地，引起第三个比较器转换时的输入电压为：

$$v'_{IN,3}=\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}+\frac{1}{2}\cdot D_{N-2}\cdot\frac{V_{REF}}{A}-V_{SOS,1}-\frac{1}{A}V_{SOS,2}-\frac{1}{A^2}V_{SOS,3}-\frac{1}{A^2}\left[V_{COS,3}-\frac{1}{2}V_{REF}\right] \tag{29-72}$$

归纳得到第N个比较器转换时的输入电压为：

$$v'_{IN,N}=\frac{1}{2}\cdot D_{N-1}\cdot V_{REF}+\frac{1}{2}\cdot D_{N-2}\cdot\frac{V_{REF}}{A}+\ldots+\frac{1}{2}\cdot D_{1}\cdot\frac{V_{REF}}{A^{N-2}}+\frac{1}{2}\cdot\frac{V_{REF}}{A^{N-1}}+\frac{V_{COS,N}}{A^{N-1}}-\sum_{k=1}^{N}\frac{V_{SOS,k}}{A^{k-1}} \tag{29-73}$$

INL为非理想情形和理想情形的转换点之差。因此，将式（29-69）减去（29-61）可得到第一级的INL:

$$INL_1 = v'_{IN,1} - v_{IN,1} = V_{COS,1} - V_{SOS,1} \tag{29-74}$$

第二级的INL为:

$$INL_2 = v'_{IN,2} - v_{IN,2} = \frac{V_{REF}}{2}\left(\frac{1}{A} - \frac{1}{2}\right) - V_{SOS,1} - \frac{V_{SOS,2}}{A} + \frac{V_{COS,2}}{A} \tag{29-75}$$

第N级的INL为

826

$$INL_N = \frac{1}{2} \cdot D_{N-2} \cdot V_{REF} \cdot \left(\frac{1}{A} - \frac{1}{2}\right) + \frac{1}{2} \cdot D_{N-3} \cdot V_{REF} \cdot \left(\frac{1}{A^2} - \frac{1}{4}\right) + \ldots$$

$$+ \frac{1}{2} \cdot D_1 \cdot V_{REF} \cdot \left(\frac{1}{A^{N-2}} - \frac{1}{2^{N-2}}\right) + \frac{1}{2} \cdot V_{REF} \cdot \left(\frac{1}{A^{N-1}} - \frac{1}{2^{N-1}}\right) + \frac{V_{COS,N}}{A^{N-1}} - \sum_{k=1}^{N} \frac{V_{SOS,K}}{A^{k-1}} \tag{29-76}$$

式（29-74）~（29-76）对于分析流水线ADC的性能限制非常重要。由式（29-74）可看出比较器和加法器失调的重要性。为了保证ADC具有N位精度，最坏情况下，这些失调之和应小于1/2 LSB。第二级较多地依赖于余量放大器的增益，见式（29-75）。前一节讨论过的增益误差在确定转换器的整体精度时起着重要作用。接着考察失调对第N级INL的影响。由式（29-76）可知，第N级比较器和加法器的失调都被除以一个很大的增益（$k = N$时），因此，流水线上，后面各级对精度的重要性不如前面各级，后面几级可以通过较低精度的设计来减小芯片面积和功耗。式（29-76）中的求和项也表明，第一级（$k = 1$时）加法器的失调对第N级的影响很大。不过不必担心这一点，因为$V_{SOS,1}$必须足够小才能使第一级具有N位精度。通常，只要前面几级满足N位精度要求，后面几级就不会影响整体精度。

对于DNL，可以先计算最坏情况下的转换点之间的差值，再减去1个LSB对应的理想值。如以前的定义，最坏情况出现在中值处，即输出从0111…111转换为1000…000的转换点，其DNL为:

$$DNL_{max} = v'_{IN,1} - v'_{IN,N} - \frac{V_{REF}}{2^N} \tag{29-77}$$

式中，$v'_{IN,N}$可用式（29-73）计算，只需令D_{N-1}为0、其他位为1。将式（29-69）、（29-73）代入式（29-77）可得:

$$DNL_{max} = \frac{1}{2}V_{REF}\left(1 - \sum_{k=1}^{N-1}\frac{1}{A^k}\right) + V_{COS,1} - \frac{V_{COS,N}}{A^{N-1}} + \sum_{k=2}^{N}\frac{V_{SOS,K}}{A^{k-1}} - \frac{V_{REF}}{2^N} \tag{29-78}$$

由上式可以看出，此式中起主导作用的是第一级的比较器失调和第二级的加法器失调。为了使ADC达到N位精度，式（29-78）必须小于1/2LSB。

29.2.4 积分ADC

另一种类型的ADC被称为积分ADC，它是通过对信号进行积分并把积分时间与数字计数器的输出关联起来实现转换。常见的积分ADC为单斜率ADC和双斜率ADC，它们通常用于高精度情形，但转换速度相对较慢。它们的优点在于生产成本非常便宜，因此，通常用于低速、低成本的电路系统中。

827

单斜率结构

图29-32为单斜率转换器的框图。积分器对参考电压进行积分，计数器记录积分值达到与输入信号相等时所经历的时钟脉冲数。脉冲数与输入电压成正比，计数器输出即为对应模拟电压的数字码。

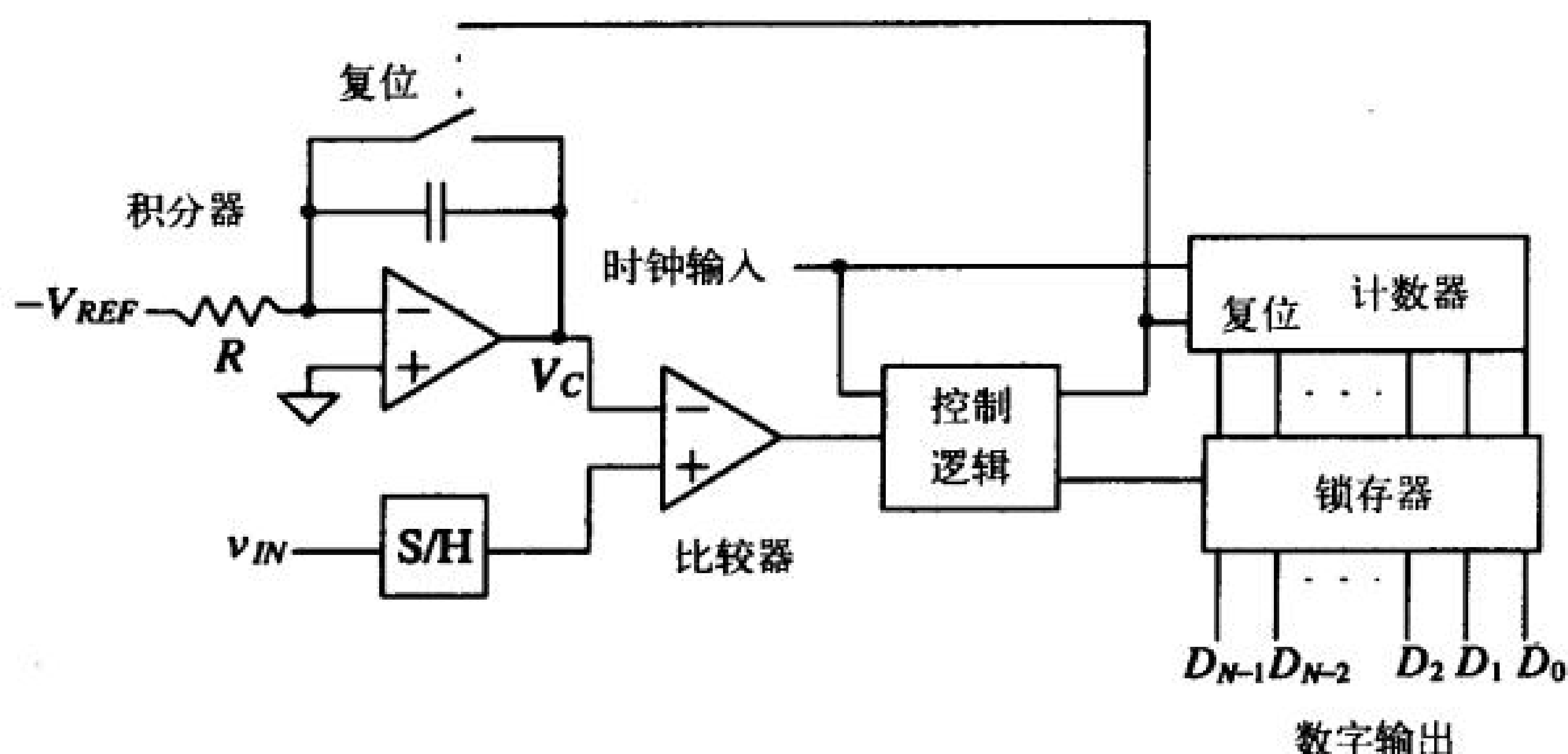
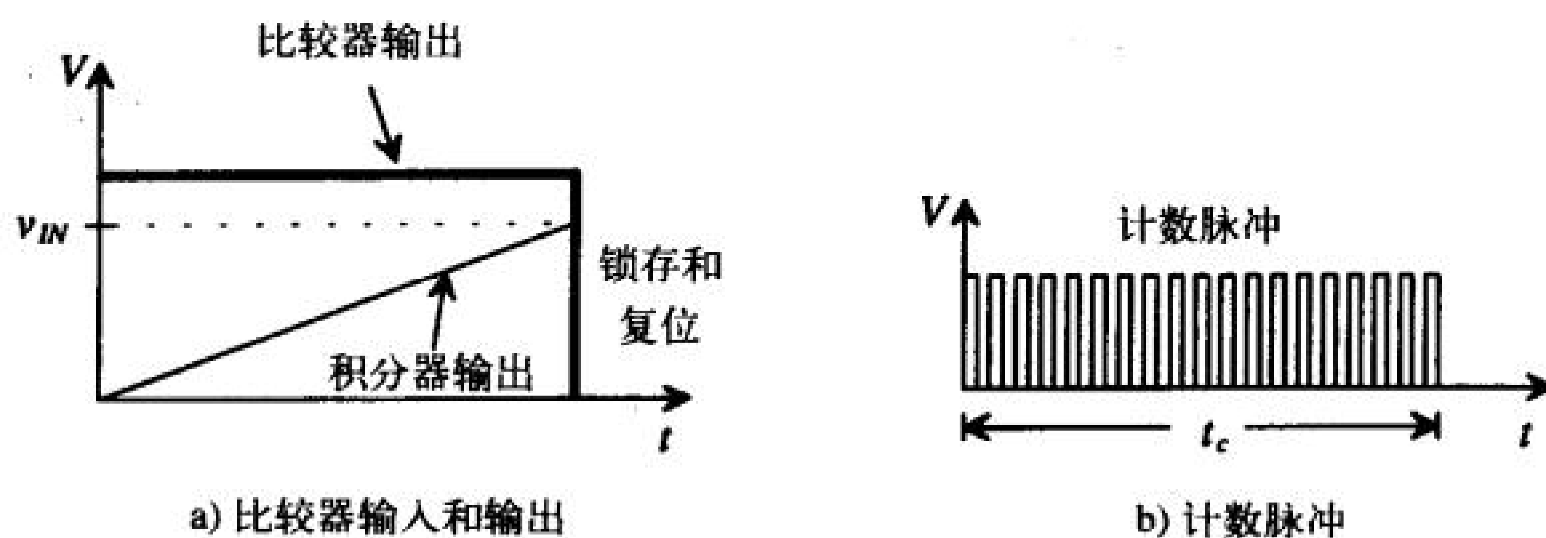


图29-32　单斜率ADC框图

由于参考电压为直流量，积分器的输出应该从0开始线性增加，其斜率由积分器的增益决定。注意到参考电压为负，所以反相积分器的输出为正。当积分器输出大于S/H的输出时，比较器的输出状态反转，触发控制逻辑，将计数器的输出锁存。同时控制逻辑也使系统复位，准备下一个采样和转换。图29-33给出了积分器的输出和时钟。



a) 比较器输入和输出　　b) 计数脉冲

图29-33　单斜率ADC的时序

当输入信号很小时，转换时间很短；也就是说，当比较器发出锁存信号时，计数器只计了少数几次。但如果输入电压为全量程，计数器必须计数到最大值即2^N个时钟周期。这样时钟频率必须是输入信号带宽的很多倍。转换时间t_c依赖于输入信号的大小，可表示为：

$$t_c=\frac{v_{IN}}{V_{REF}}\cdot 2^N\cdot T_{CLK} \tag{29-79}$$

式中，T_{CLK}为时钟周期。采样频率与转换时间成反比：

$$f_{Sample}=\frac{V_{REF}}{V_{IN}\cdot 2^N}\cdot f_{CLK} \tag{29-80}$$

例29.14

如果模拟信号带宽为20kHz，确定8位单斜率转换器所需的时钟频率。

采样频率应为40kHz。最坏情形出现在全量程电压输入时，积分器输出需要达到最大值，在25μs采样间隔时间内计数器计数2^N次。所以，最大时钟频率是采样频率的2^N倍，即10.24MHz。■

单斜率ADC的精度问题

显然，这种结构的ADC中存在许多误差源。转换结束时，积分电容上的电压V_c为（设初始值为零）:

$$V_C=\frac{1}{C}\int_0^{t_c}\frac{V_{REF}}{R}dt=\frac{V_{REF}\cdot t_c}{RC} \tag{29-81}$$

式中，t_c是转换时间。将式（29-79）代入式（29-81），得:

$$V_C=\frac{2^N\cdot T_{CLK}\cdot v_{IN}}{RC}=\frac{2^N\cdot v_{IN}}{f_{CLK}\cdot RC} \tag{29-82}$$

此式表明：积分器的最终输出电压值不仅与输入电压有关，而且还依赖于R、C及f_{CLK}。在采样过程中，这些量的任何非理想因素都会影响积分器输出的精度。例如，若R为扩散电阻，由于扩散电阻实际上有非线性，其电压系数将限制精度。同样地，电容可能存在电荷泄漏或者退化效应。时钟的抖动也会影响整体精度。此外，积分器斜率的线性度应满足转换器的精度要求，这依赖于运放的指标（如开环增益、建立时间、失调等），必须相应地给予考虑。

828~829

比较器、S/H以及积分器的失调将导致时钟脉冲数目的增多或减少（这取决于失调的正负极性）。比较器输入达到相等与计数器输出被锁存之间还会存在时间延迟。另外，在转换器精度范围内，参考电压应该保持为常数。

双斜率结构

双斜率ADC的结构略微复杂（见图29-34），它能消除单斜率ADC的大多数问题。双斜率ADC采用两次积分，一次对输入信号，一次对V_{REF}。设输入电压为负，则第一次积分过程中，反相积分器的输出斜率为正。图29-35示意了这两个彼此独立的过程。第一个积分过程的时间固定（由计数器规定），输入信号经采样保持后被积分，产生第一个斜率。计数器溢出并复位后，参考电压接积分器的输入端。由于v_{IN}为负而参考电压为正，积分器输出又将以恒定斜率被放电到0。计数器再一次测量积分器放电所用的时间，然后产生数字输出。

图29-35给出的是3位ADC情形。由该图知，第一个积分过程持续到第八个时钟周期的开始，对应计数器的溢出位。对应V_B的积分器输出是对应V_A的积分器输出的两倍，故V_B放电到0所用的时钟周期数是V_A的两倍。t_A时，计数器的输出为3_{10}或011，t_B是其两倍即6_{10}或110。

可以看到，第一个斜率与输入信号值相关，而第二个斜率只依赖于V_{REF}，是固定的。同时，第一个斜率持续的时间是常数，受计数器大小的限制。随着放电时间的变化，产生与输入电压对应的数字输出。

双斜率ADC的精度问题

既然双斜率ADC相对于单斜率ADC需要更长的转换时间，它在性能上有哪些改善呢？下

面我们分析一下。双斜率ADC的第一次积分过程需要完整的2^N个时钟周期；当转换v_{IN}的最大值时，第二个积分过程放电也需要2^N个时钟周期。然而，双斜率结构的优点在于其两个斜率都由同一积分器和时钟产生，从而基本抵消了非理想因素。例如，假定S/H是理想的，在第一个积分时间T_1期间，积分器的增益为：

830

$$V_C = -\frac{1}{C}\int_0^{T_1}\frac{v_{IN}}{R}dt = \frac{|v_{IN}|\cdot T_1}{RC} \tag{29-83}$$

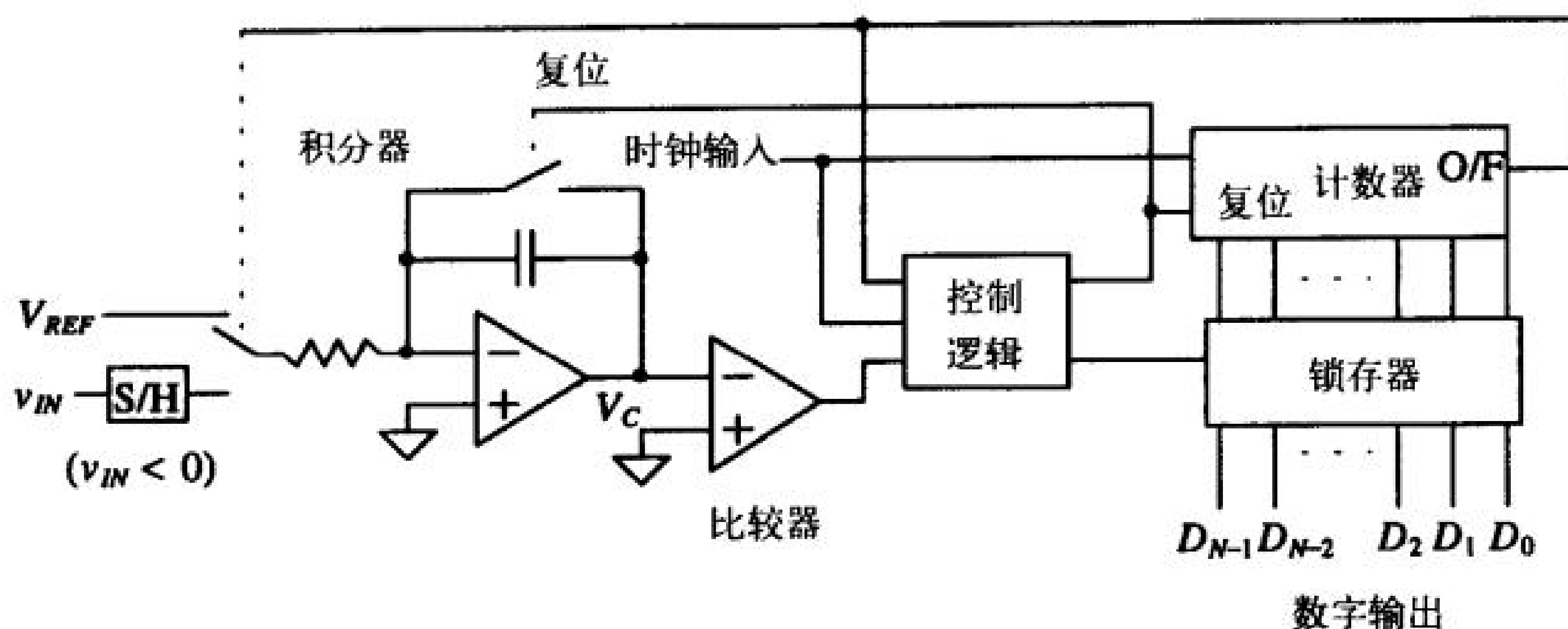


图29-34 双斜率ADC的框图

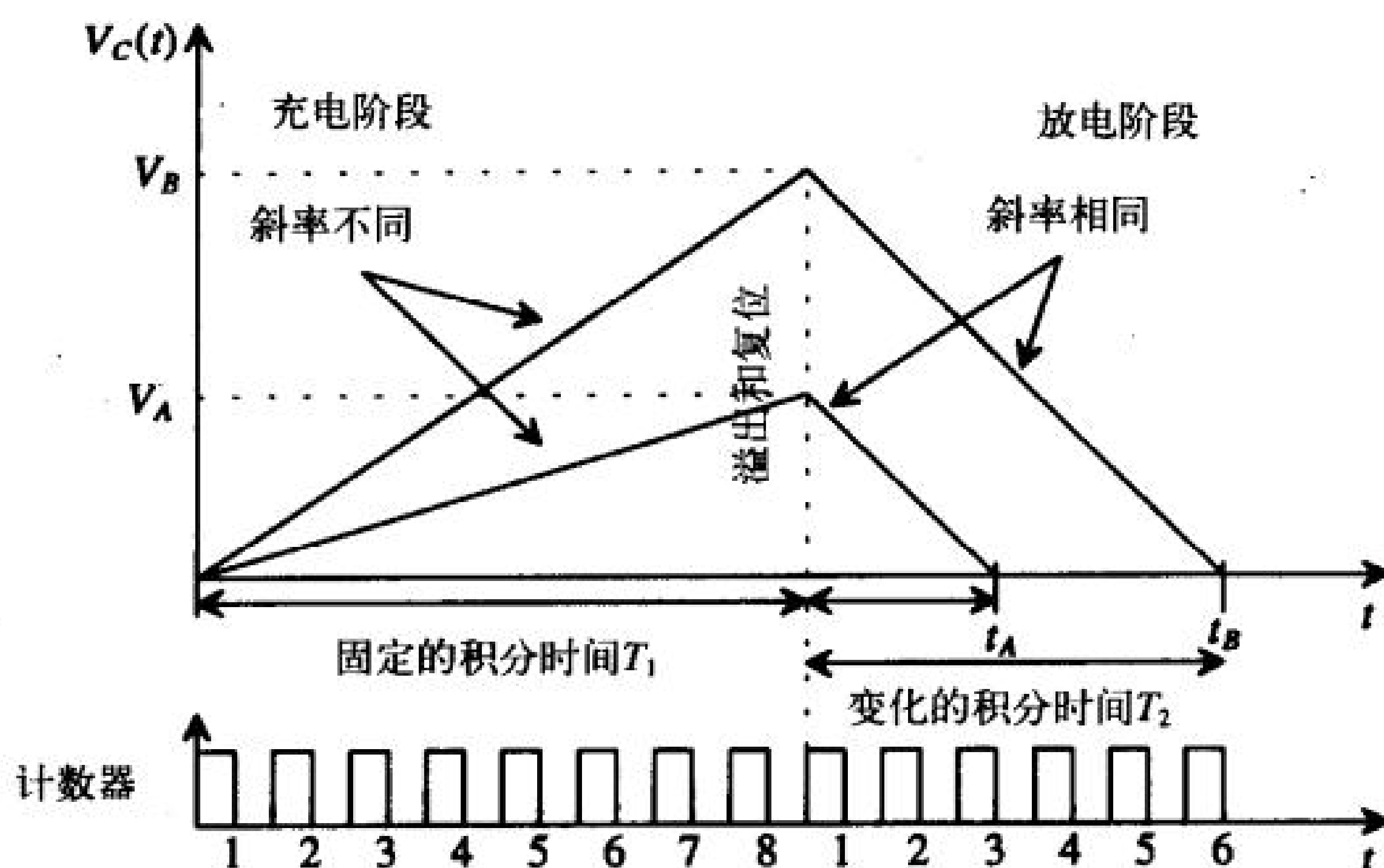


图29-35 3位双斜率ADC两个独立积分过程的时间和计数器输出

831

设输入电压为负且积分器反相，则T_1结束时输出为正。时钟复位后开始放电，其初始条件由充电过程末的积分器输出决定，因此有：

$$V_C = \frac{|v_{IN}|\cdot T_1}{RC} - \frac{1}{C}\int_0^{T_2}\frac{V_{REF}}{R}dt \tag{29-84}$$

积分器输出V_C达到0 V时，上式变为：

$$V_C = \frac{|v_{IN}|\cdot T_1}{RC} - \frac{V_{REF}\cdot T_2}{RC} = 0 \tag{29-85}$$

整理为：

$$|v_{IN}|\cdot T_1 = V_{REF}\cdot T_2 \tag{29-86}$$

可见：转换结束时，对R、C的依赖被抵消了。已知计数器在T_1内计数2^N次，在T_2内计数D次，则式（29-86）可改写为：

$$\frac{D}{2^N}=\frac{|v_{IN}|}{V_{REF}} \tag{29-87}$$

式中，D为计数器输出，也即输入电压对应的数字输出。输入电压与参考电压之比对应于数字字D的十进制值与2^N之比。由于充放电过程使用的是同一时钟，不规则因素的影响也被抵消了。

29.2.5 逐次逼近ADC

逐次逼近转换器的基本原理是，对所有可能的量化水平进行二分检索，直到得出最终的数字输出，其框图见图29-36。N位寄存器控制转换的时序（N为ADC的分辨率）。V_{IN}经采样后与DAC的输出作比较。比较器的输出控制二分检索的方向。逐次逼近寄存器（Successive Approximation Register，SAR）的输出就是转换所得的数字码。逐次逼近算法如下：

1. 在移位寄存器的输入端置1。每转换一位，1向右移动一位。即：$B_{N-1}=1$，B_{N-2}到B_0都等于0。

2. SAR的MSB即D_{N-1}的初始值为1，其余位（D_{N-2}到D_0）均设为0。

3. 由于SAR的输出决定DAC，SAR输出为100…000，所以，DAC输出为$\frac{V_{REF}}{2}$。

832

4. 接着，v_{IN}与$\frac{V_{REF}}{2}$进行比较。若$\frac{V_{REF}}{2}$大于v_{IN}，则比较器输出1，并将D_{N-1}设置为0。若$\frac{V_{REF}}{2}$小于v_{IN}，则比较器输出0，D_{N-1}保持1。D_{N-1}为最后输出数字码的MSB。

5. 移位寄存器的1右移一位，使$B_{N-2}=1$，其余位均为0。

6. D_{N-2}设置为1，D_{N-3}到D_0保持0，同时D_{N-1}保持MSB转换所得的值。此时，DAC输出为$\frac{V_{REF}}{4}$（若$D_{N-1}=0$）或$\frac{3V_{REF}}{4}$（若$D_{N-1}=1$）。

7. 接着，v_{IN}与DAC的输出进行比较。若DAC输出大于v_{IN}，则比较器输出1，并将D_{N-2}设置为0。若v_{IN}小于DAC输出，则D_{N-2}仍为1。

8. 重复以上过程，直到DAC输出趋近v_{IN}，并满足转换器分辨率要求。

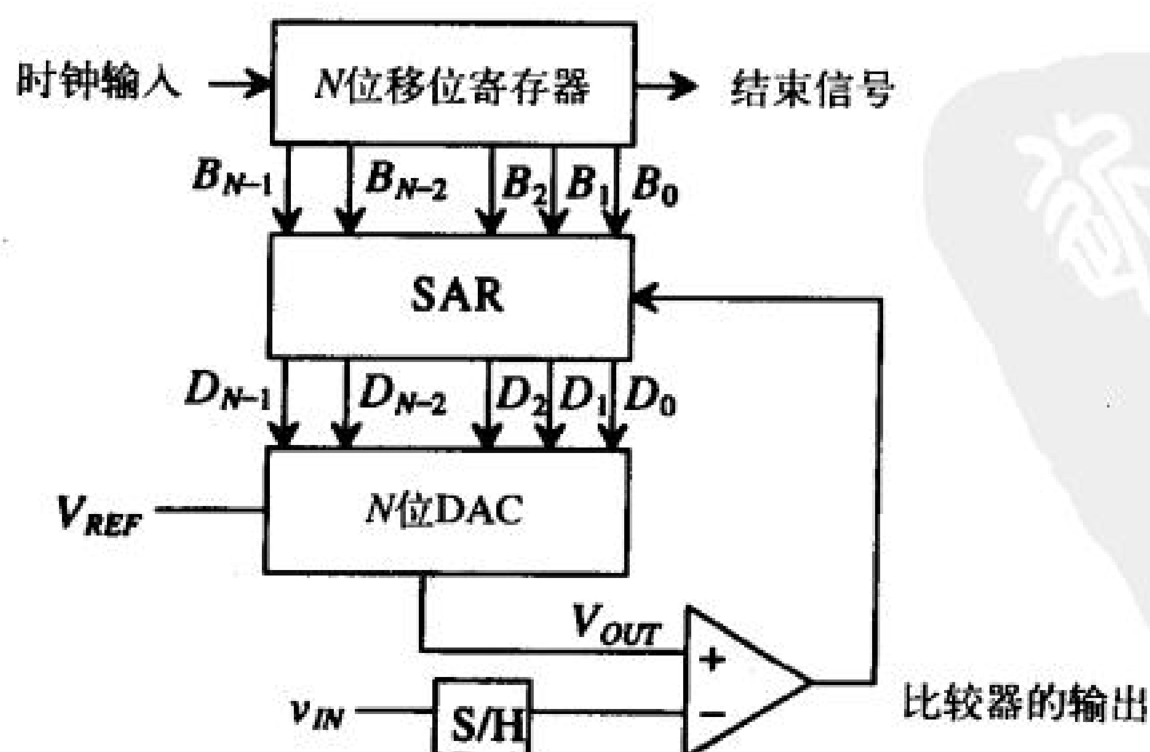


图29-36 逐次逼近ADC的框图

图29-37给出了一个二分检索的例子。加粗线表示到101的转换路径，对应于 $\frac{5V_{REF}}{8}$。所有可能的量化水平都表示在二叉树中。每确定一位，搜索范围减小一半，直至收敛于正确结果。

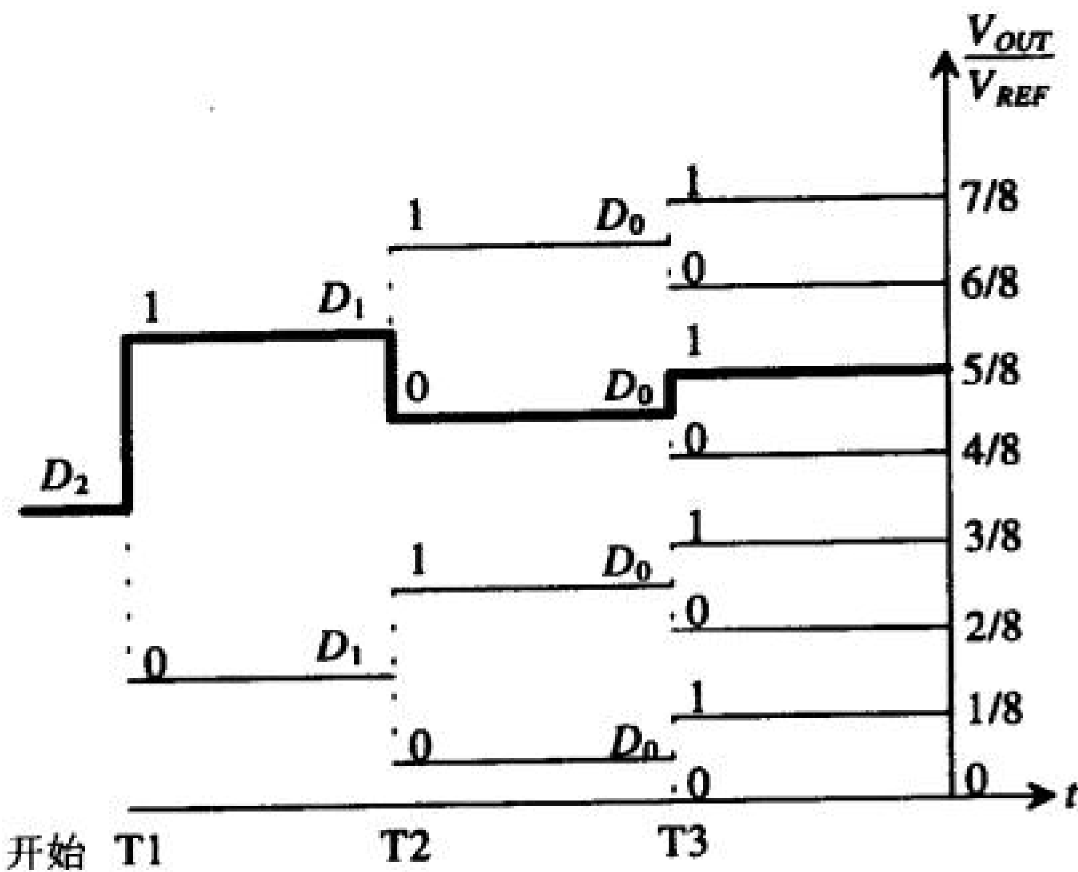


图29-37 当D = 101时3位逐次逼近ADC的二分搜索过程

例29.15

针对图29-36所示3位逐次逼近ADC，分析v_{IN} =5.5V和2.5V时的转换过程，并作表给出此过程中$D_2D_1D_0$、$B_2B_1B_0$、V_{OUT}（DAC的输出）以及比较器的输出值。设V_{REF} = 8V。

以$D'_2D'_1D'_0$表示比较器开始比较之前的SAR输出初始值，比较后的SAR输出为$D_2D_1D_0$。注意到，若比较器输出为1，$D'_2D'_1D'_0$和$D_2D_1D_0$不同；若为0，则$D'_2D'_1D'_0 = D_2D_1D_0$。移位寄存器的输出记为$B_2B_1B_0$。

按前面讨论的算法，v_{IN}的初始值为5.5V，与4V进行比较。由于比较器输出为0，MSB保持为1。考察下一位，DAC输出变为6V。由于$V_{OUT} > v_{IN}$，比较器输出1，则在T_2周期结束前，将当前的SAR输出位D_1设置为0。最后，考察LSB，v_{IN}和5V比较。由于$v_{IN} > V_{OUT}$，比较器输出0，当前SAR位D_0保持为1。上述过程见图29-38a，$D_2D_1D_0$的最终值为101，等价于5_{10}，与期望一致。图29-38b给出了v_{IN} = 2.5V时的ADC相关数据，最终值为010。 ■

逐次逼近ADC是目前最常用的结构之一。设计的简单使其可获得高速和高分辨率，同时保持相对较小的面积。这种ADC的精度取决于DAC的精度。如果DAC不能产生准确的与输入电压进行比较的模拟电压，转换器输出将会出错。参考图29-37，可以看到：若一开始就出现一个错误判断，则转换器试图在二进制树的错误的一半中搜索出正确的结果，将产生较大的误差。

833~834

电荷再分配逐次逼近ADC

最普遍的逐次逼近ADC之一是采用二进制权重电容阵列作为其DAC。这种结构被称为电荷再分配逐次逼近ADC[2,16,17]，它对输入信号采样，然后基于各电容的电荷量实现二分检索。图29-39给出了一个N位ADC的结构。比较器代替了DAC的单位增益缓冲器。二进制权重电容阵列可对输入电压采样，因此，不再需要外部采样-保持电路。

转换过程开始时，通过复位开关将电容阵列放电。这似乎是个无关紧要的操作，实际上转换器通过这一操作实现了自动失调抑制。当复位开关闭合时，比较器作为一个单位增益缓

冲器，电容阵列被充电到比较器的失调电压。这要求比较器必须是稳定的单位增益，意味着复位阶段必须进行内部补偿。接着，输入电压v_{IN}经采样进入电容阵列。复位开关仍然闭合，电容阵列上极板接单位增益缓冲器的虚地。等效电路见图29-40a。

周期	v_{IN}	$B_2B_1B_0$	$D_2'D_1'D_0'$	V_{OUT}	比较器的输出	$D_2D_1D_0$
T1	5.5	100	100	$1/2\ V_{REF}=4\ V$	0	100
T2	5.5	010	110	$(1/2+1/4)V_{REF}=6\ V$	1	100
T3	5.5	001	101	$(1/2+1/8)V_{REF}=5\ V$	0	101

a) $v_{IN}=5.5V$

周期	v_{IN}	$B_2B_1B_0$	$D'_2D'_1D'_0$	V_{OUT}	比较器的输出	$D_2D_1D_0$
T1	2.5	100	100	$1/2\ V_{REF}=4\ V$	1	000
T2	2.5	010	010	$1/4\ V_{REF}=2\ V$	0	010
T3	2.5	001	011	$(1/4+1/8)V_{REF}=3\ V$	1	010

b) $v_{IN}=2.5V$

图29-38　3位逐次逼近ADC的结果

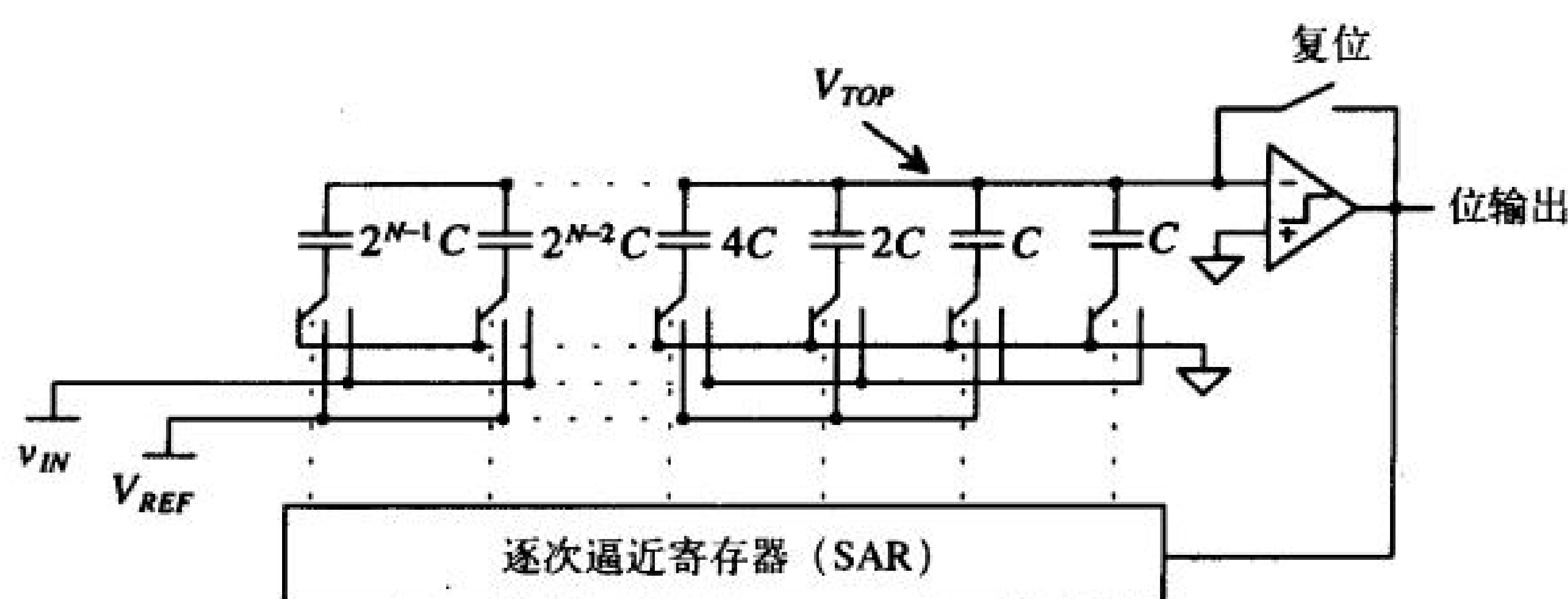


图29-39　采用二进制权重电容阵列DAC的电荷再分配ADC

然后复位开关断开，阵列中各电容的下极板接地，这样阵列上极板电压变为$V_{OS}-v_{IN}$（图29-40b）。转换开始时，将MSB电容下极板接V_{REF}（图29-40c），比较器的输出就是D_{N-1}。如果比较器输出为高，则MSB电容下极板一直接V_{REF}；如果为低，则MSB电容下极板接地。电容阵列的上极板电压V_{TOP}变为：

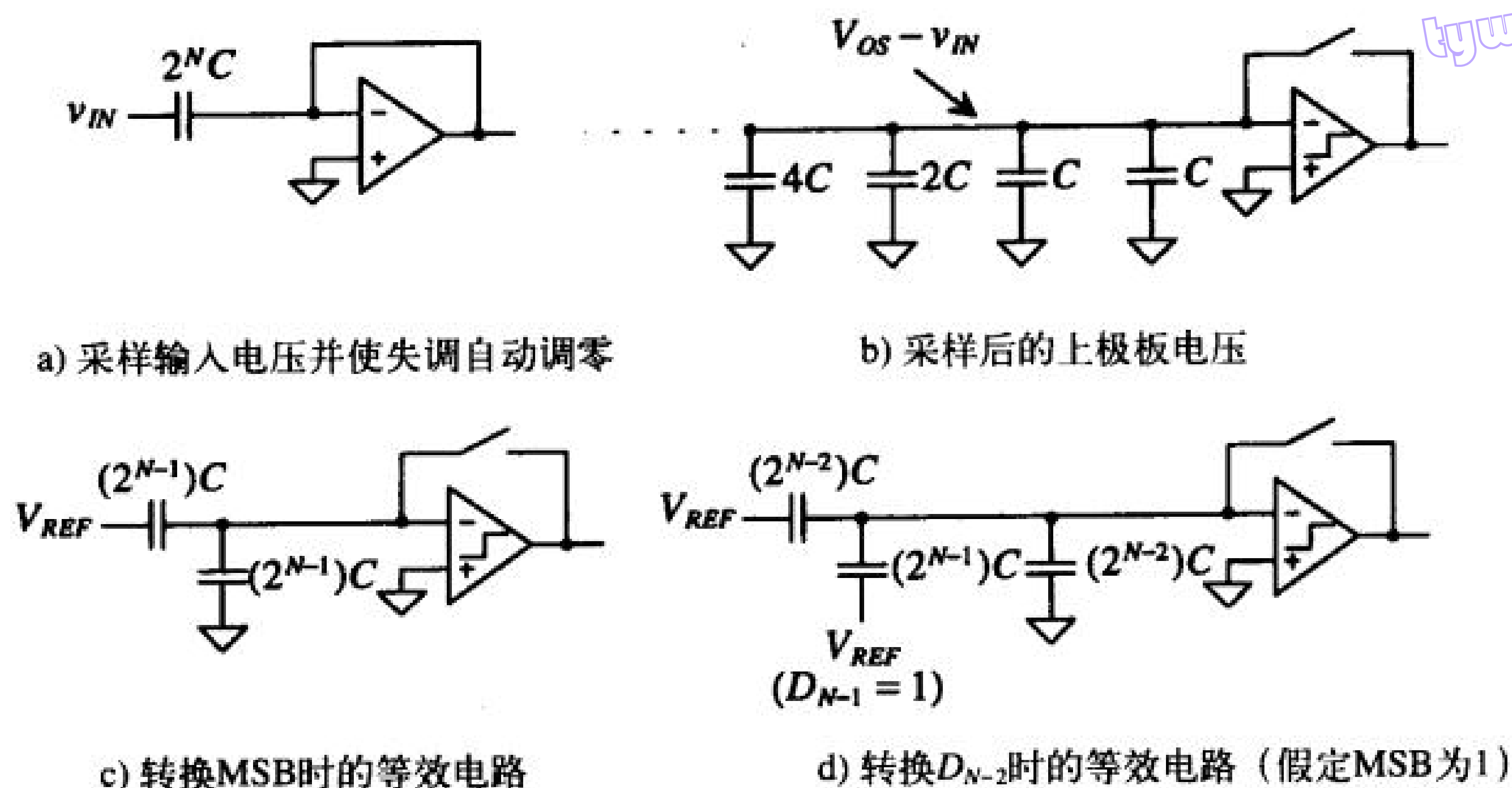
$$V_{TOP}=-v_{IN}+V_{OS}+D_{N-1}\cdot\frac{V_{REF}}{2} \tag{29-88}$$

以相同方式测试下一个较大电容，如图29-40d。测试第二个电容后，电容上极板电压变为：

$$V_{TOP}=-v_{IN}+V_{OS}+D_{N-1}\cdot\frac{V_{REF}}{2}+D_{N-2}\cdot\frac{V_{REF}}{4} \tag{29-89}$$

余下电容继续此转换过程，直到阵列上极板电压V_{TOP}收敛到失调电压值V_{OS}（需满足转换器的分辨率要求），这时：

$$V_{TOP}=-v_{IN}+V_{OS}+D_{N-1}\cdot\frac{V_{REF}}{2}+D_{N-2}\cdot\frac{V_{REF}}{4}+\ldots.+D_1\cdot\frac{V_{REF}}{2^{N-2}}+D_0\cdot\frac{V_{REF}}{2^{N-1}}\approx V_{OS} \tag{29-90}$$



a) 采样输入电压并使失调自动调零　　b) 采样后的上极板电压

c) 转换MSB时的等效电路　　d) 转换D_{N-2}时的等效电路（假定MSB为1）

图29-40　电荷再分布过程

注意到，初始电容阵列的电荷被再分配到那些下极板接V_{REF}的电容上。

电荷再分配逐次逼近ADC的精度

显然，此结构的限制因素是电容匹配。分析匹配的方法与第29.1.4节中二进制权重电流源阵列的分析方法相同。以单位电容C代替单位电流源I，并结合式（29-27）～（29-30），得：

$$|INL|_{max}=2^{N-1}(C+|\Delta C|_{max,INL})-2^{N-1}\cdot C=2^{N-1}\cdot|\Delta C|_{max,INL} \tag{29-91}$$

使INL小于1/2LSB的最大ΔC为：

$$|\Delta C|_{max,INL}=\frac{0.5C}{2^{N-1}}=\frac{C}{2^N} \tag{29-92}$$

DNL定义为：

$$DNL_{max}=(2^N-1)\cdot|\Delta C|_{max,DNL} \tag{29-93}$$

使DNL小于1/2LSB的最大ΔC为：

$$|\Delta C|_{max,DNL}=\frac{0.5C}{2^N-1}=\frac{C}{2^{N+1}-2} \tag{29-94}$$

29.2.6 过采样ADC

ADC按采样率可分成两类。第一类以奈奎斯特频率对输入采样，即 $f_N=2F$，其中F是信号带宽，f_N是采样率。第二类对信号的采样率远高于信号带宽，被称为过采样转换器。传统上，逐次逼近或者双斜率转换器用于高分辨率情形。但如果要获得更高分辨率，就需要对这些结构的转换器进行调整。例如，双斜率转换器需要高速、高精度的积分器，但这只有用高f_T的双极工艺才能实现。高精度采样-保持电路的设计是限制这些结构实现更高分辨率的另一个因素。

过采样ADC能够获得比奈奎斯特速率ADC高得多的分辨率[18~20]。这是因为用数字信号处理技术替代了复杂、精确的模拟元件。这种转换器的精度不依赖于元件间的匹配和精确的采样-保持电路，而只需一小部分的模拟电路。开关电容很容易实现，并且高采样率使抗混迭电路变得很简单。但是，由于采样输入信号需要一定时间，这种转换器的吞吐量比奈奎斯特

835~837

速率ADC小很多。

奈奎斯特速率ADC和过采样ADC的差别

奈奎斯特速率ADC的典型转换过程见图29-41a，过采样ADC见图29-41b。奈奎斯特速率ADC首先过滤输入信号，将混迭影响减至最小，然后信号被采样、量化，经简单的数字逻辑编码或解码后，产生适当格式的数字输出数据。而过采样ADC的抗混迭滤波相对就比较简单，且不再需要专门的S/H电路，量化是通过一个调制器实现，编码通常由数字滤波器完成。

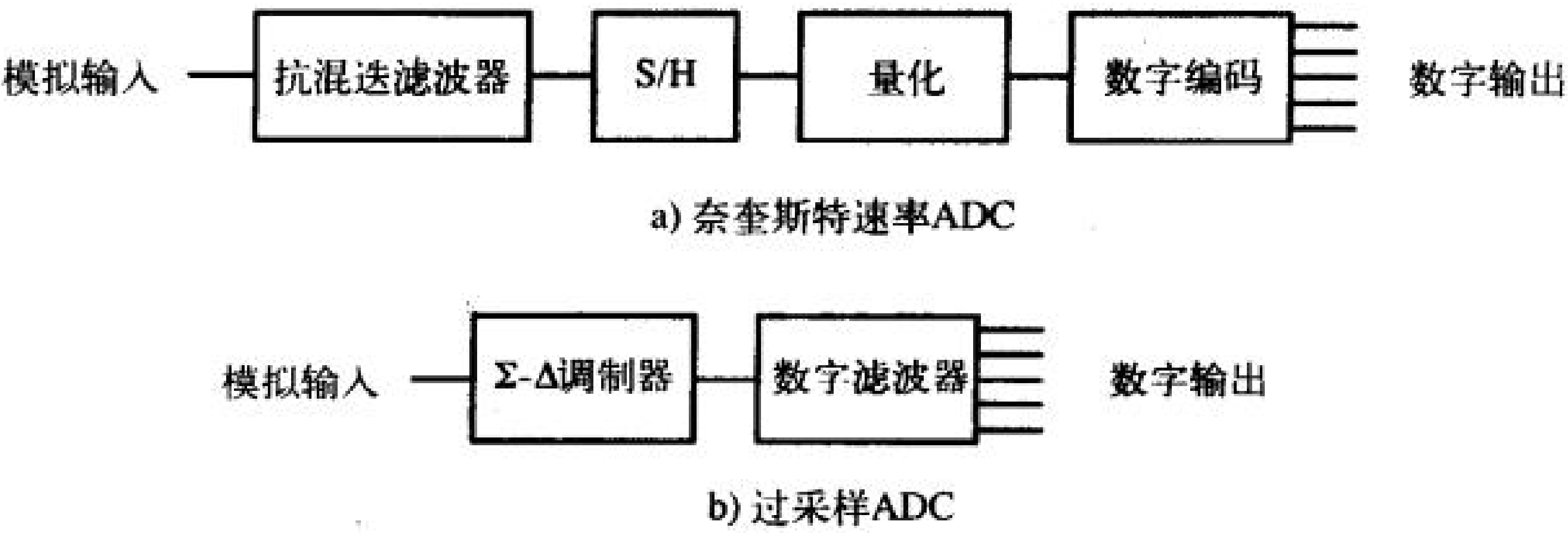


图29-41　ADC的典型结构框图

由于过采样转换器的采样率是信号带宽的许多倍，混迭就不再是严重问题。混迭的频率特性在第28章已讨论过。图29-42a表明：对应奈奎斯特速率转换器，采样后的信号在频域内表现为在采样频率倍数点上的一系列有限带宽信号（详见图28-26）。随着采样频率下降，频谱开始重合而出现混迭（图29-42b）。为了纠正这个问题，需要复杂的滤波器。

对于过采样ADC，混迭的影响不大。由于采样率很高，频谱间距很大，如图29-42c所示，不会出现频谱重叠，只需简单的一阶滤波器即可。

过采样转换器一般使用开关电容电路，而不需要采样-保持电路。调制器的输出为脉冲密度调制信号，它反应了输入信号的平均值。调制器能够实时建立这些脉冲，所以，不需要先保持输入信号再进行转换。

838

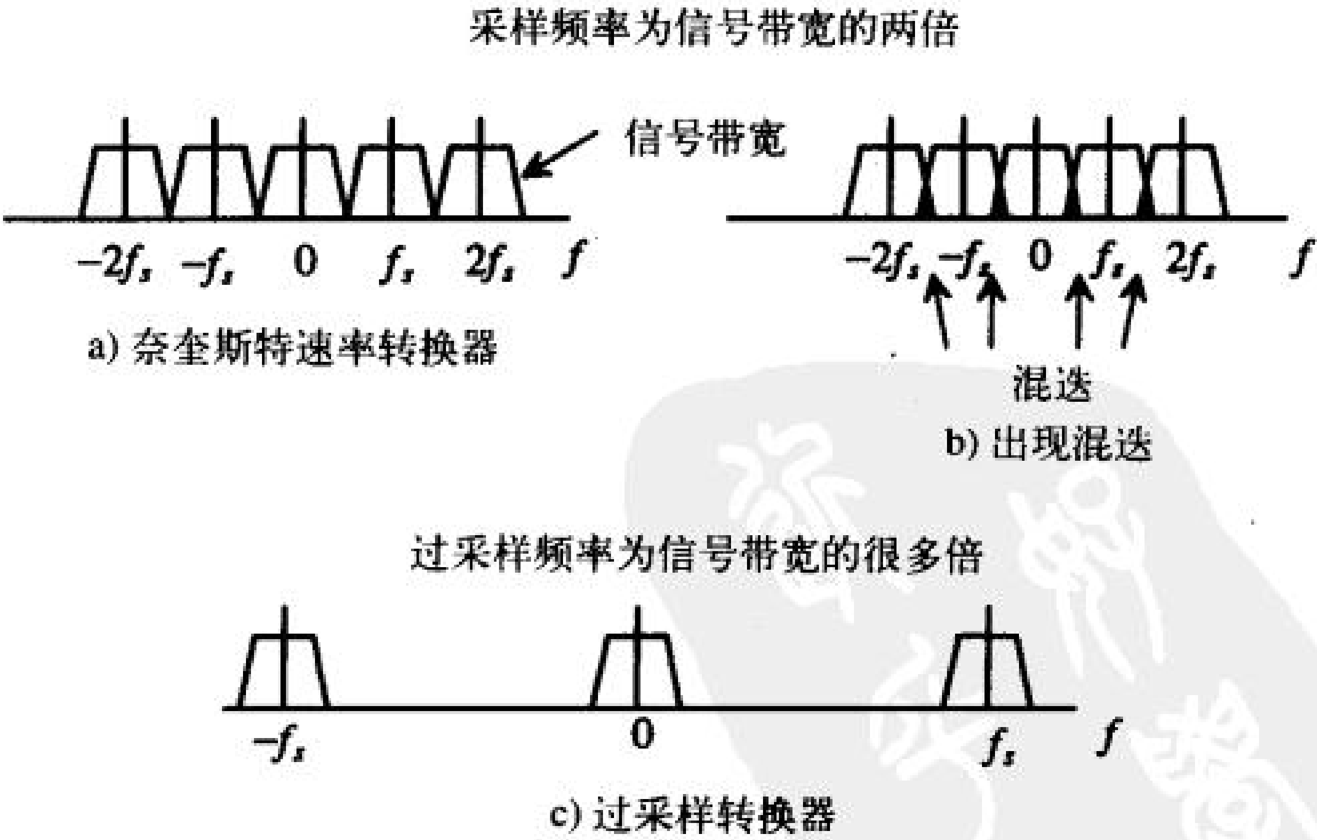
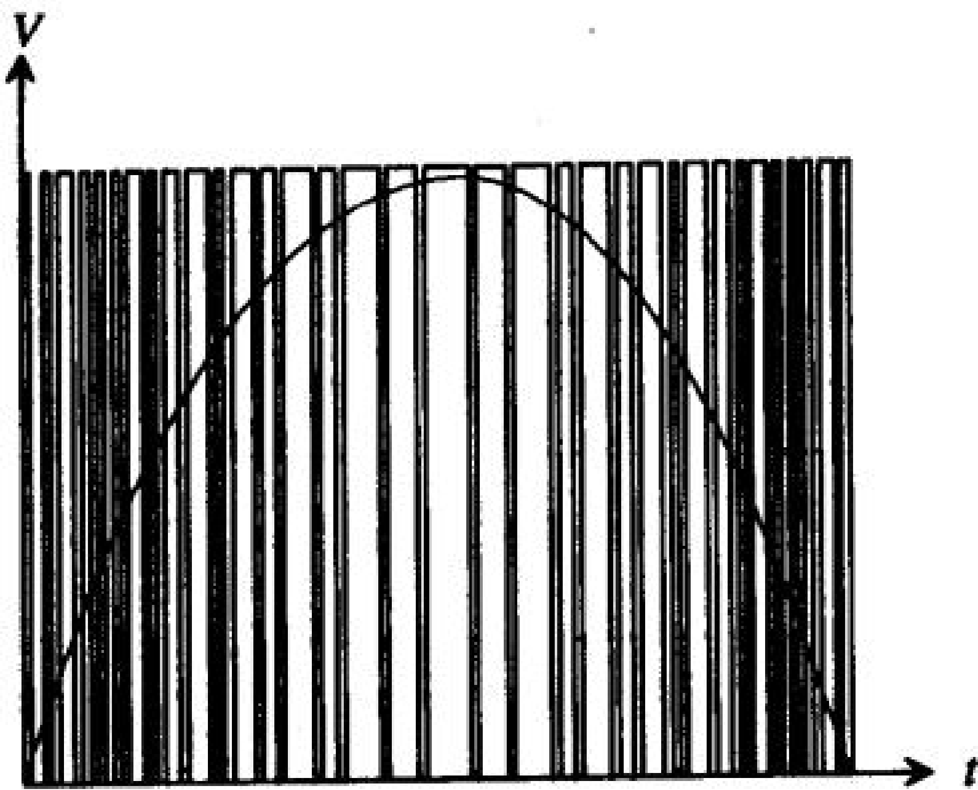


图29-42　频域图

前面已提过，调制器实际上是以脉冲密度调制形式实现量化的。脉冲密度代表了信号在一定时间内的平均值，这种调制被称为Σ-Δ调制或Δ-Σ调制。图29-43说明了输入为正弦波的正

半部分时，对应的调制器输出。仔细观察该图可知，对应正弦波波峰的大部分脉冲为高；随着正弦波数值的减小，脉冲在高和低之间逐渐分散开。



839

图29-43 输入为正弦波时Σ-Δ调制器的脉冲密度输出

如果图29-43中的正弦波频率是输入信号的最高频率部分，那么奈奎斯特速率转换器在一个正弦波周期内只需要两个采样点。而过采样转换器在相同时间里则需要很多采样点，以产生这个脉冲密度信号。

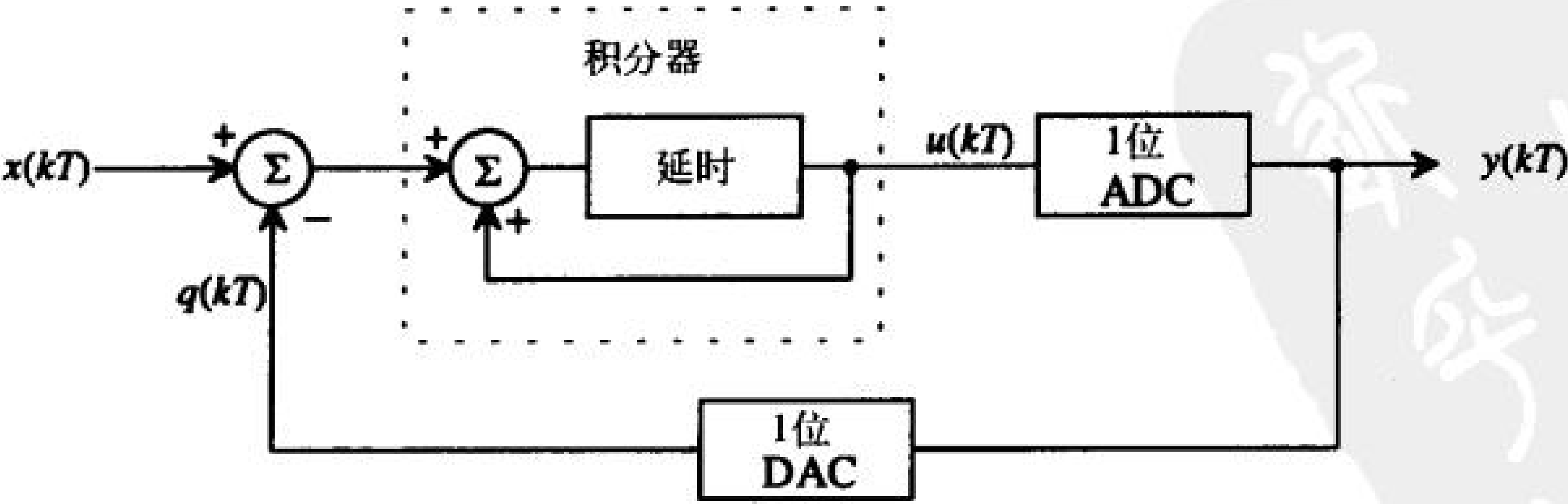
接着进行数字信号处理，这有两个目的，即滤除频带外的量化噪声和抑制频带外的寄生信号。滤波器输出被欠采样为奈奎斯特速率信号，这样，ADC的输出数字码代表了各个过采样周期内，输入模拟信号的平均值。过采样转换器的有效分辨率由信噪比和动态范围确定。

一阶Σ-Δ调制

前面已经描述了Σ-Δ调制的基本功能，现在分析其内部工作方式，并阐明为什么Σ-Δ调制有利于产生高分辨率数据。图29-44是一个基本的一阶Σ-Δ调制器，正向路径上是一个积分器和一个1位ADC，反馈路径是一个1位DAC，整个电路是一个单反馈的环路系统。图中变量均以时间T（采样频率的倒数）表示，k为整数。1位ADC仅仅是一个比较器，将模拟信号转换成高或低。1位DAC根据比较器的输出决定是V_{REF}还是$-V_{REF}$与输入相加。

简单推导一下输出y(kT)，可以说明Σ-Δ调制的优点。积分器的输出u(kT)可表示为:

$$u(kT) = x(kT-T) - q(kT-T) + u(kT-T) \tag{29-95}$$



840

图29-44 一阶Σ-Δ调制器

式中，$x(kT-T)-q(kT-T)$等于积分器的上次输入，$u(kT-T)$为积分器的上次输出。与第28章的讨论一样，1位ADC的量化误差定义为输出和输入之差:

$$Q_e(kT) = y(kT) - u(kT) \tag{29-96}$$

将式（29-95）代入式（29-96），可得输出响应$y(kT)$:

$$y(kT) = Q_e(kT) + x(kT-T) - q(kT-T) + u(kT-T) \tag{29-97}$$

一个理想的1位DAC具有以下特性：若输入$y(kT)=0$，则输出$q(kT)=-V_{REF}$；若$y(kT)=1$，则$q(kT)=V_{REF}$。事实上，1位DAC是由一对将V_{REF}或$-V_{REF}$与公共端连接的开关构成，故可认为DAC是理想的。因此，有：

$$y(kT) = q(kT) \tag{29-98}$$

结合式（29-96）和式（29-97），可将式（29-98）表示为：

$$y(kT) = x(kT-T) + Q_e(kT) - Q_e(kT-T) \tag{29-99}$$

由上式知，调制器的输出是延迟一个采样周期的输入信号加上前后两次量化误差的差值。这样，在Σ-Δ调制的实际功率中，消除了量化噪声的一阶量。

用一个频域的例子来进一步阐明这个重要的事实。假设Σ-Δ调制器可在s域建立模型，如图29-45所示。图中，理想积分器用$\frac{1}{s}$的传递函数表示，将1位ADC模型化为一个简单的误差源$Q_e(s)$，DAC仍设为理想的，即$y(s)$等于$q(s)$。再假设输入信号带宽远小于调制器带宽。根据简单反馈理论，$v_{OUT}(s)$为：

$$v_{OUT}(s) = Q_e(s) + \frac{1}{s}\cdot[v_{IN}(s) - v_{OUT}(s)] \tag{29-100}$$

解得$v_{OUT}(s)$为：

$$v_{OUT}(s) = Q_e(s)\cdot\frac{s}{s+1} + v_{IN}(s)\frac{1}{s+1} \tag{29-101}$$

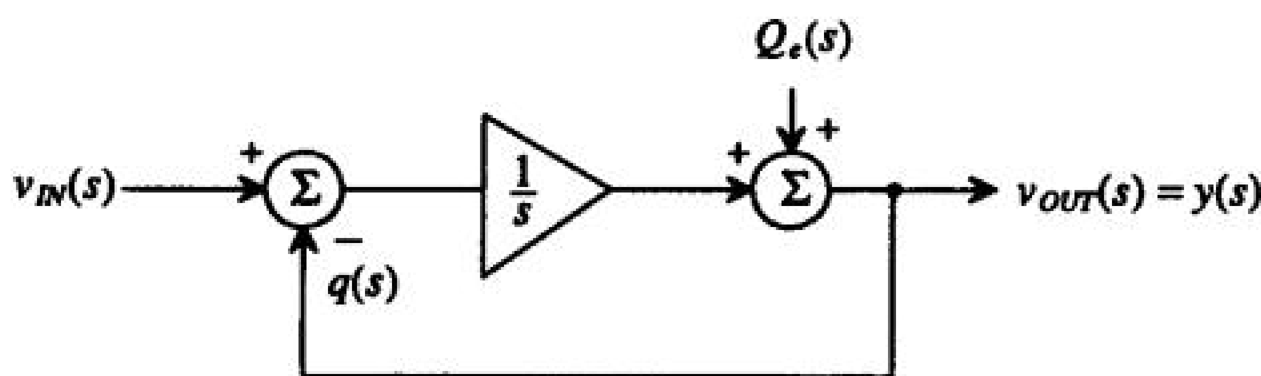


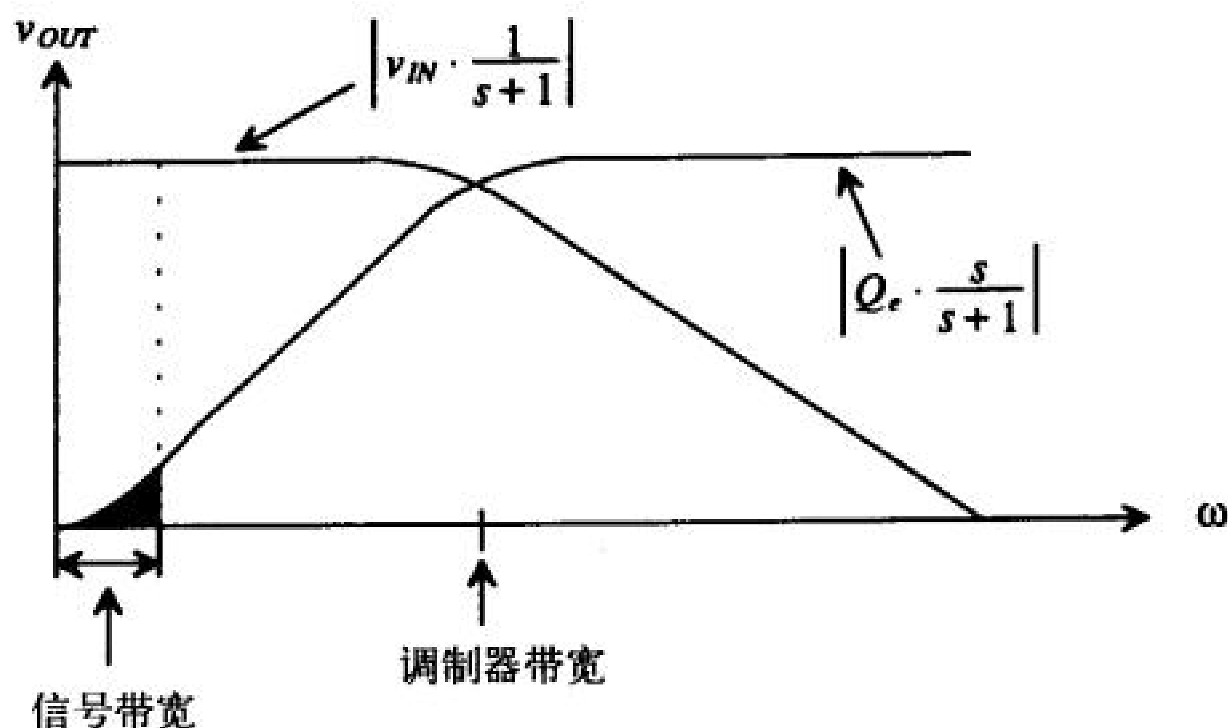
图29-45 一阶Σ-Δ调制器的频域模型

841

注意到v_{in}到v_{OUT}的转换函数类似于低通滤波器的特性，量化噪声的转换函数类似于高通滤波器的特性，如图29-46所示。由该图可以看出，与信号相关的区域，噪声很小而信号增益大；在信号带宽以外的高频区域，噪声增加。调制器基本上把噪声功率推到了信号带宽以外。这种高通特性被称为*噪声整形*（noise shaping），它是过采样ADC的一个基本概念。接着，数字滤波器进行低通滤波，消除带外量化噪声。这使得可以用较低频率采样过滤后的信号，产生最终的高分辨率输出。

由前面的讨论知，Σ-Δ调制器的输出为脉冲密度调制信号。下面我们分析一下产生输入平均值的环路工作机制。实际Σ-Δ调制器类似于图29-47。开关电容积分器（见第27.2节）提供求和及必要的延迟。1位ADC是一个简单的比较器；1位DAC是两个压控开关，从V_{REF}或$-V_{REF}$中选择一个，与输入相加。锁存比较器提供必要的环路延迟。注意：图中变量是图29-44中变

量的电压表示。积分器的功能是累积输入信号与DAC输出之差，若输入$v_x(kT)$为正直流电压，则积分器输出应该增加。反馈机制是：若积分器输出$v_u(kT)$为正，则1位ADC（即比较器）输出为低电平，DAC输出V_{REF}，与输入相减，把积分器输出拉向零。反之，若$v_u(kT)$为负，则由于反馈，积分器输出一直趋近于零。下面的例子将详细说明此调制过程。



842

图29-46　一阶Σ-Δ调制的频率响应

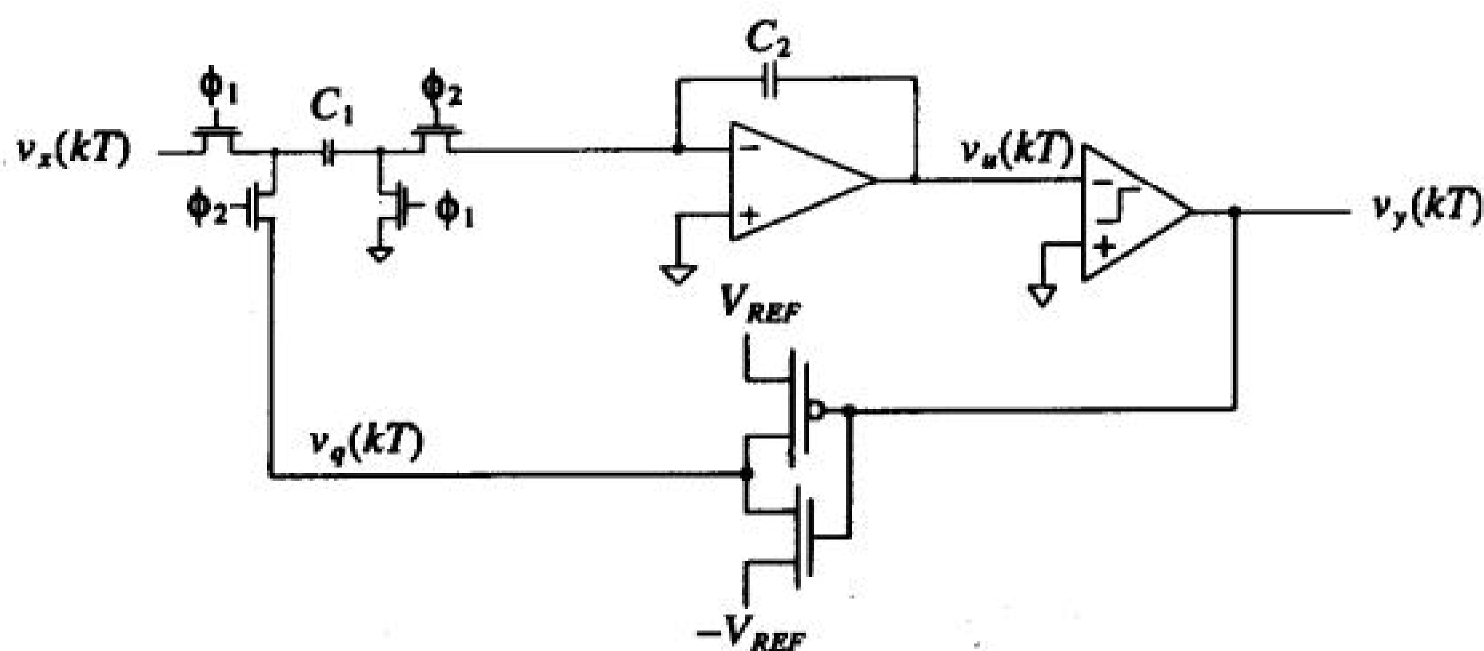


图29-47　用开关电容积分器实现的一阶Σ-Δ调制器

例29.16

一个普通一阶Σ-Δ调制器，设其输入电压$v_x(kT)$为正直流电压0.4V。给出Σ-Δ调制环路上各个变量的大小，并证明10个周期后，所有DAC输出的平均值为0.4V。假设DAC输出是±1V，积分器输出具有单位增益，且其初始值为0.1V，比较器的输出为±1V。

积分器输出等于前一次积分器输出和输入之和，故式（29-95）可表示为：

$$v_u(kT) = v_u(kT-T) + v_a(kT-T) \tag{29-102}$$

式中：

$$v_a(kT) = v_x(kT) - v_q(kT) \tag{29-103}$$

由式（29-96）和（29-98）得，量化误差$Q_e(kT)$为：

$$Q_e(kT) = v_q(kT) - v_u(kT) \tag{29-104}$$

初始条件为$k=0$时的变量值，积分器输出为0.1V。因此，ADC输出低电平，DAC输出为V_{REF}，

加法器输出$v_a(0)$为$0.4-V_{REF}=-0.6$V。

$k=1$的变量值仍从积分器输出开始计算。利用式（29-102），有：

$$v_u(T)=0.1+(-0.6)=-0.5\ \text{V}$$

843

由于积分器输出为负，比较器输出高电平，从0.4V中减去$-V_{REF}$后得$v_a(T)$。

以相同方法并结合上述公式继续下去，并记录每个周期的电压，如图29-48所示。经过10个周期调制后，$v_q(kT)$的平均值为：

$$\overline{v_q(kT)}=\frac{7-3}{10}=0.4\ \text{V}$$

观察图29-48知，$\overline{v_q(kT)}$在理想值0.4V左右摆动。如果继续计算，随着k增加，$\overline{v_q(kT)}$与0.4V的差值将变小。理想地，只要调制器的采样足够多，$\overline{v_q(kT)}$的偏差可以足够小。 ■

k	$v_a(kT)$	$v_u(kT)$	$v_q(kT)=v_y(kT)$	$Q_e(kT)$	$\overline{v_q(kT)}$
0	−0.6	0.1	1.0	0.9	1.0
1	1.4	−0.5	−1.0	−0.5	0
2	−0.6	0.9	1.0	0.1	0.333
3	−0.6	0.3	1.0	0.7	0.50
4	1.4	−0.3	−1.0	−0.7	0.20
5	−0.6	1.1	1.0	−0.1	0.333
6	−0.6	0.5	1.0	0.5	0.429
7	1.4	−0.1	−1.0	−0.9	0.25
8	−0.6	1.3	1.0	−0.3	0.333
9	−0.6	0.7	1.0	0.3	0.40

图29-48 一阶Σ-Δ调制过程

下面我们考察一个比较有趣的问题，即非理想比较器的影响。假设积分器输出小于比较器的失调电压，则比较器输出$v_y(kT)$与理想值相反。但随着k增加，此误差被平均化了，调制过程仍能收敛到正确结果。因此，过采样ADC的比较器不需要像奈奎斯特速率比较器那么精确。

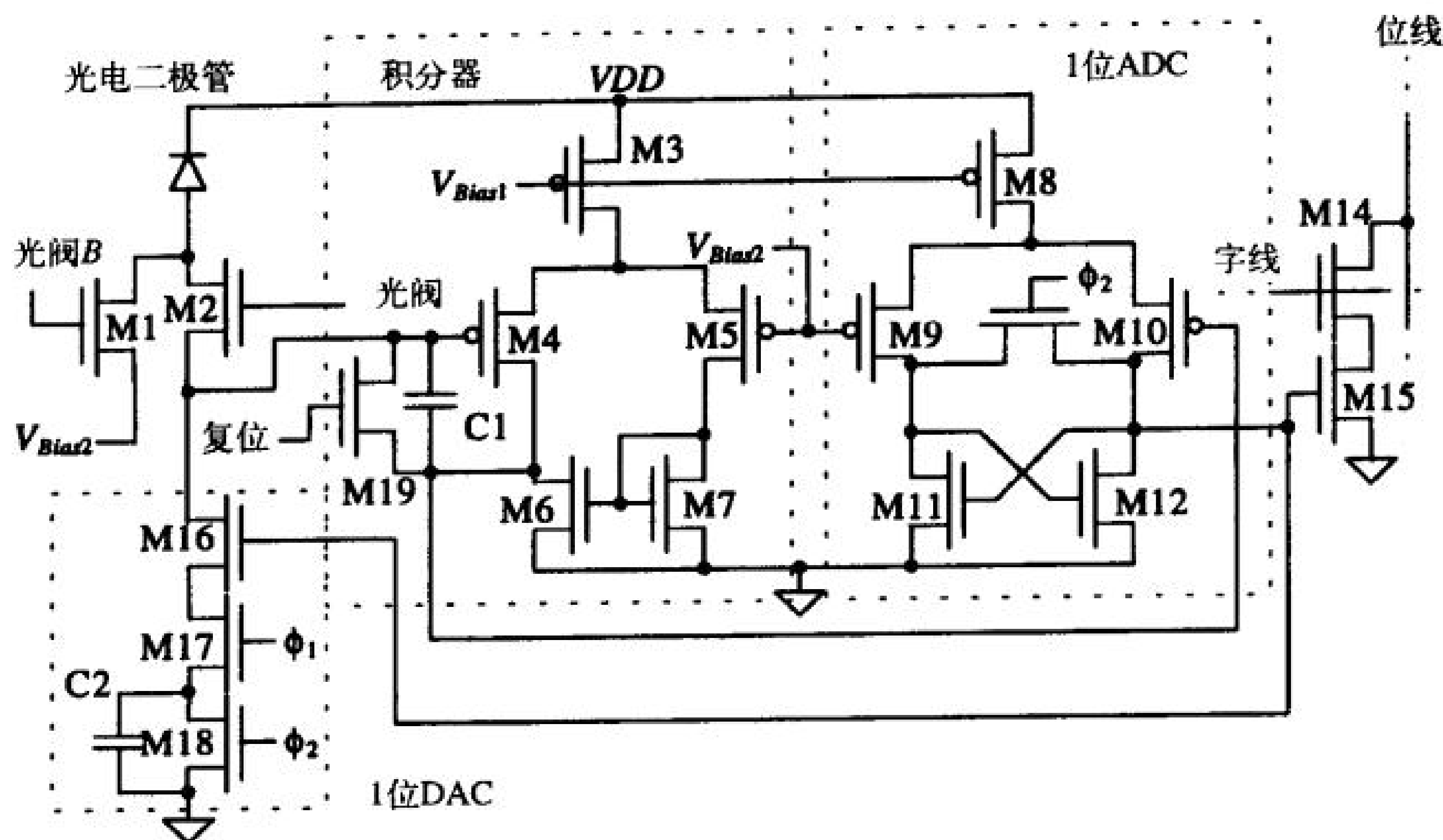
[20]给出了一个很有意思的一阶Σ-Δ调制的应用：在CMOS图像传感器中实现像素级的A/D转换。在大多数数字图像系统中，ADC被用于转换模拟信号，这些模拟信号的大小反映了由电荷耦合器件（Charge-Coupled Device，CCD）收集的光强度。或者用一个高速ADC转换CCD的所有信号；或者用一组并行的但性能较低的ADC，每个ADC处理传感器的某一列的模拟信号。这两种结构都会因传感器与转换器之间的模拟信号传输而导致性能下降。

844

一种优化的方法是给传感器的每个像素分配一个ADC。但由于数目很大，ADC的尺寸成了一个关键问题。作者使用1位一阶Σ-Δ调制器，把每个像素（包括一阶Σ-Δ）所需的面积减小到30μm × 30μm，其中的一阶Σ-Δ只需19个晶体管，如图29-49所示。

来自光电二极管的光电流在C_1上积分，并由简单差分放大器的半边提供增益。积分器输出被传送到一个钟控比较器（通过M10管），此比较器是第26.1节中第一个钟控比较器的粗略形式。比较器实现1位模数转换，并将结果传到晶体管M16、M17、M18，这几个MOS管实际上构成了一个1位开关电容DAC。这个设计巧妙的DAC并没有将比较器输出转换成模拟电压，而是采用C_2来转移C_1上的电荷，从而使积分器输出产生一个增量。当ϕ_2为高时，电容C_2放电。

当比较器输出高电平、且ϕ_1为高ϕ_2为低时，C_2直接与积分器输入相连，将电荷从C_1上移开。若比较器输出为低电平，则不会发生电荷转移。采用0.8μm工艺设计，此电路的SNR为52dB，动态范围为85dB。



845

图29-49 采用了一阶Σ-Δ调制的像素单元

高阶Σ-Δ调制

高阶Σ-Δ调制能够提供更大的噪声整形。二阶Σ-Δ调制器见图29-50所示。推导二阶转换函数可知，其输出为延迟的输入加上量化噪声Q_e的二阶差值（见习题29.38）。对于三阶调制器，只需再加一个类似于积分器A的积分器，其输出为延迟的输入加上量化噪声Q_e的三阶差值。

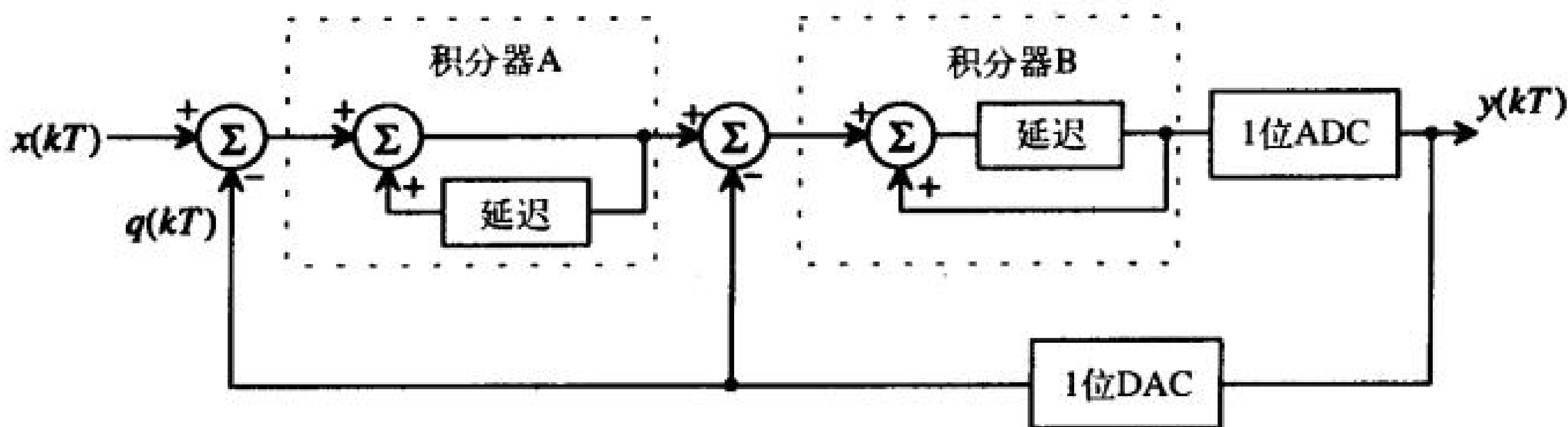


图29-50 二阶Σ-Δ调制器

图29-51给出了一阶、二阶、三阶调制的噪声整形函数。每条曲线下的阴影区域（实际是图29-46中黑色区域的放大）代表留在信号带宽内的噪声。可以看到，随着阶数的增加，更多的噪声被推向高频区，从而减小了信号带宽内的噪声量。需要强调的是，Σ-Δ调制并没有减少噪声，事实上，Σ-Δ调制增加了高频段的量化噪声。但因为几乎所有噪声都处于信号带宽以外，所以很容易被滤掉而只留一小部分在信号带宽之内。这一点很重要，因为Σ-Δ调制器不能被理解为滤波电路。

随着Σ-Δ调制阶数和过采样率的增加，分辨率也随之增大，如图29-52所示[21]。对应一阶调制，过采样率加倍能使动态范围增加9dB。根据式（28-28），这相当于分辨率增大了约1.5位。更高阶调制可有更大的分辨率增益。二阶调制采样率加倍可增加2.5位分辨率；对于三阶，

可增加3.5位。

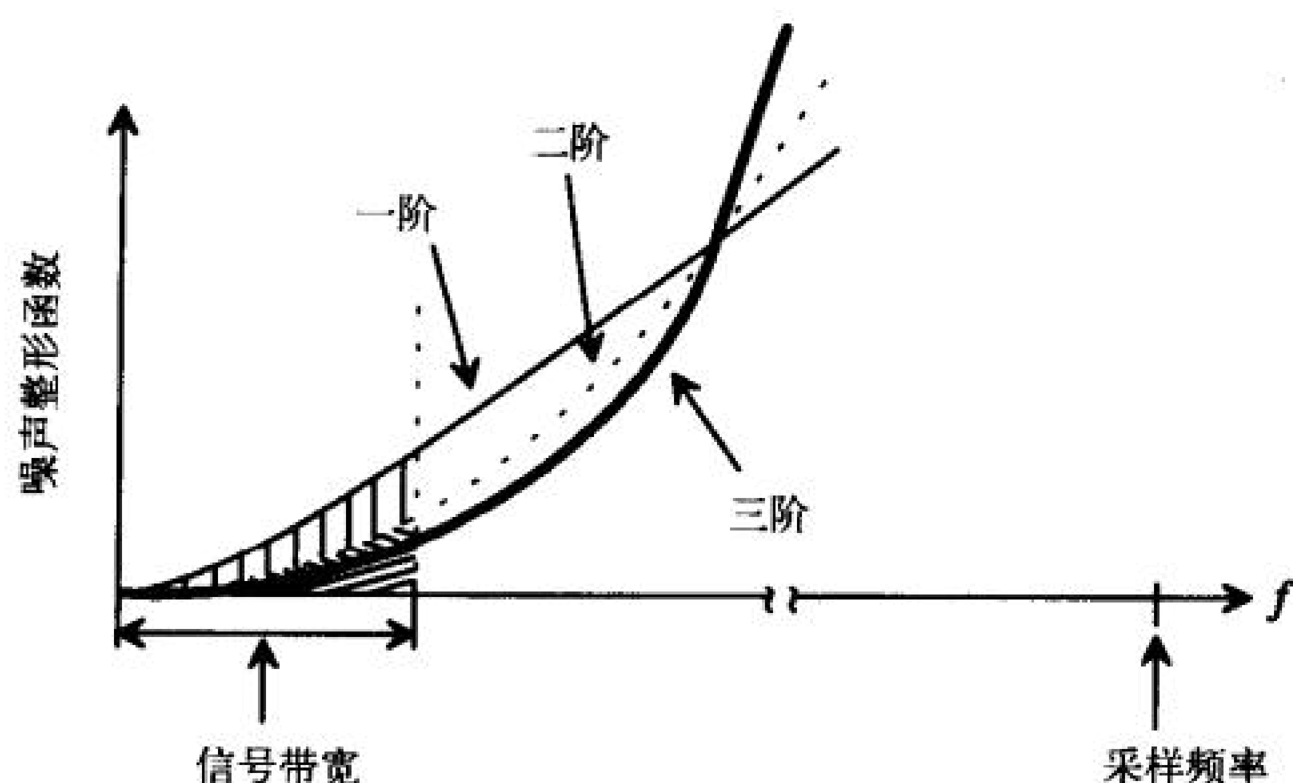


图29-51 一阶、二阶、三阶Σ-Δ调制器的噪声整形比较

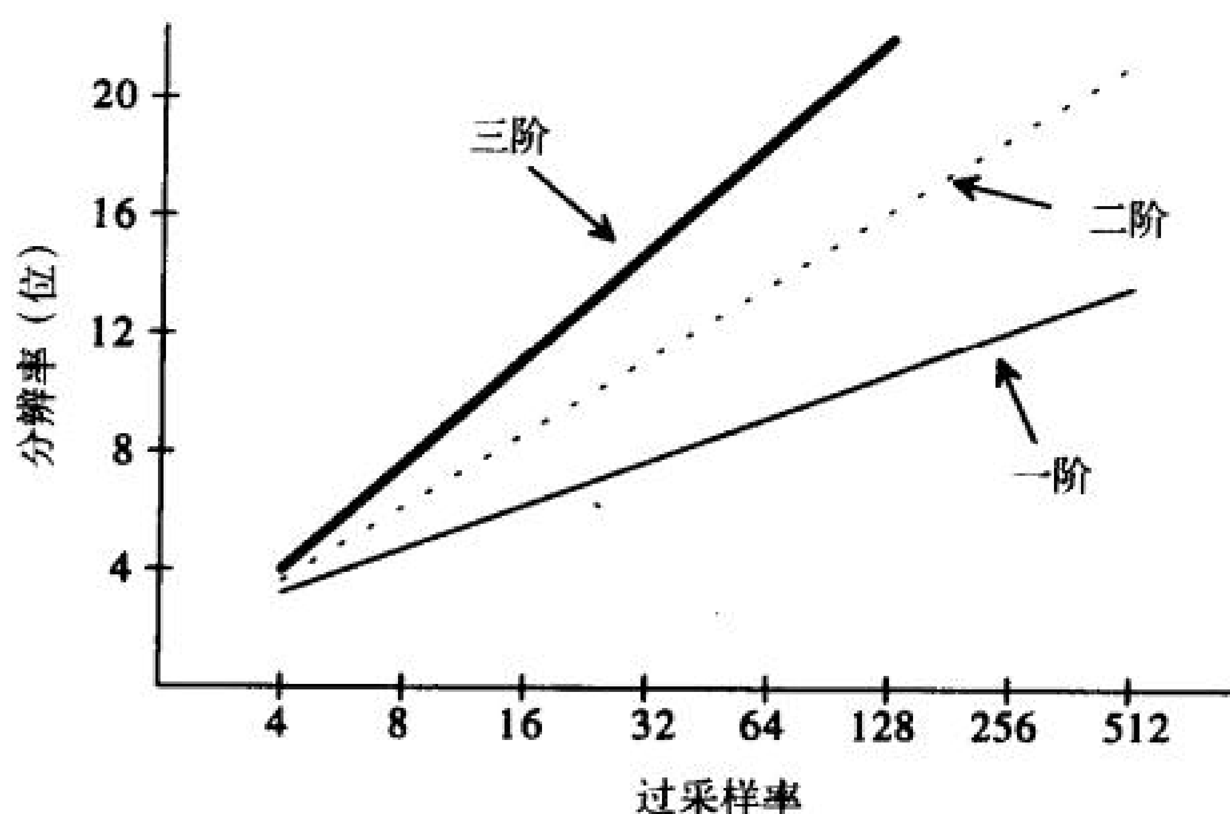


图29-52 一阶、二阶、三阶调制器在过采样率和分辨率方面的比较

理论上，通过增加积分器可以构成高阶Σ-Δ调制器。但对于任何采用反馈的系统，稳定性是一个关键问题，高阶Σ-Δ也不例外。为此，已经提出了若干新颖的拓扑结构，它们采用级联形式以保证电路的稳定性[22, 23]，但很多匹配问题有待解决。

846~847

参考文献

[1] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI - Design Techniques for Analog and Digital Circuits*, McGraw-Hill Publishing Co., 1990.

[2] R. E. Suarez, P. R. Gray, and D. A. Hodges, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques - Part II," *IEEE Journal of Solid State Circuits*, Vol. 10, No. 6, pp. 379-385, December 1975.

[3] J. Shyu, G. C. Temes, and F. Krummenacher, "Random Errors in MOS Capacitors and Current Sources," *IEEE Journal of Solid State Circuits*, Vol. 16, No. 6, pp. 948-955, December 1984.

[4] M. J. M. Pelgrom et. al, "25-Ms/s 8-bit CMOS A/D Converter for Embedded

Application," *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 8, pp. 879-886, August 1994.

[5] D. Choi et. al, "Analog Front-End Signal Processor for a 64 Mbits/s PRML Hard-Disk Drive Channel," *IEEE Journal of Solid-State Circuits*, Vol. 29, No. 12, pp. 1596-1605, December 1994.

[6] N. Shiwaku, "A Rail-to-Rail Video-band Full Nyquist 8-bit A/D Converter," *Proceedings of the 1991 Custom Integrated Circuits Conference*.

[7] B. Razavi and B. A. Wooley, "A 12-b, 5-MSample/s Two-Step CMOS A/D Converter," *IEEE Journal of Solid State Circuits*, Vol. 27, No. 12, pp. 1667-1678, December 1992.

[8] J. Dornberg, P. R. Gray, and D. A. Hodges, "A 10-bit, 5-Msample/s CMOS Two-Step Flash ADC," *IEEE Journal of Solid State Circuits*, Vol. 24, No. 2, pp. 241-249, April 1989.

[9] T. Shimizu, et al., "A 10-bit, 20 MHz Two-Step Parallel A/D Converter with Internal S/H," *IEEE Journal of Solid State Circuits*, Vol. 24, No. 1, pp. 13-20, February 1989.

[10] B. S. Song, S. H. Lee, and M. F. Tompsett, "A 10-bit 15 MHz CMOS Recycling Two-Step A/D Converter," *IEEE Journal of Solid State Circuits*, Vol. 25, No. 12, pp. 1328-1338, December 1990.

[11] B. S. Song, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit, 1-MSample/s Capacitor Error-Averaging Pipelined A/D Converter," *IEEE Journal of Solid State Circuits*, Vol. 23, No. 6, pp. 1324-1333, December 1988.

[12] S. H. Lewis and P. R. Gray, "A Pipelined 5-Msample/s 9 bit Analog-to-Digital Converter," *IEEE Journal of Solid State Circuits*, Vol. 22, No. 6, pp. 954-961, December 1987.

848

[13] S. Sutarja and P. R. Gray, "A Pipelined 13-bit, 250-ks/s, 5-V Analog-to-Digital Converter," *IEEE Journal of Solid State Circuits*, Vol. 23, No. 6, pp. 1316-1323, December 1988.

[14] P. Vorenkamp and J. P. M. Verdaasdonk, "A 10 b 50 Ms/s Pipelined ADC," *IEEE ISSCC Digest of Technical Papers*, pp. 34-35, February 1992.

[15] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10 Bit 50 MHz Pipelined CMOS A/D Converter with S/H," *IEEE Journal of Solid State Circuits*, Vol. 28, No. 3, pp. 292-300, March 1993.

[16] J. L. McCreary and P. R. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques - Part I," *IEEE Journal of Solid State Circuits*, Vol. 10, No. 6, pp. 371-379, December 1975.

[17] K. Bacrania, "A 12 Bit Successive-Approximation ADC with Digital Error Correction," *IEEE Journal of Solid State Circuits*, Vol. 21, No. 6, pp. 1016-1025, December 1986.

[18] M. Ismail and T. Fiez, *Analog VLSI Signal and Information Processing*, McGraw-Hill, 1994.

[19] B. E. Boser, "Design and Implementation of Oversampled Analog-to-Digital Converters," Ph.D. Dissertation, Stanford University, 1988.

[20] B. Fowler, "CMOS Area Image Sensors with Pixel Level A/D Conversion," Ph.D. Dissertation, Stanford University, October 1995.

[21] B. P. Brandt, *Oversampled Analog-to-Digital Conversion*, Integrated Circuits Laboratory, Technical Report No. ICL91-009, Stanford University, 1991.

[22] Y. Matsuya, K. Uchimura, et al, "A 16-bit Oversampling A/D Conversion Technology Using Triple Integration Noise Shaping," *IEEE Journal of Solid State Circuits*, Vol. 22, No. 6, pp. 921-929, December 1987.

[23] K. Uchimura et al, "Oversampling A-to-D and D-to-A Converters with Multistage Noise Shaping Modulators," *IEEE Transactions on Acoustics, Speech and Signal Processing*, pp. 1899-1905, December 1988.

习题

29.1 一个与图29-2a类似的电阻串DAC，电阻设计为500Ω。制作后因失配问题，实际阻值如下：$R_1 = 500$，$R_2 = 480$，$R_3 = 470$，$R_4 = 520$，$R_5 = 510$，$R_6 = 490$，$R_7 = 530$，$R_8 = 500$。确定DAC的最大INL和DNL（设$V_{REF} = 5\text{V}$）。

29.2 一个与图29-2b类似的8位电阻串DAC，使用1 kΩ标称电阻制作。若工艺所能提供的电阻匹配为1%，确定转换器的有效分辨率和最大INL和DNL（设$V_{REF} = 5\text{V}$）。 849

29.3 分别与图29-2a和图29-2b类似的两个3位电阻串DAC，比较它们产生8个输出所需的数字输入码。设计一个数字电路，使得3位二进制数字输入码能用于图29-2a所示的DAC。讨论这两种结构的优缺点。

29.4 作3位R-2R DAC的转换曲线，设$Rs = 1.1\text{k}\Omega$，$2Rs = 2\text{k}\Omega$。试问转换器的最大INL和DNL是多少？（假设所有开关都是理想的，且$V_{REF} = 5\text{V}$）。

29.5 设3位R-2R DAC的电阻完好匹配，$R = 1\text{k}\Omega$，$V_{REF} = 5\text{V}$。为了保证DAC具有3位分辨率，试确定可容许的最大开关电阻以及INL和DNL的值。

29.6 由于图29-5中的输出电压由流过R_F的电流决定，因此，被称为电流模R-2R DAC。图P29-6是一个N位电压模R-2R DAC。设计一个3位电压模DAC，并确定每个输入码（共8个）对应的输出电压。标出每个输入码所对应的各节点电压。假设$R = 1\text{k}\Omega$，$R_2 = R_1 = 10\text{k}\Omega$，$V_{REF} = 5\text{V}$。

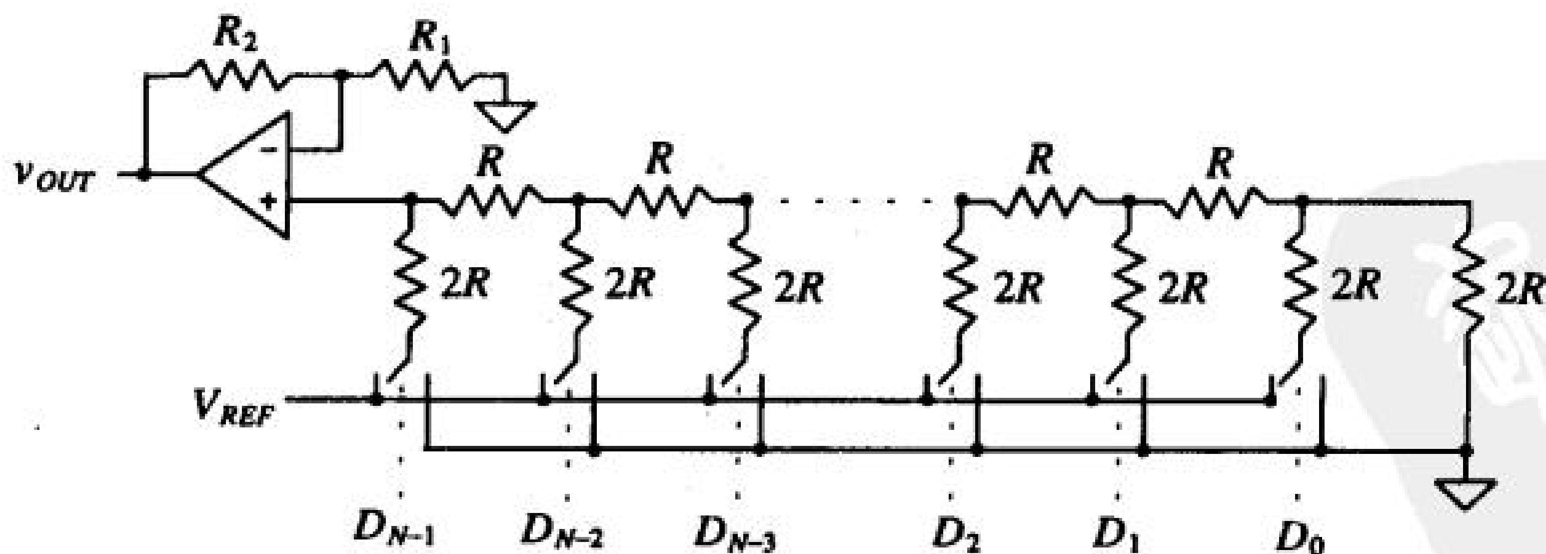


图 P29-6

29.7 设计一个如图29-9所示的3位电流导引型DAC。设每个电流源I为5mA，计算每个输入码对应的总电流。

29.8 某种工艺能使电流源匹配小于0.05%。确定采用这种工艺的电流导引型DAC（非二进制权重型）的最大分辨率。 850

29.9 设计一个采用二进制权重电流源的8位电流导引型DAC。设最小电流源的大小为1μA。为了保证*INL*小于或等于1/2LSB，确定对应MSB的电流源的取值范围。若要求*DNL*小于或等于1/2LSB，重做上面计算。

29.10 证明例29.6的3位电荷比例DAC具有与例29.3的R-2R DAC相同的输出电压增量。设V_{REF} = 5V，C = 0.5pF。

29.11 确定例29.7的6位电荷比例DAC对应如下输入的输出：D = 000010、000100、001000、010000。

29.12 设计一个采用分拆阵列的4位电荷比例DAC。设V_{REF} = 5V，C = 0.5pF。画出如下输入字对应的等效电路并确定输出电压：D = 0001、0010、0100、1000。假设与MSB相关的电容失配为4%，计算*INL*和*DNL*。

29.13 对于图29-17所示的循环转换器，如果反馈放大器的增益为0.45V/V，确定3位转换的增益误差。设V_{REF} = 5V。

29.14 假设加法器输出总比理想值大0.2V，且反馈支路的放大器具有理想增益0.5V/V，重做习题29.13。

29.15 假设加法器输出总比理想值大0.2V，且反馈支路的放大器具有增益0.45V/V，重做习题29.13。

29.16 设计3位流水线DAC，设V_{REF} = 5V。（a）若要保证DAC的*DNL*小于±1/2LSB，确定第一级放大器的最大和最小增益值，假设其余部分都是理想的；（b）针对第二级放大器，重做上述计算；（c）针对最后一级放大器，重做上述计算。

29.17 采用与习题29.16相同的DAC，（a）如果第一级S/H放大器输出的失调为0.25V，设其余部分理想，确定DAC的整体误差（失调、*DNL*、*INL*）；（b）针对第二级S/H放大器，重做上述计算；（c）针对最后一级S/H放大器，重做上述计算。

29.18 设计一个3位全并行ADC，且其量化误差以0LSB为中值。假如电阻匹配为5%，确定最坏情况的*DNL*和*INL*（设V_{REF} = 5V）。

29.19 采用习题29.18设计的ADC。假如所有比较器的失调大小相等但极性不一致，确定为保证*DNL*小于或等于±1/2LSB所容许的最大失调。

851

29.20 一个4位全并行ADC的电阻串失配如表P29-20所示。确定此转换器的*DNL*和*INL*。试问：ADC具有多少位分辨率？设V_{REF} = 5V。

表 P29-20

电阻	失配（%）
1	2
2	1.5
3	0
4	−1
5	−0.5
6	1
7	1.5
8	2
9	2.5
10	1
11	−0.5
12	−1.5
13	−2
14	0
15	1
16	1

29.21 为了保证两步ADC具有1/2LSB精度，试确定其余量放大器的开环增益，设分辨率为（a）4位；（b）8位；（c）10位。

29.22 一个4位两步全并行ADC使用两个独立的全并行ADC作为MSB和LSB ADC。假设其他部分都是理想的，证明：第一个转换器应比第二个转换器更精确。设$V_{REF}=5V$。

29.23 对于$V_{IN}=3V$、5V、7.5V、14.75V，重做例29.12。

29.24 对于$V_{IN}=1V$、4V、6V、7 V，$V_{REF}=8V$，重做例29.13。

29.25 设制作了一个8位流水线ADC，所有比较器的增益是2.1V/V而不是2V/V。若$V_{IN}=3V$，$V_{REF}=5V$，假设其他元件都是理想的，则数字输出是什么？ADC的*DNL*和*INL*是多少？

852

29.26 对于3位流水线ADC（每级1位），按以下三种情况做出转换曲线并确定*DNL*和*INL*，以说明保证第一级的精度最关键：（1）第一级余量放大器的增益设为2.2V/V；（2）第二级余量放大器增益设为2.2V/V；（3）第三级余量放大器增益设为2.2V/V。设每种情况下，其余元件都是理想的，且$V_{REF}=5V$。

29.27 一个8位单斜率ADC被用于转换一个缓慢变化的模拟信号，其参考电压为5V。若时钟频率是1MHz，那么最大转换时间是多少？模拟信号的最大频率是多少？可转换的模拟信号的最大值是多少？

29.28 一个8位单斜率ADC的时钟频率为1MHz，参考电压为5V。设其他元件都是理想的，RC的大小有何限制？为保证INL小于0.5LSB，时钟频率的容差是多少？

29.29 一个8位单斜率ADC用于转换与习题29.27相同的模拟信号，其参考电压为5V。设时钟频率为1MHz，最大转换时间是多少？可能的最小转换时间是多少？若模拟信号为2.5V，则总转换时间是多少？

29.30 与单斜率ADC相比，讨论双斜率ADC的优缺点。

29.31 一个4位逐次逼近ADC，$V_{REF}=5V$。对于$v_{in}=1V$、3V和全量程，重做例29.15。

29.32 对于习题29.31中的ADC，设$v_{in}=2.49V$。由于比较器失调，MSB转换出错。试问最后的数字输出是什么？若$v_{in}=0.3025V$，比较器使LSB转换错误，情况又如何？

29.33 设计一个与图29-39类似的3位电荷再分配ADC，计算在转换$v_{in}=2V$、3V、4V过程中，电容阵列上极板的电压，设$V_{REF}=5V$。假设所有元件都是理想的。画出确定每一位时的等效电路。

29.34 计算习题29.33中ADC的最大*INL*和*DNL*，假设电容阵列匹配为1%。设其余元件都是理想的，单位电容*C*为1pF。

29.35 为说明习题29.32和29.33中的电荷再分配ADC不受比较器失调影响，试给出$v_{in}=2V$的转换过程（设初始失调电压为0.3V）。

853

29.36 讨论奈奎斯特速率ADC和过采样ADC的差别。

29.37 编写简单的计算机程序或使用数学程序实现例29.16的分析过程。让程序运行$k=200$个时钟周期，说明$v_q(kT)$收敛于正确结果。问：需要多少个时钟周期，$v_q(kT)$的平均值才能达到理想值0.4V的8位精度以内？12位精度呢？16位精度呢？

29.38 证明图29-50所示的二阶Σ-Δ调制器的输出为：

$$y(kT)=x(kT-T)+Q_e(kT)-2Q_e(kT-T)+Q_e(kT-2T)$$

29.39 假设一个用在低轨道地球卫星上的一阶Σ-Δ ADC，遭受了射线辐射，射线中的一个高能粒子引起一个噪声突变，导致比较器在第10个时钟周期内做出了错误的判断。利用习题29.37的程序确定$v_q(kT)$的平均值达到理想值0.4V的12位精度以内所需的时钟周期数。相比于习题29.37的理想转换，需要多少个额外的时钟周期？

854

附　录

附录A　Orbit CN20工艺

本附录给出Orbit半导体公司[⊖]的2.0μm的双多晶硅、双金属的n阱CMOS工艺（简称为CN20工艺）。下面将给出该工艺的工艺规范、电学参数与SPICE参数。这些信息使学生可用实际的CMOS工艺来设计CMOS集成电路。表A-1与A-2给出了常用的符号与物理常数。

表A-1　倍数符号

名称	符号	数值
terra	T	10^{12}
giga	G	10^{9}
mega	MEG	10^{6}
kilo	k	10^{3}
milli	m	10^{-3}
micro	μ	10^{-6}
nano	n	10^{-9}
pico	p	10^{-12}
femto	f	10^{-15}
atto	a	10^{-18}

表A-2　常用的物理常量

名　称	符号	数值/单位
真空介电常数	ε_0	8.85aF/μm
硅介电常数	ε_{si}	$11.7\varepsilon_0$
SiO_2介电常数	ε_{ox}	$3.97\varepsilon_0$
SiN_3介电常数	ε_{Ni}	$\approx 16\varepsilon_0$
玻尔兹曼常数	k	1.38×10^{-23}J/K
电子电荷	q	1.6×10^{-19}C
温度	T	K
热电压	V_T	kT/q = 26mV@300K

A.1　工艺规范

表A-3给出了CN20工艺的物理间距、厚度及电容。这个表主要用来确定实际版图中的寄生电容。

⊖ Orbit Semiconductor, Inc., 1215 Bordeaux Drive, Sunnyvale, CA. 94089. Tel: (408) 744-1800.

表A-3 工艺中的厚度和间距

	厚度或间距（μm）	极板电容，单位aF/μm²			边缘电容，单位aF/μm		
		最小值	典型值	最大值	最小值	典型值	最大值
Poly1的栅氧化层	0.040+/−0.003	803	863	933			
Poly2的栅氧化层	0.046+/−0.005	677	750	842			
Poly1到衬底（FOX）	0.600+/−0.050	53	58	63	85	88	92
Poly1到poly2	0.070+/−0.008	443	493	557			
Poly1/2的厚度	0.400+/−0.030						
Metal1的厚度	0.600+/−0.060						
Metal2的厚度	1.150+/−0.120						
Metal1到poly1/2	0.900+/−0.100	35	38	43	84	88	93
Metal1到衬底	1.500+/−0.150	21	23	26	75	79	82
Metal1到扩散区	0.900+/−0.100	35	38	43	84	88	93
Metal2到poly1	1.900+/−0.200	16	18	20	83	87	91
Metal2到衬底	2.500+/−0.250	13	14	15	78	81	85
Metal2到扩散区	1.900+/−0.200	16	18	20	83	87	91
Metal2到Metal1	1.000+/−0.100	31	35	38	95	100	104

A.1.1 电学规范

下面的六个表给出了CN20工艺中PMOS管、NMOS管、横向双极结型晶体管的电学特性。

表A-4 PMOS管的电学参数

$L = 2\mu m$的PMOS管（poly1做栅）	最小值	典型值	最大值
阈值电压V_{THP}，（V）	0.6	0.8	1.1
$\gamma(V^{1/2})$	0.45	055	0.65
$KP = (MUZ)(C'_{ox})(\mu A/V^2)$	12	15	17
（$V_{SD} = 0.1V$且V_{SG}从2V到3V）			
最小沟道长度时的穿通电压（V）	10	14	16
亚阈值斜率$^{-1}$（mV/decade）	90	100	110
Delta length (DL) = $L_{drawn} - L_{eff}$ (μm)	0.7	0.4	0.1

表A-5 NMOS晶体管的电学参数

$L = 2\mu m$的NMOS管（poly1做栅）	最小值	典型值	最大值
阈值电压V_{THP}，（V）	0.6	0.8	1.1
$\gamma(V^{1/2})$	0.15	0.25	0.35
$KP = (MUZ)(C'_{ox})(\mu A/V^2)$	40	46	52
（$V_{DS} = 0.1V$且V_{GS}从2V到3V）			
最小沟道长度时的穿通电压（V）	10	14	16
亚阈值斜率$^{-1}$（mV/decade）	90	100	110
Delta length (DL) = $L_{drawn} - L_{eff}$ (μm)	0.6	0.3	0

856
~
857

表A-6 结型隔离的NPN晶体管的电学特性

n阱中的NPN晶体管 当I_B = 1μA时，β = 80 − 200	
BV_{EBO}	10V
BV_{CBO}	> 10V
BV_{CES}	> 10V
BV_{CBO}	> 60V
P基极的Xj	0.45 到0.5μm
n+发射极	= 0.3μm
集电极电阻R	1.0 ± 0.2kΩ/方块
P基极电阻	1.2 ± 0.2kΩ/方块
厄利电压	> 30V

表A-7 方块电阻

方块电阻（Ω/方块）	最小值	典型值	最大值
p+有源区	50	70	100
n+有源区	20	28	40
n阱（带场区注入）	2 000	2 500	3 000
Poly1	15	21	30
Poly2	18	25	30
Metal1	0.05	0.06	0.06
Metal2	0.02	0.03	0.03
p衬底(ohm-cm)	30	45	60

表A-8 接触电阻

接触电阻（单个接触孔，大小为2μm × 2μm）	最小值	最大值
Metal1到p+有源区	35	75
Metal1到n+有源区	20	50
Metal1到poly1	20	50
Metal1到poly2	20	50
Metal1到metal2	0.05	0.08

858

表A-9 场反型电压和击穿电压

场反型电压和击穿电压（V）	最小值	典型值	最大值
poly1做栅的N沟道场MOS管的反型电压	10	14	
metal1做栅的N沟道场MOS管的反型电压	10	14	
poly1做栅的P沟道场MOS管的反型电压		−14	−10
metal1做栅的P沟道场MOS管的反型电压		−14	−10
n扩散区和衬底之间的PN结的击穿电压		14	16
p扩散区和阱之间的PN结的击穿电压		15	18
n阱和p衬底之间的PN结的击穿电压		50	90

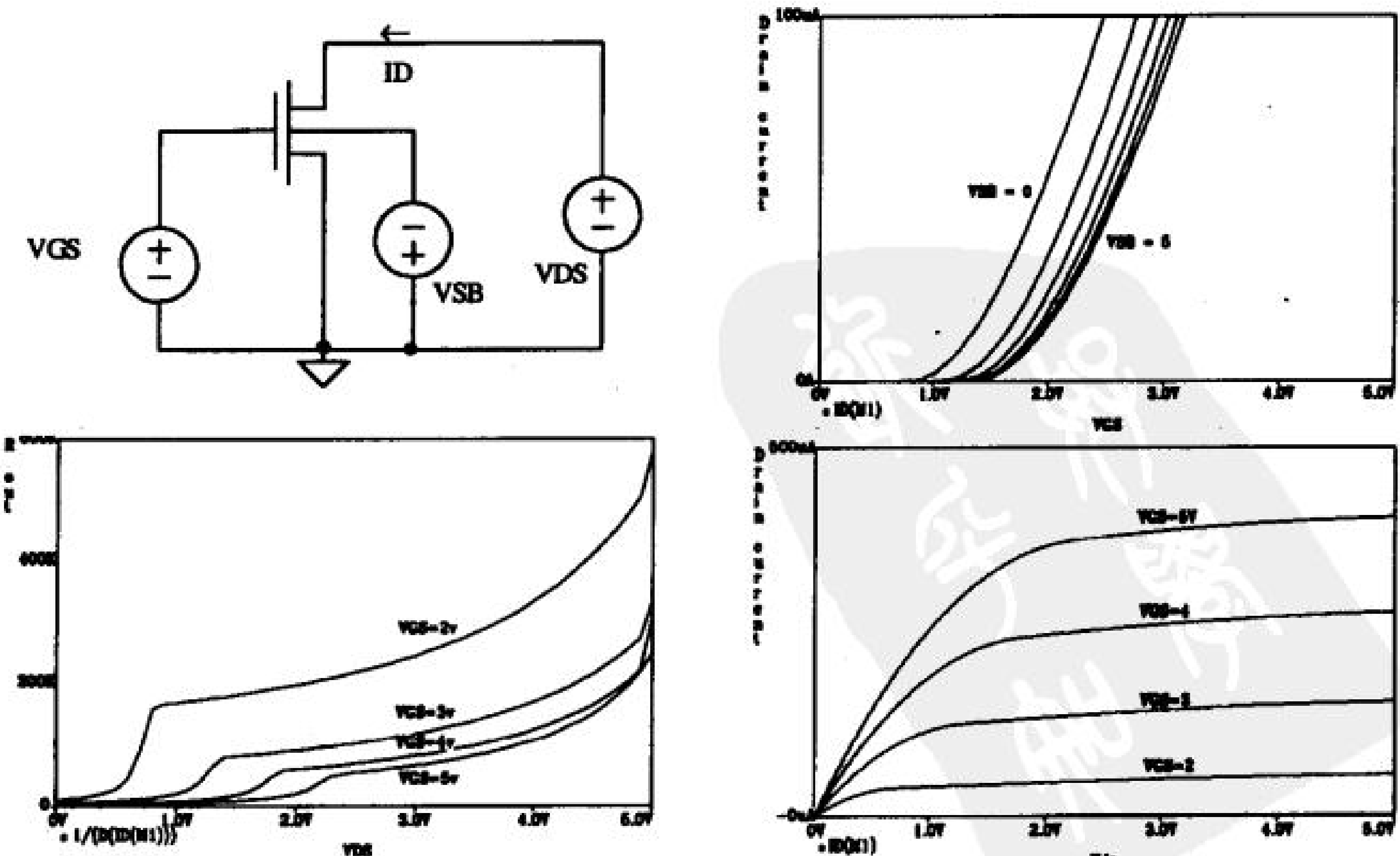
A.1.2 NMOS管的SPICE模型

这部分给出了NMOS管的Level 2和BSIM SPICE模型以及不同尺寸器件的特性。这些模型位于C:\Lasi6\Wcn20目录下的spice.inf文件中。

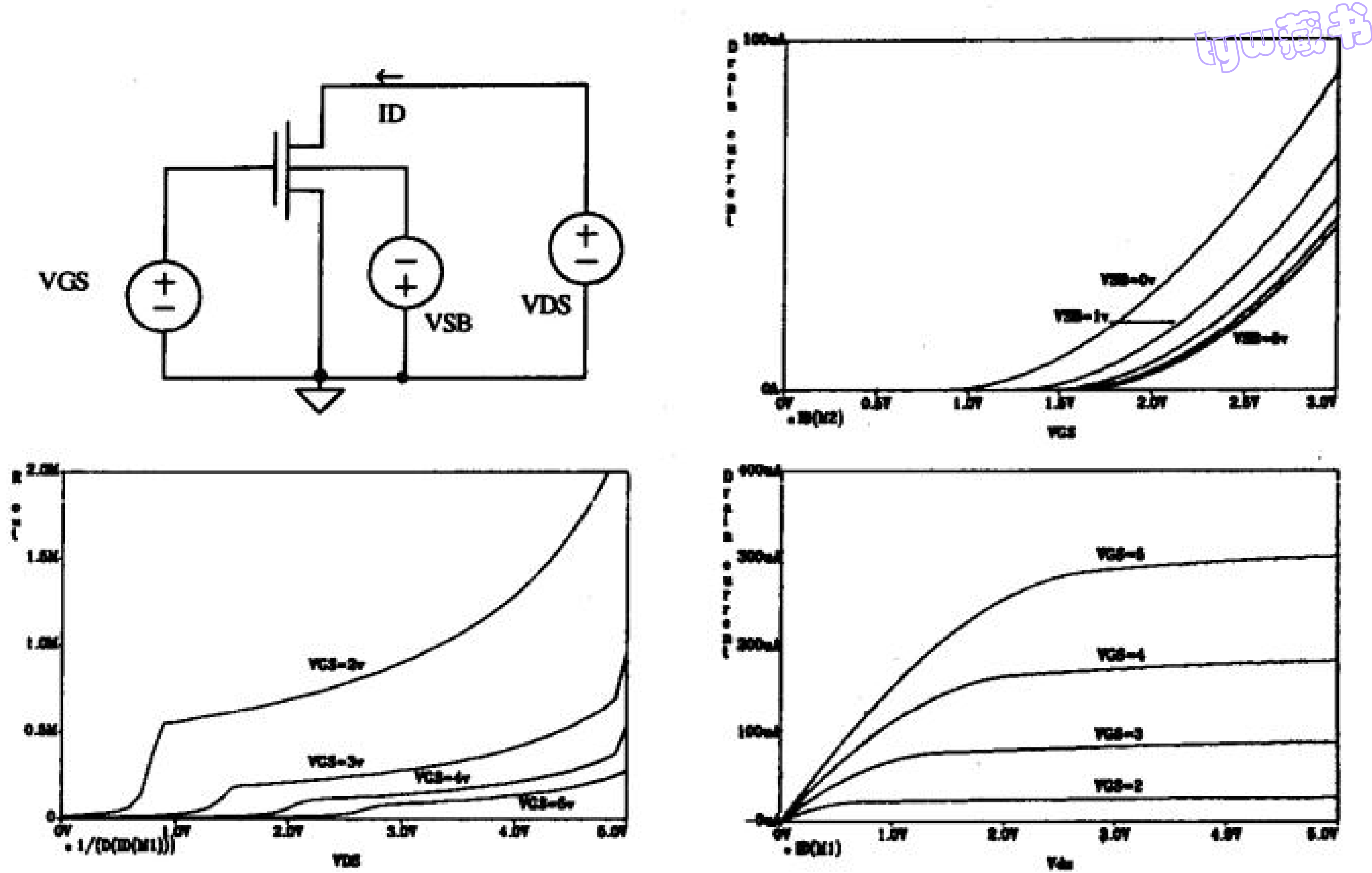
```
.MODEL CMOSN NMOS LEVEL=2
+PHI=0.600000 TOX=4.3500E-08 XJ=0.200000U  TPG=1
+ VTO=0.8756 DELTA=8.5650E+00 LD=2.3950E-07 KP=4.5494E-05
+ UO=573.1 UEXP=1.5920E-01 UCRIT=5.9160E+04 RSH=1.0310E+01
+ GAMMA=0.4179 NSUB=3.3160E+15 NFS=8.1800E+12 VMAX=6.0280E+04
+ LAMBDA=2.9330E-02 CGDO=2.8518E-10 CGSO=2.8518E-10
+ CGBO=4.0921E-10 CJ=1.0375E-04 MJ=0.6604 CJSW=2.1694E-10
+ MJSW=0.178543 PB=0.800000

.MODEL CMOSNB NMOS LEVEL=4
+vfb=   -9.73820E-01  lvfb=   3.67458E-01   wvfb=  -4.72340E-02
+phi=   7.46556E-01   lphi=   -1.92454E-24  wphi=  8.06093E-24
+k1=    1.49134E+00   lk1=    -4.98139E-01  wk1=   2.78225E-01
+k2=    3.15199E-01   lk2=    -6.95350E-02  wk2=   -1.40057E-01
+eta=   -1.19300E-02  leta=   5.44713E-02   weta=  -2.67784E-02
+muz=  5.98328E+02    dl=     6.38067E-001  dw=    1.35520E-001
+u0=    5.27788E-02,  lu0=    4.85686E-02   wu0=   -8.55329E-02
+u1=    1.09730E-01   lu1=    7.28376E-01   wu1=   -4.22283E-01
+x2mz=7.18857E+00     lx2mz= -2.47335E+00   wx2mz=7.12327E+01
+x2e=   -3.00000E-03  lx2e=   -7.20276E-03  wx2e=  -5.57093E-03
+x3e=  3.71969E-04    lx3e=   -3.16123E-03  wx3e=  -3.80806E-03
+x2u0= 1.30153E-03    lx2u0= 3.81838E-04    wx2u0=2.53131E-02
+x2u1= -2.04836E-02   lx2u1= 3.48053E-02    wx2u1=4.44747E-02
+mus=  7.79064E+02    lmus=  3.62270E+02    wmus= -2.71207E+02
+x2ms=-2.65485E+00    lx2ms= 3.68637E+01    wx2ms=1.12899E+02
+x3ms=1.18139E+01     lx3ms= 7.24951E+01    wx3ms=-5.25361E+01
+x3u1= 2.12924E-02    lx3u1= 5.85329E-02    wx3u1=-5.29634E-02
+tox=   4.35000E-002  temp=  2.70000E+01    vdd=    5.00000E+00
+cgdo= 3.79886E-010   cgso=  3.79886E-010   cgbo=   3.78415E-010
+xpart= 1.00000E+000
+n0=    1.00000E+000  ln0=    0.00000E+000  wn0=   0.00000E+000
+nb=    0.00000E+000  lnb=    0.00000E+000  wnb=   0.00000E+000
+nd=    0.00000E+000  lnd=    0.00000E+000  wnd=   0.00000E+000
+rsh=27.9  cj=1.037500e-04  cjsw=2.169400e-10  js=1.000000e-08  pb=0.8
+pbsw=0.8  mj=0.66036  mjsw=0.178543  wdf=0  dell=0
```

859

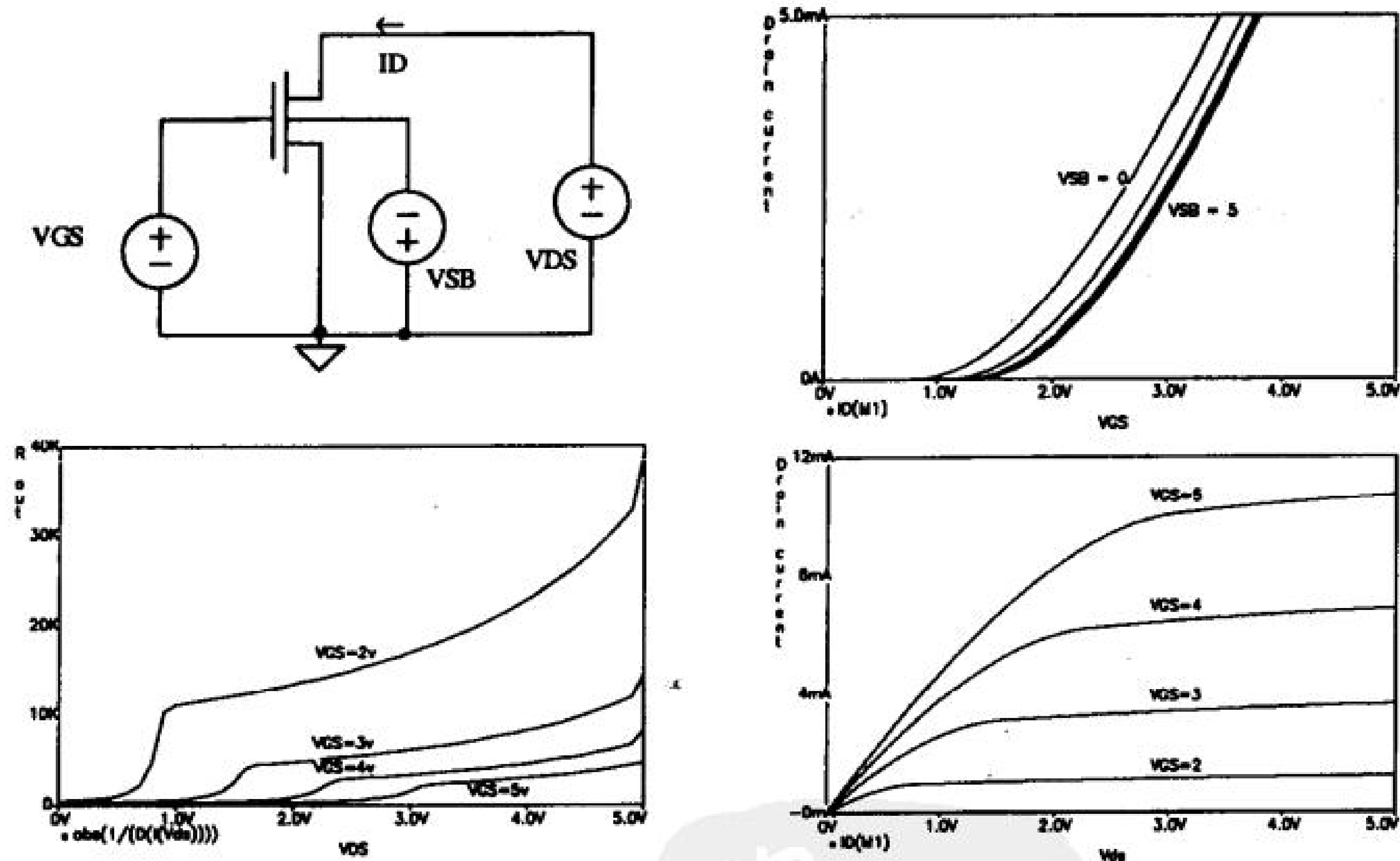


图A-1 $L = 2\mu m$、$W = 3\mu m$的NMOS管的特性



图A-2 $L=10\mu m$、$W=10\mu m$的NMOS管的特性

860



图A-3 $L=5\mu m$、$W=200\mu m$的NMOS管的特性

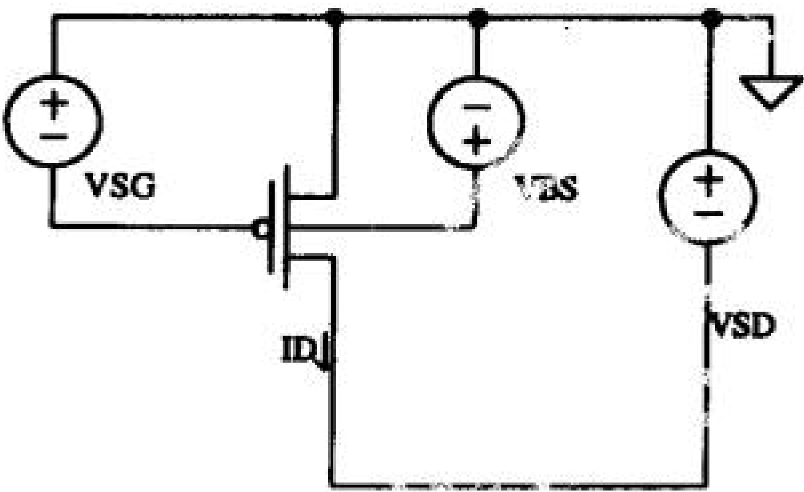
A.1.3 PMOS管的SPICE模型

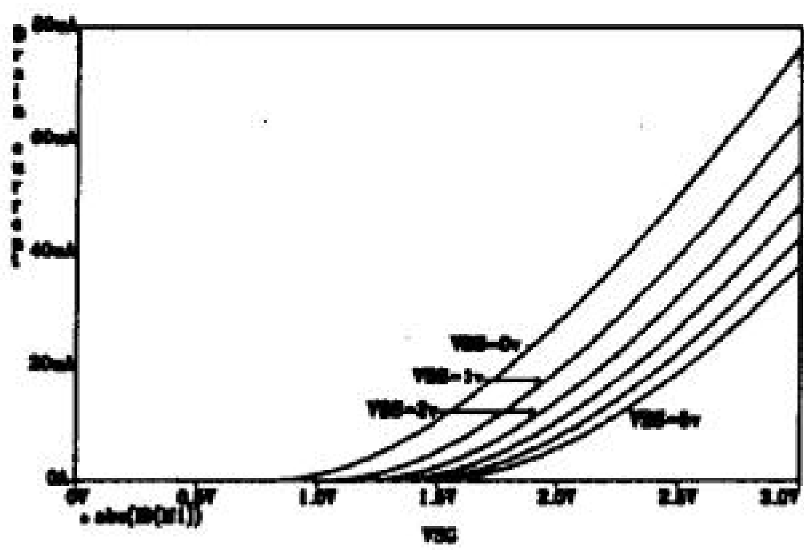
这部分给出了PMOS管的Level 2和BSIM SPICE模型以及不同尺寸器件的特性。这些模型位于C:\Lasi6\Wcn20目录下的spice.inf文件中。

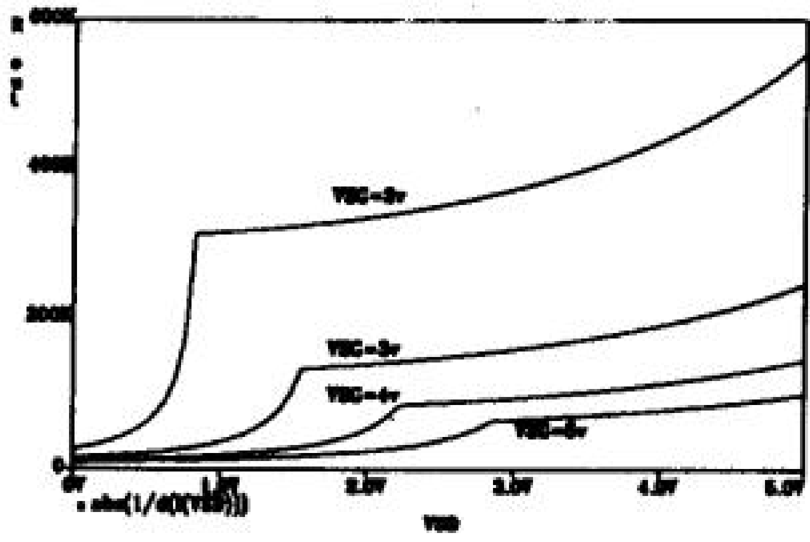
```
.MODEL CMOSP PMOS LEVEL=2
+PHI=0.600000 TOX=4.3500E-08 XJ=0.200000U TPG=-1
+ VTO=-0.8889 DELTA=4.8720E+00 LD=2.9230E-07 KP=1.5035E-05
+ UO=189.4 UEXP=2.7910E-01 UCRIT=9.5670E+04 RSH=1.8180E+01
+ GAMMA=0.7327 NSUB=1.0190E+16 NFS=6.1500E+12 VMAX=9.9990E+05
```

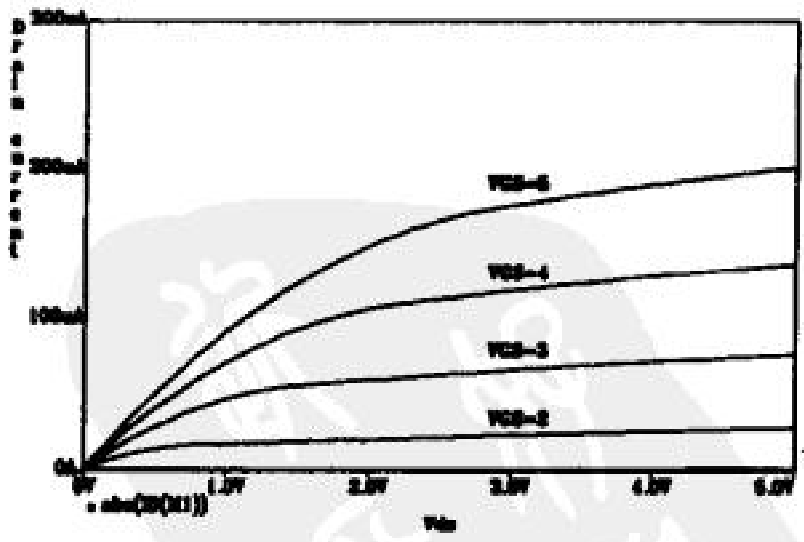
```
+ LAMBDA=4.2290E-02 CGDO=3.4805E-10 CGSO=3.4805E-10
+ CGBO=4.0305E-10 CJ=3.2456E-04 MJ=0.6044 CJSW=2.5430E-10
+ MJSW=0.244194 PB=0.800000
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is -3.6560E-07

.MODEL CMOSPB PMOS LEVEL=4
+vfb=   -2.65334E-01  lvfb=   6.50066E-02   wvfb=   1.48093E-01
+phi=   6.75823E-01   lphi=   -1.61406E-24  wphi=   8.03764E-24
+k1=    5.68962E-01   lk1=    3.88845E-02   wk1=    -5.33948E-02
+k2=    -5.52938E-02  lk2=    1.17906E-01   wk2=    -6.89149E-02
+eta=   -1.51784E-02  leta=   5.87976E-02   weta=   -7.51570E-04
+muz=   2.10669E+02   dl=     8.44240E-001  dw=     1.62551E-001
+u0=    1.04713E-01   lu0=    5.50950E-02   wu0=    -7.56659E-02
+u1=    1.46638E-02   lu1=    2.13581E-01   wu1=    -1.22509E-01
+x2mz=8.76354E+00     lx2mz= -3.64793E+00   wx2mz=4.30934E+00
+x2e=   -2.13631E-03  lx2e=   -2.94140E-03  wx2e=   -2.48293E-03
+x3e=   2.78813E-04   lx3e=   -1.60711E-03  wx3e=   -4.57237E-03
+x2u0= 3.93706E-03    lx2u0= -5.66051E-04   wx2u0=5.69621E-04
+x2u1= 1.07707E-04    lx2u1= 8.85125E-03    wx2u1=1.71537E-03
+mus=   2.06464E+02   lmus=   1.39151E+02   wmus= -4.95671E+01
+x2ms=5.86401E+00     lx2ms= 6.98887E+00,   wx2ms=5.55782E+00
+x3ms=-2.03430E-01    lx3ms= 1.16170E+01    wx3ms=-3.44342E+00
+x3u1= -1.17893E-02   lx3u1= 5.72098E-04    wx3u1=8.29791E-03
+tox=   4.35000E-002  temp=   2.70000E+01   vdd=    5.00000E+00
+cgdo= 5.02635E-010   cgso=   5.02635E-010  cgbo=   3.85017E-010
+xpart= 1.00000E+000
+n0=    1.00000E+000  ln0=    0.00000E+000  wn0=    0.00000E+000
+nb=    0.00000E+000  lnb=    0.00000E+000  wnb=    0.00000E+000
+nd=    0.00000E+000  lnd=    0.00000E+000  wnd=    0.00000E+000
+rsh=54.7  cj=3.245600e-04  cjsw=2.543000e-10  js=1.000000e-08  pb=0.8
+pbsw=0.8  mj=0.60438  mjsw=0.244194  wdf=0  dell=0
```









图A-4 $L = 2\mu m$、$W = 3\mu m$的PMOS管的特性

A.2 手算

这一部分说明如何用BSIM模型参数进行手算。

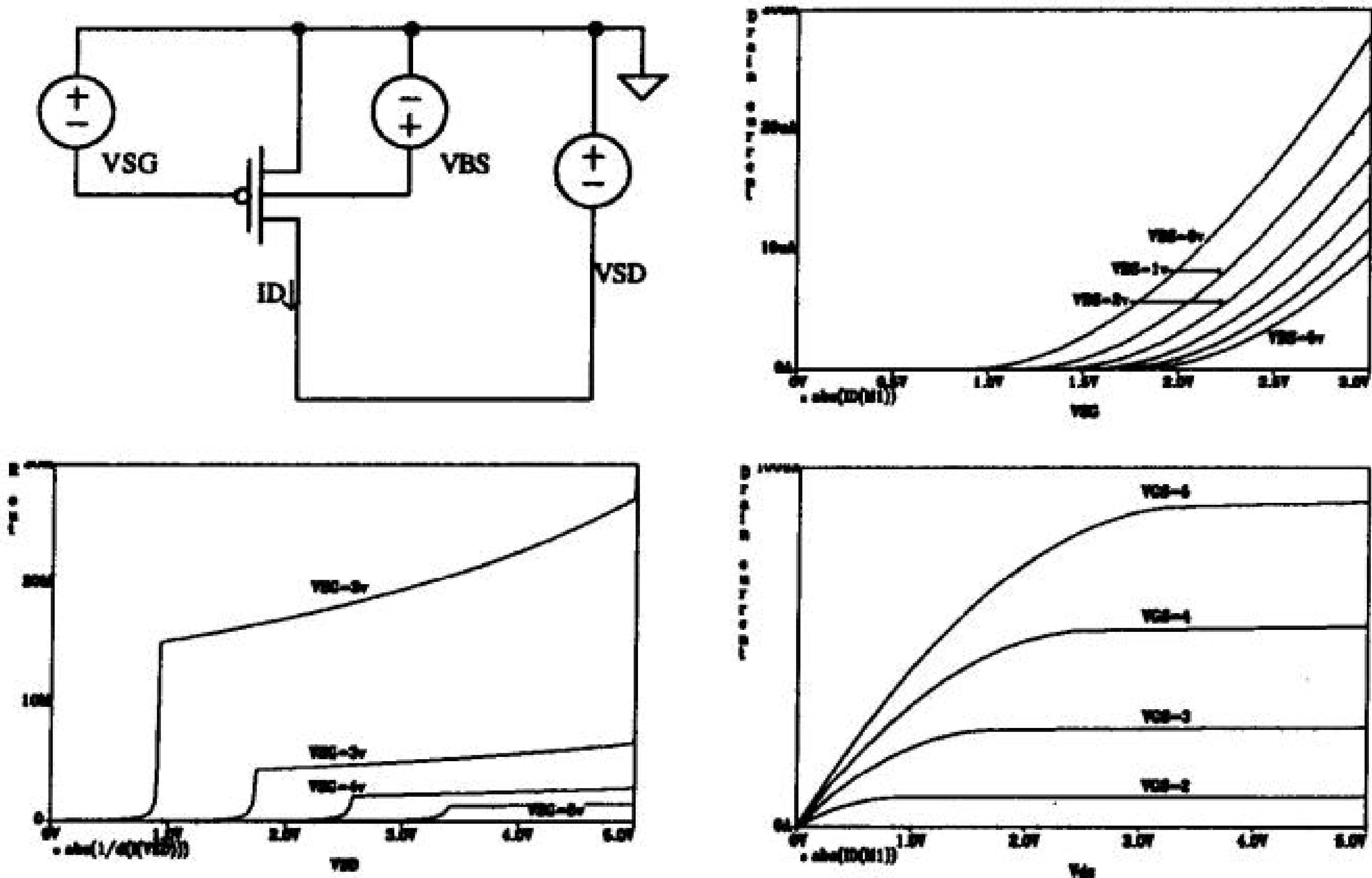
A.2.1　NMOS管的方程

直流方程

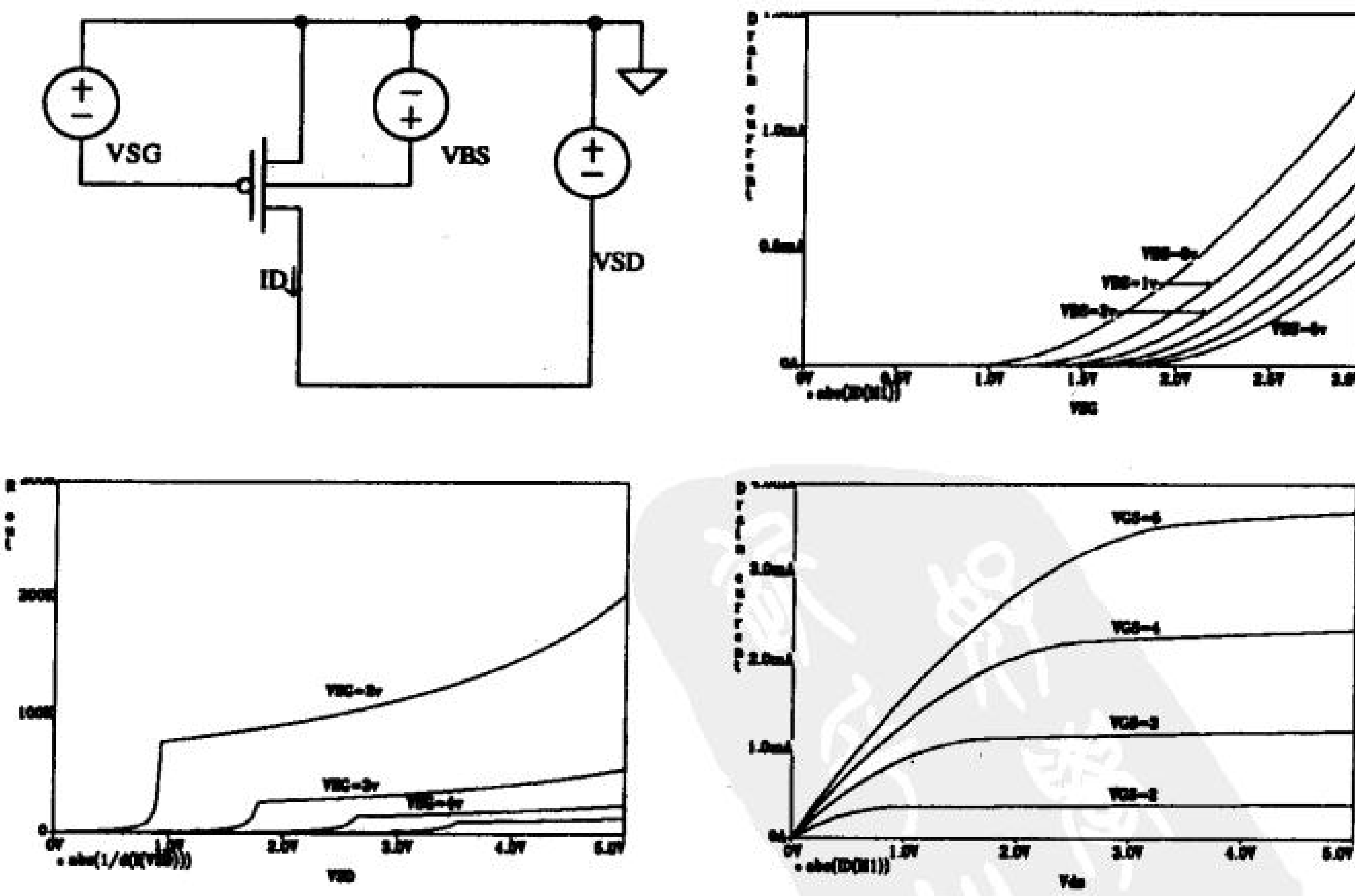
862

对于工作在饱和区的NMOS管，有：

$$V_{DS} > V_{GS} - V_{THN} \tag{A-1}$$



图A-5　$L = 10\mu m$、$W = 10\mu m$的PMOS管的特性



图A-6　$L = 5\mu m$、$W = 200\mu m$的PMOS管的特性

863

假设$\lambda = 0$，则漏电流为：

$$I_D = \frac{\beta}{2}(V_{GS} - V_{THN})^2 \tag{A-2}$$

式中，β为跨导参数，由下式给出：

$$\beta = KP \cdot \frac{W}{L} \tag{A-3}$$

当MOS管工作于线性区时：

$$V_{DS} < V_{GS} - V_{THN} \tag{A-4}$$

并且：

$$I_D = \beta\left((V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2}\right) \tag{A-5}$$

在饱和区和线性区的交界处，有：

$$V_{DS} = V_{GS} - V_{THN} = V_{DS,sat} \tag{A-6}$$

V_{DS}等于$V_{DS,sat}$时的漏电流被称为$I_{D,sat}$。若考虑沟道长度调制效应和迁移率调制效应，则工作于饱和区的NMOS管的漏电流为：

$$I_D = \frac{\beta}{2}(V_{GS} - V_{THN})^2\left[1 + (\lambda_c + \lambda_m)(V_{DS} - V_{DS,sat})\right] \quad (\text{当}V_{DS} > V_{GS} - V_{THN}\text{时}) \tag{A-7}$$

通常把沟道长度调制系数λ_c和迁移率调制系数λ_m合并为一个参数λ。对于某一沟道长度的MOSFET，λ的值根据经验确定。对于CN20工艺，根据沟道长度超过5μm的MOS管的特性，得到λ约为0.06V^{-1}。根据图A-1、A-2、A-3可知，λ与V_{DS}紧密相关。

用BSIM模型参数计算V_{THN}和KP

NMOS管的阈值电压V_{THN}是源-衬电压V_{SB}的函数。由BSIM模型参数，得：

$$V_{THN} = VFB + PHI + K1 \cdot \sqrt{PHI + V_{SB}} - K2 \cdot (PHI + V_{SB}) \tag{A-8}$$

使用前面一节给出的NMOS管的BSIM模型参数值，并假设$V_{SB} = 0$，得：

$$V_{THN} \approx 0.83 \text{ V} \tag{A-9}$$

用表A-2给出的氧化层介电常数以及BSIM模型参数中的氧化层厚度，可求得单位面积的氧化层电容为：

864

$$C'_{ox} = \frac{\varepsilon_{ox}}{TOX} = \frac{35.13 \text{ aF/μm}}{0.0435 \text{ μm}} \approx 800 \frac{\text{aF}}{\text{μm}^2} \tag{A-10}$$

NMOS管的跨导参数KP可用下式估算：

$$KP = MUZ \cdot C'_{ox} = \frac{598 \text{ cm}^2}{\text{V} \cdot \text{s}} \cdot \frac{10^8 \text{μm}^2}{\text{cm}^2} \cdot \frac{800 \text{ aF}}{\text{μm}^2} \approx 50 \frac{\text{μA}}{\text{V}^2} \tag{A-11}$$

小信号参数

MOS管的小信号跨导与直流工作点有关，工作在强反型状态时：

$$g_m = \beta(V_{GS} - V_{THN}) = \sqrt{2\beta I_D} \tag{A-12}$$

工作在亚阈值区时:

$$g_m = \frac{I_D}{V_T}. \tag{A-13}$$

阈值电压随源-衬电压的变化而改变，由此引起的体跨导为:

$$g_{mb} = g_m \cdot \eta \tag{A-14}$$

式中:

$$\eta = \frac{K1}{2\sqrt{PHI + V_{SB}}} - K2 \tag{A-15}$$

当V_{SB}较大时，小信号参数η可能为负值，这时，我们令$g_{mb} = 0$；也就是说，当V_{SB}较大时，交流小信号v_{sb}不会引起阈值电压V_{THN}的显著变化。观察图A-1、A-2、A-3可知，阈值电压的确会随着V_{SB}的增大而趋于一个恒值。

小信号输出电阻可用下式计算:

$$r_o = \frac{1}{\lambda I_D} \tag{A-16}$$

通常，λ的值与MOS管的源漏电压密切相关（见图A-1、A-2、A-3），当MOS管的沟道长度大于5μm时，取λ为$0.06V^{-1}$，这是一个很好的近似。

A.2.2 PMOS管的方程

直流方程

在给出PMOS管的直流方程之前，先说明一下：本附录中，我们假设PMOS管与NMOS管的阈值电压都为正数，下面与PMOS管相关的所有电压与电流也是正数。当PMOS管工作于饱和区时，有:

865

$$V_{SD} > V_{SG} - V_{THP} \tag{A-17}$$

假设λ = 0，则PMOS管的漏电流为:

$$I_D = \frac{\beta}{2}(V_{SG} - V_{THP})^2 \tag{A-18}$$

式中:

$$\beta = KP \cdot \frac{W}{L} \tag{A-19}$$

当PMOS管工作于线性区时，有:

$$V_{SD} < V_{SG} - V_{THP} \tag{A-20}$$

此时，漏电流为:

$$I_D = \beta\left((V_{SG} - V_{THP})V_{SD} - \frac{V_{SD}^2}{2}\right) \tag{A-21}$$

使用BSIM模型参数计算V_{THP}与KP

PMOS管的阈值电压可用下式计算：

$$V_{THP} = VFB + PHI + K1 \cdot \sqrt{PHI + V_{BS}} - K2 \cdot (PHI + V_{BS}) \tag{A-22}$$

当$V_{BS} = 0$时，由前一节给出的BSIM模型参数，可得：

$$V_{THP} \approx 0.91\text{V} \tag{A-23}$$

PMOS管的跨导参数KP为：

$$KP = MUZ \cdot C'_{ox} \approx 17 \frac{\mu\text{A}}{\text{V}^2} \tag{A-24}$$

小信号参数

PMOS管的小信号跨导为：

$$g_m = \beta(V_{SG} - V_{THP}) = \sqrt{2\beta I_D} \tag{A-25}$$

体跨导为：

$$g_{mb} = g_m \cdot \eta \tag{A-26}$$

式中，η为：

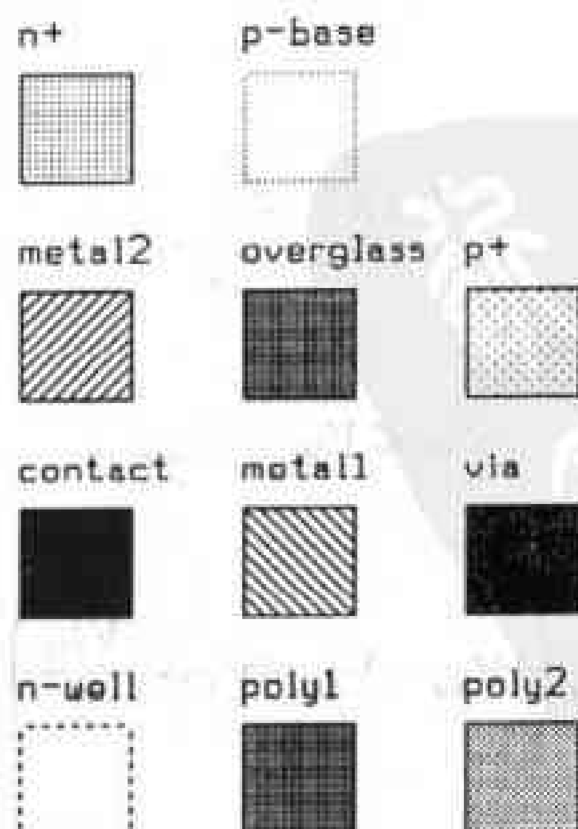
$$\eta = \frac{K1}{2\sqrt{PHI + V_{BS}}} - K2 \tag{A-27}$$

866

与NMOS管情形相同，当η为负值时，取$g_{mb}=0$。PMOS管的输出电阻由式（A-16）计算得到。当PMOS管的沟道长度超过5μm时，取λ为0.06V^{-1}，这是一个很好的近似。

A.3 设计规则

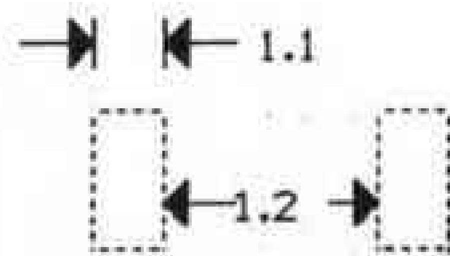
本附录给出的设计规则是Orbit的实际设计规则的简化版本。根据这些简化的设计规则，用设计规则检查工具LasiDrc和检查文件“cn20.drc”，可以对版图进行设计规则检查。上述检查工具和检查文件在Idaho大学的学生芯片设计和研究项目中已成功地使用了好多年。该工艺被MOSIS称为“FORESIGHT-CN20”。



867

图A-7 各版图层的名称、填充图案和外框

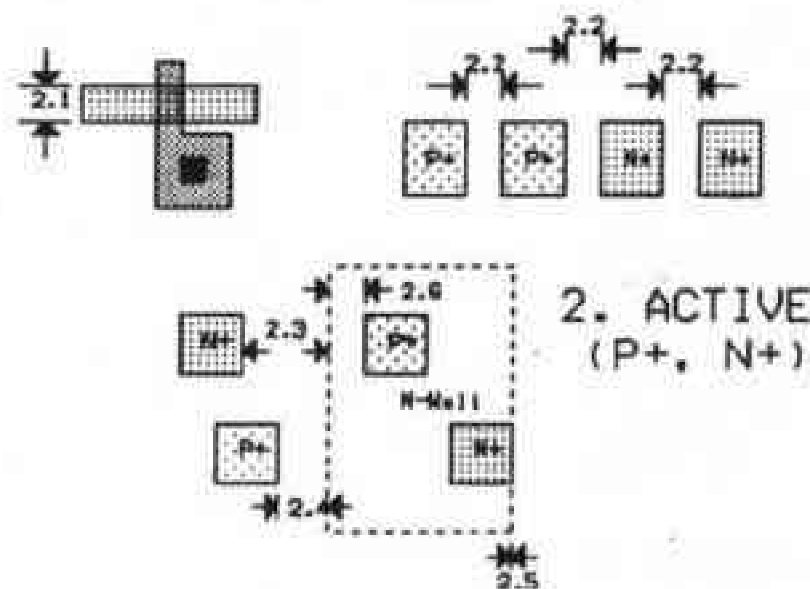
	microns	check#
1.1 WIDTH	3.0	1
1.2 SPACE	9.0	2



1. N-WELL

图A-8 N阱的设计规则以及用LasiDrc工具进行设计规则检查时对应的检查序号

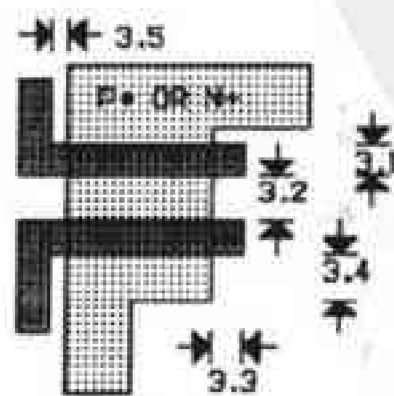
	microns	check #
2.1 WIDTH	3.0	3
2.2 ACTIVE TO ACTIVE	3.0	4
2.3 N+ ACTIVE TO N-WELL	7.0	5
2.4 P+ SUB. CONTACT TO N-WELL	4.0	6
2.5 N-WELL TO N+ WELL TIE DOWN	0.0	7
2.6 N-WELL OVERLAP OF P+ ACTIVE	3.0	8



图A-9 有源区的设计规则

868

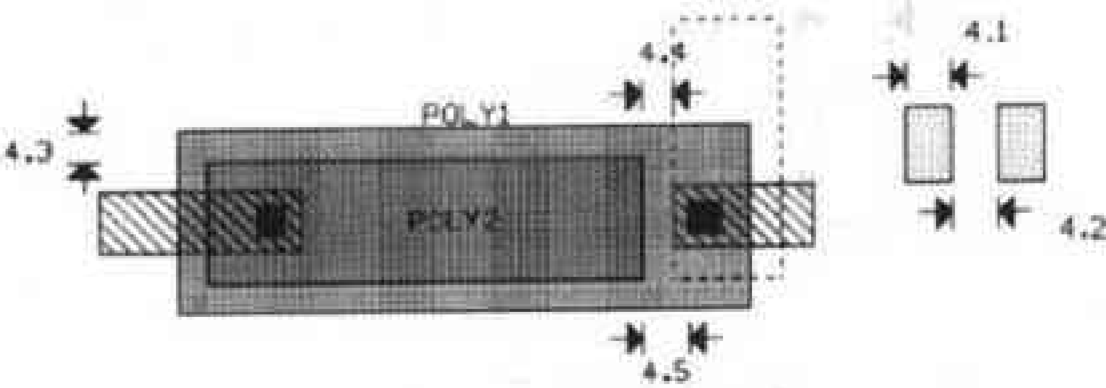
3.1 WIDTH	2.0	9
3.2 SPACE	3.0	10
3.3 GATE OVERLAP OF ACTIVE	2.0	11
3.4 ACTIVE OVERLAP OF GATE	3.0	3
3.5 FIELD POLY1 TO ACTIVE	1.0	not tested



3. POLY1

图A-10 Poly1的设计规则

	microns	check#
4.1 WIDTH	3.0	12
4.2 SPACE	3.0	13
4.3 POLY1 OVERLAP OF POLY2	2.0	14
4.4 SPACE TO ACTIVE OR WELL EDGE	2.0	15
4.5 SPACE TO POLY1 CONTACT	3.0	16

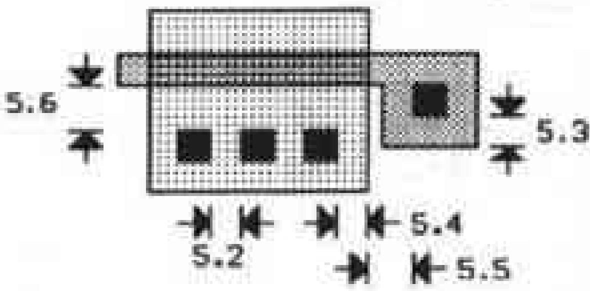


4. POLY2

869

图A-11 Poly2的设计规则

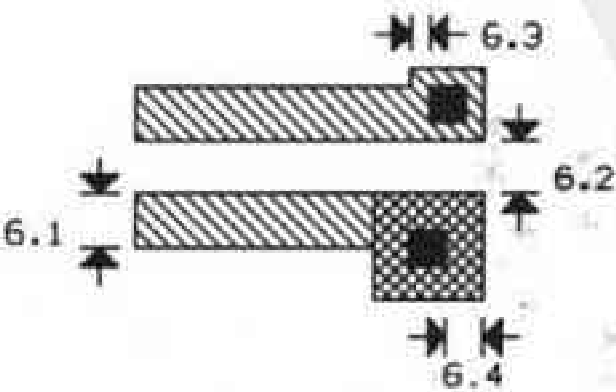
	microns	check#
5.1 CONTACT SIZE (EXACTLY)	2X2	17
5.2 SPACING	2.0	18
5.3 POLY OVERLAP	2.0	19
5.4 ACTIVE OVERLAP	2.0	20
5.5 POLY CONTACT TO ACTIVE EDGE	3.0	21
5.6 ACTIVE CONTACT TO GATE	3.0	22



5. CONTACT

图A-12 接触孔（Contact）的设计规则

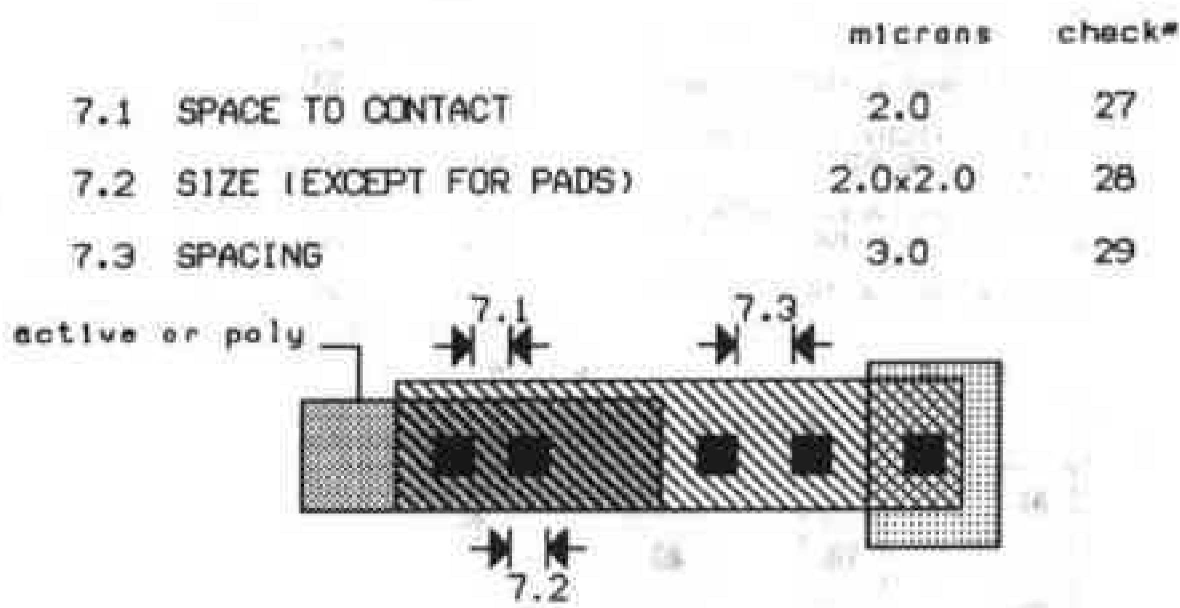
	microns	check#
6.1 WIDTH	3.0	23
6.2 SPACING	3.0	24
6.3 OVERLAP OF CONTACT	1.0	25
6.4 OVERLAP OF VIA	2.0	26



6. METAL 1

870

图A-13 Metal1的设计规则

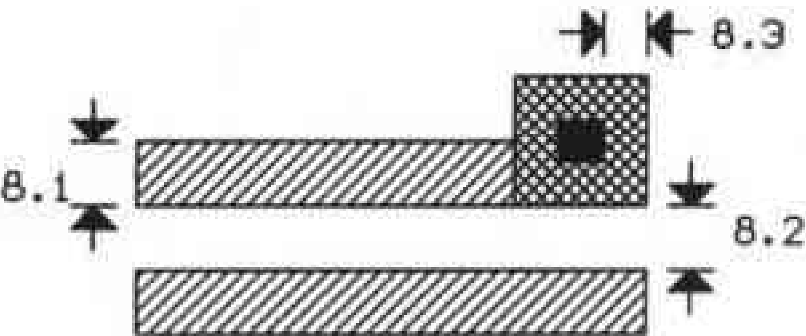


		microns	check#
7.1	SPACE TO CONTACT	2.0	27
7.2	SIZE (EXCEPT FOR PADS)	2.0x2.0	28
7.3	SPACING	3.0	29

7. VIA

图A-14 通孔（Via）的设计规则

		microns	check#
8.1	WIDTH	3.0	30
8.2	SPACE	3.0	31
8.3	METAL2 OVERLAP OF VIA	2.0	32

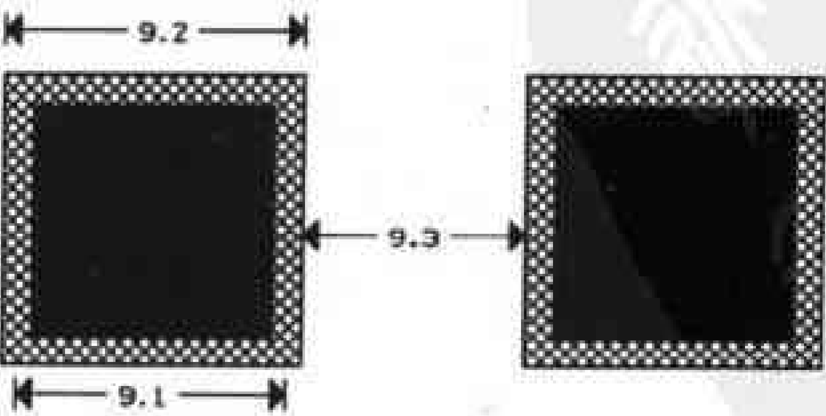


8. METAL 2

图A-15 Metal2的设计规则

871

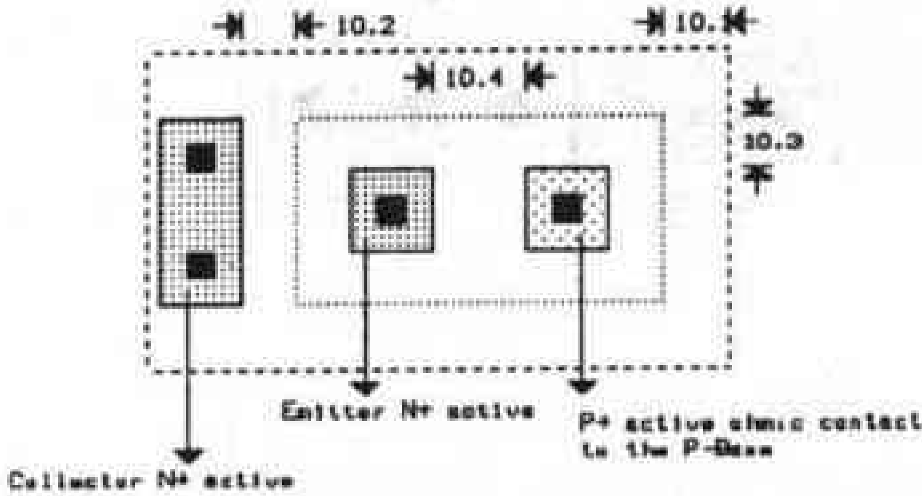
		microns	check#
9.1	MAXIMUM PAD OPENING IN A 100X100 micron METAL PAD (OVERGLASS)	90x90	not tested
9.2	METAL1 AND METAL2 PAD SIZE	100x100	not tested
9.3	MINIMUM PAD METAL TO PAD METAL SEPARATION	75	not tested



9. PAD

图A-16 压点（PAD）的设计规则

		microns	check*
10.1	P-BASE ACTIVE TO N-WELL	5.0	33
10.2	COLLECTOR N+ ACTIVE TO P-BASE ACTIVE	4.0	34
10.3	P-BASE ACTIVE OVERLAP OF N+/P+ ACTIVE	4.0	35
10.4	P+ ACTIVE TO N+ ACTIVE	7.0	36



10. P-BASE

872

图A-17 P基极（P-base）的设计规则

附录B MOSIS按比例设计规则

本附录用图形化方式给出了MOSIS的按比例CMOS设计规则[1]。设计规则检查文件MOSIS.DRC位于C:\Lasi6\Wmosis目录下。MOSIS设计规则用一个统一的参数λ来表示各个尺寸，在LASI中，"lam"就是λ。采用按比例设计规则设计版图时，最终的芯片是用0.5μm工艺制作还是用2μm工艺制作，这对版图设计者而言都没关系。当然，不同工艺的压点版图可能会有不同，因此，设计压点版图时，需要考虑选择的是哪一种工艺。由本书前面几章的讨论知：用LASI设计的版图文件是*.TLC文件；版图设计完成后，需要用LASI的"TLC2GDS.exe"命令把*.TLC文件转化为*.GDS文件。当LASI的设置为默认设置时，它把每个λ长度分成20个内部长度单位。而在*.GDS文件中，每个物理长度单位总是被分成1000个GDS单位。

用MOSIS设计规则设计版图时，画n+（或p+）层的图形需要用active与n-select（或p-select）这两层。例如，要画一个10λ × 10λ的n+正方形，我们先得用active层画一个10λ × 10λ的正方形（用来定义FOX的开孔大小），再用n-select层画一个包围active正方形的矩形，n-select矩形至少包围active正方形2λ；也就是说，n-select矩形的最小尺寸是14λ × 14λ。通过n-select层上的矩形，把active矩形内的区域设定为n+区（实际上n+注入区域是由n-select层上的矩形指定）。

工艺规范

将芯片数据提交给MOSIS之前，应先阅读参考文献[1]，因为工艺规范和λ都与所选择的芯片制作工艺有关。例如，如果我们选用附录A给出的Orbit CN20工艺，那么，可把工艺名设定为"SCNA"（Scalable CMOS N-well Analog，SCNA）工艺，把λ设定为1.0。

参考文献

[1] J-I. Pi, "MOSIS Scalable CMOS Design Rules" *The MOSIS Service,* Information Sciences Institute, University of Southern California, 4676 Admiralty Way, Marina del Rey, CA. 90292, August 1, 1995.



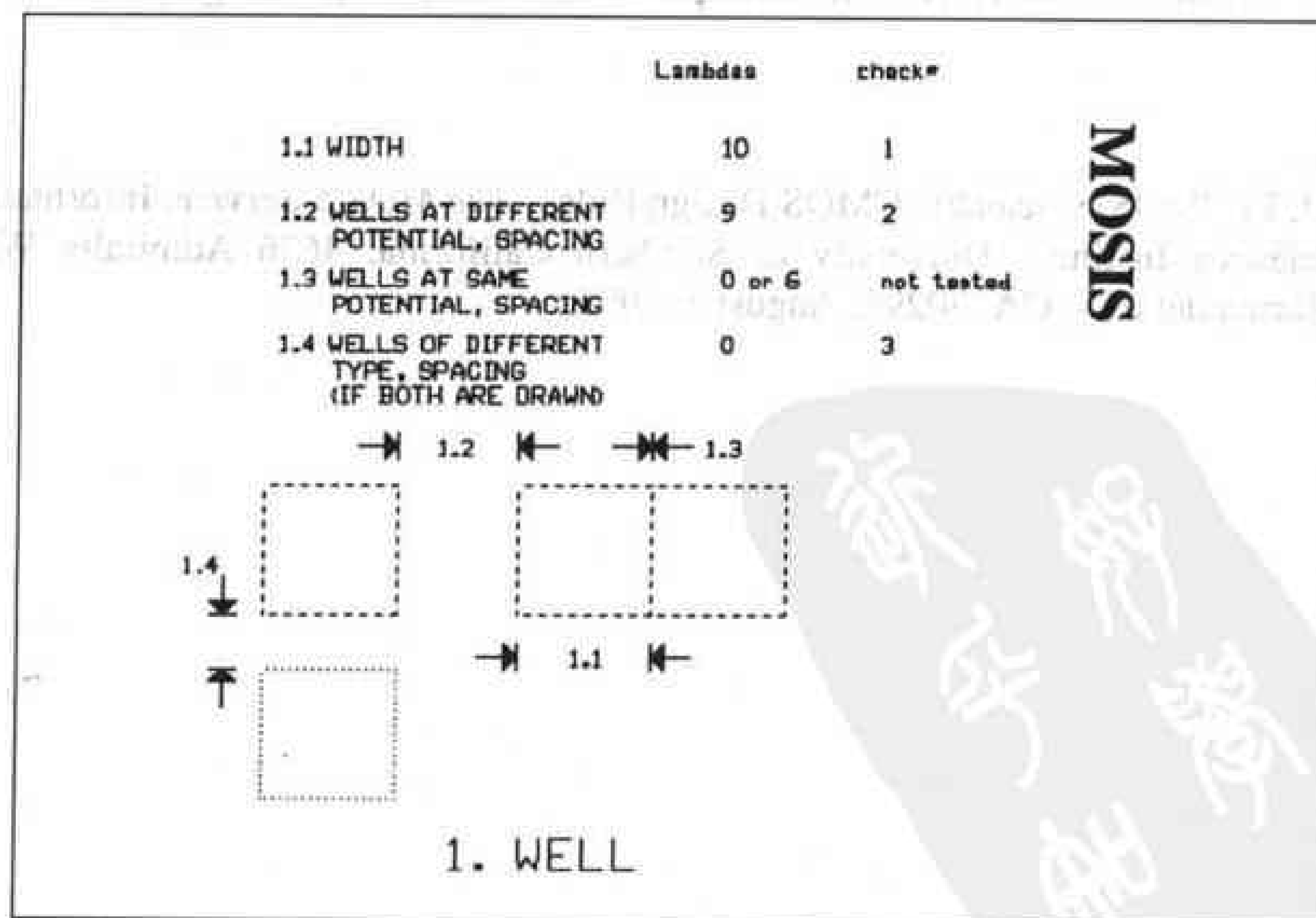
LAYERS

Layer	Number	Description
cont	25	Contact
pads	26	pads
pwel	41	p-well
nwel	42	n-well
actv	43	active
psel	44	pselect
nsel	45	nselect
pol1	46	poly 1
met1	49	metal 1
via1	50	via connection between metals 1 and 2
met2	51	metal 2
ovgl	52	Overglass used to cut openings for pads in top passive
pol2	56	poly 2 (electrode)
pbas	58	pbase
cwel	59	cap well
via2	61	Via 2, metal 2 to metal 3
met3	62	metal 3

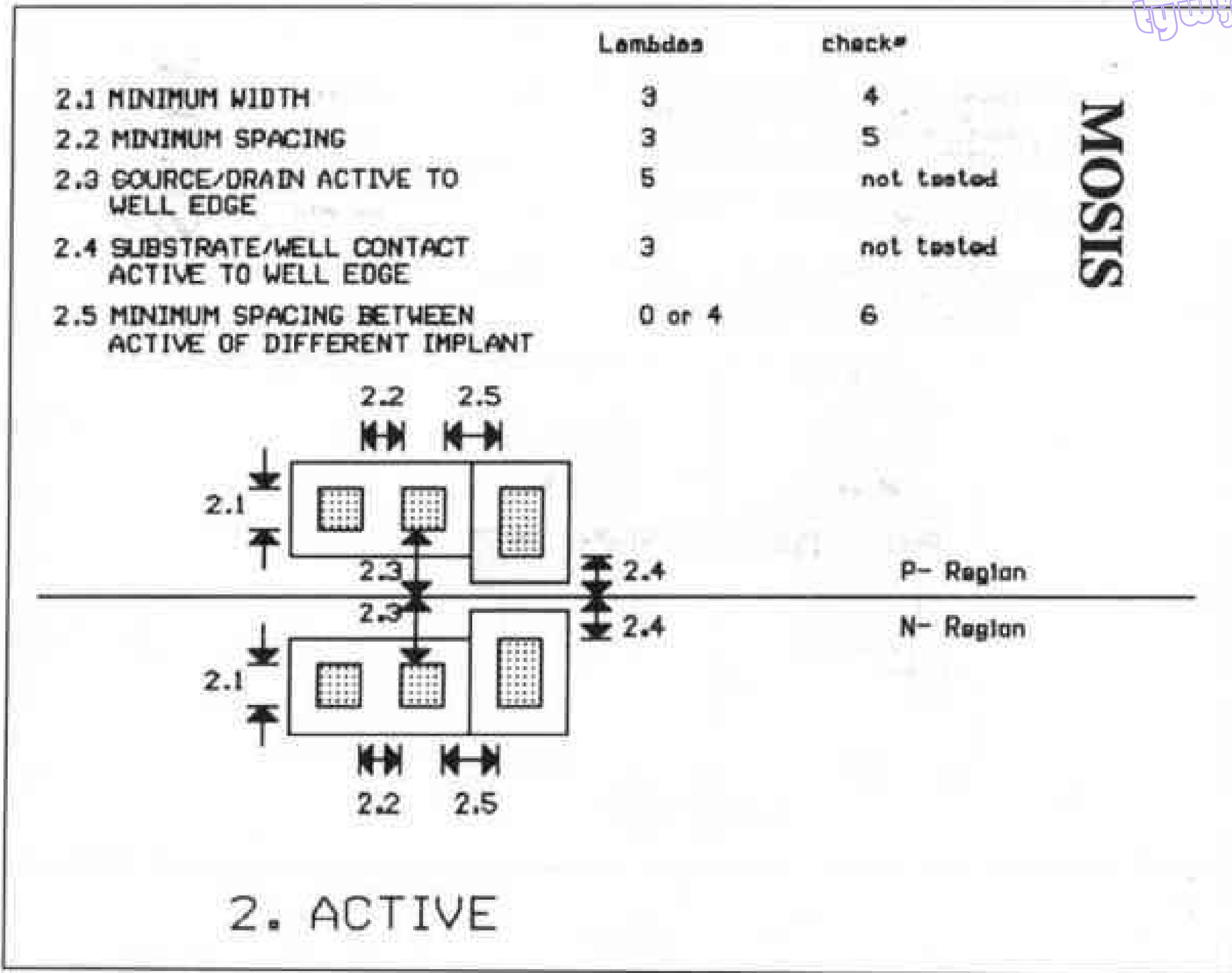
COMMENT LAYERS

Layer	Number	Description
arrw	1	Layer used to draw arrows in schematics
otln	2	Cell outline layer
schm	3	Schematic layer used for drawing circuit schematics
ntxt	4	used to label nodes for LASI to SPICE list, LASI2CIR
ctxt	5	Labels contacts so LASI2CIR knows order, i.e. D G S
dtxt	6	Gives device number, such as M1, M55, etc
ptxt	7	Used to specify part type, model size etc

图B-1

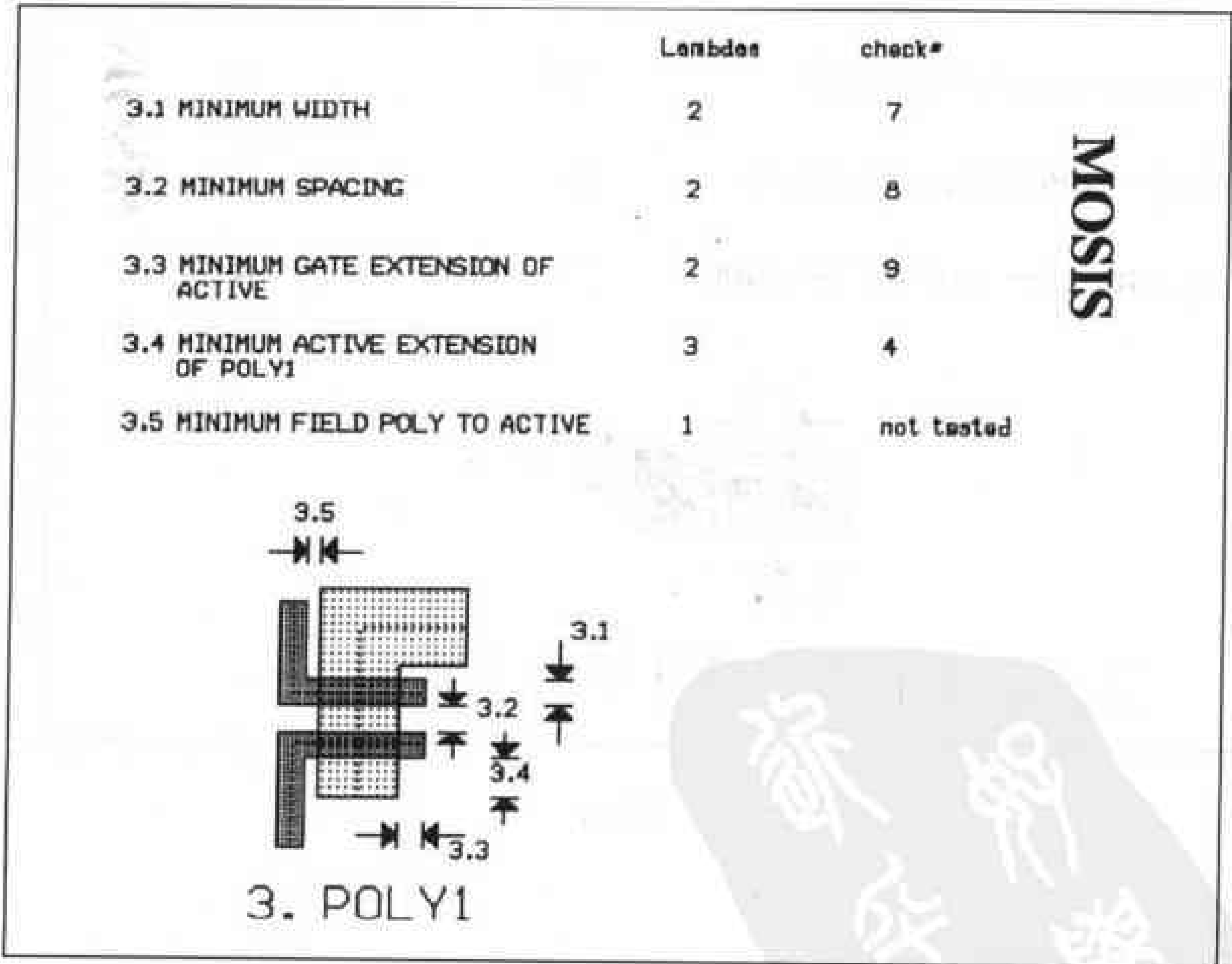


图B-2

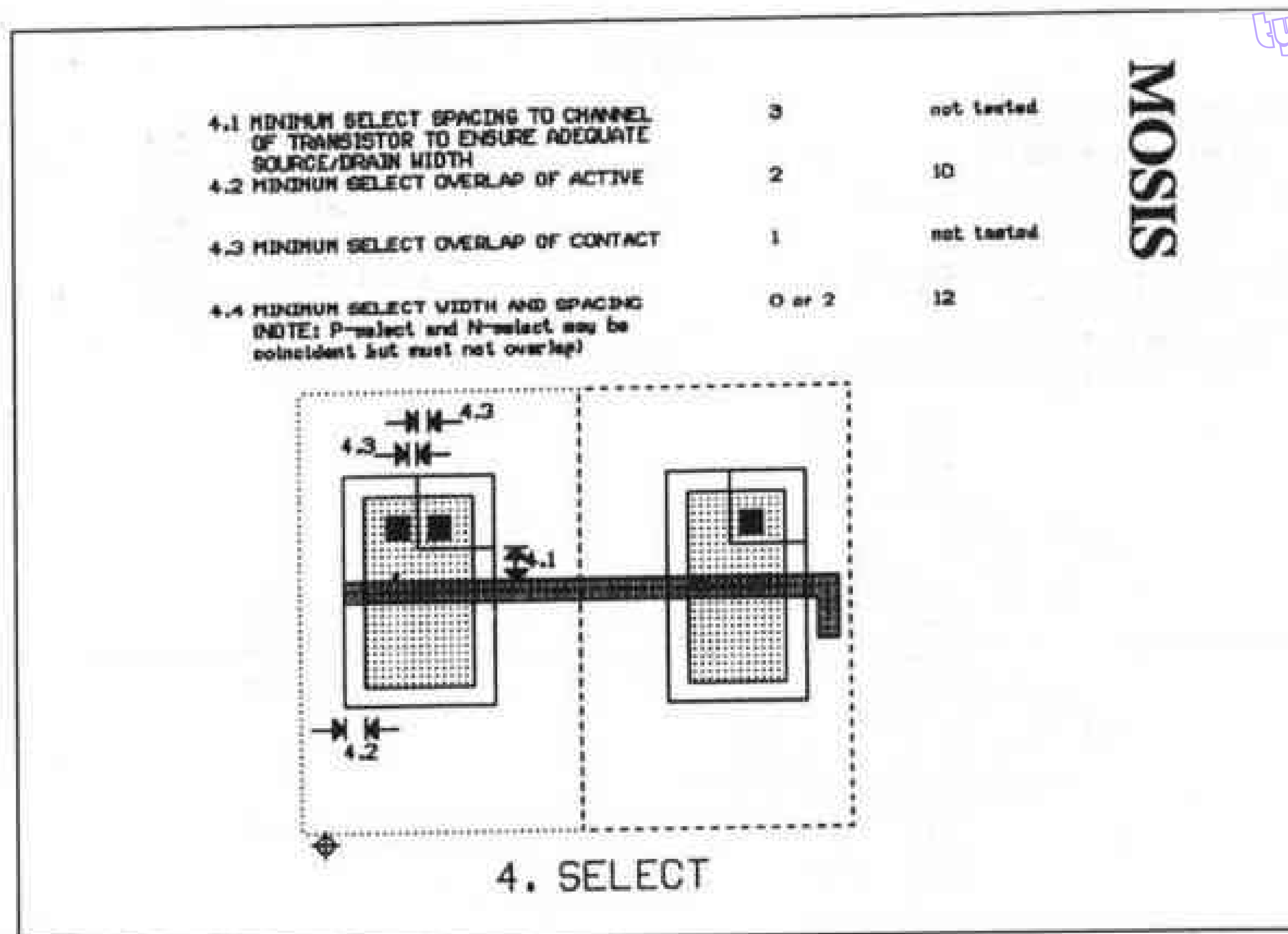

Lambdas
check*
2.1 MINIMUM WIDTH
3
4
2.2 MINIMUM SPACING
3
5
2.3 SOURCE/DRAIN ACTIVE TO WELL EDGE
5
not tested
2.4 SUBSTRATE/WELL CONTACT ACTIVE TO WELL EDGE
3
not tested
2.5 MINIMUM SPACING BETWEEN ACTIVE OF DIFFERENT IMPLANT
0 or 4
6
MOSIS
P- Region
N- Region
2. ACTIVE

图B-3

875

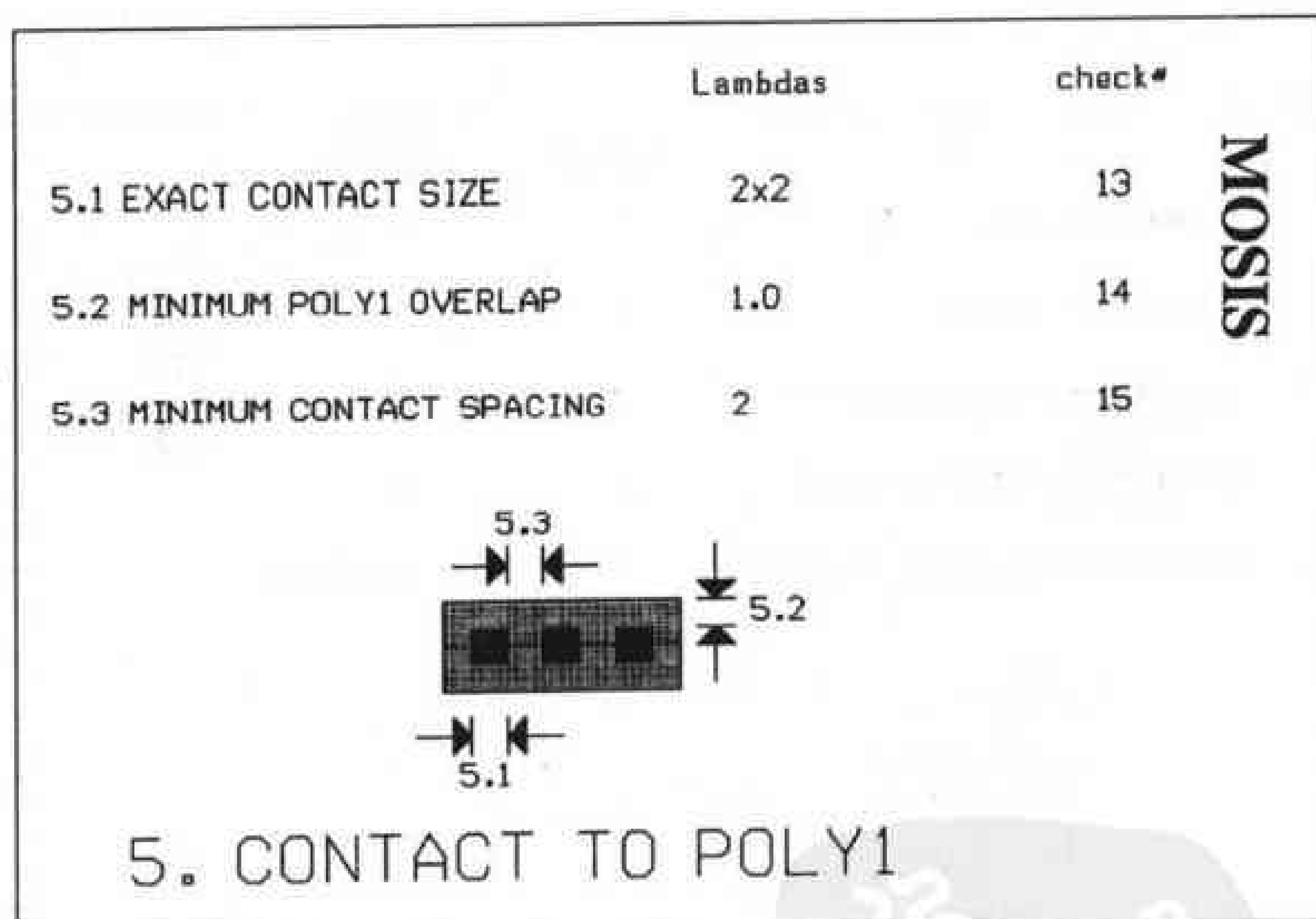

Lambdas
check*
3.1 MINIMUM WIDTH
2
7
3.2 MINIMUM SPACING
2
8
3.3 MINIMUM GATE EXTENSION OF ACTIVE
2
9
3.4 MINIMUM ACTIVE EXTENSION OF POLY1
3
4
3.5 MINIMUM FIELD POLY TO ACTIVE
1
not tested
MOSIS
3. POLY1

图B-4

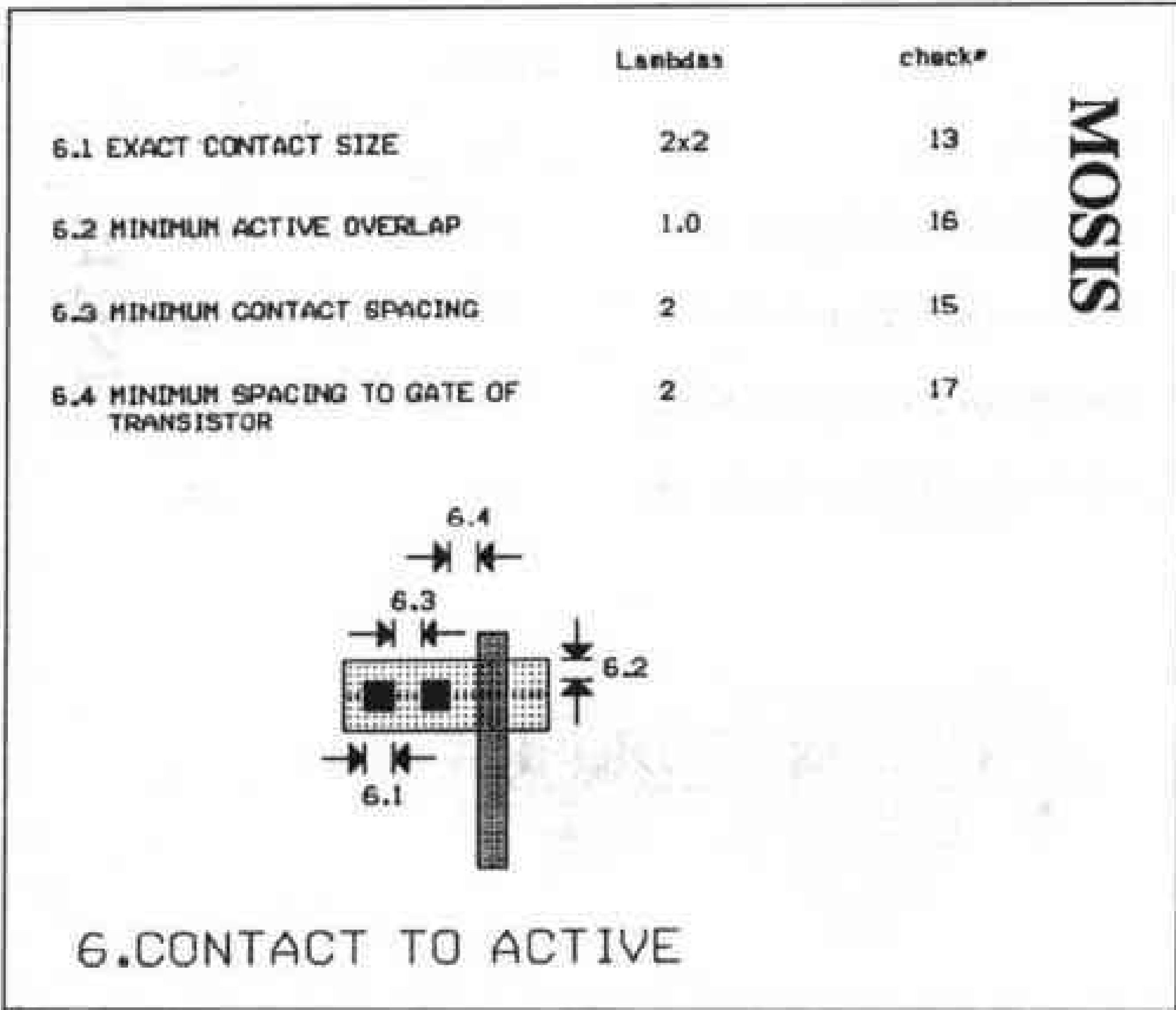

4.1 MINIMUM SELECT SPACING TO CHANNEL OF TRANSISTOR TO ENSURE ADEQUATE SOURCE/DRAIN WIDTH
3
not tested
4.2 MINIMUM SELECT OVERLAP OF ACTIVE
2
10
4.3 MINIMUM SELECT OVERLAP OF CONTACT
1
not tested
4.4 MINIMUM SELECT WIDTH AND SPACING (NOTE: P-select and N-select may be coincident but must not overlap)
0 or 2
12
MOSIS
4.3
4.3
4.1
4.2
4. SELECT

876

图B-5

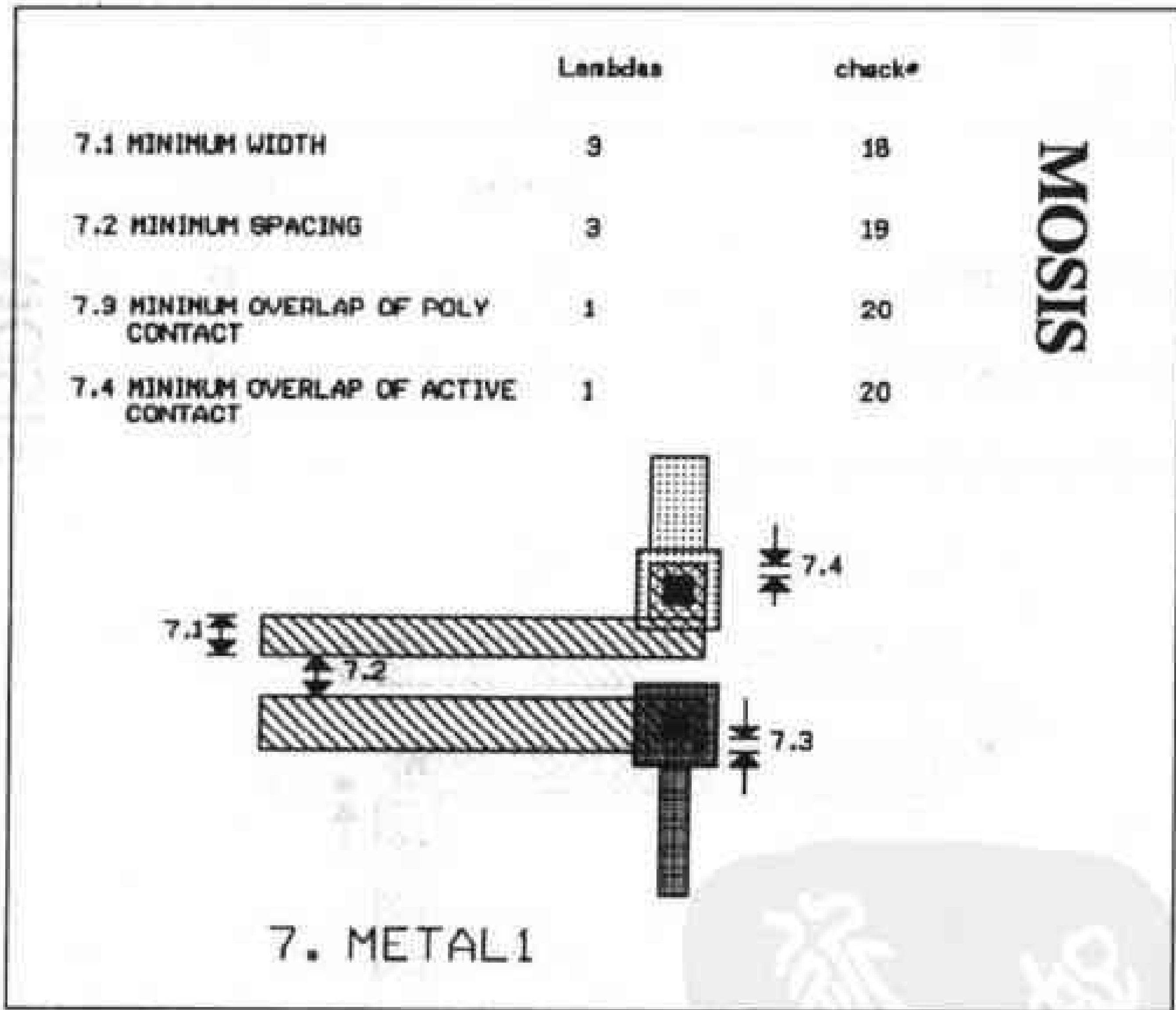

Lambdas
check#
MOSIS
5.1 EXACT CONTACT SIZE
2x2
13
5.2 MINIMUM POLY1 OVERLAP
1.0
14
5.3 MINIMUM CONTACT SPACING
2
15
5.3
5.2
5.1
5. CONTACT TO POLY1

图B-6

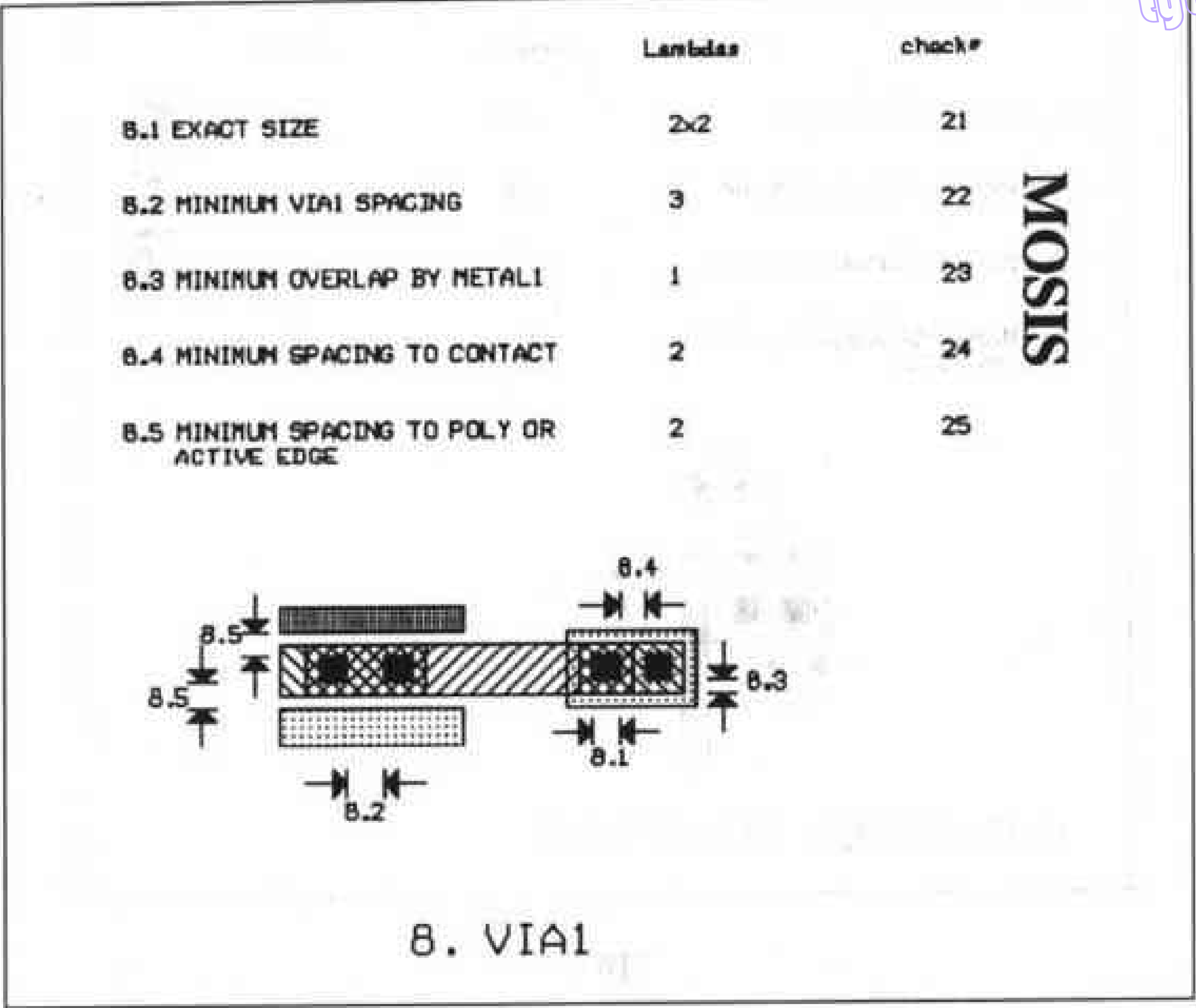

Lambdas
checks
6.1 EXACT CONTACT SIZE 2x2 13
6.2 MINIMUM ACTIVE OVERLAP 1.0 16
6.3 MINIMUM CONTACT SPACING 2 15
6.4 MINIMUM SPACING TO GATE OF TRANSISTOR 2 17
MOSIS
6.4
6.3
6.2
6.1
6.CONTACT TO ACTIVE

图B-7

877

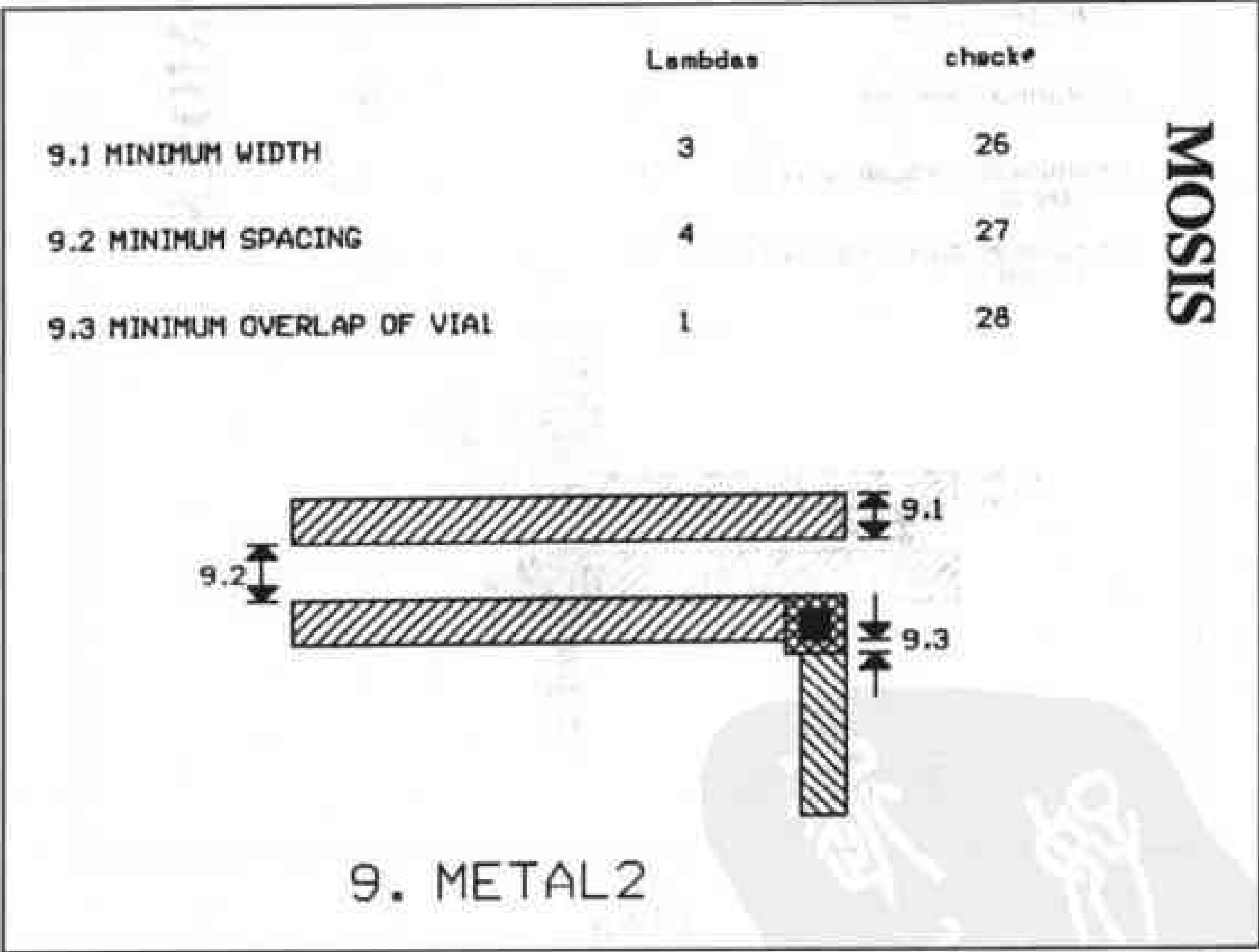

Lambdas
checks
7.1 MINIMUM WIDTH 3 18
7.2 MINIMUM SPACING 3 19
7.3 MINIMUM OVERLAP OF POLY CONTACT 1 20
7.4 MINIMUM OVERLAP OF ACTIVE CONTACT 1 20
MOSIS
7.4
7.1
7.2
7.3
7. METAL1

图B-8

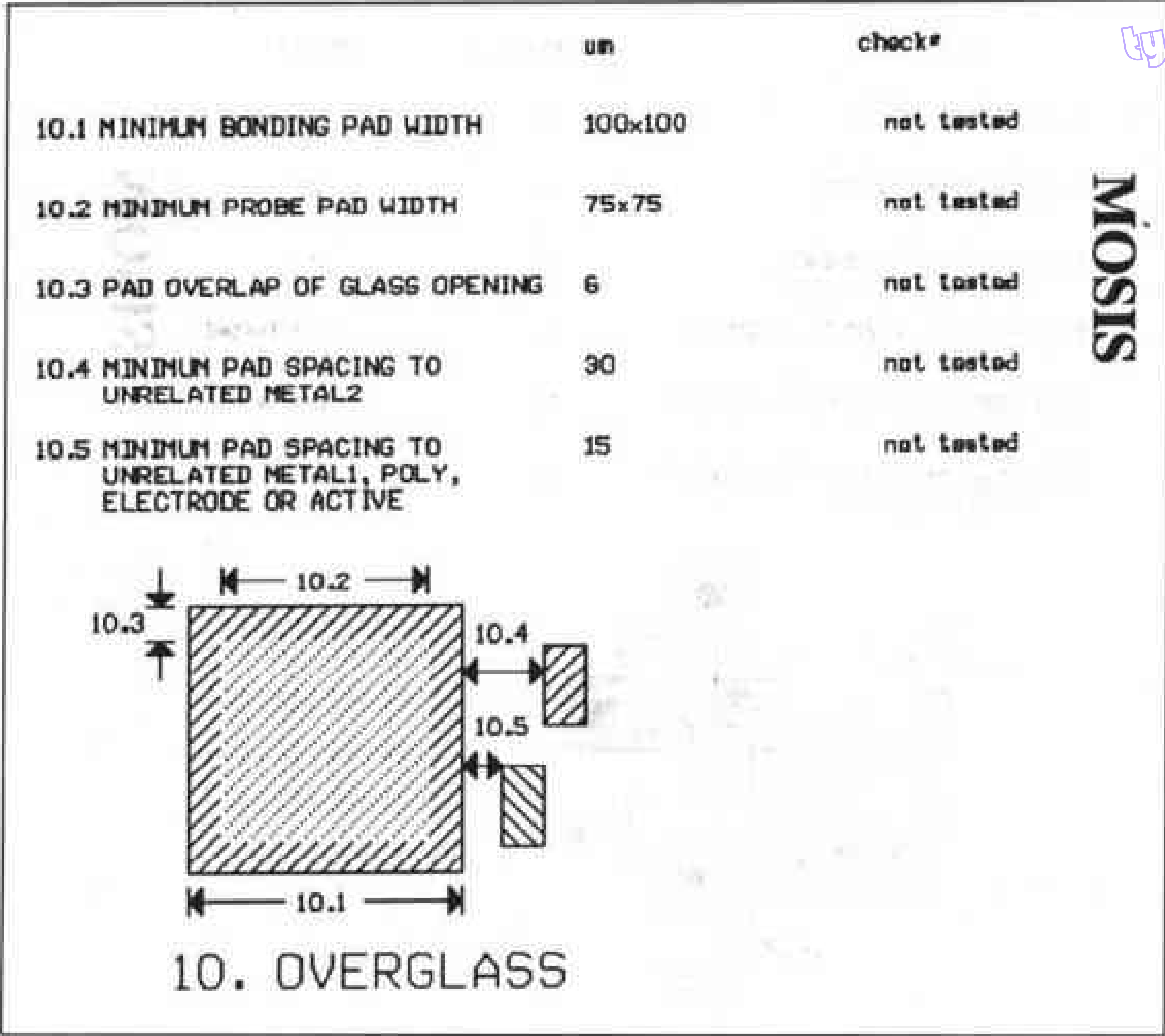

Lambdas
check#
8.1 EXACT SIZE
2x2
21
8.2 MINIMUM VIA1 SPACING
3
22
8.3 MINIMUM OVERLAP BY METAL1
1
23
8.4 MINIMUM SPACING TO CONTACT
2
24
8.5 MINIMUM SPACING TO POLY OR ACTIVE EDGE
2
25
MOSIS
8.4
8.5
8.5
8.3
8.1
8.2
8. VIA1

878

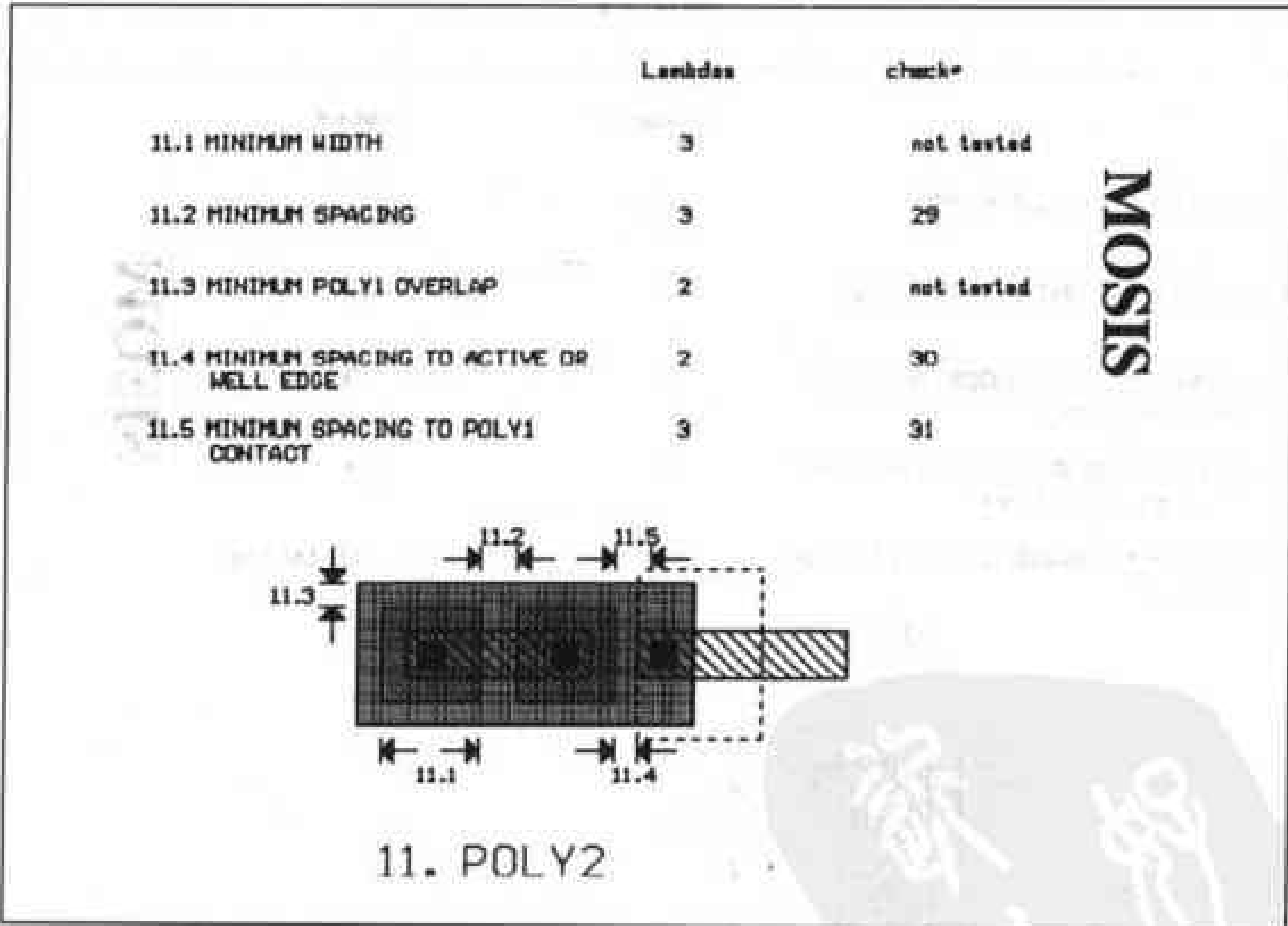
图B-9


Lambdas
check#
9.1 MINIMUM WIDTH
3
26
9.2 MINIMUM SPACING
4
27
9.3 MINIMUM OVERLAP OF VIA1
1
28
MOSIS
9.1
9.2
9.3
9. METAL2

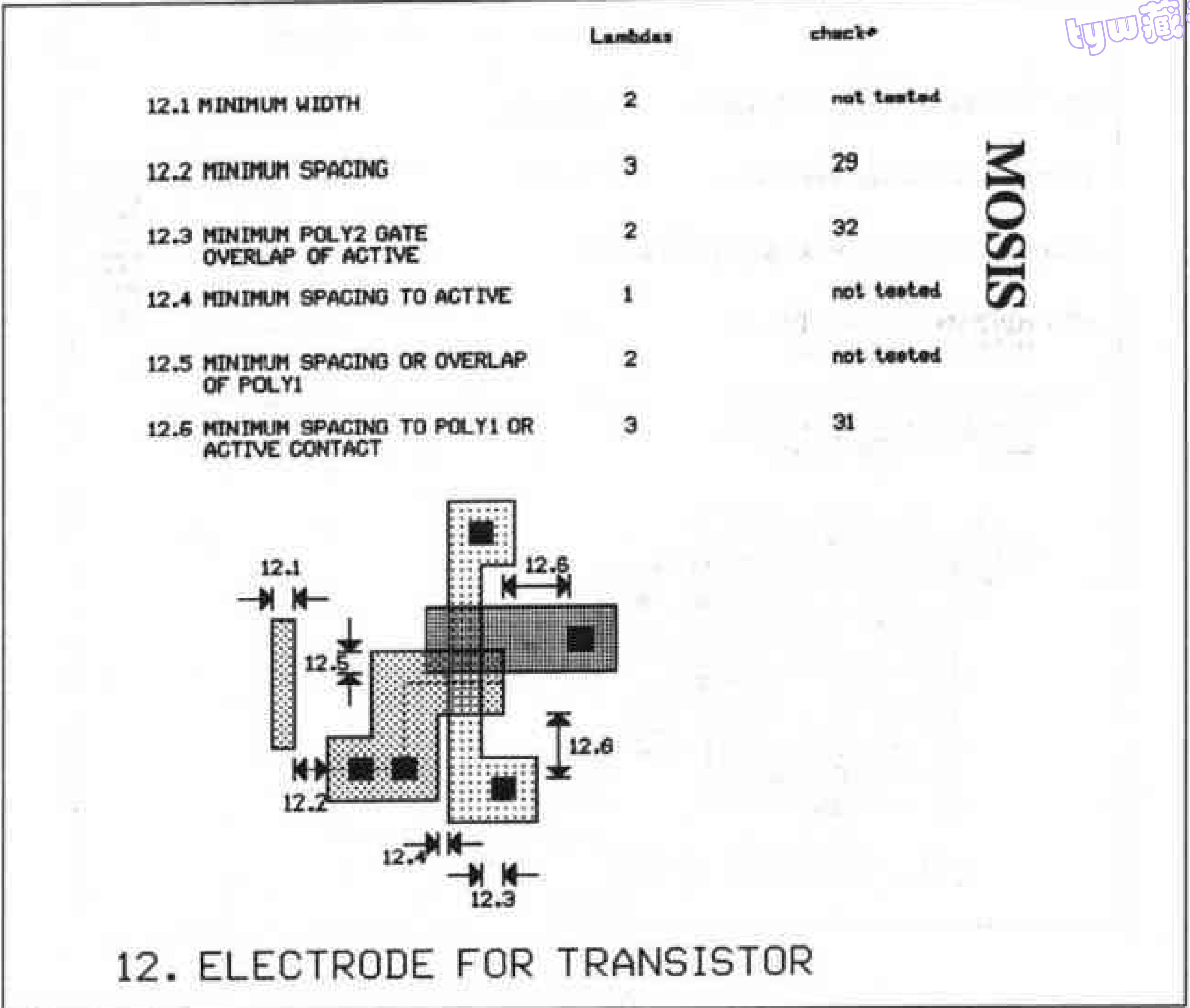
图B-10


um
check*
10.1 MINIMUM BONDING PAD WIDTH
100x100
not tested
10.2 MINIMUM PROBE PAD WIDTH
75x75
not tested
10.3 PAD OVERLAP OF GLASS OPENING
6
not tested
10.4 MINIMUM PAD SPACING TO UNRELATED METAL2
30
not tested
10.5 MINIMUM PAD SPACING TO UNRELATED METAL1, POLY, ELECTRODE OR ACTIVE
15
not tested
MOSIS
10.2
10.3
10.4
10.5
10.1
10. OVERGLASS

图B-11

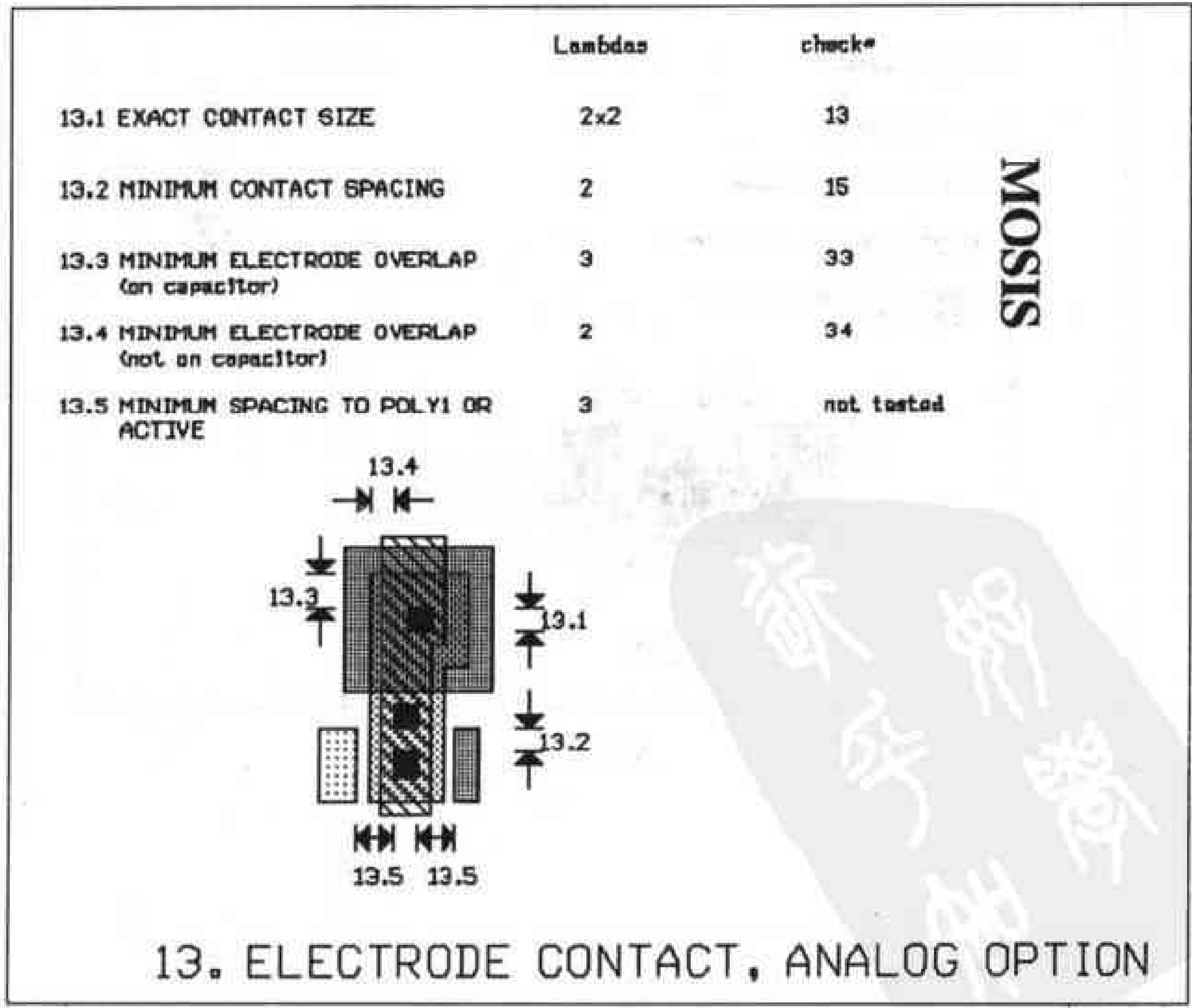

Lambdas
check*
11.1 MINIMUM WIDTH
3
not tested
11.2 MINIMUM SPACING
3
29
11.3 MINIMUM POLY1 OVERLAP
2
not tested
11.4 MINIMUM SPACING TO ACTIVE OR WELL EDGE
2
30
11.5 MINIMUM SPACING TO POLY1 CONTACT
3
31
MOSIS
11.2
11.5
11.3
11.1
11.4
11. POLY2

图B-12

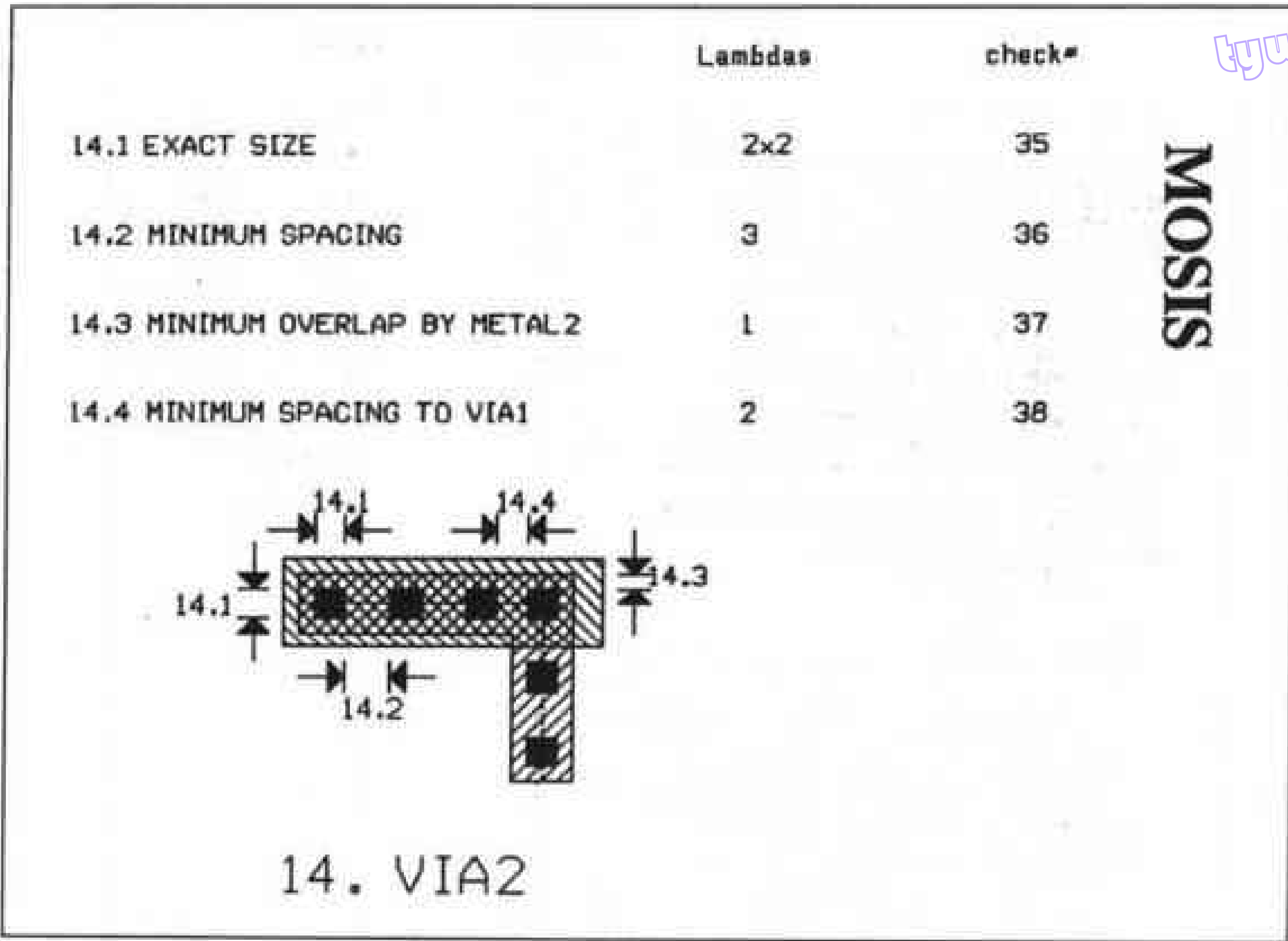


880

图B-13

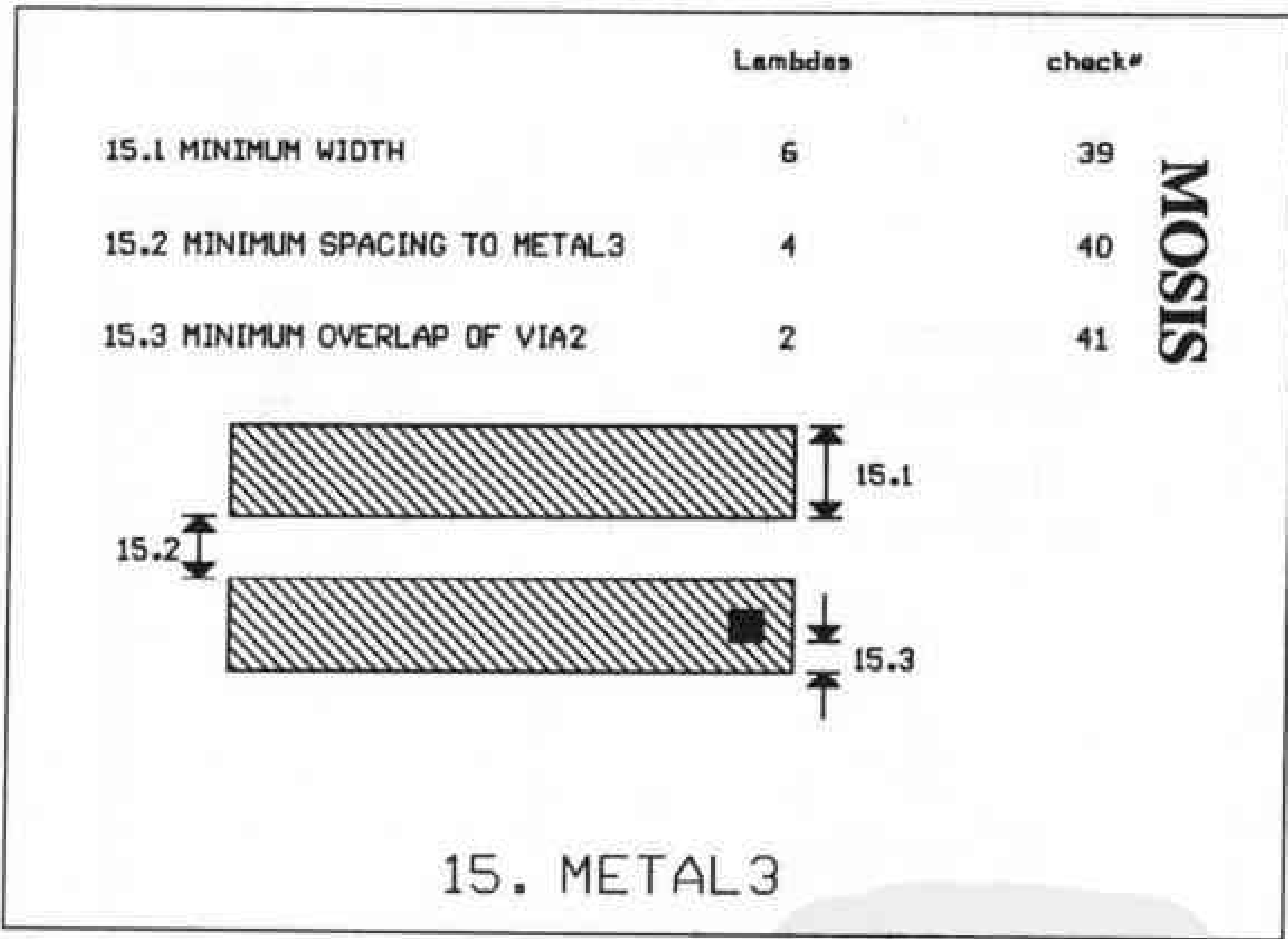


图B-14

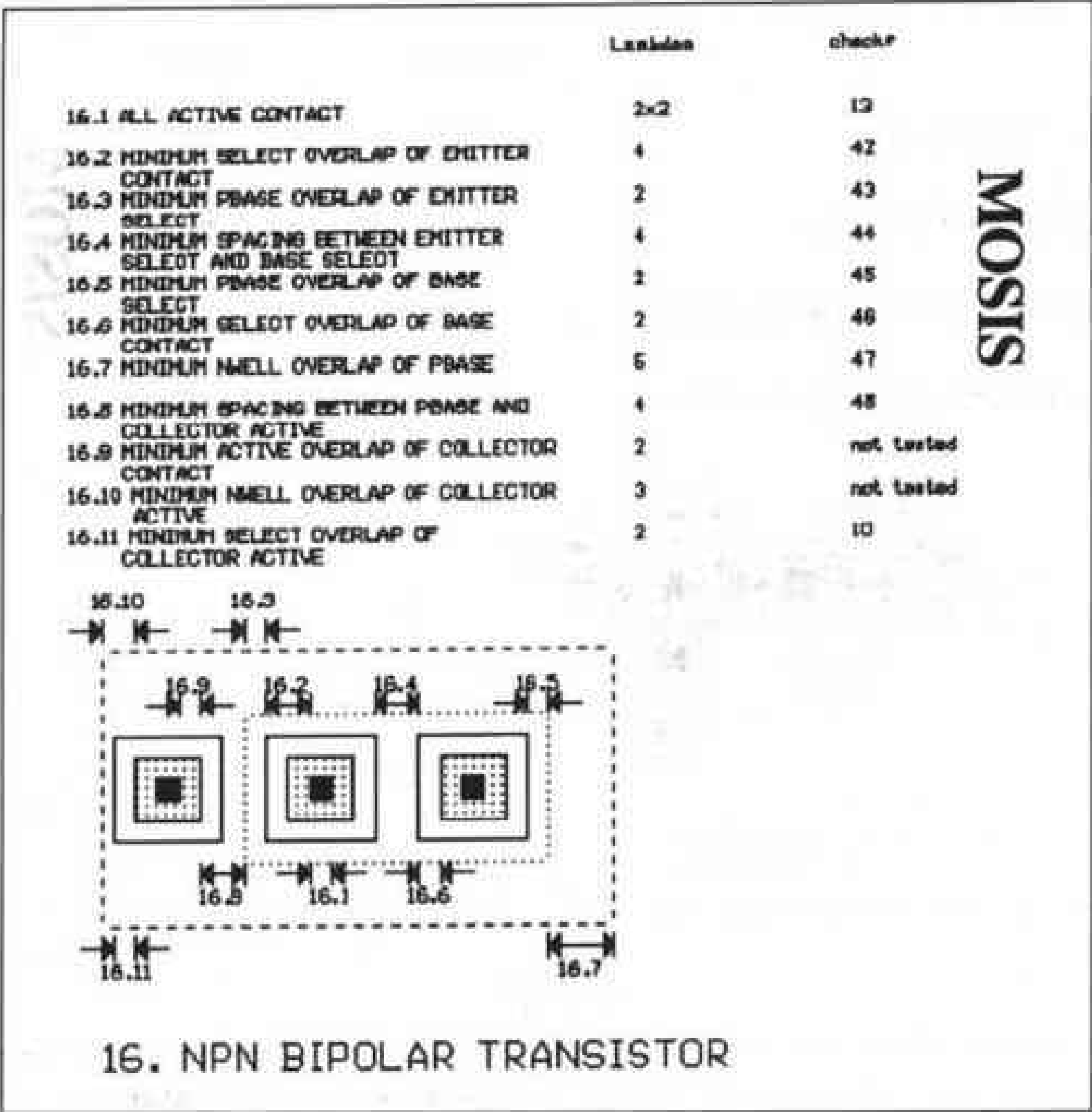


图B-15

881

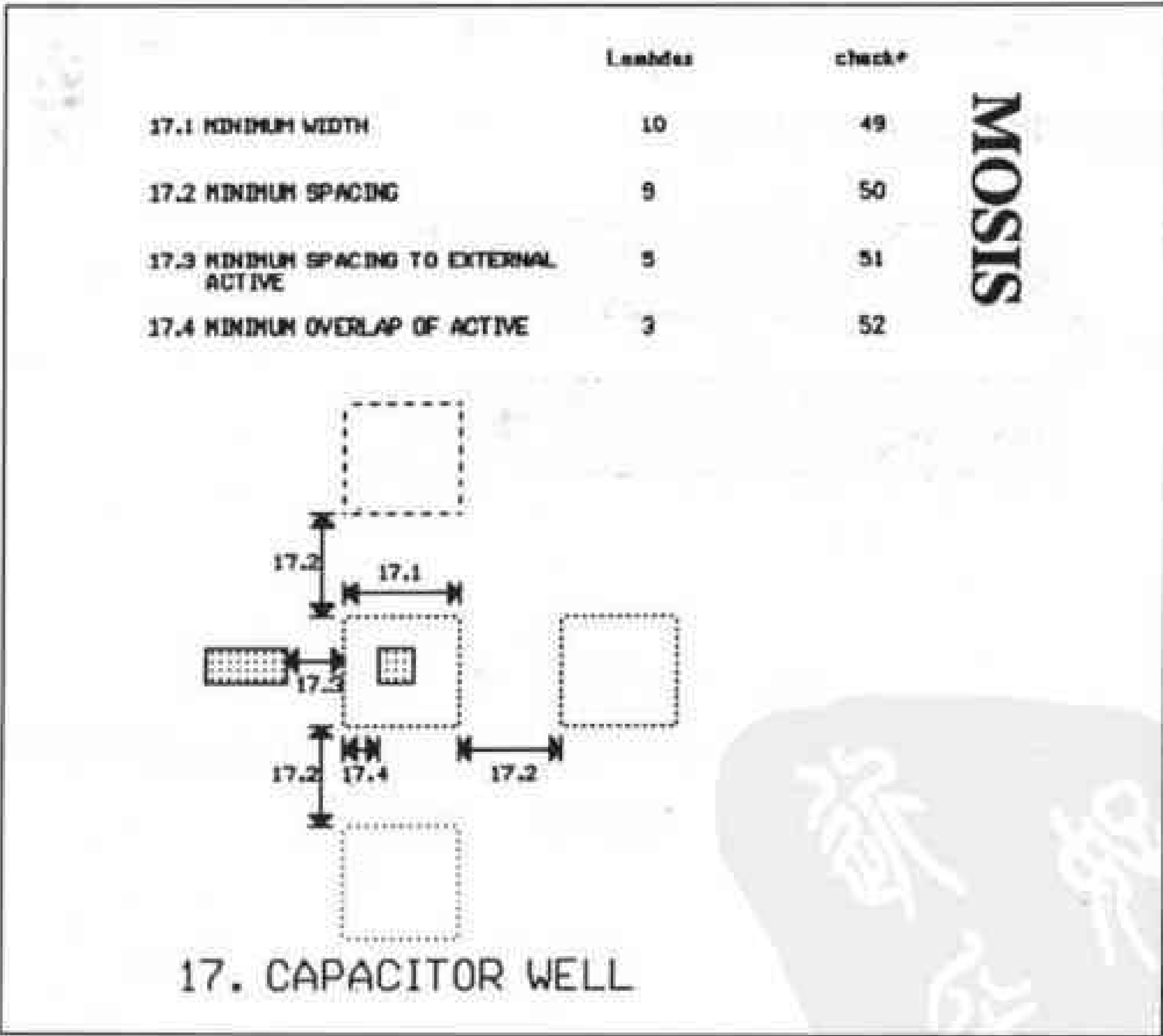


图B-16



882

图B-17



883

图B-18

附录C HP CMOS14TB工艺

本附录给出了惠普（Hewlett-Packard，HP）0.5μm三层金属n阱CMOS工艺（简称为CMOS14TB）的SPICE参数与工艺规范。除附录A给出的CN20工艺外，CMOS14TB工艺也是全书都使用的一个工艺。CMOS14TB是一个三层金属的工艺，因此，压点结构跟双层金属工艺的有所不同。在设计或者提交芯片设计数据前，应该先和MOSIS以及HP取得联系，以获取该工艺的最新信息（版图设计要求和电学规范）。表C1-C4给出了该工艺的基本电学参数。

可使用附录B中的MOSIS按比例设计规则来设计该工艺的版图。此时，有两个不同的λ值可以采用，即0.3μm和0.35μm。当λ取为0.3μm时，器件的最小沟道长度为2λ或0.6μm，而最小沟道宽度为3λ或0.9μm；减去横向扩散*DL*（通常为0.1μm），有效沟道长度为0.5μm。因此，把CMOS14TB工艺称为“0.5μm工艺”。当λ取为0.3μm时，附录B中的一些设计规则需要作些修改。例如，规则1.1给出了n阱宽度的要求，它应从10λ增加为12λ。在用CMOS14TB工艺设计芯片时，如果λ取0.3μm，那么，应该遵循修改的设计规则，而且在向MOSIS提交设计数据时，应注明芯片设计使用的工艺名称为“SCN_SUBM”（Scalable-CMOS-N-well Sub-Micron，SCN_SUBM）。

为避免修改附录B中的设计规则，可把λ提高到0.35μm。这时器件的最小设计长度为0.7μm；当MOSIS对多晶硅层的设计数据完成涨缩后，对应的尺寸就减小为0.6μm。因此，使用最小沟道长度的MOS管进行电路仿真时，沟道长度应取为0.6μm（不管λ取为0.3μm还是0.35μm），但画版图时，我们使用2λ或0.7μm。这样做的最大好处在于，我们可以不做任何修改地使用附录B及附送磁盘中的配置文件来设计和检查针对CMOS14TB工艺设计的电路版图。λ取为0.35μm时，对应的工艺名称为“SCN”。

表 C-1

NMOS管（L_{drawn} = 0.6μm）	典 型 值
阈值电压V_{THN}，（V）	0.7
γ（$V^{1/2}$）	0.6
KP = $(MUZ)(C'_{ox})(\mu A/V^2)$	170
DL ($L_{eff} = L_{drawn} - DL$)(μm)	0.06
DW ($W_{eff} = W_{drawn} - DW$)(μm)	0.35
穿通电压（V）	10
I_{drive} (μA/μm)	380

表 C-2

PMOS管（L_{drawn} = 0.6μm）	典 型 值
阈值电压V_{THP}，（V）	0.9
γ（$V^{1/2}$）	0.5
KP = $(MUZ)(C'_{ox})(\mu A/V^2)$	50
DL ($L_{eff} = L_{drawn} - DL$)(μm)	0.09
DW ($W_{eff} = W_{drawn} - DW$)(μm)	0.35
穿通电压（V）	10
I_{drive} (μA/μm)	190

表 C-3

方块电阻（Ω/方块）	典 型 值
p+有源区	2
n+有源区	2
Poly1（硅化后）	2
Metal1	0.07
Metal2	0.07
Metal3	0.05

表 C-4

	极板电容（aF/μm², 典型值）
Poly1到衬底（FOX）	91
Poly1到metal1	58
Poly1到metal2	17
Poly1到metal3	10
Metal1到衬底	42
Metal1到metal2	36
Metal1到metal3	14
Metal2到衬底	20
Metal2到metal3	33
Metal3到衬底	15

用BSIM模型参数计算V_{THN}和KP_n

NMOS管的Level 3和Level 4（BSIM）模型参数如下所示，它在C:\Lasi6\Wcn20目录下的spice.inf文件中。

```
* Level 3 SPICE model for CMOS14TB 0.5 um
.MODEL CMOSN5 NMOS LEVEL=3 PHI=0.700000
+ TOX=9.6000E-09 XJ=0.200000U TPG=1
+ VTO=0.7118 DELTA=2.3060E-01 LD=2.9830E-08 KP=1.8201E-04
+ UO=506.0 THETA=1.9090E-01 RSH=1.8940E+01 GAMMA=0.6051
+ NSUB=1.4270E+17 NFS=7.1500E+11 VMAX=2.4960E+05 ETA=2.5510E-02
+ KAPPA=1.8530E-01 CGDO=9.0000E-11 CGSO=9.0000E-11
+ CGBO=3.7295E-10 CJ=8.02E-04 MJ=0.805 CJSW=2.0E-11
+ MJSW=0.761 PB=0.99
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is 3.5700E-07

* Level 4 (BSIM) SPICE model for CMOS14TB 0.5 um
.MODEL CMOSNB5 NMOS LEVEL=4
+ vfb=-9.65360E-01    lvfb= 4.11254E-02     wvfb=-1.21737E-01
+ phi= 9.02436E-01    lphi= 0.00000E+00     wphi= 0.00000E+00
+ k1=  9.33674E-01    lk1= -8.15872E-02     wk1=  2.03526E-01
+ k2=  7.39228E-02    lk2=  1.48295E-02     wk2=  5.89097E-02
+ eta=-2.77969E-03    leta= 1.12296E-02     weta= 1.25263E-03
+ muz= 4.71133E+02    dl=   1.57937E-001    dw=   4.09563E-001
+ u0=  1.98427E-01    lu0=  1.54850E-01     wu0= -1.05429E-01
+ u1=  3.39403E-02    lu1=  3.59469E-02     wu1= -5.00497E-03
+ x2mz=1.25728E+01    lx2mz=-1.24115E+01    wx2mz=1.77657E+01
+ x2e=-9.95217E-05    lx2e=-5.16949E-03     wx2e= 2.83253E-03
+ x3e=-4.27269E-04    lx3e=-1.62632E-03     wx3e=-1.60797E-03
+ x2u0=-9.02747E-04   lx2u0=-1.66946E-02    wx2u0=2.48458E-02
+ x2u1=-7.29822E-04   lx2u1=2.38803E-03     wx2u1=-9.76918E-04
+ mus=5.36631E+02     lmus=2.18647E+01      wmus=4.43373E+00
```



```
+ x2ms=5.97403E+00   lx2ms=-7.67105E+00   wx2ms=2.19614E+01
+ x3ms=7.60054E+00   lx3ms=4.73779E+00    wx3ms=2.59952E+00
+ x3u1=1.75532E-02   lx3u1=-1.21628E-03   wx3u1=-5.95548E-04
+ tox=9.60000E-003   temp=2.70000E+01     vdd=3.30000E+00
+ cgdo=4.26077E-010  cgso=4.26077E-010    cgbo=4.01709E-010
+ xpart=1.00000E+000
+ n0=1.00000E+000    ln0=0.00000E+000     wn0=0.00000E+000
+ nb=0.00000E+000    lnb=0.00000E+000     wnb=0.00000E+000
+ nd=0.00000E+000    lnd=0.00000E+000     wnd=0.00000E+000
+ rsh=2   cj=6.02e-04   cjsw=2.0e-11   js=1e-08   pb=0.99
+ pbsw=0.99   mj=0.805   mjsw=0.761   wdf=0   dell=0
```

NMOS管的阈值电压V_{THN}是源-衬电压V_{SB}的函数，可用BSIM模型参数表示为：

$$V_{THN} = VFB + PHI + K1 \cdot \sqrt{PHI + V_{SB}} - K2 \cdot (PHI + V_{SB}) \tag{C-1}$$

代入上面BSIM模型参数的值，得：

$$= -0.97 + 0.9 + 0.93 \cdot \sqrt{0.9 + V_{SB}} - 0.0074 \cdot (0.9 + V_{SB}) \tag{C-2}$$

若$V_{SB} = 0$，则：

$$V_{THN} = 0.80\ \text{V} \tag{C-3}$$

用BSIM模型参数中的氧化层厚度，可求得单位面积的氧化层电容为：

$$C'_{ox} = \frac{\varepsilon_{ox}}{TOX} = \frac{35.13\ \text{fF}/\mu\text{m}}{0.0096\ \mu\text{m}} \approx 3.7\ \frac{\text{fF}}{\mu\text{m}^2} \tag{C-4}$$

NMOS管的跨导参数KP_n可用下式估算为：

$$KP_n = MUZ \cdot C'_{ox} = \frac{471\ \text{cm}^2}{\text{V} \cdot \text{s}} \cdot \frac{10^8 \mu\text{m}^2}{\text{cm}^2} \cdot \frac{3.7\ \text{fF}}{\mu\text{m}^2} \approx 174\ \frac{\mu\text{A}}{\text{V}^2} \tag{C-5}$$

CMOS14TB中NMOS管的有效数字电阻为：

$$R_n = R'_n \cdot \frac{1}{W} = \frac{VDD}{I_{drive} \cdot W} = \frac{3.3\ \text{V} \cdot \mu\text{m}}{380\ \mu\text{A}} \cdot \frac{1}{W} \approx \frac{9\ \text{k}\Omega \cdot \mu\text{m}}{W} \tag{C-6}$$

对于最小尺寸的MOS管（即0.9/0.6），其有效电阻为10kΩ。NMOS晶体管的工艺特征时间常数为（L等于0.6μm）：

$$\tau_n = R_n C_{ox} = R'_n \cdot L \cdot C'_{ox} = 9\ \text{k}\Omega \cdot (0.6) \cdot (3.7\ \text{fF}) = 20\ \text{ps} \tag{C-7}$$

888

用BSIM模型参数计算V_{THP}和KP_p

PMOS管的Level 3和Level 4（BSIM）模型参数如下所示，它在C:\Lasi6\Wcn20目录下的spice.inf文件中。

```
* Level 3 SPICE model for CMOS14TB 0.5 um
.MODEL CMOSP5 PMOS LEVEL=3 PHI=0.700000
+ TOX=9.6000E-09 XJ=0.200000U TPG=-1
+ VTO=-0.9016 DELTA=4.2020E-01 LD=4.3860E-08 KP=4.1582E-05
+ UO=115.6 THETA=3.7990E-02 RSH=9.0910E-02 GAMMA=0.4496
+ NSUB=7.8780E+16 NFS=6.4990E+11 VMAX=2.3130E+05 ETA=2.8580E-02
+ KAPPA=9.9270E+00 CGDO=9.0000E-11 CGSO=9.0000E-11
+ CGBO=3.6835E-10 CJ=9.34E-04 MJ=0.491 CJSW=2.41E-10
+ MJSW=0.222 PB=0.90
* Weff = Wdrawn - Delta_W
* The suggested Delta_W is 3.4860E-07
```

```
* Level 4 (BSIM) SPICE model for CMOS14TB 0.5 um
.MODEL CMOSPB5 PMOS LEVEL=4
+ vfb=-2.80568E-01      lvfb=5.70163E-02      wvfb=-6.17493E-02
+ phi=8.14689E-01       lphi=0.00000E+00      wphi=0.00000E+00
+ k1=4.52973E-01        lk1=-9.19899E-02      wk1=1.20834E-01
+ k2=-9.42157E-03       lk2=-2.25562E-03      wk2=3.13315E-02
+ eta=-7.03956E-03      leta=1.92833E-02      weta=5.45445E-05
+ muz=1.36047E+02       dl=1.85988E-001       dw=4.32366E-001
+ u0=1.93813E-01        lu0=6.02231E-02       wu0=-4.90734E-02
+ u1=8.52399E-03        lu1=2.60545E-02       wu1=-6.34371E-03
+ x2mz=7.96258E+00      lx2mz=-2.15761E+00    wx2mz=2.30663E+00
+ x2e=4.37912E-04       lx2e=-1.60046E-03     wx2e=-3.86750E-04
+ x3e=-3.52725E-04      lx3e=-4.09096E-04     wx3e=-2.53471E-03
+ x2u0=1.18873E-02      lx2u0=-4.81760E-03    wx2u0=8.80040E-03
+ x2u1=2.26591E-03      lx2u1=7.96828E-04     wx2u1=-4.70527E-04
+ mus=1.44421E+02       lmus=1.63665E+01      wmus=-7.31189E-01
+ x2ms=8.18970E+00      lx2ms=-1.25158E+00    wx2ms=3.62233E+00
+ x3ms=7.29640E-01      lx3ms=1.15206E+00     wx3ms=1.02833E+00
+ x3u1=-3.51521E-03     lx3u1=-3.12374E-03    wx3u1=3.48134E-03
+ tox=9.60000E-003      temp=2.70000E+01      vdd=3.30000E+00
+ cgdo=5.01753E-010     cgso=5.01753E-010     cgbo=4.14187E-010
+ xpart=1.00000E+000
+ n0=1.00000E+000       ln0=0.00000E+000      wn0=0.00000E+000
+ nb=0.00000E+000       lnb=0.00000E+000      wnb=0.00000E+000
+ nd=0.00000E+000       lnd=0.00000E+000      wnd=0.00000E+000
+ rsh=2.1   cj=9.34e-04   cjsw=2.41e-10   js=1e-08   pb=0.90
+ pbsw=0.90   mj=0.491   mjsw=0.222   wdf=0   dell=0
```

PMOS管的阈值电压V_{THP}可用下式计算:

$$V_{THP} = VFB + PHI + K1 \cdot \sqrt{PHI + V_{BS}} - K2 \cdot (PHI + V_{BS}) \tag{C-8}$$

代入前面BSIM模型参数的值，得:

889

$$= -0.28 + 0.81 + 0.45 \cdot \sqrt{0.81 + V_{BS}} - (-0.0094) \cdot (0.81 + V_{BS}) \tag{C-9}$$

当$V_{BS} = 0$时，则有:

$$V_{THP} \approx 0.94 \text{ V} \tag{C-10}$$

PMOS管的跨导参数KP_p为:

$$KP_p = MUZ \cdot C'_{ox} = \frac{136 \text{ cm}^2}{\text{V} \cdot \text{s}} \cdot \frac{10^8 \mu\text{m}^2}{\text{cm}^2} \cdot \frac{3.7 \text{ fF}}{\mu\text{m}^2} \approx 50 \frac{\mu\text{A}}{\text{V}^2} \tag{C-11}$$

CMOS14TB中PMOS管的有效数字电阻为:

$$R_p = R'_p \cdot \frac{1}{W} = \frac{VDD}{I_{drive} \cdot W} = \frac{3.3 \text{ V} \cdot \mu\text{m}}{190 \ \mu\text{A}} \cdot \frac{1}{W} \approx \frac{18 \text{ k}\Omega \cdot \mu\text{m}}{W} \tag{C-12}$$

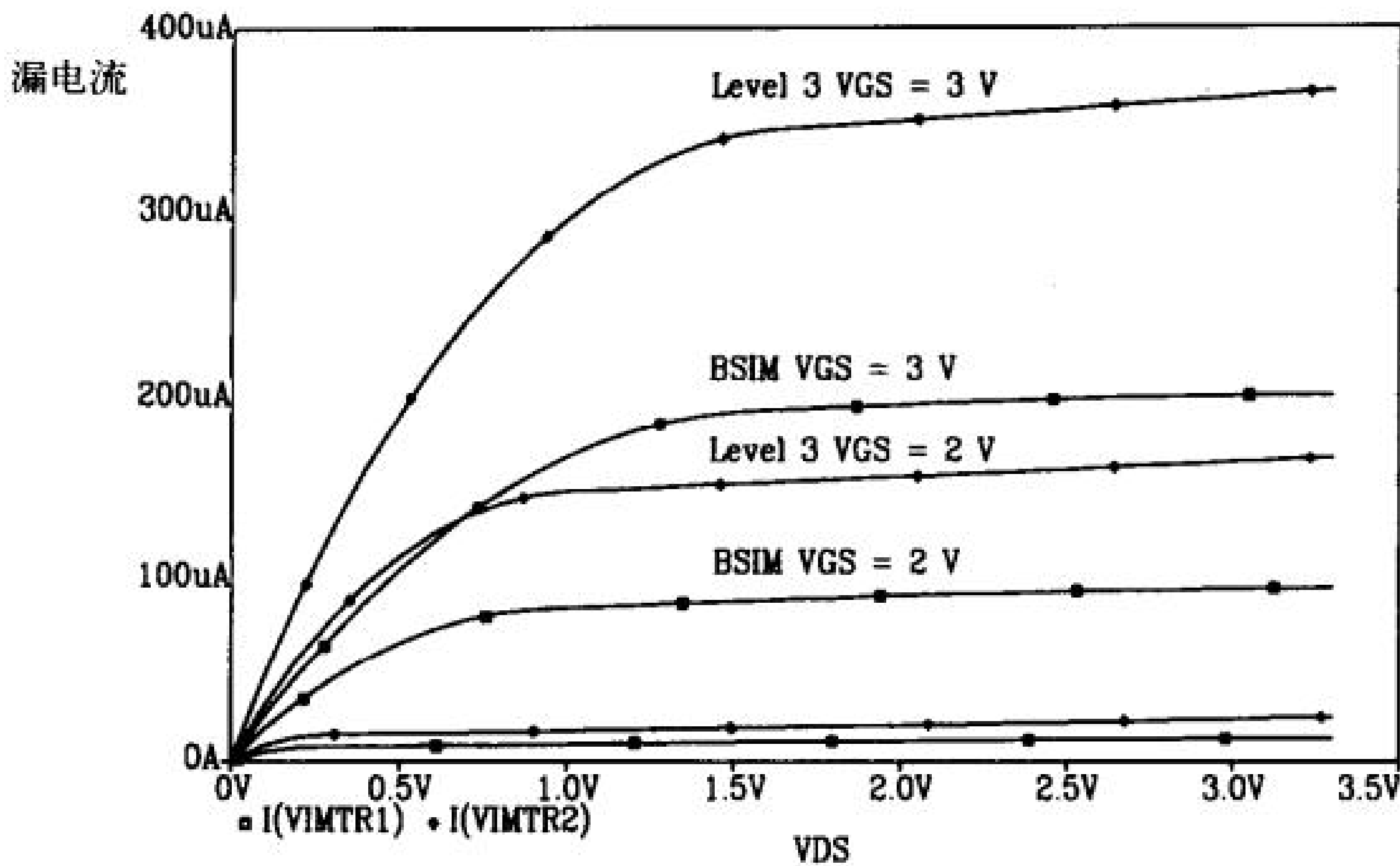
PMOS管的工艺特征时间常数为:

$$\tau_p = R_p \cdot C_{ox} = R'_p \cdot L \cdot C'_{ox} = 18 \text{k}\Omega \cdot (0.6) \cdot (3.7 \text{fF}) = 40 \text{ps} . \tag{C-13}$$

SPICE仿真结果

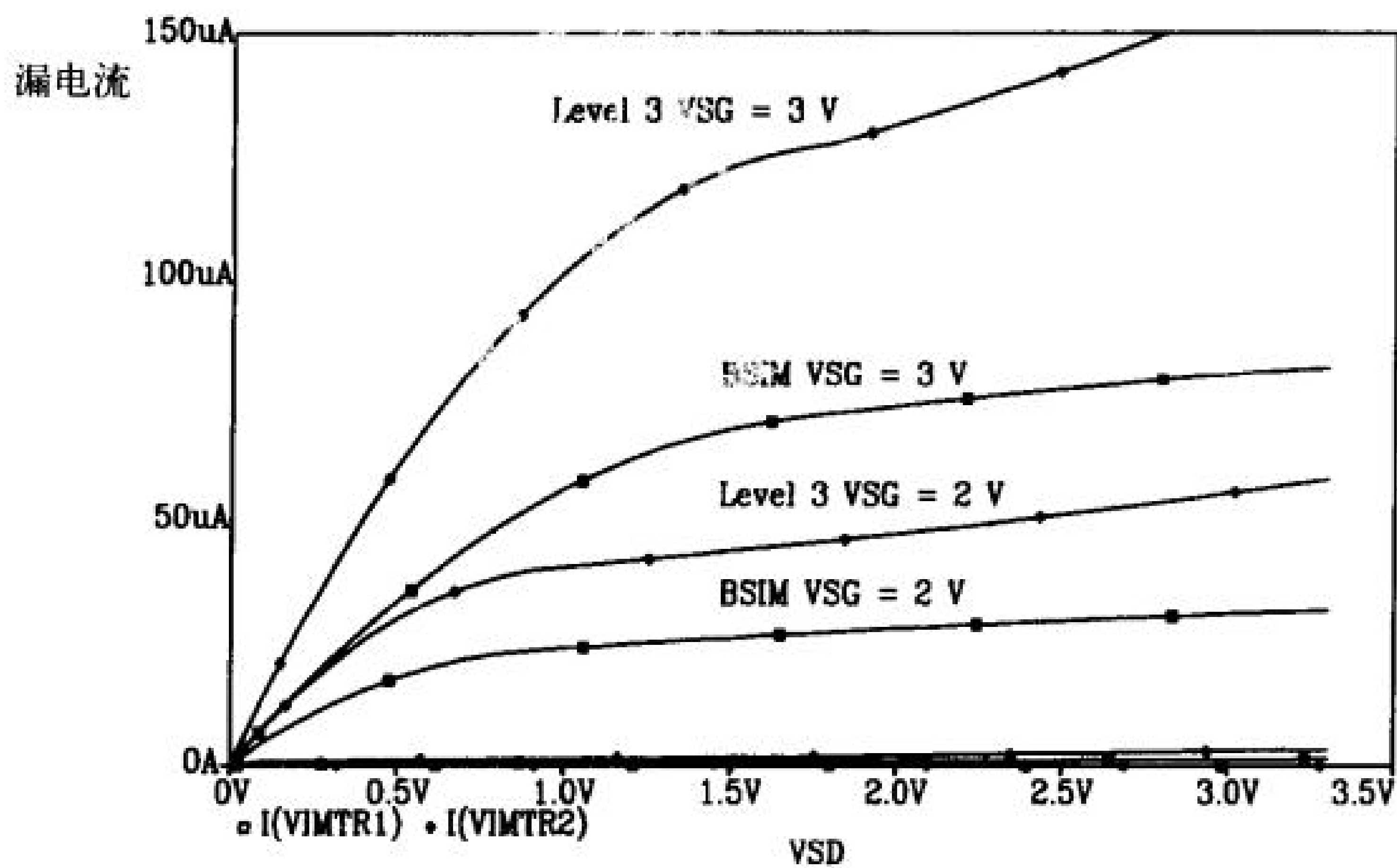
使用BSIM（Level 4）和Level 3模型，仿真得到了最小尺寸（0.9/0.6）NMOS管的漏电流和V_{DS}的变化关系，如图C-1所示。观察该图，用Level 3模型仿真得到的曲线显示漏电流与V_{GS}成平方关系，用BSIM模型仿真得到的曲线显示漏电流与V_{GS}成线性关系。这种差异是由于第6章所讨论的短沟道效应引起的。用该图中的数据可估算NMOS管的驱动电流为:

$$I_{drive} = \frac{I_D(@\ VDD)}{W_{eff}} = \frac{200\ \mu A}{0.9-0.4} = 400\frac{\mu A}{\mu m} \tag{C-14}$$



图C-1 使用CMOS14TB工艺制作的NMOS管的IV特性曲线（尺寸为0.9/0.6）

890



图C-2 使用CMOS14TB工艺制作的PMOS管的IV特性曲线（尺寸为0.9/0.6）

图C-2给出了最小尺寸的PMOS管的IV特性。用该图中的数据可估算驱动电流为:

$$I_{drive} = \frac{I_D(@\ VDD)}{W_{eff}} = \frac{80\ \mu A}{0.9-0.43} = 170\frac{\mu A}{\mu m} \tag{C-15}$$

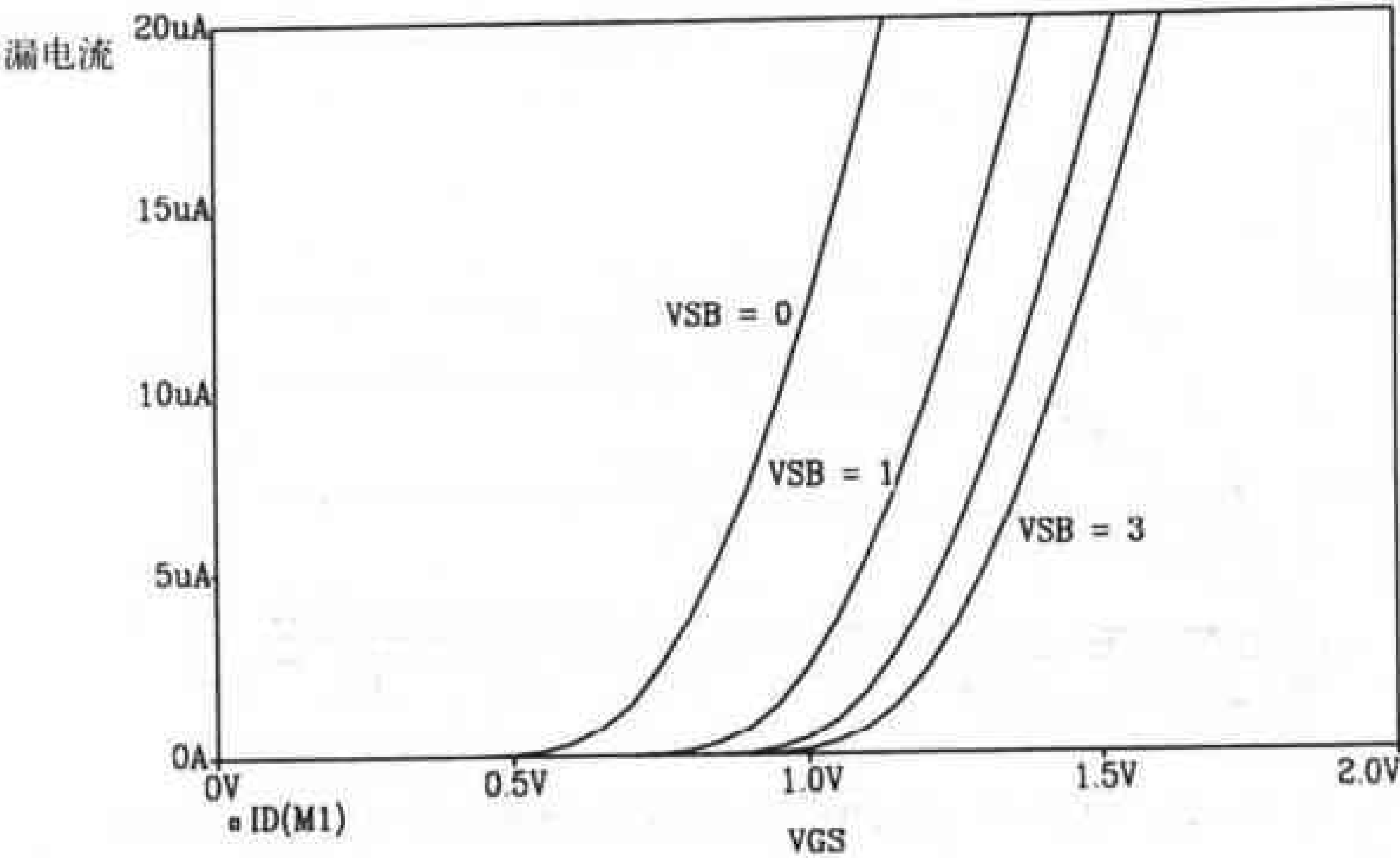
图C-3和图C-4分别给出了CMOS14TB中MOS管的阈值电压随着衬底（或阱）-源电压的变化关系（即体效应）。

平坦化

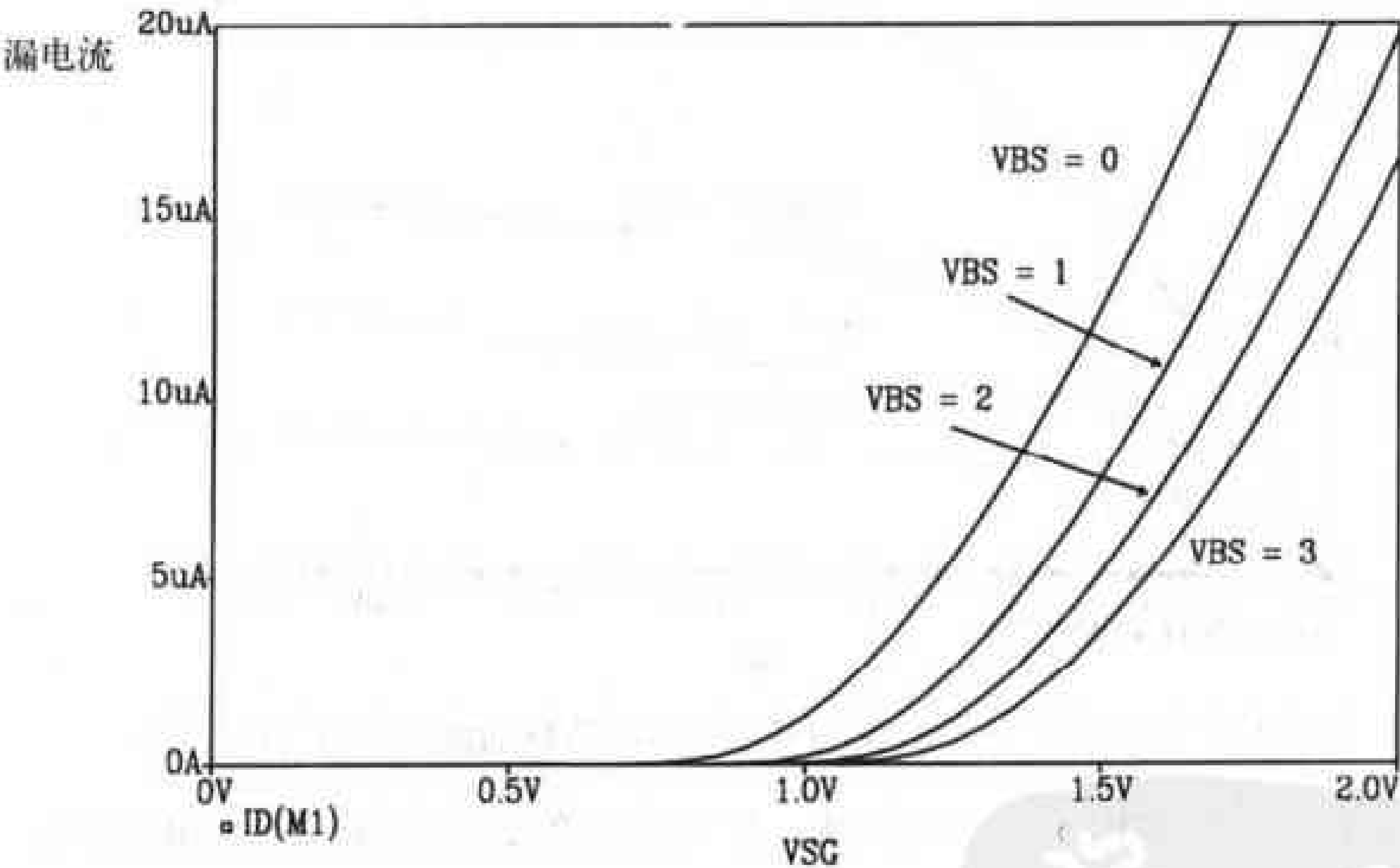
现代深亚微米（deep-submicron）MOSFET[⊖]的另一个重要特性是利用平坦化技术使CMOS工艺中不同绝缘层的顶部保持平整。一般用化学机械抛光（Chemical/mechanical

⊖ “deep”是指图形转移过程使用的是深紫外线源，其波长λ小于0.3μm。图形转移过程，见图2-3。

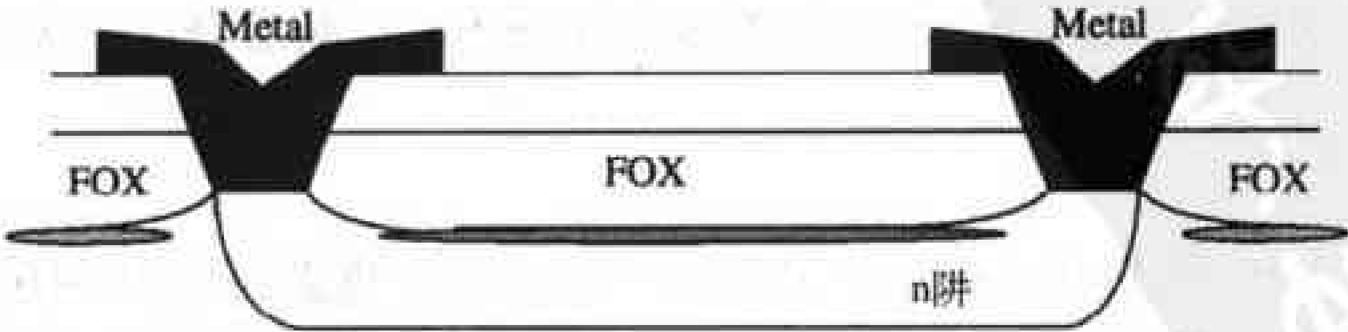
Polishing，CMP）技术实现平坦化，这会减小绝缘层的高低起伏，提高可靠性。在接触孔和通孔中填充金属有助于提高平坦化的效果（如图C-5所示），这将提高互连可靠性并能减小接触电阻。



图C-3 使用CMOS14TB工艺制作的NMOS管的特性曲线（尺寸为0.9/0.6）



图C-4 使用CMOS14TB工艺制作的PMOS管的特性曲线（尺寸为0.9/0.6）



图C-5 图2-10所示剖面图（接触孔被填充了金属）

891
~
892

本书借助PC版的电路设计软件LASI，全面阐述了CMOS集成电路设计的相关知识，内容覆盖集成电路设计、仿真和物理实现的全过程。书中以现代观点对大量模拟和数字电路模块、BSIM模型、数据转换器的体系结构等内容进行了深入讨论。本书可以与学术界和工业界常用的标准EDA软件（如Cadence、L-Edit、Magic、Mentor等）配套使用，可以作为集成电路设计师、版图设计师、集成电路项目管理人员以及相关专业的教授和科研工作者的高层次教科书或参考书。

主要内容

- 锁相环和延迟锁相环、混合信号电路以及数据转换器的设计
- 1000多张图表、200多个实例和500多道章末习题
- 对模拟和数字电路设计技术的深入讨论
- 使用了工业界芯片加工厂提供的工艺参数和设计规则
- MOSIS制造流程及其他重要专题

作者简介

R. Jacob Baker 博伊西州立大学电子工程系教授、系主任。他讲授多门CMOS模拟和数字电路设计课程，并是该领域的国际顾问。Baker博士曾供职于E.G.&G.能量测量公司、Lawrence Livermore国家实验室和Micron Semiconductor公司，有8年的业界工作经验。他把业界的经验带进了课堂，并于2000年获IEEE最佳论文奖。他的个人主页是：http://cmosedu.com/jbaker/jbaker.htm。

Harry W. Li 爱达荷大学电子工程系副教授，是爱达荷大学微电子研究中心非常活跃的研究人员。研究领域涉及数据转换器设计、模拟CAD开发、延迟锁相环设计等。他曾获得多项教学奖，并负责电子工程系的对外交流工作。他的个人主页是：http://www.uidaho.edu/~hli。

David E. Boyce 半导体工艺界的独立顾问，曾供职于通用电气、RCA和Harris等公司，有20多年的业界工作经验。他参加过多个工程项目，涉及的领域包括医学超声波成像、功率和高压集成电路以及光电子等。他在几年前开始编写基于微机的计算机辅助设计软件（这也是他的一项个人爱好），最后开发出了本书采用的LASI软件。他的个人主页是：http://members.aol.com/lasicad/index.htm。

译校者简介

陈中建 北京大学微电子学系副教授，讲授低功耗CMOS集成电路设计、模拟集成电路分析与设计等课程，近几年主要从事与探测器配套的数模混合ASIC设计研究。

吉利久 北京大学微电子学系教授，讲授低功耗CMOS集成电路设计、计算微电子学等课程，出版专著《计算微电子学》等，主要从事ASIC设计研究，发表论文70余篇。

上架指导：电子与电气工程／CMOS集成电路



封面设计：杨宇梅



华章图书

华章网站 http://www.hzbook.com
网上购书：www.china-pub.com
投稿热线：(010) 88379604
购书热线：(010) 68995259, 68995264
读者信箱：hzjsj@hzbook.com
ISBN 7-111-16504-7/TN・442
定价：79.00 元

